



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0097724  
(43) 공개일자 2011년08월31일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2011-0016657

(22) 출원일자 2011년02월24일

심사청구일자 2011년02월24일

(30) 우선권주장

JP-P-2010-040212 2010년02월25일 일본(JP)

(71) 출원인

가부시끼가이샤 도시바

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코

(72) 발명자

후지따 준야

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코 가부시끼가이샤 도시바 지적재산부 내

다나카 마사유키

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코 가부시끼가이샤 도시바 지적재산부 내

도이 슌스께

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코 가부시끼가이샤 도시바 지적재산부 내

(74) 대리인

박충범, 이중희, 장수길

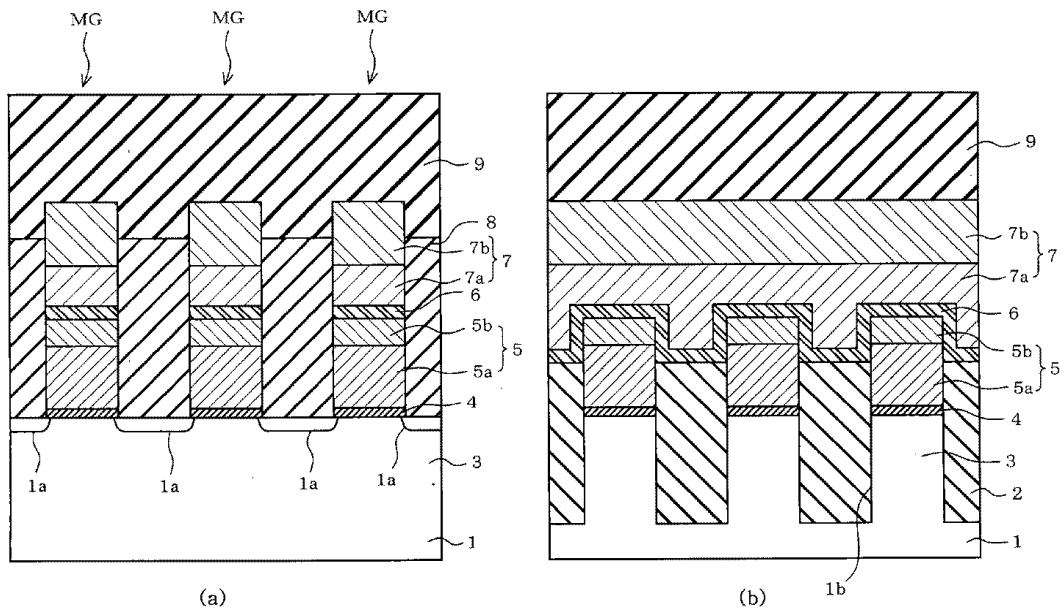
전체 청구항 수 : 총 20 항

(54) 비휘발성 반도체 기억 장치 및 이의 제조 방법

(57) 요약

비휘발성 반도체 기억 장치가 개시된다. 상기 비휘발성 반도체 기억 장치는 표면층을 포함하는 반도체 기판과, 반도체 기억 장치의 표면층을 복수의 활성 영역으로 분리시키는 소자 분리 절연막과, 활성 영역 위에 형성되는 제1 게이트 절연막과, 제1 게이트 절연막 위에 형성되는 전하 축적층 - 전하 축적층은 탄소가 선택적으로 도핑된 상층을 포함하는 실리콘층을 포함함 - 과, 전하 축적층 위에 형성되는 제2 게이트 절연막과, 제2 게이트 절연막 상에 형성되는 제어 게이트 전극을 포함한다.

대표도



**특허청구의 범위**

**청구항 1**

비휘발성 반도체 기억 장치로서,  
 표면층을 포함하는 반도체 기판과,  
 상기 반도체 기억 장치의 상기 표면층을 복수의 활성 영역으로 분리시키는 소자 분리 절연막과,  
 상기 활성 영역 위에 형성되는 제1 게이트 절연막과,  
 상기 제1 게이트 절연막 위에 형성되는 전하 축적층 - 상기 전하 축적층은 탄소가 선택적으로 도핑된 상층을 포함하는 실리콘층을 포함함 - 과,  
 상기 전하 축적층 위에 형성되는 제2 게이트 절연막과,  
 상기 제2 게이트 절연막 상에 형성되는 제어 게이트 전극을 포함하는, 비휘발성 반도체 기억 장치.

**청구항 2**

제1항에 있어서,  
 상기 실리콘층의 상층 내의 탄소의 도펀트 농도는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상인, 비휘발성 반도체 기억 장치.

**청구항 3**

제1항에 있어서,  
 상기 실리콘층의 상층 내의 탄소의 도펀트 농도는  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup>인, 비휘발성 반도체 기억 장치.

**청구항 4**

제1항에 있어서,  
 상기 전하 축적층은  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 범위의 도펀트 농도를 가지는 인 및 비소 중의 어느 하나로 도핑되는, 비휘발성 반도체 기억 장치.

**청구항 5**

제1항에 있어서,  
 상기 전하 축적층의 상기 실리콘층은 탄소를 포함하지 않는 하부 다결정 실리콘막과, 탄소가 도핑된 상부 다결정 실리콘막을 포함하는, 비휘발성 반도체 기억 장치.

**청구항 6**

제5항에 있어서,  
 상기 하부 다결정 실리콘막과 상기 상부 다결정 실리콘막을 포함하는 적층체를 포함하는 저항 소자는 주변 회로 영역에 형성되는, 비휘발성 반도체 기억 장치.

**청구항 7**

제1항에 있어서,  
 상기 전하 축적층의 상기 실리콘층은 탄소를 포함하지 않는 중간층과, 탄소가 도핑된 하부층을 더 포함하는, 비휘발성 반도체 기억 장치.

**청구항 8**

제1항에 있어서,

상기 제2 게이트 절연막은 산화물-질화물-산화물 막을 포함하는, 비휘발성 반도체 기억 장치.

**청구항 9**

제1항에 있어서,

상기 제어 게이트 전극은 탄소가 도핑된 실리콘층 또는 탄소가 도핑된 실리콘사이드층을 포함하는, 비휘발성 반도체 기억 장치.

**청구항 10**

제9항에 있어서,

탄소가 도핑된 상기 제어 게이트 전극의 실리콘층은 상기 제어 게이트 전극의 하층에 형성되는, 비휘발성 반도체 기억 장치.

**청구항 11**

제9항에 있어서,

탄소가 도핑된 상기 제어 게이트 전극의 상기 실리콘사이드층은 상기 제어 게이트 전극의 상층에 형성되는, 비휘발성 반도체 기억 장치.

**청구항 12**

비휘발성 반도체 기억 장치의 제조 방법으로서,

반도체 기판을 준비하는 단계와,

상기 반도체 기판 위에 제1 게이트 절연막을 형성하는 단계와,

상기 제1 게이트 절연막 위에 전하 축적층을 형성하는 단계 - 상기 전하 축적층은 적어도 상기 전하 축적층의 상층에 탄소가 도핑된 실리콘층을 포함함 - 와,

상기 반도체 기판 내에 상기 전하 축적층 및 상기 제1 게이트 절연막을 관통하여 소자 분리 트렌치를 형성하는 단계와,

상기 소자 분리 트렌치를 절연막으로 채우는 단계와,

상기 전하 축적층의 상면이 노출되고, 상기 소자 분리 트렌치 내에 상기 절연막이 남아 있을 때까지 상기 절연막을 연마하여 소자 분리 절연막을 형성하는 단계와,

상기 소자 분리 절연막을 형성한 후에 상기 전하 축적층 위에 제2 게이트 절연막을 형성하는 단계와,

상기 제2 게이트 절연막 위에 제어 게이트 전극을 형성하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 13**

제12항에 있어서,

상기 전하 축적층은 저압 화학적 기상 증착에 의해 형성되는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 14**

제12항에 있어서,

상기 전하 축적층을 형성하는 단계는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상의 도펀트 농도로 상기 실리콘층의 상층 내로 탄소를 첨가하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 15**

제12항에 있어서,

상기 전하 축적층을 형성하는 단계는  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 범위의 도펀트 농도로 상기 실리콘층의 상층 내로 탄소를 첨가하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 16**

제12항에 있어서,

상기 전하 축적층을 형성하는 단계는  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 범위의 도펀트 농도를 가지는 인 및 비소 중의 어느 하나를 첨가하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 17**

제12항에 있어서,

상기 전하 축적층을 형성하는 단계는 탄소를 포함하지 않는 하부 다결정 실리콘막을 형성하는 단계와, 탄소가 도핑된 상부 다결정 실리콘막을 상기 하부 다결정 실리콘막 위에 형성하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 18**

제17항에 있어서,

상기 상부 다결정 실리콘막의 두께는 5 nm 내지 30 nm인, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 19**

제12항에 있어서,

상기 전하 축적층을 형성하는 단계는 상기 전하 축적층의 상기 실리콘층의 하층에 탄소를 첨가하는 단계를 더 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**청구항 20**

제12항에 있어서,

상기 제어 게이트 전극을 형성하는 단계는 탄소가 도핑된 실리콘층을 형성하는 단계를 포함하는, 비휘발성 반도체 기억 장치의 제조 방법.

**명세서**

**기술분야**

[0001] [관련 출원의 상호 참조]

[0002] 본 출원은 2010년 2월 25일에 출원된 일본 특허 출원 제2010-40212호에 기초한 것이며, 이를 우선권 주장하며, 이의 전체 내용이 본 명세서에 참조로 포함되어 있다.

[0003] 본 명세서에 개시된 예시적 실시예들은 일반적으로 전하 저장층이 제공된 비휘발성 반도체 기억 장치 및 비휘발성 반도체 기억 장치의 제조 방법에 관한 것이다.

**배경기술**

[0004] NAND 플래시 메모리와 같은 일반적인 비휘발성 반도체 기억 장치는 주로 메모리 셀 트랜지스터들로 구성된다. 메모리 셀 트랜지스터는, 종종 반도체 기판 위에서, 게이트 절연막과, 일반적으로 플로팅 게이트 전극으로서 구성되는 전하 축적층과, 전극간 절연막과, 제어 게이트 전극이 순서대로 형성되는 적층 구조로 구현된다. 이러한 적층 구조는 미세 공정(microfabrication)이 발달됨에 따라 에스펙트비 토포그래피(aspect ratio topography)가 높게 되는 경향이 있다. 높은 에스펙트비 토포그래피에 일어날 수 있는 문제점들 중 하나는 구조 붕괴이다.

[0005] NAND 플래시 메모리와 같은 적층 구조들을 포함하는 특징부(features)에 있어서, 평면 치수를 줄이는 것보다는 높이를 줄이는데에 큰 기술적 과제가 있다. 그래서, 리소그래피 공정에서는, 예컨대 패턴 형성에 사용되는 마스크의 두께를 줄이려는 시도가 실패하였고, 지금까지, 패턴들이 조밀하게 될수록 에스펙트 비가 점점 높아지는 상황에서 패턴들이 형성되고 있다. 에스펙트비가 높아질수록, 수율 저하를 초래하는 주 요인들 중의 하나인 구조 붕괴 또는 패턴 붕괴의 가능성이 커진다. 리소그래피 공정으로부터 기인한 수율 저하를 방지할 수 있는 해결안으로서, 마스크의 성분들을 낮은 에스펙트비들을 제공하는 마스크의 성분들로 변경할 수 있다.

[0006] 통상적으로, STI(얕은 트렌치 분리; Shallow Trench Isolation) 방식을 채용하면, 일반적으로 소자 분리 트렌치는, 나중에 CMP(화학 기계적 연마; Chemical Mechanical Polishing)에 의해 평탄화되는 산화막으로 넘쳐지게 채워진다. CMP 동안에, 실리콘 질화막 또는 막들의 적층들은 연마 정지막으로서 사용되었다. 연마 정지막은 에스펙트 비의 증가를 초래하는 요인들 중의 하나이었다. 그러나, 연마 정지막 없이 수행된 CMP는 다결정 실리콘 막의 표면에 스크래치가 발생한다는 단점이 있었다.

**발명의 내용**

**과제의 해결 수단**

[0007] 본 발명의 하나의 예시적 실시예에서는, 비휘발성 반도체 기억 장치가 개시된다. 상기 비휘발성 반도체 기억 장치는 표면층을 포함하는 반도체 기관과, 반도체 기억 장치의 표면층을 복수의 활성 영역으로 분리시키는 소자 분리 절연막과, 활성 영역 위에 형성되는 제1 게이트 절연막과, 제1 게이트 절연막 위에 형성되는 전하 축적층 - 상기 전하 축적층은 탄소가 선택적으로 도핑된 상층을 포함하는 실리콘층을 포함함 - 과, 전하 축적층 위에 형성되는 제2 게이트 절연막과, 제2 게이트 절연막 상에 형성되는 제어 게이트 전극을 포함한다.

[0008] 본 발명의 하나의 예시적 실시예에서는, 비휘발성 반도체 기억 장치의 제조 방법이 개시된다. 상기 제조 방법은 반도체 기관을 준비하는 단계와, 반도체 기관 위에 제1 게이트 절연막을 형성하는 단계와, 제1 게이트 절연막 위에 전하 축적층을 형성하는 단계 - 상기 전하 축적층은 적어도 전하 축적층의 상층에 탄소가 도핑된 실리콘층을 포함함 - 와, 반도체 기관 내에 전하 축적층 및 제1 게이트 절연막을 관통하여 소자 분리 트렌치를 형성하는 단계와, 소자 분리 트렌치를 절연막으로 채우는 단계와, 전하 축적층의 상면이 노출되고, 소자 분리 트렌치 내에 절연막이 남아 있을 때까지 절연막을 연마하여 소자 분리 절연막을 형성하는 단계와, 소자 분리 절연막을 형성한 후에 전하 축적층 위에 제2 게이트 절연막을 형성하는 단계와, 제2 게이트 절연막 위에 제어 게이트 전극을 형성하는 단계를 포함한다.

**도면의 간단한 설명**

- [0009] 도 1은 본 개시 내용의 하나의 예시적 실시예에 따른 메모리 셀 어레이의 부분 등가 회로도.
- 도 2는 메모리 셀 영역 내의 트랜지스터들의 어레이를 부분적으로 도시하는 개략 평면도.
- 도 3a는 도 2의 선 3A - 3A을 따라 취한 개략 수직 단면도.
- 도 3b는 도 2의 선 3B - 3B를 따라 취한 개략 수직 단면도.
- 도 4a, 5a, 6a, 7a, 8a, 9a, 10a, 11a, 12a, 13a, 14a, 15a, 16a, 17a, 18a, 19a, 및 20a는 각각 도 2의 선 3A - 3A를 따라 취한 부분의 17개의 제조 단계들 중에서 1개를 개략적으로 설명하는 수직 단면도.
- 도 4b, 5b, 6b, 7b, 8b, 9b, 10b, 11b, 12b, 13b, 14b, 15b, 16b, 17b, 18b, 19b 및 20b는 각각 도 2의 선 3B - 3B를 따라 취한 부분의 17개의 제조 단계들 중에서 1개를 개략적으로 설명하는 수직 단면도.
- 도 21a는 주변 회로 영역 내의 저항기를 도시하는 개략 평면도.
- 도 21b는 도 21a의 선 21B - 21B를 따라 취한 개략적인 수직 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0010] 아래에서는, NAND 플래시 메모리 응용을 통한 본 발명의 하나의 예시적 실시예에 대해 설명한다. 본 예시적 실시예의 특징부를 도시하기 위해서, 때때로, 도 1 내지 도 21b로 분류된 첨부된 도면들을 참조한다. 도면들에 걸쳐서 동일하거나 유사한 소자는 동일하거나 유사한 참조 번호로 나타낸다. 도면들은 축척으로 도시된 것이 아니기 때문에, 평면 치수에 대한 두께와 상이한 층들의 상대 두께와의 상관 관계와 같은 특징부의 실제 측정값

을 반영하는 것은 아니다.

- [0011] 우선, 하나의 예시적 실시예에 따른 NAND 플래시 메모리의 기본 구성에 대하여 설명한다.
- [0012] 도 1은 NAND 플래시 메모리의 메모리 셀 영역에 형성된 메모리 셀 어레이의 부분 등가 회로도이다. 메모리 셀 어레이는 행 및 열로 배열되는 NAND 셀 유닛 Su 또는 메모리 유닛 Su이라고도 칭하는 NAND 셀들 유닛들의 집합이다. NAND 셀 유닛 Su는 한 쌍의 선택 게이트 트랜지스터 Trs1과 Trs2 사이에 위치한 16개 또는 32개의 다수의 직렬로 접속된 메모리 셀 트랜지스터들 Trm을 포함한다. NAND 셀 유닛 Su 내의 인접 메모리 셀 트랜지스터들 Trm은 그들의 소스/드레인 영역들을 공유한다.
- [0013] 도 1을 더 참조하면, X 방향으로 정렬된 메모리 셀 트랜지스터들 Trm은 공통 워드선 WL 또는 제어 게이트선 WL에 의해 상호 접속되어 있는 반면, X 방향으로 정렬된 선택 게이트 트랜지스터들 Trs1은 공통 선택 게이트선 SGL1에 의해 상호 접속되어 있으며, 마찬가지로, X 방향으로 정렬된 선택 게이트 트랜지스터들 Trs2은 공통 선택 게이트선 SGL2에 의해 상호 접속되어 있다. 각각의 선택 게이트 트랜지스터 Trs1의 드레인은 비트선 컨택트 CB에 의해 비트선 BL과 결합된다. 비트선 BL은 X 방향과 직교하는 Y 방향으로 연장되어 있다. 선택 게이트 트랜지스터 Trs2의 소스는 X 방향으로 연장하는 소스선 SL과 결합된다.
- [0014] 도 2는 메모리 셀 영역의 평면 레이아웃의 일부를 나타낸다. 도시된 바와 같이, 다수의 소자 분리 절연막들(2)은 p 도전형 실리콘 기판(1) 또는 보다 일반적으로 반도체 기판의 Y 방향으로 연장되어 있어, X 방향의 미리 정해진 간격만큼 활성 영역들(3)을 분리시킨다. 이러한 분리는 일반적으로 STI(Shallow Trench Isolation) 방식을 채용한다. 다수의 X 방향의 워드선들 WL은 Y 방향으로 연장하는 활성 영역들(3)과 직교하도록 소자 분리막(2) 및 활성 영역(3) 위에 연장되어 있다. 워드선 WL은 각각의 메모리 셀 트랜지스터들에 제공되는 제어 게이트 전극에 접속되어 있다.
- [0015] 도 2를 더 참조하면, 선택 게이트 트랜지스터들에 각각 접속되는 한 쌍의 X 방향의 선택 게이트선들 SGL1 사이에 위치한 활성 영역(3)에는, 비트선 컨택트 CB가 형성된다. 비트선 컨택트 CB는 도 2에 상세히 도시되지 않지만, Y 방향으로 연장되어 있는, 위에 놓여지는(overlying) 비트선 BL과 결합된다. 메모리 셀 트랜지스터의 게이트 전극 MG는 워드선 WL과 교차하는 활성 영역(3)에 형성되는 반면, 선택 게이트 트랜지스터의 게이트 전극 SG는 선택 게이트선 SGL1/SGL2와 교차하는 활성 영역(3)에 형성된다.
- [0016] 도 3의 (a) 및 (b)는 도 2의 선 3A - 3A 및 선 3B 및 3B를 따라 취한 개략 수직 단면도이다. 보다 구체적으로, 도 3의 (a)는 게이트 전극 MG의 단면을 나타내기 위해서 활성 영역(3) 또는 Y 방향을 따라 취한 메모리 셀 트랜지스터의 단면도인 반면, 도 3의 (b)는 다른 도시를 제공하기 위해서 워드선 WL 또는 X 방향을 따라 취한 단면도이다.
- [0017] 도 3의 (a)는 게이트 절연막(4) 위의 미리 정해진 간격으로 형성된 게이트 전극들 MG를 도시하며, 상기 게이트 절연막(4)은 제1 게이트 절연막이라고도 칭하며, 반도체 기판(1)의 활성 영역(3)에 형성된다. 게이트 전극 MG는 전하 축적층으로서 기능하는 적어도 플로팅 게이트 전극(5)과, 전극간 절연막(6), 및 제어 게이트 전극(7)을 순서대로 게이트 분리막(4) 위에 적층함으로써 형성된다.
- [0018] 게이트 절연막(4)은, 예컨대 8nm 두께인 실리콘 옥시나이트라이드(SiO<sub>2</sub>)로 이루어진다. 플로팅 게이트 전극(5)은 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)을 이 순서대로 적층함으로써 구성된다. 하부 다결정 실리콘막(5a)에는 인(P) 또는 비소(As)가  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 범위의 도펀트 농도로 도핑되며, 약 60 nm 두께로 된다. 또한, 상부 다결정 실리콘막(5b)에는  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 범위의 도펀트 농도로 인(P) 또는 비소(As)가 도핑된다. 상부 다결정 실리콘막(5b)에는 탄소(C)가  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상의 도펀트 농도, 일반적으로는  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup>의 도펀트 농도로 더 도핑되며, 대략 30nm의 두께로 된다.
- [0019] 메모리 셀 영역에서 플로팅 게이트 전극(5)을 구성하는 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)은 게이트 전극으로서 기능하며, 주변 회로 영역에서의 저항기와 같은 수동 소자로서 기능한다. 저항기와 같이 사용되는 경우에, 저항은 상부 및 하부 다결정 실리콘막들(5b 및 5a) 내의 탄소 도펀트 농도를 조정함으로써 제어될 수 있다. 예를 들면, 일반적인 다결정 실리콘막 내의 탄소(C)의 도펀트 농도가 증가할수록 다결정 실리콘막의 저항이 증가한다.
- [0020] 플로팅 게이트 전극(5)의 위에는, 제2 게이트 절연막이라고도 칭하는 전극간 절연막(6)이 형성된다. 전극간 절

연막(6)은, 예컨대 ONO(산화물-질화물-산화물; Oxide-Nitride-Oxide) 막으로 구성되며, 3개의 막 층의 각각의 두께는 2 nm 내지 10 nm 범위로 제어된다. 대안으로서, 전극간 절연막(6)은 NONON(질화물-산화물-질화물-산화물-질화물) 막으로 구성되어도 좋으며, 또는 높은 유전 상수를 가지는 절연막에 의해 구성되어도 좋다.

- [0021] 전극간 절연막(6) 위에는, 불순물이 도핑된 다결정 실리콘층(7a)과, 예컨대 니켈 실리사이드(NiSi) 막을 포함하는 실리사이드층(7b)을 순서대로 적층함으로써 구성되는 제어 게이트 전극(7)이 형성된다. 제어 게이트 전극(7)은 실리사이드층(7b)만을 포함하도록 완전히 실리사이드화되어도 좋다. 메모리 셀 영역에서의 메모리 셀 트랜지스터의 게이트 전극 MG는 상술된 바와 같이 구성된다.
- [0022] 실리콘 기판(1)의 표면층에서, 소스/드레인 영역으로서 기능하는 n형 불순물 확산층(1a)은 인접하는 게이트 전극들 MG 사이에 형성된다. 인접 메모리 셀 트랜지스터들은 불순물 확산 영역(1a)을 통하여 전기적 및 직렬로 접속된다.
- [0023] 게이트 전극들 MG 사이에는, 셀간 절연막(8)이 게이트 전극들 MG 사이의 갭(gap)을 채우도록 형성된다. 층간 절연막(9)은 셀간 절연막(8) 위를 더 덮는다. 셀간 절연막(8)은, 예컨대 TEOS(Tetraethylorthosilicate) 산화막으로 이루어진다. 셀간 절연막(8)의 상면은 대략 제어 게이트 전극(7)의 실리사이드층(7b)의 중간 높이이다. 셀간 절연막(8)의 높이 조정은 제조 공정 흐름에서 후술될 바와 같이 실리사이드층(7b)이 얻어지도록 다결정 실리콘막(7c)의 상부를 실리사이드이션(silicidation)하여 이루어진다.
- [0024] 이제 도 3의 (b)를 참조하면, 실리콘 기판(1)의 표면층은 이 표면층에 형성된 소자 분리 트렌치들(1b)를 가진다. 각각의 소자 분리 절연 트렌치(1b)에는, CVD(화학적 기상 증착) 및 코팅과 같은 기법에 의해 형성된 예컨대 실리콘 산화막을 포함하는 상술된 소자 분리 절연막(2)이 채워진다. 상기 각각의 활성 영역(3) 위에는, 게이트 절연막(4), 하부 및 상부 다결정 실리콘막(5a 및 5b)이 순서대로 적층된다.
- [0025] 소자 분리 절연막(2)의 상부는 이의 형성 후에 예칭되어, 소자 분리 절연막의 상면이 하부 다결정 실리콘막(5a)의 상부와 하부면 사이의 높이로 위치된다. 전극간 절연막(6)은 상부 다결정 실리콘막(5b)의 상면과 측면들, 하부 다결정 실리콘막(5a)의 상부 측면, 및 소자 분리 절연막(2)의 상면을 덮도록 형성된다. 제어 게이트 전극(7)의 다결정 실리콘층(7a)은 전극간 절연막(6)의 상면을 감싸도록 전체 하층 적층 구조(underlying structure) 위를 덮는다. 실리사이드층(7b)은 다결정 실리콘층(7a) 위에 형성되고, 층간 절연막(9)은 실리사이드층(7b)과 셀간 절연막(8)의 상면을 감싸도록 더 형성된다.
- [0026] 상술된 구성에 따르면, 플로팅 게이트 전극(5)의 상부 다결정 실리콘막(5b)에는 상술된 도펀트 농도로 탄소가 도핑되기 때문에, 탄소가 포함되지 않는(carbon-free) 다결정 실리콘에 비하여 경도가 강화될 수 있어, 정지막, 이 경우에는 CMP에서의 연마 정지부로서 이용되어 유리하다.
- [0027] 도 21의 (a) 및 (b)는 앞서 나타낸 바와 같이 주변 회로 영역에 형성된 수동 소자에 적용되는 메모리 셀 영역의 게이트 전극 구성의 일례로서 저항기 R을 나타낸다. 도 21의 (a)는 직사각형 저항기 R의 평면 레이아웃을 도시한 반면, 도 21의 (b)는 도 21의 (a)의 선 21B - 21B를 따라 취한 개략 단면도이다.
- [0028] 저항기 R은 트렌치(1c)에 의해 둘러싸이는 소자 형성 영역으로서 기능하는 활성 영역(33)에 형성된다. 트렌치(1c)에는, 메모리 셀 영역에 적용된 소자 분리 절연막(2)과 마찬가지로 소자 분리 절연막(32)이 채워진다. 메모리 셀 영역에 형성된 메모리 셀 트랜지스터들의 경우와 마찬가지로, 게이트 절연막(34), 하부 다결정 실리콘막(35a) 및 상부 다결정 실리콘막(35b)이 트렌치(1c)의 측면과 정렬되도록 순서대로 적층된다. 소자 분리 절연막(32)은 대략 상부 다결정 실리콘막(35b)의 높이로 되도록 형성된다.
- [0029] 상부 다결정 실리콘막(35b) 및 소자 분리 절연막(32)의 상면의 위에는, 전극간 절연막(6)에 대응하며 도 21의 (b)에 도시된 바와 같이 직사각형의 개구들(36a)을 가지는 전극간 절연막(36)이 형성되어 있다. 개구들(36a)은 메모리 셀 영역의 선택 게이트 트랜지스터들과 주변 회로 영역의 트랜지스터들을 단락(shorting)시키는 유사 개구들을 형성할 때에 형성된다. 상기 전극간 절연막(36), 다결정 실리콘층(37a) 및 실리사이드층(37b)은 메모리 셀 영역의 제어 게이트 전극(7)의 경우와 마찬가지로 순서대로 적층된다. 다결정 실리콘층(37a)은 전극간 절연막(36) 상에 형성된 개구들(36a)을 통하여 상부 다결정 실리콘막(35b)과 콘택트한다. 도 21의 (a) 및 (b)에서 알 수 있는 바와 같이, 다결정 실리콘층(37a) 및 실리사이드층(37b)은 분리부들(37c)에서 저항기 R의 세로 방향 또는 장변 방향으로 분리되어 있으며, 이 두 부분이 도시되어 있다. 또한, 층간 절연막(39)은 분리부들(37c)을 넘치도록 채워져 형성되어 있어 다결정 실리콘층(37a) 및 실리사이드층(37b)을 감싼다. 도 21의 (a) 및 (b)에 도시된 바와 같이, 이러한 예에서 두 개의 콘택트 홀(39a)은 저항기 R의 세로 방향을 따라 분리된 위치에 있도록 형성되어 있어, 실리사이드층(37b)의 상면이 노출된다. 각각의 콘택트 홀(39a)은 콘택트 플러그로

채워진다.

- [0030] 상술된 바와 같이 구성된 저항기 R에 따르면, 게이트 절연막(34) 위의 하부 다결정 실리콘막(35a) 및 상부 다결정 실리콘막(36b)의 적층체는 저항기로서 기능하며, 도 21의 (b)에서 볼 수 있는 바와 같이, 분리부들(37c)에 의해 분리된 다결정 실리콘층(37a) 및 실리사이드층(37b)의 말단들(extremities)은 전극 단자들로서 기능한다. 전극은 컨택트 플러그를 통하여 각각의 전극 단자들 위에서 빼내어져 위에 놓이는 배선층과의 연결이 형성된다.
- [0031] 다음으로, 도 4의 (a) 내지 도 20의 (b)를 참조하여 상술된 특징들을 제조하는 방법에 대해 설명한다. 각각의 도면들에 첨부된 부호 "a" 및 "b"는 도 3의 (a) 및 (b)와의 연관을 나타내며, 제조 공정 흐름의 상이한 단계에서, 도 3의 (a) 및 (b)에서 취한 단면들을 나타낸다는 것을 의미한다. 본 명세서에서 설명되는 제조 공정 흐름은 주로 도 3의 (a) 및 (b)에 도시된 메모리 셀 트랜지스터의 구성에 관한 것이거나 이의 구성에 기초한 것이다. 그러나, 상술된 저항기 R은 대략 동일한 방식으로 형성될 수 있다.
- [0032] 우선, 도 4의 (a) 및 (b)를 참조하면, 게이트 절연막(4)은 p 도전형 실리콘 기판(1)의 표면층 위에 형성된다. 게이트 절연막(4)은 공지의 열 산화 및 열 질화 기술의 조합에 의해 이루어진 1 nm 내지 15 nm 범위의 두께를 가지는 실리콘 옥시나이트라이드(oxynitride) 막을 포함한다. 본 예시적 실시예의 게이트 절연막(4)의 두께는 8 nm이다. 이후, 게이트 절연막(4)의 위에, 인(P)이 도핑된 하부 다결정 실리콘막(5a)이 형성되며, 상기 하부 다결정 실리콘막에는 인 및 탄소가 도핑된 상부 다결정 실리콘막(5b)이 더 도핑(topped)된다. 하부 및 상부 다결정 실리콘막(5a 및 5b) 모두로의 도펀트인 인은 비소(As)로 대체되어도 좋다.
- [0033] 하부 및 상부 다결정 실리콘막들(5a 및 5b)은 500°C 내지 600°C 범위의 온도에서 모노실란(SiH<sub>4</sub>), 포스핀(phosphine) (PH<sub>3</sub>) 및 에틸렌(C<sub>2</sub>H<sub>4</sub>) 가스와 같은 소스 가스들을 이용하여 공지된 LPCVD(저압 화학적 기상 증착; Low Pressure Chemical Vapor Deposition)에 의해 형성된다. 상부 다결정 실리콘막(5b)의 형성에 있어 에틸렌 가스를 이용하면 상부 다결정 실리콘막(5b)에 탄소가 포함된다. 하부 다결정 실리콘막(5a)의 두께는 예컨대 60 nm가 되도록 형성되며, 상부 다결정 실리콘막(5b)의 두께는 예컨대 30 nm가 되도록 얇게 형성된다.
- [0034] 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)에 대한 인(P) 또는 비소(As)의 도펀트 농도는  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 범위이다. 상부 다결정 실리콘막(5b)에 대한 탄소의 도펀트 농도는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상이며, 일반적으로  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup>의 범위이다. 또한, 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)은 비정질로서 형성된다면 열 결정 공정에 의해 후-결정화(post-crystallized)되어도 좋다.
- [0035] 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)의 두께는 플로팅 게이트 전극(5)에 요구되는 전기적 특성과, 주변 회로 영역에 형성되는 상술된 저항기 R과 같은 다른 소자들에 요구되는 전기적 특성이 만족되도록 보유되어야 할 저항의 레벨에 따라 결정되어도 좋다. 저항의 레벨은 첨가된 탄소의 양에 따라 증가되어, 저항은 탄소 양의 조절을 통하여 알맞게 조정될 수 있으며, 이는 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)의 두께를 결정한다.
- [0036] 이제, 도 5의 (a) 및 (b)를 참조하면, 상부 다결정 실리콘막(5b)의 상부 상에는, CVD에 의해 두께가 대략 50 nm 내지 400 nm가 되도록 실리콘 산화막(10)이 형성된다. 실리콘 산화막(10)은 에칭 공정에서 하드 마스크로서 사용하여, 용도에 맞도록 상술된 두께 범위로 형성된다.
- [0037] 도 6의 (a) 및 (b)를 참조하면, 소자 분리 트렌치(1b)는 실리콘 기판(1) 내에 형성된다. 트렌치 형성은 실리콘 산화막(10)의 상부에 포토레지스트를 형성하고, 상기 포토레지스트를 미리 정해진 선 및 간격으로 패터닝하여 형성되기 시작한다. 마스크로서 패터닝된 포토레지스트를 이용하면, 실리콘 산화막(10)은 RIE(반응성 이온 에칭; Reactive Ion Etching)에 의해 이방성으로 에칭되어 하드 마스크를 형성한다. 이후, 패터닝된 포토레지스트 마스크 및 하드 마스크를 이용하여, 상부 다결정 실리콘막(5b), 하부 다결정 실리콘막(5a), 게이트 절연막(4), 및 실리콘 기판(1)이 순서대로 에칭되어 도 6의 (b)에 도시된 소자 분리 트렌치(1b)가 얻어진다. 에칭이 진행됨에 따라, 패터닝된 포토레지스트는 에칭되어 없어지게 되고, 패터닝된 실리콘 산화막(10)에 의해 형성된 하드 마스크는 마스크(10a)로서 특징부 상에 얇게 남겨지게 된다.
- [0038] 도 7의 (b)를 참조하면, 소자 분리 트렌치(1b)는 실리콘 산화막으로 이루어진 소자 분리 절연막(2)으로 채워진다. 선택 사항이지만, 트렌치 충전은 소자 분리 트렌치(1b) 내의 임의의 손상을 완화시키기 위하여 상기 특징부의 열 산화로 시작된다. 이후, 적절한 CVD 또는 글래스 코팅(glass coating) 기술의 스핀(spin)에 의해, 소

자 분리 트렌치(1b)는 실리콘 산화막에 의해 넘치게 채워진다. 이후, 상부 다결정 실리콘막(5b) 위에 놓여진 넘치게 채워진 실리콘 산화막 및 실리콘 산화막(잔여 마스크) (10a)을 연마하여 제거하기 위해 최종 특징부를 화학 기계적 연마에 의해 평탄화한다.

- [0039] 상부 다결정 실리콘막(5b)은 CMP에 대한 연마-정지부로서 기능한다. 상부 다결정 실리콘막(5b)은 탄소가 도핑되기 때문에, 인(P) 만이 도핑된 하부 다결정 실리콘막(5a) 등의 일반적인 다결정 실리콘막과는 다르게 표면 스크래치가 발생하지 않는다. 상부 다결정 실리콘막(5b)은 하기에 검증될 바와 같이 탄소가 도핑됨으로써 보다 단단해지기 때문에 스크래치의 영향을 덜 받는다.
- [0040] 연마 정지부로서 기능하는 대략 2 nm 내지 3 nm의 상부 다결정 실리콘막(5b)은 CMP에서 연마되어 제거된다. 그러나, 열 산화가 소자 분리 트렌치(1b)의 형성 후에 선택적으로 수행된다면, 대략 2 nm의 상부 다결정 실리콘막(5b)의 상부가 산화된다. 그래서, 탄소 도핑된 두께가 5 nm 이상의 상부 다결정 실리콘막(5b)이 형성된다. 두께가 10 nm 이상의 상부 다결정 실리콘막(5b)이 공정 능력의 변동을 수용하는데 바람직하며, 두께가 15 nm 이상의 상부 다결정 실리콘막(5b)이 이러한 효과를 발휘하는데 보다 바람직하다. 30 nm 이하의 두께는 에스펙트비의 감소의 관점에서 유리하다.
- [0041] 도 8의 (b)를 참조하면, 소자 분리 트렌치(1b)에 채워진 소자 분리 절연막(2)은 습식 에칭 또는 건식 에칭에 의해 선택적으로 에칭된다. 그래서, 소자 분리막(2)의 상면은 플로팅 게이트 전극(5)을 구성하는 하부 다결정 실리콘막(5a)의 측벽의 대략 중간 높이로 에칭되어 낮춰진다. 이러한 낮춰진 특징부는 메모리 셀 트랜지스터에 제공되는 게이트 전극의 결합 특성을 미세하게 조정하기 위함이다.
- [0042] 도 9의 (a) 및 (b)를 참조하면, 전극간 절연막(6)은 노출된 상부 다결정 실리콘막(5b)의 상면 및 두 개의 대향하는 측벽과, 하부 다결정 실리콘막(5a)의 두 개의 대향하는 상부 측벽들, 및 소자 분리 절연막(2)의 상면을 따라 정렬되도록 아래 적층된 특징부의 위에 전체적으로 형성된다. 전극간 절연막(6)은 CVD에 의해 5 nm 내지 20 nm의 두께 범위로 형성된다. 전극간 절연막(6)은 높은 유전체 상수 절연막의 단일층으로 형성되거나, 또는 실리콘 산화막/높은 유전체 상수 절연막/실리콘 산화막 또는 일반적으로 ONO 막으로 칭하는 실리콘 산화막/실리콘 질화막/실리콘 산화막의 적층으로 형성되거나, 또는 ONO 막의 상측 및 하측에 추가 질화막층을 포함하는 5개의 NONON 막으로 형성되어도 좋다.
- [0043] 이제, 도 10의 (a) 및 (b)를 참조하면, 전극간 절연막(6)의 상부에는, 제어 게이트 전극(7)으로서 기능하는 다결정 실리콘막(7c)이 CVD에 의해 50 nm 내지 150 nm 범위의 두께로 형성된다. 다결정 실리콘막(7c)은 인(P) 및 비소(As)와 같은 불순물을 포함한다. 다결정 실리콘막(7c)의 상부에는, 실리콘 질화막(11)이 CVD에 의해 50 nm 내지 200 nm 범위의 두께로 형성된다. 또한, 실리콘 질화막(11) 위에는 50 nm 내지 400 nm 범위의 두께로 실리콘 산화막(12)이 도핑된다.
- [0044] 도 11의 (a)를 참조하면, 특징부는 메모리 셀 트랜지스터의 게이트 전극 MG과 같은 게이트 전극들을 형성하도록 분리된다. 보다 구체적으로, 포토레지스트는 실리콘 산화막(12)에 걸쳐 코팅됨으로써, 미리 정해진 선 및 간격으로 패터닝된다. 패터닝된 포토레지스트를 마스크로서 사용하면, 실리콘 산화막(12)은 에칭되어 하드 마스크가 되며, 이후에 패터닝된 포토레지스트는 제거된다.
- [0045] 이후, 실리콘 질화막(11)은 실리콘 산화막(12)으로 이루어진 하드 마스크를 이용하여 에칭된다. 에칭된 실리콘 질화막(11)을 마스크로 이용하면, 다결정 실리콘막(7c), 전극간 절연막(6), 상부 다결정 실리콘막(5b), 하부 다결정 실리콘막(5a), 및 게이트 절연막(4)이 순서대로 에칭되어 게이트 전극 MG를 형성한다. 그래서, 하부 다결정 실리콘막(5a) 및 상부 다결정 실리콘막(5b)이 형성된 플로팅 게이트 전극(5)이 형성된다. 다결정 실리콘막(7c)은 제조 공정 흐름에서 나중에 실리콘사이드되어, 하부 다결정 실리콘층(7a) 및 실리콘사이드층(7b)를 포함하는 제어 게이트 전극(7)을 형성한다.
- [0046] 이제, 도 12의 (a)를 참조하면, 불순물 확산 영역(1a)은 게이트 전극들 MG 사이에 노출된 실리콘 기관(1)의 표면층에서의 이온 주입에 의해 형성된다. 이온 주입에 의해 주입되는 불순물들은, 실리콘에 비하여 n 형인 예컨대 인(P) 및 비소(As)이다. 이온 주입 이후에, 주입된 불순물을 활성화시켜 불순물 확산 영역(1a)이 얻어지도록 열처리가 실행된다.
- [0047] 도 12의 (a)는 메모리 셀 영역에 형성된 불순물 확산 영역(1a)을 나타낸다. 본 명세서에 도시되지 않고 상세히 설명되지 않을지라도, NAND 플래시 메모리에는, 이의 불순물 확산 영역이 실리콘 기관(1)의 표면층에 동일 방식으로 형성된 메모리 셀 영역 이외에도 주변 회로 영역이 더 제공된다. 트랜지스터들의 오동작을 초래할 수 있는 숏 채널 효과(short channel effect)와 같은 미세 공정의 해로운 부차적 결과를 없애기 위해서는, 트랜지스

터들과 같은 소자들에 대해 주변 회로 영역에 불순물 확산 영역을 형성할 때에 측벽 절연 기술을 활용하는 LDD(Lightly Doped Drain) 및 DDD(Double Diffused Drain)와 같은 구조들을 채용하는 것이 바람직하다. 이러한 구조들은, 예컨대 게이트 구조에 걸쳐 실리콘 산화막을 형성하고, 상기 실리콘 산화막을 이방성 에칭하여 게이트의 측벽에 걸쳐 실리콘 산화막의 일부를 남긴 후에 자기 정렬 게이트(self aligned gate)가 형성되도록 이온이 주입됨으로써 형성될 수 있다.

[0048] 이제, 도 13의 (a)를 참조하면, 셀간 절연막(8)은 게이트 전극들 MG 사이의 갭들 내로 채워진다. 셀간 절연막(8)은, 예컨대 TEOS를 채용하는 실리콘 산화막에 의해 형성되거나, 또는 메모리 셀들간의 증가된 커패시턴스로부터 기인한 회로 에러를 방지하기 위한 낮은 유전체 상수 절연막에 의해 형성된다. 갭 충전 공정에 대해 상세히 설명하면, 우선, 셀간 절연막(8)은 전체 특징부를 감싸도록 상술된 바와 같이 형성된 게이트 전극들 MG 간의 갭들 내로 넘치게 채워진다. 이후, 게이트 전극 MG의 상부의 셀간 절연막(8)은 이방성 에칭에 의해 제거되며, 게이트 전극 MG의 갭들 사이에 채워진 셀간 절연막(8)은 실리콘 질화막(11)의 상면과 대략 동일한 높이로 되어 일반적인 평면이 되도록 높이가 낮춰진다.

[0049] 도 14의 (a) 및 (b)를 참조하면, 장벽 절연막(13)이 실리콘 질화막(11) 및 셀간 절연막(8)에 걸쳐 형성되며, 절연막(14)이 장벽 절연막(13)의 상부에 더 형성되어 메모리 셀 영역 이외의 영역에 위치한 리세스(recesses)를 채운다. 일반적으로 실리콘 질화막으로 형성된 장벽 절연막(13)은 셀간 절연막(8)과는 에칭률이 다르며, 수소에 대한 장벽으로서 기능한다. 절연막(14)을 형성하는 다른 목적은 셀간 절연막(8)에 의해 채워지지 않는 게이트 전극 MG 갭들을 채우기 위한 것 이외에도, 메모리 셀 영역에 위치되는 잔여 리세스를 채우기 위함이다. 이러한 조건들을 만족시키기 위해서는, 절연막(14)은 깊고 넓은 트렌치들을 평탄화하는데 적합한 높은 유동성을 지니는 BSPG(붕소-인-규산염; boro-phospho-silicate)와 같은 재료로 형성되는 것이 바람직하다.

[0050] 도 15의 (a) 및 (b)를 참조하면, 도시되지 않은 상술된 리세스에 채워진 절연막(14)은 리세스가 절연막(14)에 의해 채워져 남아 있을 정도까지 CMP에 의해 평탄화된다. 실리콘 질화막으로 형성되는 장벽 절연막(13)은 CMP를 위한 연마 정지부로서 기능한다.

[0051] 이후, 도 16의 (a) 및 (b)에 도시된 바와 같이, 장벽 절연막(13) 및 실리콘 질화막(11)은 에칭되어 제거되고, 셀간 절연막(8)은 도 16의 (a)에 도시된 바와 같이 이방성 에칭에 의해 미리 정해진 높이까지 에칭되어 낮춰져 제어 게이트 전극(7)으로 나중에 처리되는 다결정 실리콘막(7c)의 상부가 노출된다. 셀간 절연막(8)의 상면이 최후에는 제어 게이트 전극(7)을 구성하는 다결정 실리콘막(7c)의 상면 아래로 낮춰지기 때문에, 다결정 실리콘막(7c)은 실리콘사이드될 때에 금속에 대한 비교적 큰 노출부를 갖게 되어, 실리콘사이드이션의 효율이 향상된다.

[0052] 도 17의 (a) 및 (b)를 참조하면, 니켈(Ni) 막(15)이 스퍼터링에 의해 전체 특징부에 걸쳐 미리 정해진 두께로 형성된다. 결과적으로, 니켈 막(15)은 다결정 실리콘막(7c)의 상면과 상부 측벽과, 다결정 실리콘막(7c) 기둥 사이에 노출된 셀간 절연막(8)의 상면을 따라 정렬된다. 금속과 실리콘, 본 경우에는 니켈 막(15)과 다결정 실리콘막(7c)의 계면의 순도가 실리콘사이드이션에서 결정적으로 중요하기 때문에, 니켈 스퍼터 이전에 습식 또는 건식 에칭에 의해 다결정 실리콘막(7c)의 표면을 깨끗하게 하는 것이 바람직하다.

[0053] 이제, 도 18의 (a) 및 (b)를 참조하여, 니켈 실리콘사이드(NiSi) 층(7b)을 형성하기 위하여 니켈 막(15)과 다결정 실리콘막(7c)의 반응이 개시되도록 RTA(Rapid Thermal Anneal)를 실행한다. 열처리에 의해 실리콘사이드를 형성하는 하나의 가능한 접근법은 절연막 위에 적층되는 니켈 막을 400°C 이상의 온도로 열 처리하는 것으로 알려져 있다. 그러나, 이러한 경우에, 니켈 막은 쉽게 응집되어, 워드선들이 단락되는 것과 같은 문제점과, 원하지 않는 영역에서 의도하지 않게 실리콘사이드이션되는 것과 같은 문제점을 초래하는 소위 위스커(whisker)를 형성할 가능성이 있다. 이러한 위험은 두가지 상이한 단계로 열처리를 실행함으로써 해결될 수 있다.

[0054] 5분 이하로 250°C 내지 400°C의 온도 범위에서 니켈 막(15)을 형성한 후에 제1 열처리를 실행한다. 실리콘과 접촉하는 니켈 막(15)의 일부는 디니켈(dinickel) 실리콘사이드(Ni<sub>2</sub>Si) 또는 디니켈 실리콘사이드(Ni<sub>2</sub>Si)와 니켈 모노실리사이드(NiSi)의 혼합물을 포함하는 니켈 풍부(rich) 실리콘사이드막(15a)으로 변형된다. 또한, 저온 열처리 동안에, 다결정 실리콘막(7c)과 접촉하지 않는 절연막 위의 니켈, 다시 말하면, 셀간 절연막(8) 위의 대부분의 니켈 막(15)은 응집 없이 비-반응 상태로 남아있다.

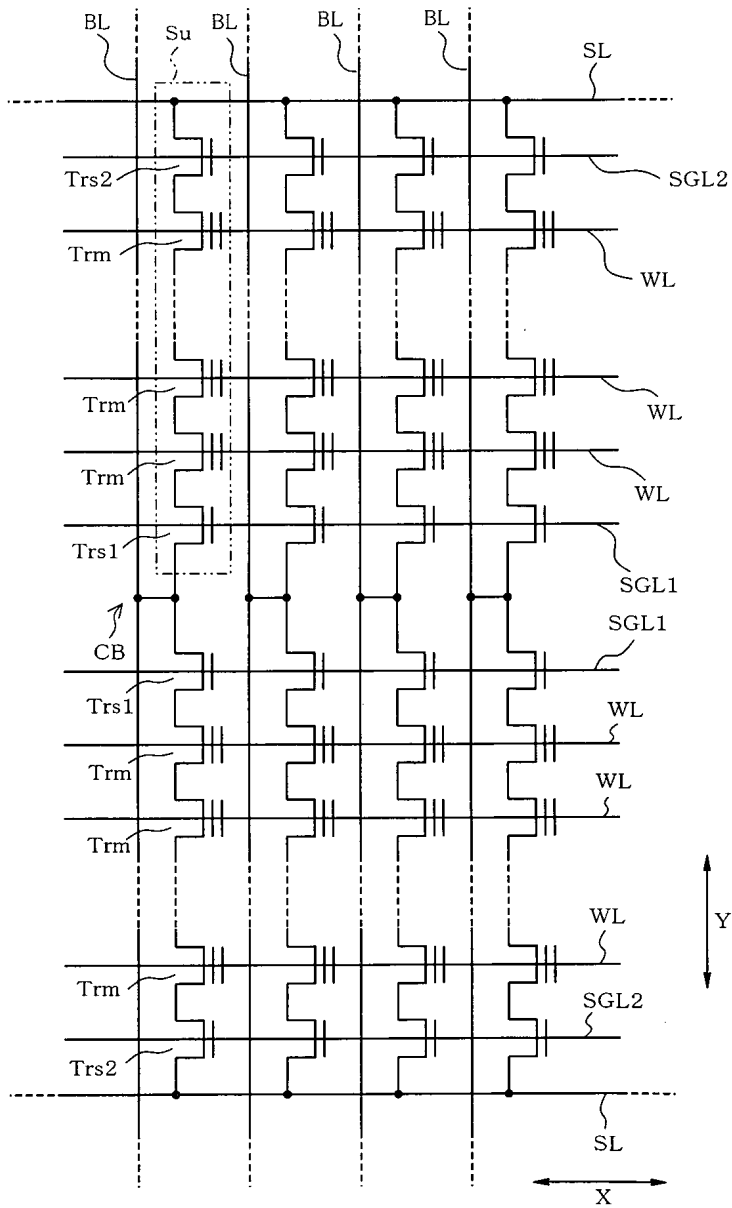
[0055] 다음으로, 도 19의 (a)를 참조하면, 셀간 절연막(8) 위에 잔존하는 비-반응 니켈 막(15)은 황산 과산화수소 혼합물 또는 알카리 과산화수소 혼합물에 의해 선택적으로 제거된다. 그래서, 다결정 실리콘막(7c)의 상면 및 측면에서 니켈 막(15)과 반응하였던 니켈 풍부 실리콘사이드막(15a)은 도 19의 (a)에서 볼 수 있는 바와 같이 남아 있다.

- [0056] 이후, 도 20의 (a) 및 (b)에서, 450°C 내지 550°C의 온도 범위하에서 5분 이하 동안 제2 열 처리가 실행된다. 그래서, 니켈 풍부 실리사이드막(15a)은 다결정 실리콘막(7c)의 실리사이드이션을 촉진하여 다결정 실리콘막의 상부를 니켈 모노실리사이드로 이루어지는 실리사이드층(7b)로 변형시킨다. 결과적으로, 다결정 실리콘막(7c)의 절반 또는 절반 이상이 실리사이드층(7b)으로 변형되며, 나머지는 다결정 실리콘층(7a)으로서 남아있다. 그래서, 다결정 실리콘층(7a) 및 실리사이드층(7b)을 포함하는 제어 게이트 전극(7)이 얻어진다. 실리사이드층(7b)의 두께는 스퍼터 니켈 막(15)의 두께를 변경함으로써 제어될 수 있다. 다른 예시적인 실시예에서, 제어 게이트 전극(7)은 다결정 실리콘막(7c)이 완전히 실리사이드 되도록 형성되어도 좋다.
- [0057] 다음으로, 도 3의 (a) 및 (b)로 되돌아 가면, 층간 절연막(9)으로서 기능하는 실리콘 산화막은 플라즈마 CVD에 의해 형성되며, 상기 플라즈마 CVD 이후에는 NAND 플래시 메모리 장치의 칩이 얻어지도록 콘택트 및 배선 형성을 위한 단계들이 후속된다.
- [0058] 상기 설명된 예시적 실시예에 따르면, 메모리 셀 트랜지스터의 플로팅 게이트 전극(5)은 하부 다결정 실리콘막(5a)의 위에 탄소가 도핑된 단단한(hard) 상부 다결정 실리콘막(5b)을 형성함으로써 얻어졌다. 그래서, 단단한 상부 다결정 실리콘막(5b)은 CMP 동안에 비교적 스크래칭을 덜 받는 연마 정지부로서 기능하여도 좋다. 스크래치에 대한 이러한 내성으로 인하여 통상적으로 요구되는 추가적인 연마 정지부, 즉 일반적으로 실리콘 질화막이 필요하지 않게 되어, 게이트 전극의 전체 높이가 줄어들게 되어 결과적으로 애스펙트비가 줄어들게 된다. 감소된 애스펙트비는 일반적으로 소자 분리 트렌치들(1b)의 형성 후에 발생하는 패턴 붕괴와 같은 단점을 제거하여 기억 장치의 제조의 수율을 향상시킨다.
- [0059] 또한, 상부 다결정 실리콘막(5b)은  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상의 도펀트 농도 및 일반적으로  $2 \times 10^{20}$  내지  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 범위로 구성된 도펀트 농도를 가지는 탄소가 도핑된다. 본 발명자들은 상술된 바와 같이 처리된 상부 다결정 실리콘막(5b)이 CMP에 대한 연마 정지부로서 사용될 때 우수한 스크래치 방지 능력을 보인다는 실험을 통하여 시중의 용도에 적합하다는 것을 검증하였다.
- [0060] 탄소가 도핑된 상부 다결정 실리콘막(5b)은 열처리 동안에 산화에 대하여 향상된 내성을 보인다. 이는 상부 다결정 실리콘막(5b) 위에 형성된 전극간 절연막(6)에서 버드빅(bird's beak)의 형성을 방지하여 기억 장치 특성의 안정도를 향상시킨다.
- [0061] 본 발명자들은 이하의 조건 (1) 내지 (3) 하에서 생성된 제1 내지 제3의 샘플들을 비교함으로써, 상부 다결정 실리콘막(5b)에 첨가된 탄소의 도펀트 농도와 스크래치 형성의 양태와의 관계를 검증하였다. 각각의 샘플의 넘버는 이들이 생성된 조건의 넘버에 대응된다. 샘플들은 CMP 처리를 받았고, 스크래치 형성의 측정에 의해 평가되었다.
- [0062] 제1 샘플 내지 제3 샘플은 각각이 실리콘 기판으로 이루어진 베이스 재료와, 실리콘 기판의 상부에 형성된 100 nm의 열 산화막을 포함하도록 준비되었다.
- [0063] 제1 샘플에는 (1) 베이스 재료의 상부에 형성된, 100 nm의 탄소를 포함하지 않는 다결정 실리콘막이 더 제공되었다.
- [0064] 제2 샘플에는 (2) 10 sccm의 에틸렌(C<sub>2</sub>H<sub>4</sub>) 가스에 놓여짐으로써  $2 \times 10^{20}$  atoms/cm<sup>3</sup>의 도펀트 농도로 탄소를 포함하도록, 하부 다결정 실리콘막의 상부에 형성된 30 nm의 상부 다결정 실리콘막과, 베이스 재료의 상부에 형성된 70 nm의 하부 다결정 실리콘막이 더 제공되었다.
- [0065] 제3 샘플에는 (3) 100 sccm의 에틸렌(C<sub>2</sub>H<sub>4</sub>) 가스에 놓여짐으로써  $2 \times 10^{21}$  atoms/cm<sup>3</sup>의 도펀트 농도로 탄소가 도핑되는 하부 다결정 실리콘막의 상부에 형성된 30 nm의 상부 다결정 실리콘막과, 베이스 재료의 상부에 형성된 70 nm의 하부 다결정 실리콘막이 더 제공되었다.
- [0066] 제1 내지 제3 샘플에서 수행된 CMP의 결과로 볼 때, 탄소가 도핑되었던 제2 및 제3 샘플에서 스크래치가 관찰되지 않았다. 이러한 사실로 보아, 상술된 예시적 실시예에 따르면, 상부 다결정 실리콘막에  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 이상의 도펀트 농도로 탄소를 첨가하였을 때에 CMP에 의해 스크래치가 전혀 발생되지 않을 수 있었다. 이러한 레벨의 도펀트 농도는 상부 다결정 실리콘막을 형성할 때에 10 sccm 이상의 에틸렌(C<sub>2</sub>H<sub>4</sub>) 가스를 유동시켜 얻어질 수 있다.

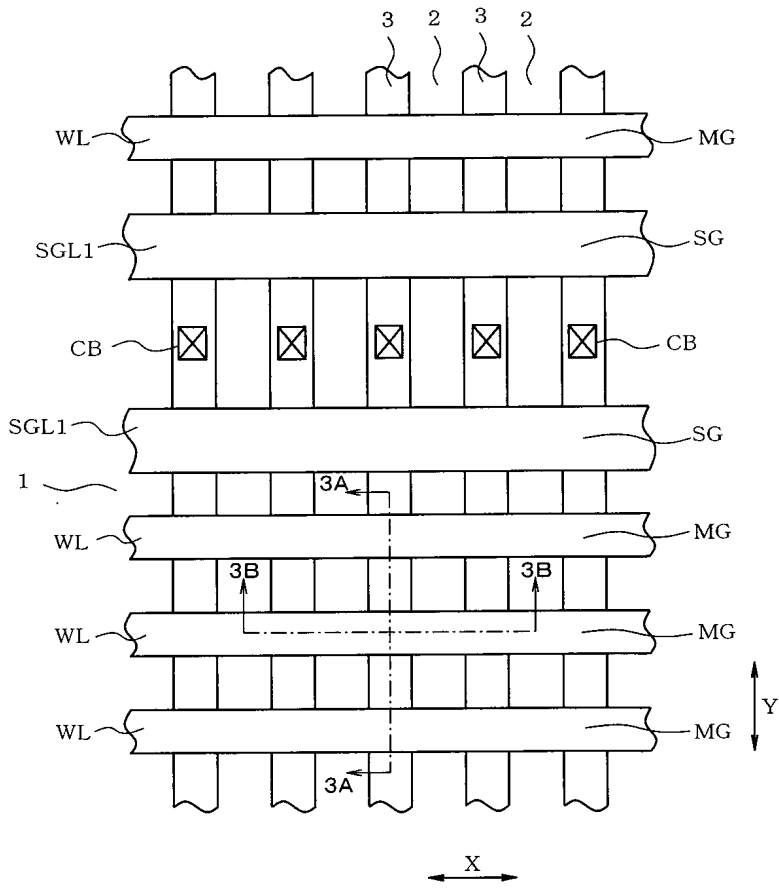
- [0067] 상술된 예시적 실시예로부터는, 탄소가 포함되지 않은 통상의 다결정 실리콘막에 비하여 경도가 높았기 때문에, 탄소가 도핑된 상부 다결정 실리콘막(5b)에서 스크래치가 발생하지 않는다고 할 수 있다. 그러나, 탄소를 포함하지 않는 다결정 실리콘막은 측정 불가능한, 자연적으로 발생하거나 불가피한 탄소 불순물을 포함한다. 그래서, 달리 설명하면, 다결정 실리콘막 내의 측정가능한 탄소의 농도는 스크래치가 발생되지 않게 하거나 또는 적어도 스크래치의 발생을 감소시키는 것으로 충분하다. 또한, CMP에서 스크래치가 형성되는 연마는 슬러리 입경 또는 연마 입경 및 연마 비율과 같은 연마 파라미터들에 기인한 것일 수 있다. 일반적으로, 보다 높은 연마 비율과 보다 높은 슬러리 입경으로 수행된 CMP에 의해 특징부에는 스크래치가 발생하기 쉬우나, 감소된 연마 비율과 감소된 슬러리 입경은 연마 시간을 증가시키므로, 공정 능력에 따라 연마 파라미터들을 조정할 필요가 있다. 이를 개선하기 위해, 다결정 실리콘막에 포함되는 자연적으로 발생하거나 불가피한 탄소 불순물을 초과하는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이상의 탄소가 다결정 실리콘막에 첨가된다면, 스크래치 형성을 감소시킬 수 있다.
- [0068] 본 발명의 예시적 실시예는 상술의 예시적 실시예에 한정되는 것이 아니라, 후술될 바와 같이 변경 또는 확장될 수 있다.
- [0069] 상부 다결정 실리콘막 내로 탄소를 포함시키는데 사용되는 에틸렌(C<sub>2</sub>H<sub>4</sub>) 가스는 다른 유기 화합물, 다시 말하면 탄소 함유 가스로 대체되어도 좋다. 또한, 탄소 함유 가스에 상부 다결정 실리콘막을 노출시키는 대신에, 이온 주입에 의해 탄소를 포함하지 않는 다결정 실리콘막 내로 탄소를 포함시켜도 좋다.
- [0070] 상층, 보다 구체적으로, 플로팅 게이트 전극(5)의 상부 다결정 실리콘막(5b) 내로 탄소를 첨가시키는 것 이외에, 하부 다결정 실리콘막(5a)의 게이트 절연막(4) 측, 다시 말하면 플로팅 게이트 전극(5)의 하층/일부 상에, 플로팅 게이트 전극(5)의 중간층을 탄소를 포함하지 않는 것으로 유지하면서 탄소가 도핑된 층을 더 형성하여도 좋다. 이러한 구성은 게이트 절연막(4)의 에지에서 버즈빅 형성을 방지한다는 점에서 유리하다.
- [0071] 또한, 제어 게이트 전극(7)은 플로팅 게이트 전극(5)의 경우와 마찬가지로 탄소가 도핑된 다결정 실리콘막을 포함하여도 좋다. 제어 게이트 전극(7)의 하층에 탄소 첨가층이 형성된다면, 기억 장치 특성의 안정성을 향상시킬 수 있을 뿐만 아니라 버즈빅을 방지할 수 있기 때문에 유리하다. 제어 게이트 전극(7)의 상층에 탄소 첨가층을 형성한다면, 실리사이드의 내성이 향상된다. 상술된 바와 같이, 탄소 첨가층은 제어 게이트 전극(7)의 상부 및 하부층 모두에 형성되어도 좋다.
- [0072] 본 출원을 통하여 NAND 플래시 메모리 기억 장치에 대한 본 개시 내용의 특징들을 설명하였지만, 본원의 특징들은 플로팅 게이트 전극 구성이 채용되는 NOR 플래시 메모리 기억 장치 및 다른 비휘발성 기억 장치들에 적용되어도 좋다.
- [0073] 특정 실시예들을 설명하였지만, 이들 실시예들은 예로서 제시된 것일 뿐, 본 발명의 범위를 제한하기 위한 것이 아니다. 본 명세서에 설명된 신규한 실시예들은 다양한 다른 형태로 실시될 수 있으며, 또한 본 명세서에 설명된 실시예들의 다양한 생략, 대체 및 변경이 본 발명의 요지를 벗어남 없이 이루어질 수 있다. 첨부된 청구 범위 및 이의 등가물은 상기의 다양한 다른 형태 또는 변형을 커버하기 위한 것이며, 상기 첨부된 청구 범위 및 이의 등가물은 본 발명의 범위 및 요지 내에 있다.

도면

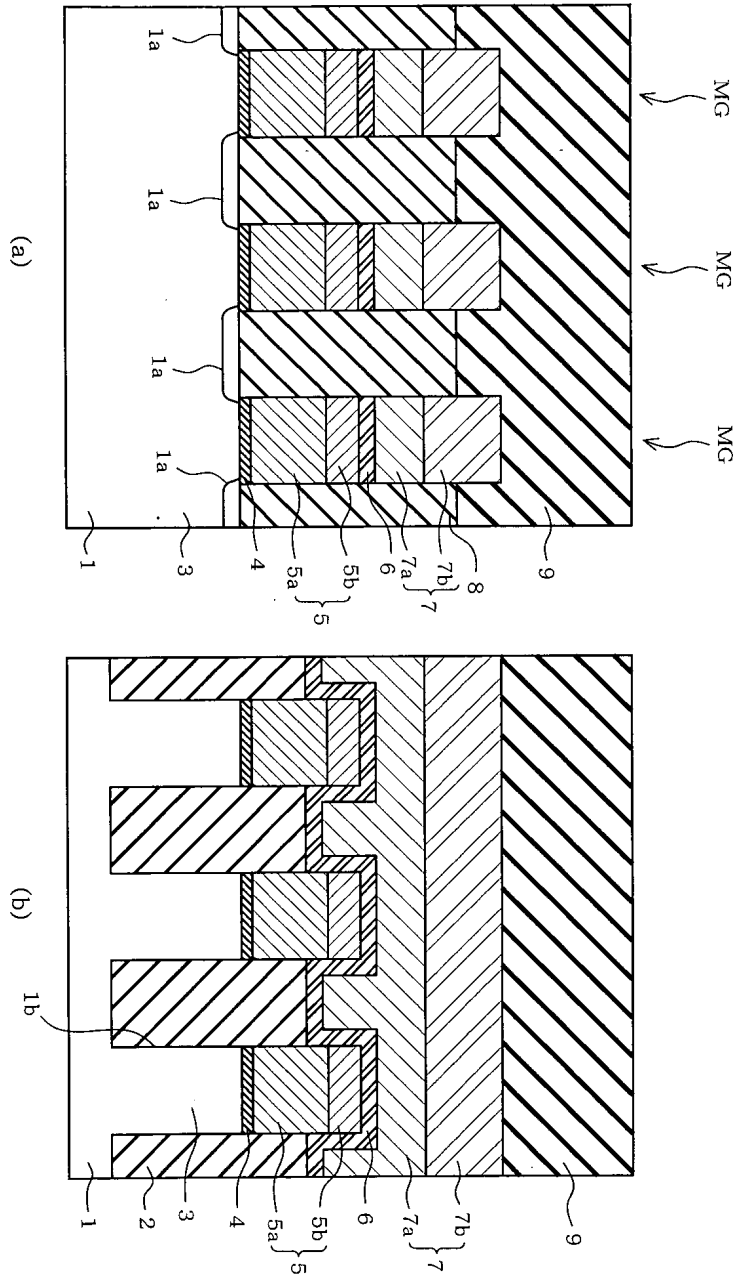
도면1



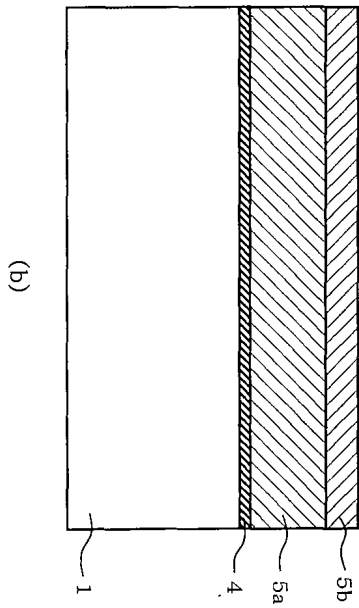
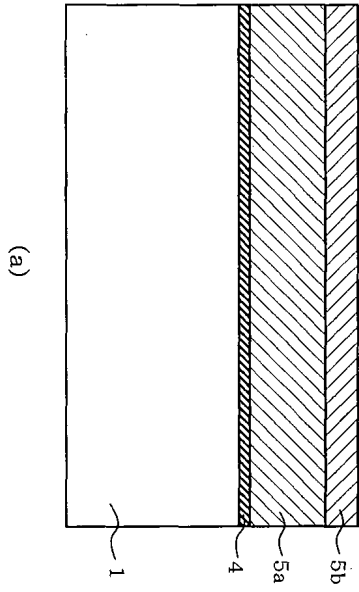
도면2



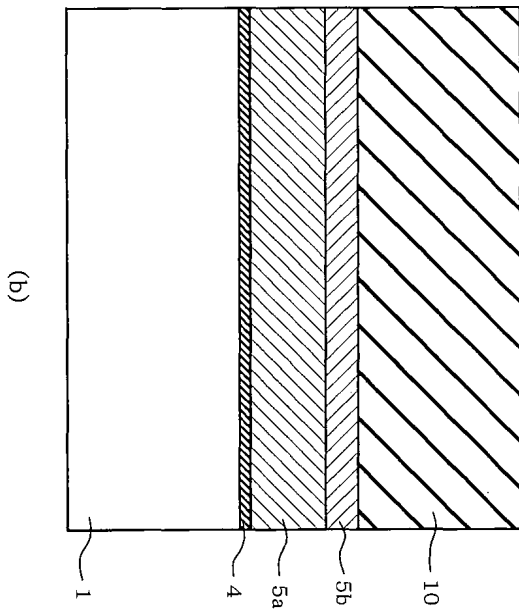
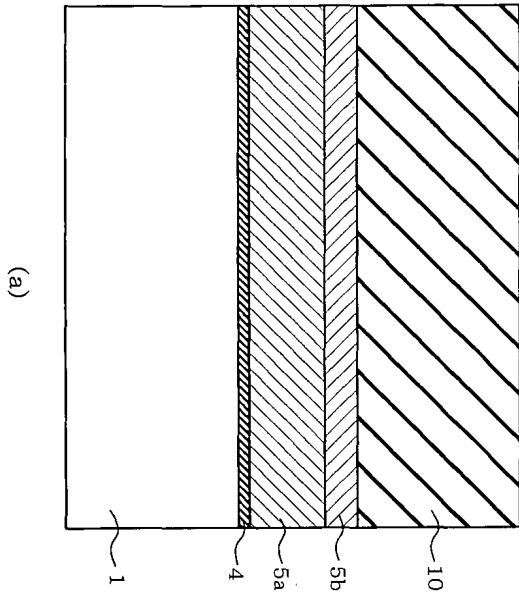
도면3



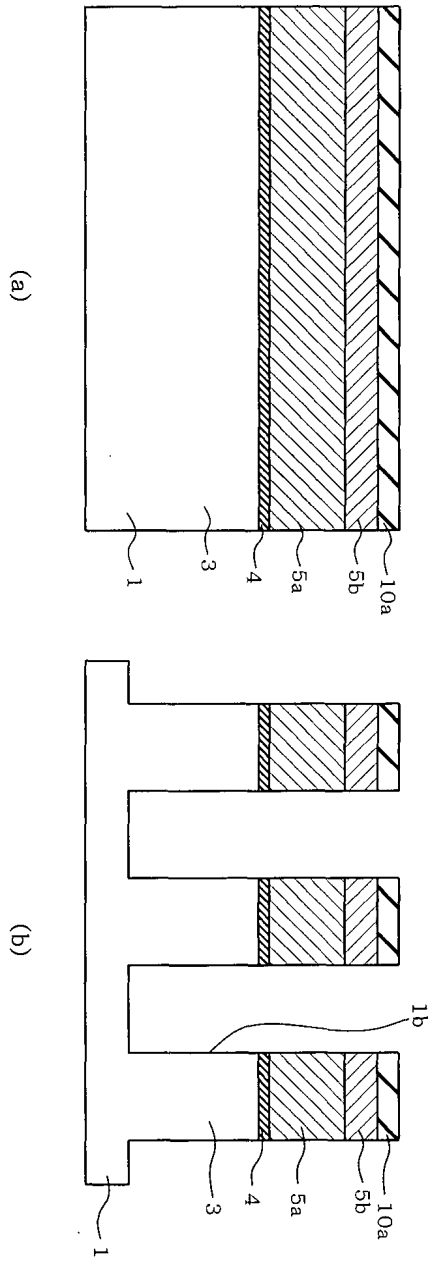
도면4



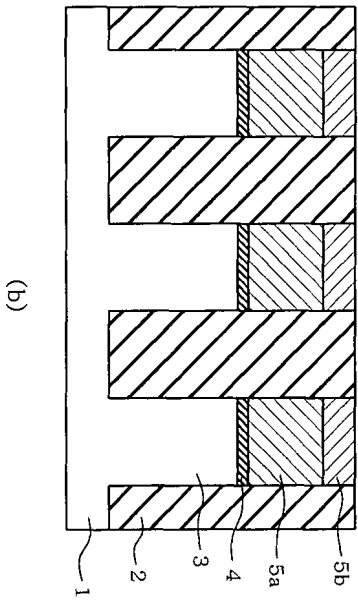
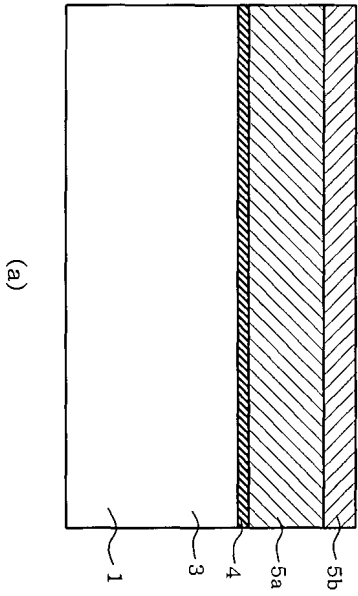
도면5



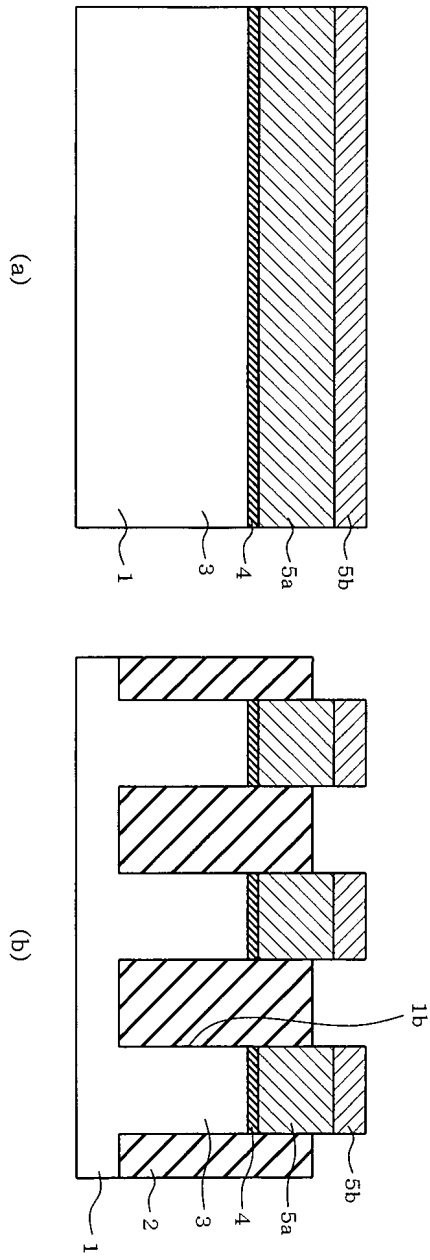
도면6



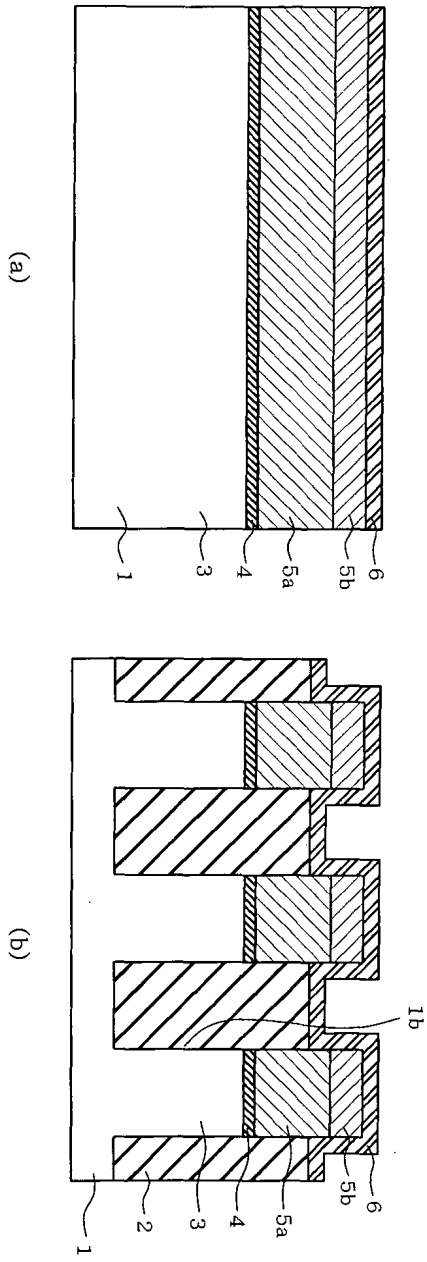
도면7



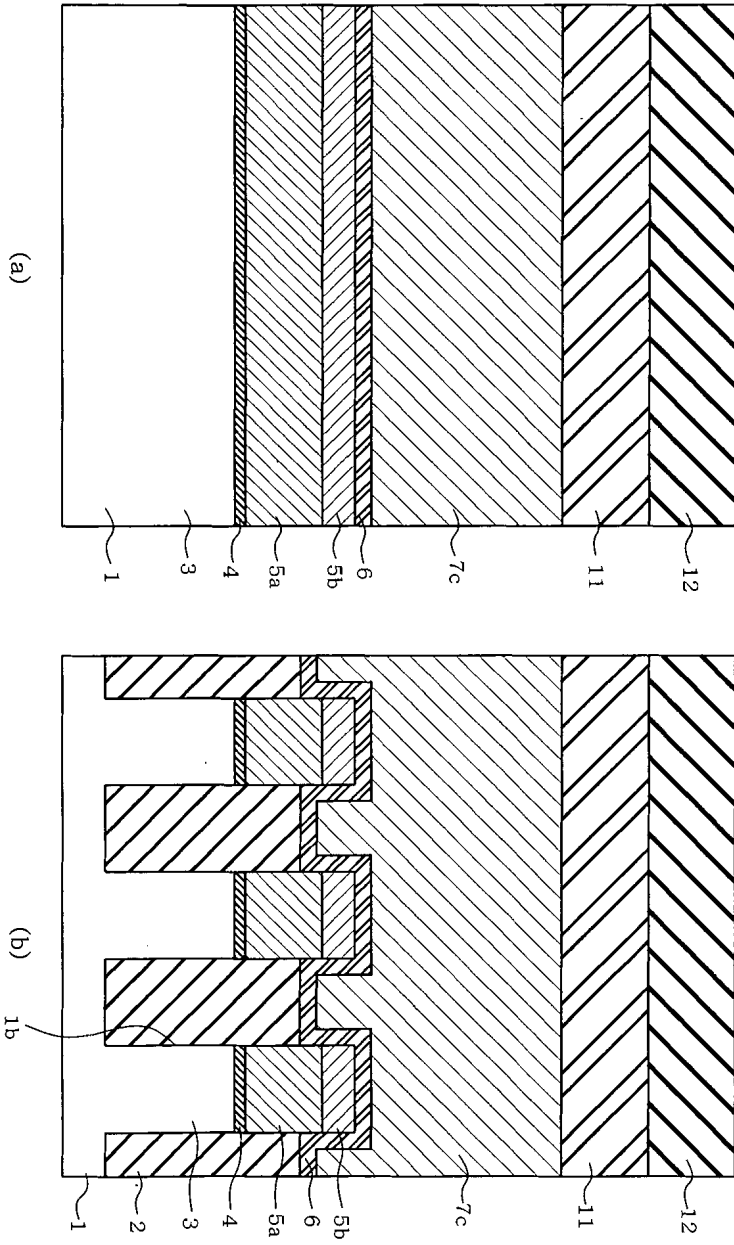
도면8



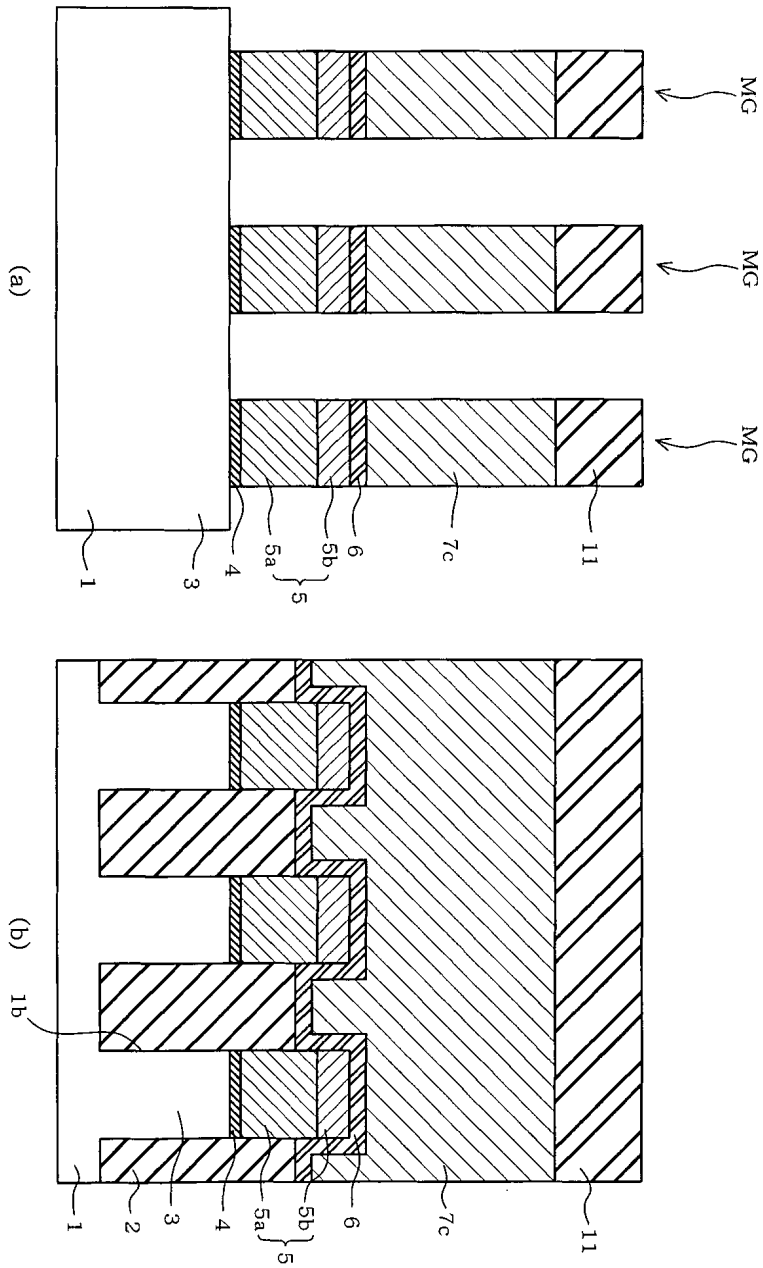
도면9



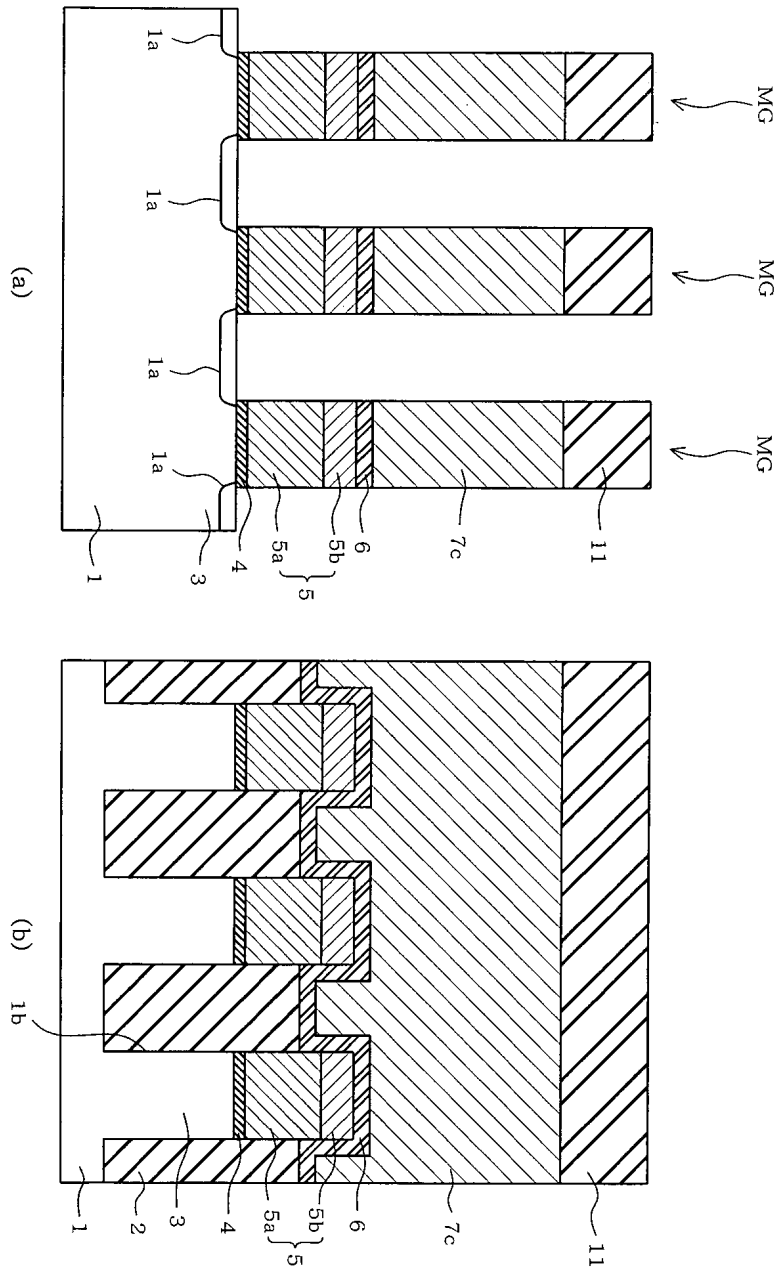
도면10



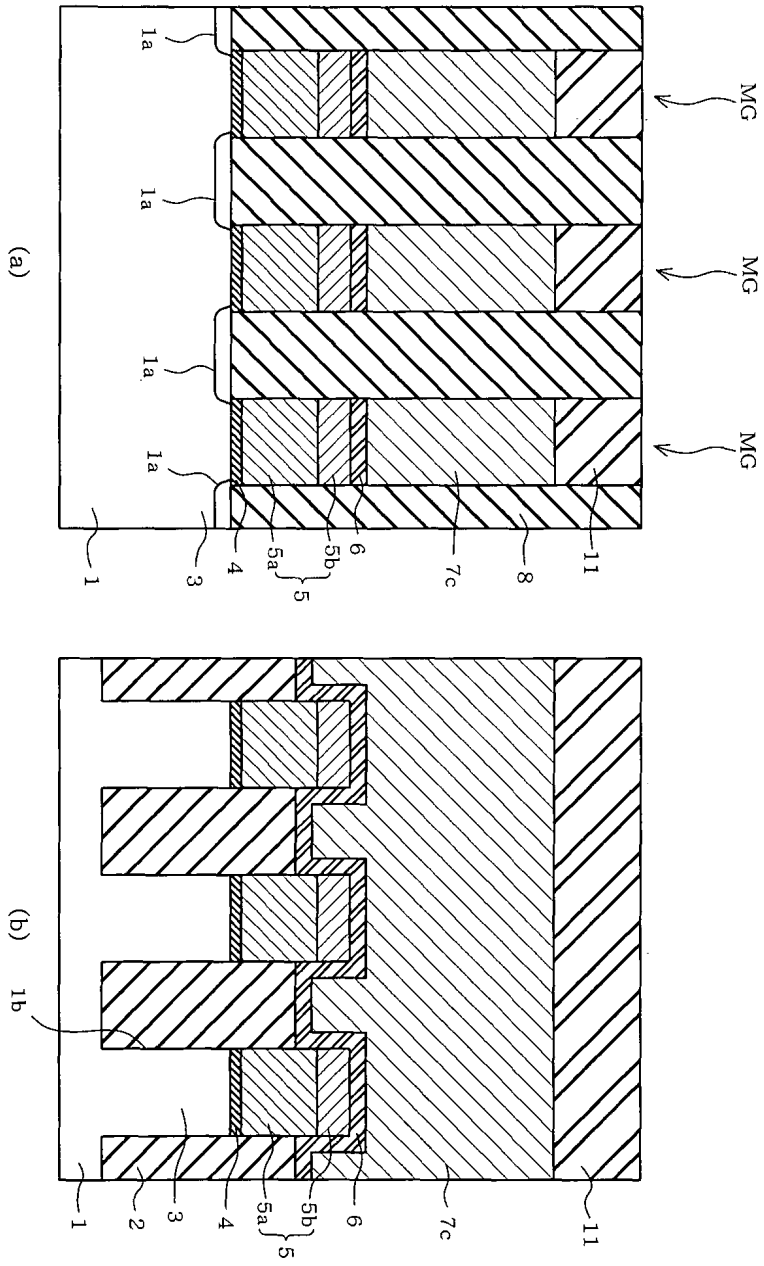
도면11



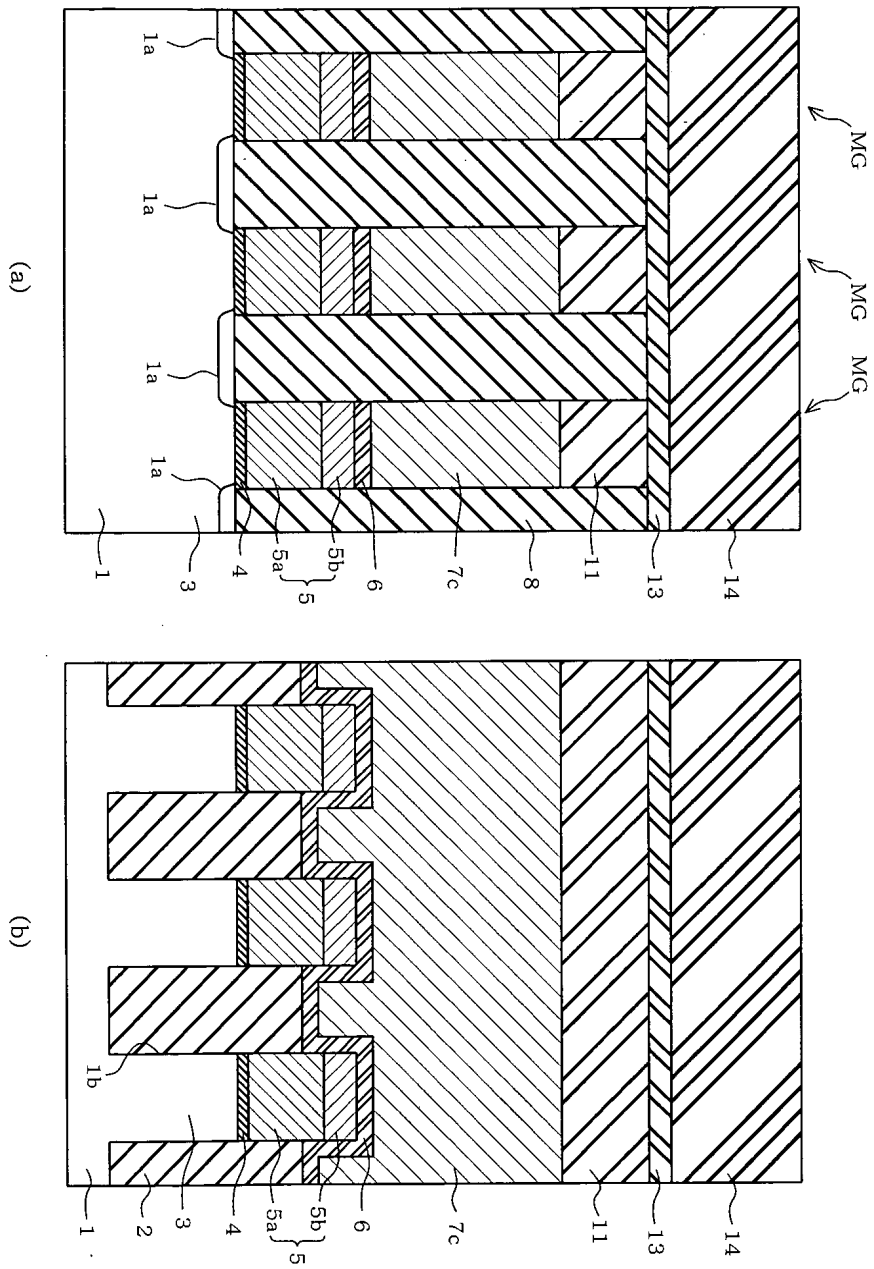
도면12



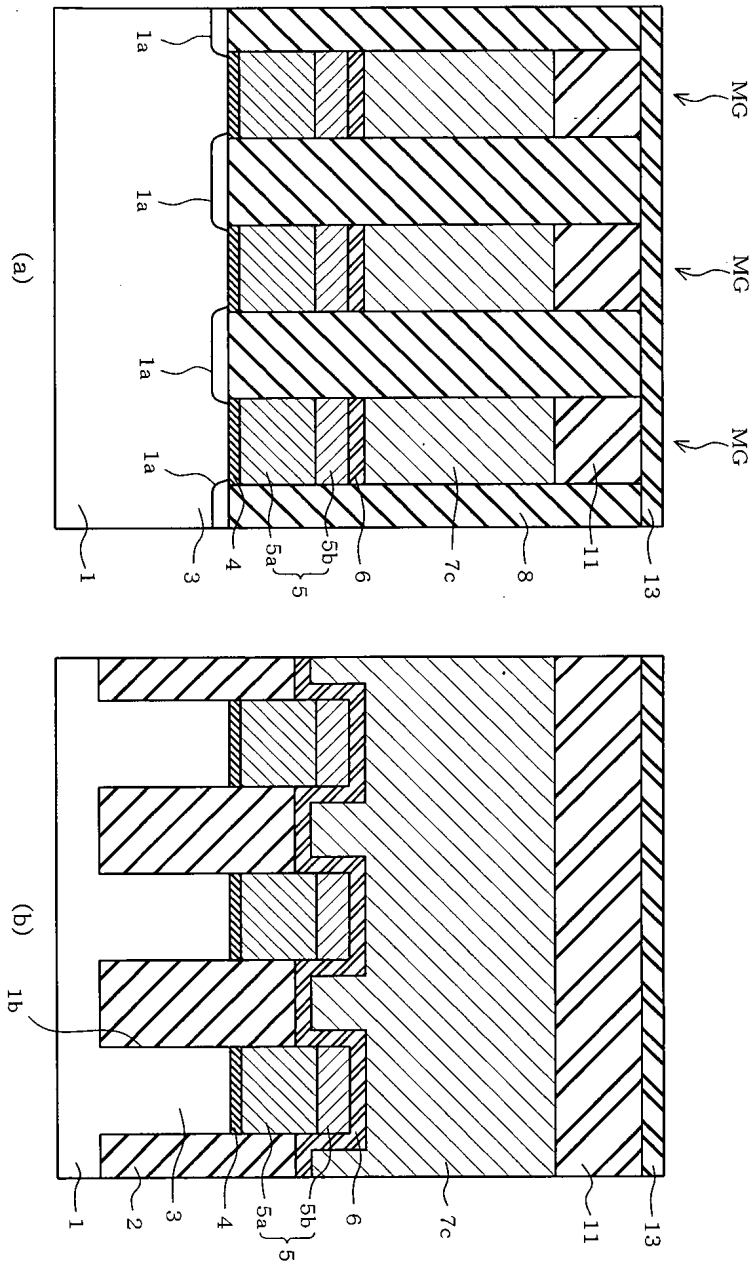
도면13



도면14

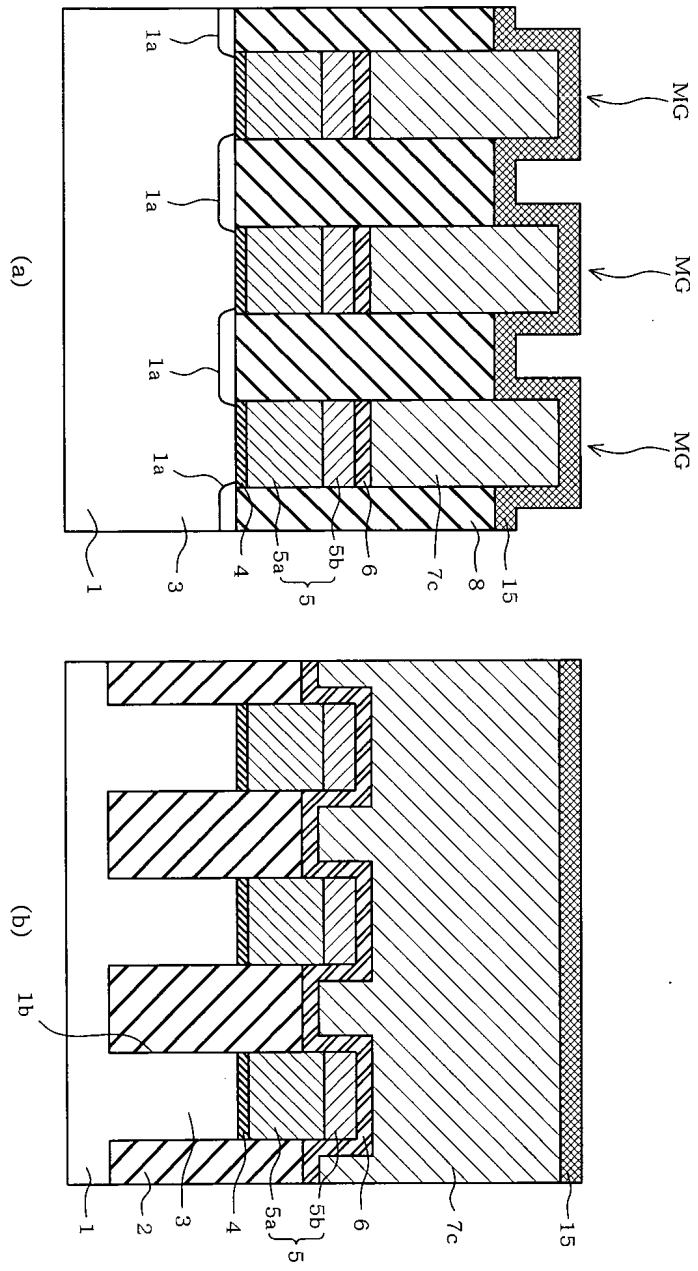


도면15

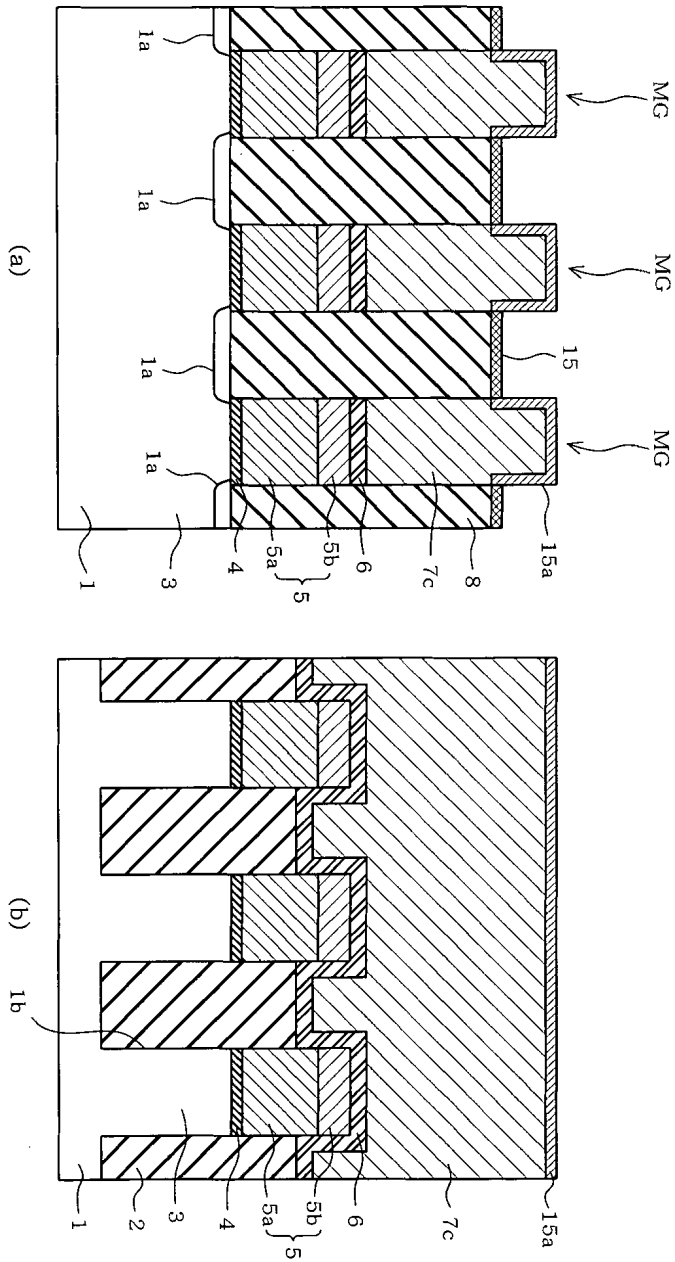




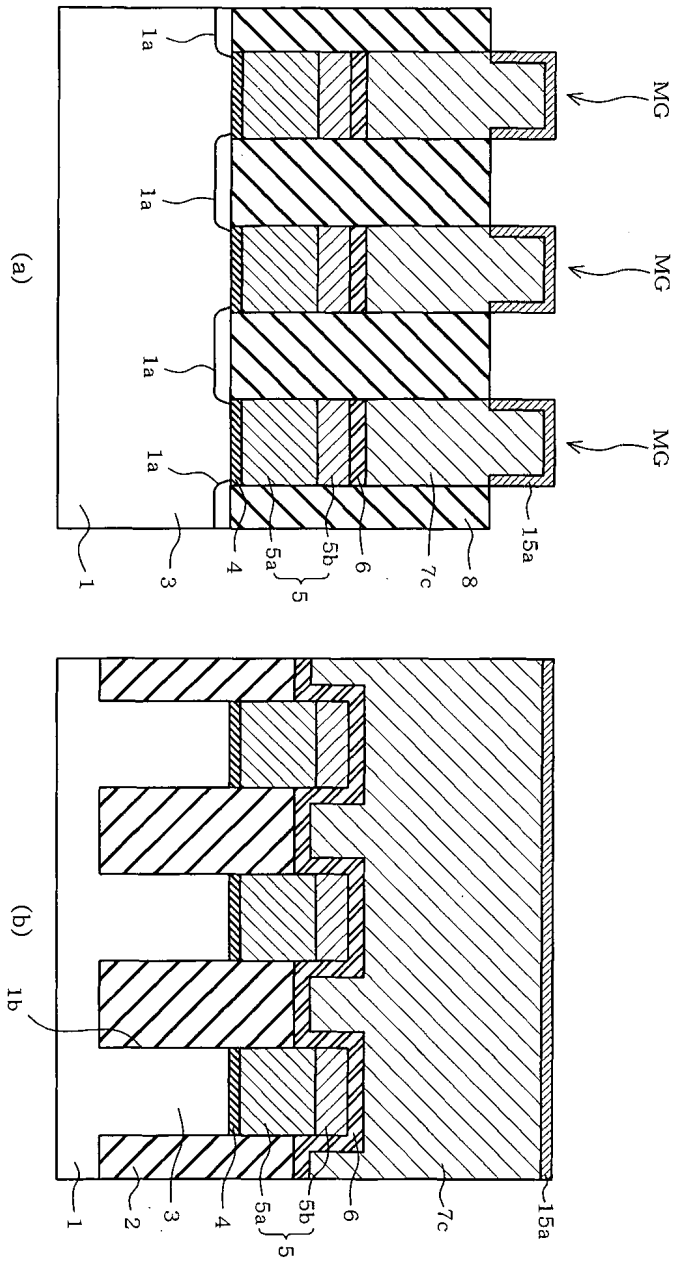
도면17



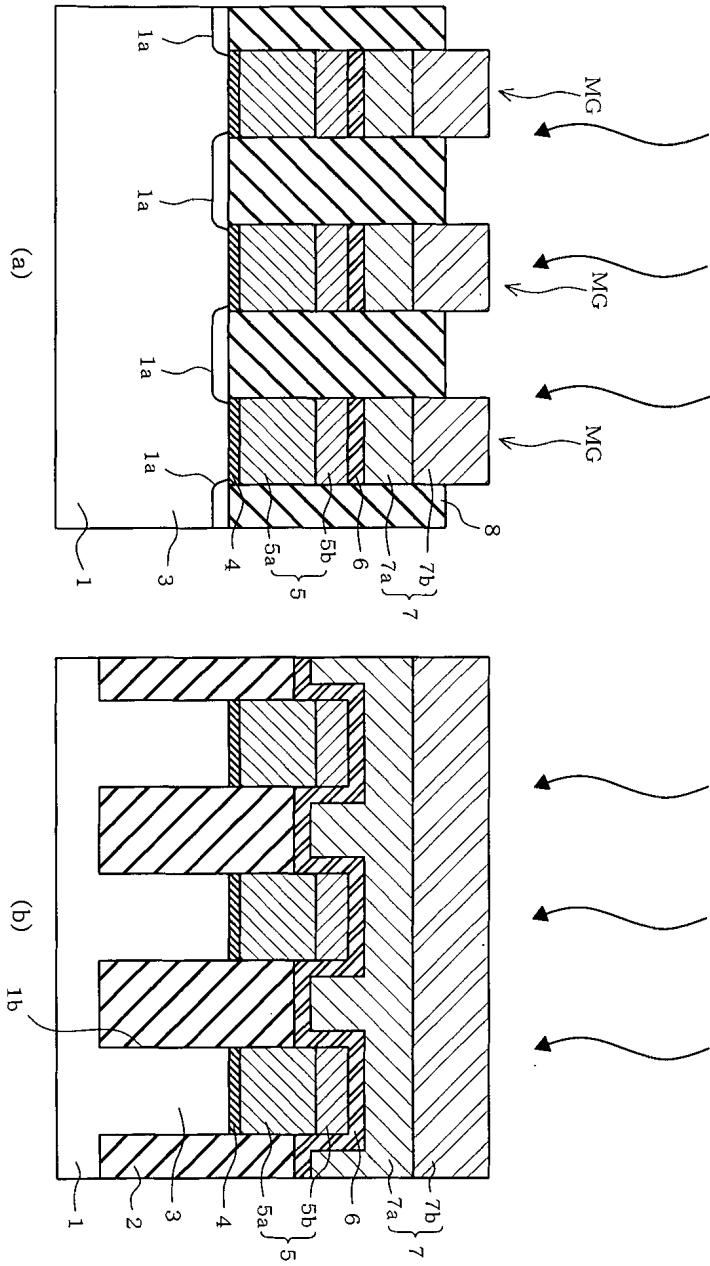
도면18



도면19



도면20



도면21

