

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-165351

(P2004-165351A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int.Cl.⁷

H01L 27/105

F I

H01L 27/10 444B

テーマコード (参考)

5F083

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2002-328382 (P2002-328382)

(22) 出願日 平成14年11月12日 (2002.11.12)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100077517

弁理士 石田 敬

(74) 代理人 100086276

弁理士 吉田 維夫

(74) 代理人 100092624

弁理士 鶴田 準一

(74) 代理人 100082898

弁理士 西山 雅也

(74) 代理人 100081330

弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

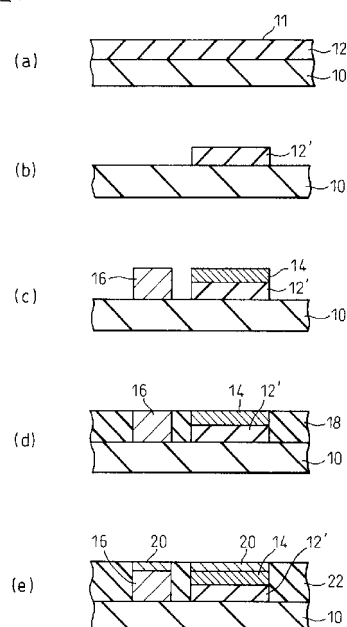
(57) 【要約】

【課題】分極電荷量の大きな強誘電体薄膜を含むキャパシタ構造を組み込んだ高信頼性の半導体装置の製造方法を提供すること。

【解決手段】(111)面の強誘電体単結晶薄膜層の成長に適した表面を持つ単結晶基板10の上に、基板面に対し平行な(111)面11を持つ、Pbを含む強誘電体単結晶薄膜(又は基板面に対し平行な(111)面に配向した、Pbを含む強誘電体多結晶薄膜)12'と、半導体装置の回路の一部16とを形成して、Pbを含む強誘電体薄膜と半導体装置の回路の一部とを有する単結晶基板10を作製すること、そしてこの単結晶基板10を、前もって半導体装置の他の回路を形成したもう一つの基板と貼り合わせることで両者の回路を結合し、強誘電体薄膜を含むキャパシタ構造を含む半導体装置を得る。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

強誘電体薄膜を含むキャパシタ構造を含む半導体装置を製造する方法であって、(111)面の強誘電体単結晶薄膜層の成長に適した表面を持つ単結晶基板の上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な(111)面に配向した、Pbを含む強誘電体多結晶薄膜と、半導体装置の回路の一部とを形成して、Pbを含む強誘電体薄膜と半導体装置の回路の一部とを有する単結晶基板を作製すること、そしてこの単結晶基板を、前もって半導体装置の他の回路を形成したもう一つの基板と貼り合わせるにより両者の回路を結合し、強誘電体薄膜を含むキャパシタ構造を含む半導体装置を得ることを特徴とする半導体装置の製造方法。

10

【請求項 2】

(1) 単結晶基板上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜層を形成し、該薄膜層をパターンニングすることにより単結晶基板上に所定の形状をなす孤立した強誘電体薄膜を形成すること、該強誘電体薄膜上に位置し且つ所定の形状をなす、キャパシタの一方の電極を形成すること、及び単結晶基板上に半導体装置の回路の一部を形成することにより、Pbを含む強誘電体薄膜、一方の電極及び半導体装置の回路の一部を上有する単結晶基板を作製すること、

(2) 半導体装置の他の回路を形成した半導体基板を作製すること、

(3) 上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

20

(4) 上記単結晶基板を除去して強誘電体薄膜を露出させ、露出した強誘電体薄膜上にキャパシタのもう一方の電極を形成すること、

を含む、請求項 1 記載の半導体装置の製造方法。

【請求項 3】

(1) 貫通孔を有する単結晶基板上に導電性薄膜層を形成すること、該導電性薄膜層上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な(111)面に配向した、Pbを含む強誘電体多結晶薄膜層を形成すること、上記導電性薄膜層及び上記強誘電体薄膜層をパターンニングすることにより、所定の形状をなす孤立した強誘電体薄膜と、所定形状をなす、キャパシタの一方の電極とを形成すること、上記強誘電体薄膜の上にキャパシタのもう一方の電極を形成すること、及び半導体装置の回路の一部を、上記単結晶基板の貫通孔を通り抜けさせて形成することにより、Pbを含む強誘電体薄膜とこれを挟む一对の電極から構成されるキャパシタ構造及び半導体装置の回路の一部を含む単結晶基板を作製すること、

30

(2) 半導体装置の他の回路を形成した半導体基板を作製すること、

(3) 上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

を含む、請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記強誘電体が、 $PbZr_xTi_{1-x}O_3$ 、 $PLZT(Pb_yLa_{1-y}Zr_xTi_{1-x}O_3)$ 、 $PLCSZT((Pb,La,Ca,Sr)(Zr,Ti)O_3)$ 、又はこれらにNbを添加した物質である、請求項 1 から 3 までのいずれか一つに記載の半導体装置の製造方法。

40

【請求項 5】

前記単結晶基板として、強誘電体薄膜の形成面が(111)面の単結晶基板、又は(111)面からオフセット角度を有する単結晶基板を使用する、請求項 1 から 4 までのいずれか一つに記載の半導体装置の製造方法。

【請求項 6】

前記単結晶基板がMgO又はSrTiO₃単結晶基板である、請求項 5 記載の半導体装置の製造方法。

【請求項 7】

50

前記単結晶基板として、強誘電体薄膜の形成面が(0001)面の α - Al_2O_3 単結晶基板、又は(0001)面からオフセット角度を有する α - Al_2O_3 単結晶基板を使用する、請求項1から4までのいずれか一つに記載の半導体装置の製造方法。

【請求項8】

前記単結晶基板として、強誘電体薄膜の形成面が{111}面のシリコン単結晶基板、あるいは{111}面からオフセット角度を有するシリコン単結晶基板を使用する、請求項1から4までのいずれか一つに記載の半導体装置の製造方法。

【請求項9】

前記単結晶基板として、強誘電体薄膜の形成面が{100}面のシリコン単結晶基板、あるいは{100}面からオフセット角度を有するシリコン単結晶基板を使用する、請求項1から4までのいずれか一つに記載の半導体装置の製造方法。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に強誘電体薄膜を含むキャパシタ構造を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置、特に半導体メモリにはさまざまな特徴をもったものがあるが、そのなかでも特に電源オフ時でもデータが保持されるものを不揮発性メモリ(nonvolatile memory)と呼んでいる。不揮発性メモリのなかで特に電荷を保持するキャパシタ用材料として強誘電体を用いたものは、強誘電体メモリ(Ferroelectric random access memory (FRAM(登録商標)))と名付けられている。 20

【0003】

FRAMは、強誘電体薄膜の極性の異なる2つの残留分極特性を利用しており、電源をオフにしてもデータが保持される。不揮発性の目安になるその書換え回数は $1 \times 10^{10} \sim 1 \times 10^{12}$ 回と多い。書換え速度も数十nsのオーダーであり、高速性を有している。

【0004】

FRAMにおいて、キャパシタ用誘電体材料である強誘電体は、2つの方向のうちの一方の方向に分極することができる。分極方向を区別することによって、一方の分極方向に対応する“1”、及び反対の分極方向に対応する“0”の情報を記憶することが可能になる。キャパシタにおける誘電体材料が強誘電体でない場合、すなわち常誘電体である場合は、分極は電極からの電位差がある時のみ維持され、電位差が取り除かれた時は維持されない。従って、この場合は揮発性の動作をもたらす。FRAMにおける強誘電体の分極の方向は、キャパシタの分極を切り換えるに十分な電位を与えることにより、感知することができる。 30

【0005】

FRAMにおいて用いられる強誘電体材料は、鉛系強誘電体及びビスマス系強誘電体である。鉛系強誘電体の代表的な材料はPZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PLZT($\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$)などである。ビスマス系強誘電体の代表的な材料はSBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)である。 40

【0006】

FRAMにおいて用いられる強誘電体材料に関しては、特開平13-102543号公報に、FRAMにおけるキャパシタ用強誘電体材料として単結晶の強誘電体薄膜を用いることが記載されている。しかし、この公報には、本発明におけるように単結晶基板上に成長させて得られた単結晶強誘電体薄膜を用いる半導体装置の製造方法は記載されていない。

【0007】

特開平11-103024号公報には、複数の結晶粒が層状構造に配置された強誘電体薄膜(配向性多結晶薄膜)を、この薄膜と接する面を構成する結晶が(111)面に配向し 50

た下部電極上に設けた構造の半導体装置が記載されている。

【0008】

一方、Fosterら、Journal of Applied Physics, 81, 2324 (1997)には、(001) SrTiO₃上に下部電極として(001) SrRuO₃を形成した後、MOCVD法でPZT(001)面薄膜を形成することにより、残留分極電荷量(2Pr)の大きなPZT薄膜が得られることが報告されている。

【0009】

【特許文献1】

特開平13-102543号公報

【特許文献2】

特開平11-103024号公報

【非特許文献1】

Fosterら、Journal of Applied Physics, 81, 2324 (1997)

【0010】

【発明が解決しようとする課題】

キャパシタ材料に上記のような強誘電体を用いたシステムLSIは、ICカード、スマートカード等のマネー情報、個人情報を取り扱う機器に使用されるため、きわめて信頼性が高いことが必要である。これらのシステムLSIで想定されている耐用年数10年を実現するためには、強誘電体キャパシタの分極電荷量ができるだけ大きいことが望まれる。しかしながら、従来のスパッタ法で作製した強誘電体キャパシタでは分極電荷量が20~25 μC/cm²のものが大半を占め、実際の製品に必要とされる分極電荷量30 μC/cm²を満たす強誘電体キャパシタを高い収率で得るのは困難であった。製品の信頼性向上に必要とされる分極電荷量35 μC/cm²以上の強誘電体キャパシタを得るのは、更に困難であった。

【0011】

本発明は、分極電荷量の大きな強誘電体薄膜を含むキャパシタ構造を組み込んだ高信頼性の半導体装置の製造を可能にする方法の提供を目的とするものである。

【0012】

【課題を解決するための手段】

本発明の半導体装置の製造方法では、強誘電体結晶材料として(111)面の単結晶薄膜材料又は(111)面に配向した多結晶薄膜材料を用い、その両面に電極を形成することによって、従来の配向性多結晶薄膜を用いたキャパシタに比べ残留分極量の大きなキャパシタを含む半導体装置を製造する。

【0013】

具体的には、本発明の半導体装置の製造方法は、強誘電体薄膜を含むキャパシタ構造を含む半導体装置を製造する方法であって、(111)面の強誘電体単結晶薄膜層の成長に適した表面を持つ単結晶基板の上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な(111)面に配向した、Pbを含む強誘電体多結晶薄膜と、半導体装置の回路の一部とを形成して、Pbを含む強誘電体薄膜と半導体装置の回路の一部とを有する単結晶基板を作製すること、そしてこの単結晶基板を、前もって半導体装置の他の回路を形成したもう一つの基板と貼り合わせて両者の回路を結合することにより、強誘電体薄膜を含むキャパシタ構造を含む半導体装置を得ることを特徴とする。

【0014】

一つの態様において、本発明の半導体装置製造方法は、

(1)単結晶基板上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜層を形成し、該薄膜層をパターンニングすることにより単結晶基板上に所定の形状をなす孤立した強誘電体薄膜を形成すること、該強誘電体薄膜上に位置し且つ所定の形状をなす、キャパシタの一方の電極を形成すること、及び単結晶基板上に半導体装置の回路

10

20

30

40

50

の一部を形成することにより、Pbを含む強誘電体薄膜、一方の電極及び半導体装置の回路の一部を上にも有する単結晶基板を作製すること、

(2) 半導体装置の他の回路を形成した半導体基板を作製すること、

(3) 上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

(4) 上記単結晶基板を除去して強誘電体薄膜を露出させ、露出した強誘電体薄膜上にキャパシタのもう一方の電極を形成すること、

を含む、強誘電体薄膜を含むキャパシタ構造を含む半導体装置の製造方法である。

【0015】

もう一つの態様において、本発明の半導体装置製造方法は、

(1) 貫通孔を有する単結晶基板上に導電性薄膜層を形成すること、該導電性薄膜層上に、基板面に対し平行な(111)面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な(111)面に配向した、Pbを含む強誘電体多結晶薄膜層を形成すること、上記導電性薄膜層及び上記強誘電体薄膜層をパターンニングすることにより、所定の形状をなす孤立した強誘電体薄膜と、所定形状をなす、キャパシタの一方の電極とを形成すること、上記強誘電体薄膜の上にキャパシタのもう一方の電極を形成すること、及び半導体装置の回路の一部を、上記単結晶基板の貫通孔を通り抜けさせて形成することにより、Pbを含む強誘電体薄膜とこれを挟む一对の電極から構成されるキャパシタ構造及び半導体装置の回路の一部を含む単結晶基板を作製すること、

(2) 半導体装置の他の回路を形成した半導体基板を作製すること、

(3) 上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

を含む、強誘電体薄膜を含むキャパシタ構造を含む半導体装置の製造方法である。

【0016】

本発明の方法では、鉛(Pb)を含む強誘電体材料からキャパシタの誘電体薄膜を形成する。Pbを含む強誘電体材料としては、 $PZT(PbZr_xTi_{1-x}O_3)$ 、 $PLZT(Pb_yLa_{1-y}Zr_xTi_{1-x}O_3)$ 、 $PLCSZT((Pb,La,Ca,Sr)(Zr,Ti)O_3)$ 、あるいはこれらにNbを添加した物質を使用することができる。

【0017】

強誘電体薄膜を形成する単結晶基板としては、強誘電体薄膜の形成面が(111)面の単結晶基板、又は(111)面からオフセット角度を有する単結晶基板を用いることができる。一般に、オフセット角度を有する単結晶基板を使用すると、成長した結晶表面の平坦性が増す。(111)面の単結晶基板の代表例としては、 MgO 又は $SrTiO_3$ 単結晶基板を挙げることができる。

【0018】

あるいは、強誘電体薄膜を形成する単結晶基板としては、強誘電体薄膜の形成面が(001)面(C面)の $\alpha-Al_2O_3$ 単結晶基板、又は(0001)面からオフセット角度を有する $\alpha-Al_2O_3$ 単結晶基板を用いてもよい。また、強誘電体薄膜形成面が(001)面の $MgAl_2O_4$ (マグネシア・スピネル)単結晶基板を用いてもよい。

【0019】

上述の強誘電体薄膜形成基板(MgO 、 $SrTiO_3$ 、 $\alpha-Al_2O_3$ 及び $MgAl_2O_4$ 単結晶基板)等を使用する場合は、強誘電体多結晶薄膜層の形成前に、該基板上にキャパシタの一方の電極となる導電性薄膜を形成してもよい。この導電性薄膜は、Pt、Ir、Ti、Ru又はそれらの酸化物から形成することができ、その(111)面を強誘電体薄膜形成面とすることができる。

【0020】

あるいは、強誘電体薄膜を形成する単結晶基板としては、強誘電体薄膜の形成面が(111)面又はこれと等価の面、すなわち{111}面のシリコン単結晶基板、あるいは{111}面からオフセット角度を有するシリコン単結晶基板を用いてもよい。また、強誘電

10

20

30

40

50

体薄膜の形成面が{100}面のシリコン単結晶基板、あるいは{100}面からオフセット角度を有するシリコン単結晶基板を用いてもよい。

【0021】

このようなシリコン単結晶基板を用いる場合、強誘電体薄膜は、基板の強誘電体薄膜形成面上に直接、又はその上に形成したバッファ層を介して、エピタキシャル成長させることができる。バッファ層の使用は、強誘電体薄膜形成時のシリサイドの生成を防止するのに有効である。バッファ層は、 MgO 、 YSZ （イットリウム安定化ジルコニア（ ZrO_2 ））、 $MgAl_2O_4$ 、 CaO 、 $SrTiO_3$ 、 CeO_2 等で形成することができ、その(111)面又は(0001)面を強誘電体薄膜形成面とすることができる。

【0022】

シリコン単結晶基板を用い、その強誘電体薄膜形成面に直接又はバッファ層を介して強誘電体薄膜を形成する場合には、強誘電体多結晶薄膜層の形成前に、該基板又はバッファ層上にキャパシタの一方の電極となる導電性薄膜を形成してもよい。この導電性薄膜は、 Pt 、 Ir 、 Ti 、 Ru 又はそれらの酸化物から形成することができ、その(111)面を強誘電体薄膜形成面とすることができる。これらの金属元素の合金を使用することもできる。更に、上記金属又はそれらの合金から形成した層を複数積層してもよい。あるいは、導電性薄膜は $SrRuO_3$ 、 $YBCO$ 、又は $LSCO$ により形成し、その(111)面を強誘電体薄膜形成面としてもよい。

【0023】

【発明の実施の形態】

本発明では、単結晶基板上に、基板面に対し平行な(111)面を持つ、 Pb を含む強誘電体単結晶薄膜層を形成する。*Foster*らは、*Journal of Applied Physics*, 81, 2324 (1997)において、(001) $SrTiO_3$ 上に下部電極として(001) $SrRuO_3$ を形成後、有機金属化学気相成長(MOCVD)法で PZT (001)面薄膜を形成すると、この薄膜の残留分極電荷量(2Pr)として $110 \mu C/cm^2$ の大きな値の得られたことを報告している。この残留分極電荷量を(111)面に換算すると $63 \mu C/cm^2$ という値になり、前述の実用的な製品において必要とされる $30 \mu C/cm^2$ に比べ2倍以上の値が得られることを示している。

【0024】

例えば、強誘電体材料として PZT 材料を用いる場合、結晶型が立方晶のときは(001)方向に分極軸が存在する。電極上に強誘電体薄膜単結晶の(111)面を形成すると、電極面に対して垂直な $\langle 111 \rangle$ 軸は $\langle 001 \rangle$ 分極軸に対して 35.3° の角度を持っている。多結晶の強誘電体薄膜では、 $30 \sim 100 nm$ のドメイン構造となっており、その分極軸の方位にはバラツキがあるため、単結晶薄膜に比べると小さな分極電荷量しか示さない。

【0025】

そこで、単結晶基板上に基板面に対し平行な(111)面を持つ強誘電体の単結晶薄膜層を形成し、この薄膜層をエッチングすることにより単結晶基板上に所定形状の互いに孤立した強誘電体薄膜を形成し、薄膜の両面に電極を形成し、そして半導体回路が形成済みの基板と張り合わせて両者の回路を結合することによって、従来の配向性多結晶薄膜の分極電荷量 $30 \mu C/cm^2$ に比べ2倍以上の分極電荷量を示す単結晶強誘電体薄膜を含むキャパシタを組み込んだ高信頼性の半導体装置を製造することができる。

【0026】

本発明により製造した半導体装置においては、キャパシタに用いる強誘電体薄膜の単位面積当たりの分極電荷量が大きくなるので、キャパシタ面積を小さくしても必要な分極電荷量が確保できる。従って、スケールリング則に沿って微細加工を行うことができるようになり、集積度の高い半導体装置の製造が可能になって、高性能化に加え低価格化を実現することができる。

【0027】

【実施例】

次に、実施例により本発明を更に説明する。とは言え、本発明はこれらの実施例に限定されるものではない。

【0028】

(実施例1)

図1(a)に示すように、単結晶基板10の上に、基板10の表面に平行な(111)面11を持つ単結晶PZT層12をエピタキシャル成長させる。単結晶基板10としては、例えば、MgO(111)面、SrTiO₃(111)面、あるいはα-Al₂O₃(0001)面の基板を用いことができる。

【0029】

単結晶PZT(111)のエピタキシャル成長は、有機金属化学気相成長(MOCVD)法、分子線エピタキシー(MBE)法、あるいはパルスレーザーデポジション(PLD)法で行うことができる。成膜法はこれらに限定されるものではない。また、PZT(PbZr_xTi_{1-x}O₃)に限定されず、PLZT(Pb_yLa_{1-y}Zr_xTi_{1-x}O₃)、PLCSZT((Pb, La, Ca, Sr)(Zr, Ti)O₃)などの強誘電体材料の使用が可能であり、またこれらにNbを添加した材料の使用も可能である。

【0030】

例えばMOCVD法でのPZTの成膜は、Pb(THD)₂、Zr(THD)₄、及びTi(i-PrO)₂(THD)₂を原料として使用し、基板温度550~600、圧力130~670Pa(1~5Torr)で行うことができる。(原料化合物の式におけるTHDはトリメチルヘキサジオネート、i-PrOはイソプロポキシを表している。)

【0031】

平坦なPZT(111)面11を有する薄膜層12を基板10全面に形成後、薄膜キャパシタとなる領域の薄膜12'を残してPZT薄膜層12をエッチングする(図1(b))。残されたPZT薄膜12'上に、PtあるいはIr材料の薄膜により下部電極14(これは後ほど別の基板と貼り合わせる際上下逆さまにされる)を形成し、そして基板10上に、後ほど貼り合わせる別の基板(半導体基板)につながる引き出し配線となる、半導体装置の回路の一部としてのプラグ16をタングステンで形成する(図1(c))。

【0032】

次に、基板10上にTEOSなどの絶縁材料の層を形成し、CMPなどの平坦化手法により表面を平坦化して絶縁膜18(図1(d))を形成する。引き続き、下部電極14とタングステンプラグ16の上にタングステン薄膜20を形成し、TEOS絶縁材料層をもう一度形成してから平坦化して、層間絶縁膜22を形成する(図1(e))。

【0033】

図2(a)に示したように、キャパシタ用の強誘電体PZT薄膜12'を形成した基板10をひっくり返し、半導体装置の回路の一部としてのトランジスタ23が予め形成してある半導体基板24と向かい合わせにする。続いて、図2(b)に示したように、基板10のタングステン薄膜20が基板22のトランジスタの引き出し電極26と接合するように、基板10と基板24を密着させ、熱処理をおこない、2つの基板を貼り合わせて機械的、電氣的に結合する。ウエハ状の2枚の基板を熱処理により貼り合わせる技術は、例えば特開平2-303114号公報、特開平1-115143号公報に記載されている。

【0034】

次に、キャパシタ用の強誘電体PZT薄膜12'を形成するのに用いた基板10を除去する。基板10の除去は、基板10がMgO基板の場合、HClを用いて化学的に溶解させる。SrTiO₃基板の場合は、HNO₃、HF及びHClの混酸を用いて化学的に溶解させる。サファイア(α-Al₂O₃)基板の場合は、熔融KOHでないと溶解しないので、SiC研磨材を用いて機械的に、あるいはコロイダルシリカを用いて機械化学的に除去する。

【0035】

最後に、図2(c)に示したように、キャパシタの上部電極28とこれに接続するタングステン薄膜30、タングステンプラグ16に接続する別のタングステンプラグ32、及び

層間絶縁膜 34 を、先に説明したのと同様に形成して、下部電極 14、強誘電体 PZT 薄膜 12' 及び上部電極 28 から構成された強誘電体キャパシタ 36 を備えた半導体装置が得られる。上部電極 28 は、例えば Ir 又は IrO₂ で形成することができる。

【0036】

(実施例 2)

この例は、貫通孔を形成したサファイア (α -Al₂O₃) 基板の (0001) 面上に PZT 薄膜を形成することによる、強誘電体キャパシタを組み入れた半導体装置の製造を説明する。

【0037】

図 3 (a) に示したように、(0001) 面 51 を上面とするサファイア (α -Al₂O₃) 単結晶基板 50 に貫通孔 52a、52b をあける。貫通孔 52a は、キャパシタの一方の電極に接続するプラグの形成用であり、貫通孔 52b は、後に貼り合わせる半導体基板 (回路基板) につながる引き出し配線となるプラグの形成用である。これらの貫通孔は、サファイア基板 50 を機械的に加工して形成してもよいし、あるいは反応性ガスを用いたドライエッチング法又は Ar イオンを用いたイオンミリング法で形成してもよく、あるいは溶融 KOH を用いて化学的にエッチングして形成してもよい。

【0038】

図 3 (b) に示したように、基板 50 の (0001) 面 51 に、この面 51 に平行な (111) 面 55 を有する薄膜 54 を形成する。この薄膜 54 は強誘電体キャパシタの一方の電極となる薄膜であり、Pt あるいは Ir で形成することができる。更に、薄膜 54 の上に、やはり基板 50 の (0001) 面 51 に平行な (111) 面 57 を有する PZT 薄膜 56 を形成する。Pt (111) 面あるいは Ir (111) 面の上に成長した PZT 薄膜は、Pt あるいは Ir 結晶と格子定数が合わないため、完全な単結晶とはならないが、配向性の強い多結晶薄膜 ((111) 面に配向した多結晶薄膜) となる。Pt あるいは Ir 薄膜に代えて SrRuO₃ 薄膜を使用すれば、単結晶 PZT 薄膜を得ることができる。次いで、図 3 (c) に示したように、キャパシタの強誘電体薄膜 58 となる部分と電極 60 となる部分を残して、薄膜 56、54 (図 3 (b)) を除去する。

【0039】

図 3 (d) に示したように、貫通孔 52a、52b (図 3 (c)) 内にタングステンを充填し、貫通孔 52a 内のタングステンには電極 60 に接続するプラグ 62a を形成させる。貫通孔 52b 内のタングステンの上には更にタングステンを柱状に伸ばし、後に貼り合わせる半導体基板につながる引き出し配線となるプラグ 62b を形成する。

【0040】

基板 50 上に TEOS などの絶縁材料の層を形成し、表面を平坦化して絶縁膜 64 (図 3 (e)) を形成する。次いで、図 3 (f) に示したように、強誘電体薄膜 58 の上に、基板 50 の面に平行な (111) 面を持つ Pt 又は Ir 薄膜のもう一方の電極 66 を形成し、この電極 66 及びタングステンプラグ 62b の上にタングステン薄膜 68a 及び 68b をそれぞれ形成し、TEOS 絶縁材料層をもう一度形成してから平坦化して、層間絶縁膜 70 を形成する (図 3 (f))。

【0041】

この例では、上記のとおり強誘電体薄膜 58 とこれを挟む二つの電極 60、66 から構成されるキャパシタを形成した基板 50 をひっくり返すか、あるいはひっくり返さずに、予めトランジスタを形成した別の基板と貼り合わせることができる。基板 50 をひっくり返す場合は、図 4 に示したように、キャパシタの電極 66 が下部電極として、タングステン薄膜 68a を介し、もう一方の基板 (半導体基板) 74 に形成したトランジスタ 76 の一方の引き出し電極 78a に接続し、タングステンプラグ 62b がタングステン薄膜 68b を介してもう一方の引き出し電極 78b に接続する。基板 50 をひっくり返さない場合は、図 5 に示したように、キャパシタの電極 60 が下部電極として、タングステンプラグ 62a を介してもう一方の基板 74 のトランジスタ 76 の一方の引き出し電極 78a に接続し、タングステンプラグ 62b がもう一方の引き出し電極 78b に接続する。

40

50

【0042】

(実施例3)

この例は、貫通孔を形成したシリコン基板の(111)面上にPZT薄膜を形成することによる、強誘電体キャパシタを組み入れた半導体装置の製造を説明する。

【0043】

図6(a)に示したように、(111)面91を上面とするシリコン基板90に貫通孔92a、92bをあける。貫通孔92aは、キャパシタの一方の電極に接続するプラグの形成用であり、貫通孔92bは、後に貼り合わせる半導体基板につながる引き出し配線となるプラグの形成用である。これらの貫通孔は、シリコン基板90を機械的に加工して形成してもよいし、あるいは反応性ガスを用いたドライエッチング法又はArイオンを用いたイオンミリング法で形成してもよく、あるいはHFとHNO₃の混酸を用いて化学的にエッチングして形成してもよい。

【0044】

図6(b)に示したように、基板90の(111)面91に、この面91に平行な(111)面95を有するMgAl₂O₄薄膜94を形成する。この薄膜94は、基板90の(111)面91に平行な(111)面を備えたPZT薄膜をその上に形成するためのバッファ層となり、PZT薄膜形成時のシリサイドの生成を防止する働きを持つ。続いて、薄膜94の上に強誘電体キャパシタの一方の電極となる薄膜96を、PtあるいはIrで形成する。この薄膜96も、基板90の(111)面91に平行な(111)面97を持つ。更に、薄膜96の上に、やはり基板90の(111)面91に平行な(111)面99を有するPZT薄膜98を形成する。

【0045】

次に、図6(c)に示したように、キャパシタの強誘電体薄膜100となる部分と電極102となる部分を残して、薄膜98、96(図6(b))を除去する。

【0046】

続いて、図6(d)に示したように、貫通孔92a、92b(図6(c))内にタングステンを充填し、貫通孔92a内のタングステンには電極102に接続するプラグ104aを形成させる。貫通孔92b内のタングステンの上には更にタングステンを柱状に伸ばし、後に貼り合わせる半導体基板につながる引き出し配線となるプラグ104bを形成する。

【0047】

基板90上にTEOSなどの絶縁材料の層を形成し、表面を平坦化して絶縁膜106(図6(e))を形成する。次いで、図6(f)に示したように、強誘電体薄膜100の上に、基板90の面に平行な(111)面を持つPt又はIr薄膜のもう一方の電極108を形成し、この電極108及びタングステンプラグ104bの上にタングステン薄膜110a及び110bをそれぞれ形成し、TEOS絶縁材料層をもう一度形成してから平坦化して、層間絶縁膜112を形成する(図6(f))。

【0048】

この例においても、実施例2で説明したように、強誘電体薄膜100とこれを挟む二つの電極102、108から構成されるキャパシタを形成した基板90をひっくり返すか、あるいはひっくり返さずに、予めトランジスタを形成した別の基板と貼り合わせることができる。

【0049】

(実施例4)

ここでは、貫通孔を形成したシリコン基板の(001)面上に、その面に対し平行な(111)面を持つPZT薄膜を形成することによる、強誘電体キャパシタを組み入れた半導体装置の製造を説明する。

【0050】

実施例3で説明したのと同様に、(001)面を上面とするシリコン基板に、キャパシタの一方の電極に接続するプラグの形成用の貫通孔と、後に貼り合わせる半導体基板につな

10

20

30

40

50

がる引き出し配線となるプラグ形成用の貫通孔をあける。

【0051】

一般に、シリコン基板の表面には薄い酸化膜（自然酸化膜）が存在しており、ここではシリコン基板の酸化膜が残っている（001）面に、 $MgAl_2O_4$ 薄膜を形成する。薄い酸化膜の存在するSi（001）面に成膜された $MgAl_2O_4$ 薄膜は、（111）面を有する薄膜となり、これは実施例3で言及したようにシリコン基板の表面（薄膜形成面）に平行な（111）面を備えたPZT薄膜をその上に形成するためのバッファ層となり、PZT薄膜形成時のシリサイドの生成を防止することができる。

【0052】

続いて、実施例3で先に説明した手順に従ってシリコン基板上にキャパシタを形成し、この基板と予めトランジスタを形成した別の基板とを貼り合わせることにより、強誘電体PZTキャパシタを組み込んだ半導体装置を製造することができる。

【0053】

本発明は、以上説明したとおりであるが、その特徴を種々の態様とともに付記すれば、次のとおりである。

（付記1） 強誘電体薄膜を含むキャパシタ構造を含む半導体装置を製造する方法であって、（111）面の強誘電体単結晶薄膜層の成長に適した表面を持つ単結晶基板の上に、基板面に対し平行な（111）面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な（111）面に配向した、Pbを含む強誘電体多結晶薄膜と、半導体装置の回路の一部とを形成して、Pbを含む強誘電体薄膜と半導体装置の回路の一部とを有する単結晶基板を作製すること、そしてこの単結晶基板を、前もって半導体装置の他の回路を形成したもう一つの基板と貼り合わせることにより両者の回路を結合し、強誘電体薄膜を含むキャパシタ構造を含む半導体装置を得ることを特徴とする半導体装置の製造方法。

（付記2） （1）単結晶基板上に、基板面に対し平行な（111）面を持つ、Pbを含む強誘電体単結晶薄膜層を形成し、該薄膜層をパターンニングすることにより単結晶基板上に所定の形状をなす孤立した強誘電体薄膜を形成すること、該強誘電体薄膜上に位置し且つ所定の形状をなす、キャパシタの一方の電極を形成すること、及び単結晶基板上に半導体装置の回路の一部を形成することにより、Pbを含む強誘電体薄膜、一方の電極及び半導体装置の回路の一部を上を有する単結晶基板を作製すること、

（2）半導体装置の他の回路を形成した半導体基板を作製すること、

（3）上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

（4）上記単結晶基板を除去して強誘電体薄膜を露出させ、露出した強誘電体薄膜上にキャパシタのもう一方の電極を形成すること、

を含む、付記1記載の半導体装置の製造方法。

（付記3） （1）貫通孔を有する単結晶基板上に導電性薄膜層を形成すること、該導電性薄膜層上に、基板面に対し平行な（111）面を持つ、Pbを含む強誘電体単結晶薄膜、又は基板面に対し平行な（111）面に配向した、Pbを含む強誘電体多結晶薄膜層を形成すること、上記導電性薄膜層及び上記強誘電体薄膜層をパターンニングすることにより、所定の形状をなす孤立した強誘電体薄膜と、所定形状をなす、キャパシタの一方の電極とを形成すること、上記強誘電体薄膜の上にキャパシタのもう一方の電極を形成すること、及び半導体装置の回路の一部を、上記単結晶基板の貫通孔を通り抜けさせて形成することにより、Pbを含む強誘電体薄膜とこれを挟む一对の電極から構成されるキャパシタ構造及び半導体装置の回路の一部を含む単結晶基板を作製すること、

（2）半導体装置の他の回路を形成した半導体基板を作製すること、

（3）上記単結晶基板と上記半導体基板とを貼り合わせ、両方の基板の回路を結合すること、

を含む、付記1記載の半導体装置の製造方法。

（付記4） 前記強誘電体が、 $PbZr_xTi_{1-x}O_3$ ）、 $PLZT(Pb_yLa_{1-y}Zr_xTi_{1-x}O_3)$ ）、 $PLCSZT((Pb,La,Ca,Sr)(Zr$

10

20

30

40

50

、 TiO_3 ）、又はこれらにNbを添加した物質である、付記1から3までのいずれか一つに記載の半導体装置の製造方法。

(付記5) 前記単結晶基板として、強誘電体薄膜の形成面が(111)面の単結晶基板、又は(111)面からオフセット角度を有する単結晶基板を使用する、付記1から4までのいずれか一つに記載の半導体装置の製造方法。

(付記6) 前記単結晶基板が MgO 又は $SrTiO_3$ 単結晶基板である、付記5記載の半導体装置の製造方法。

(付記7) 前記単結晶基板として、強誘電体薄膜の形成面が(0001)面の $\alpha-Al_2O_3$ 単結晶基板、又は(0001)面からオフセット角度を有する $\alpha-Al_2O_3$ 単結晶基板を使用する、付記1から4までのいずれか一つに記載の半導体装置の製造方法。

(付記8) 前記単結晶基板として、強誘電体薄膜形成面が(001)面の $MgAl_2O_4$ 単結晶基板を使用する、付記1から4までのいずれか一つに記載の半導体装置の製造方法。

(付記9) 前記強誘電体多結晶薄膜層の形成前に、前記単結晶基板上にキャパシタの一方の電極となる導電性薄膜を形成することを更に含む、付記1から8までのいずれか一つに記載の半導体装置の製造方法。

(付記10) 前記導電性薄膜を、Pt、Ir、Ti、Ru又はそれらの酸化物から形成する、付記9記載の半導体装置の製造方法。

(付記11) 前記単結晶基板として、強誘電体薄膜の形成面が{111}面のシリコン単結晶基板、あるいは{111}面からオフセット角度を有するシリコン単結晶基板を使用する、付記1から4までのいずれか一つに記載の半導体装置の製造方法。

(付記12) 前記単結晶基板として、強誘電体薄膜の形成面が{100}面のシリコン単結晶基板、あるいは{100}面からオフセット角度を有するシリコン単結晶基板を使用する、付記1から4までのいずれか一つに記載の半導体装置の製造方法。

(付記13) 前記強誘電体薄膜を、前記単結晶基板の強誘電体薄膜形成面上に直接エピタキシャル成長させる、付記11又は12記載の半導体装置の製造方法。

(付記14) 前記強誘電体薄膜を、前記単結晶基板の強誘電体薄膜形成面上に形成したバッファ層を介してエピタキシャル成長させる、付記11又は12記載の半導体装置の製造方法。

(付記15) 前記バッファ層を、 MgO 、イットリウム安定化ジルコニア、 $MgAl_2O_4$ 、 CaO 、 $SrTiO_3$ 又は CeO_2 により形成し、その(111)面又は(0001)面の上に前記強誘電体薄膜を成長させる、付記14記載の半導体装置の製造方法。

(付記16) 前記強誘電体多結晶薄膜層の形成前に、前記単結晶基板上に導電性薄膜を形成する、付記13記載の半導体装置の製造方法。

(付記17) 前記導電性薄膜を、Pt、Ir、Ti、Ru又はそれらの酸化物から形成し、その(111)面の上に前記強誘電体多結晶薄膜を成長させる、付記16記載の半導体装置の製造方法。

(付記18) 前記導電性薄膜を、Pt、Ir、Ti、Ru又はそれらの酸化物で形成した層を複数積層して形成する、付記17記載の半導体装置の製造方法。

(付記19) 前記導電性薄膜を、 $SrRuO_3$ 、YBCO、又はLSCOにより形成し、その(111)面の上に前記強誘電体薄膜を成長させる、付記16記載の半導体装置の製造方法。

(付記20) 前記強誘電体多結晶薄膜層の形成前に、前記バッファ層上に導電性薄膜を形成する、付記14又は15記載の半導体装置の製造方法。

(付記21) 前記導電性薄膜を、Pt、Ir、Ti、Ru又はそれらの酸化物から形成し、その(111)面の上に前記強誘電体多結晶薄膜を成長させる、付記20記載の半導体装置の製造方法。

(付記22) 前記導電性薄膜を、Pt、Ir、Ti、Ru又はそれらの酸化物で形成した層を複数積層して形成する、付記21記載の半導体装置の製造方法。

(付記23) 前記導電性薄膜を、 $SrRuO_3$ 、YBCO、又はLSCOにより形成し

10

20

30

40

50

、その(111)面の上に前記強誘電体薄膜を成長させる、付記20記載の半導体装置の製造方法。

【0054】

【発明の効果】

本発明の半導体装置では、キャパシタのための強誘電体薄膜として、分極軸と 35.3° の角度を持つ<111>軸に垂直な面である(111)面を表面に持つ単結晶を用い、この単結晶強誘電体薄膜の分極電荷量は $63\mu\text{C}/\text{cm}^2$ と換算されるため、従来の配向性多結晶薄膜の $30\mu\text{C}/\text{cm}^2$ に比べ2倍以上の値が得られる。このように残留分極量が大きいため、本発明を利用して得られた半導体装置を不揮発性メモリとして組み込んだシステムLSIの信頼性はきわめて高くなる。

10

【0055】

また、本発明により得られた半導体装置においては単位面積あたりの分極電荷量が大きくなるので、キャパシタ面積を小さくしても必要な分極電荷量が確保できる。このことから、スケーリング則に沿って微細加工を行うことができるようになり、集積度の高い半導体装置の製造が可能になって、高性能化に加え低価格化を実現することができる。

【図面の簡単な説明】

【図1】実施例1の半導体装置の製造方法の前半の工程を説明する図である。

【図2】実施例1の半導体装置の製造方法の後半の工程を説明する図である。

【図3】実施例2の半導体装置の製造で用いるキャパシタを形成した単結晶基板の作製を説明する図である。

20

【図4】実施例2においてキャパシタを形成した単結晶基板をひっくり返して半導体回路を形成したシリコン基板に貼り合わせるにより製造した半導体装置を示す図である。

【図5】実施例2においてキャパシタを形成した単結晶基板をひっくり返さずに半導体回路を形成したシリコン基板に貼り合わせるにより製造した半導体装置を示す図である。

【図6】実施例3の半導体装置の製造で用いるキャパシタを形成した単結晶基板の作製を説明する図である。

【符号の説明】

10 ... 単結晶基板

11 ... PZT(111)面

30

12 ... 単結晶PZT層

12' ... 単結晶PZT薄膜

14 ... 下部電極

16 ... タングステンプラグ

22 ... 層間絶縁膜

23、76 ... トランジスタ

24、74 ... 半導体基板

26 ... 引き出し電極

28 ... 上部電極

34 ... 層間絶縁膜

40

36 ... 強誘電体キャパシタ

50 ... サファイア基板

52a、52b、92a、92b ... 貫通孔

58 ... PZT強誘電体薄膜

60、66 ... 電極

62a、62b ... タングステンプラグ

64 ... 絶縁膜

70 ... 層間絶縁膜

90 ... シリコン基板

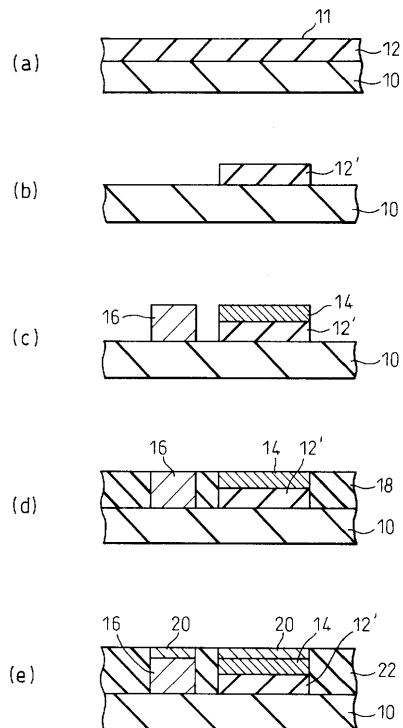
94 ... バッファ層

50

1 0 0 ... 強誘電体薄膜
 1 0 2、1 0 8 ... 電極
 1 1 2 ... 層間絶縁膜

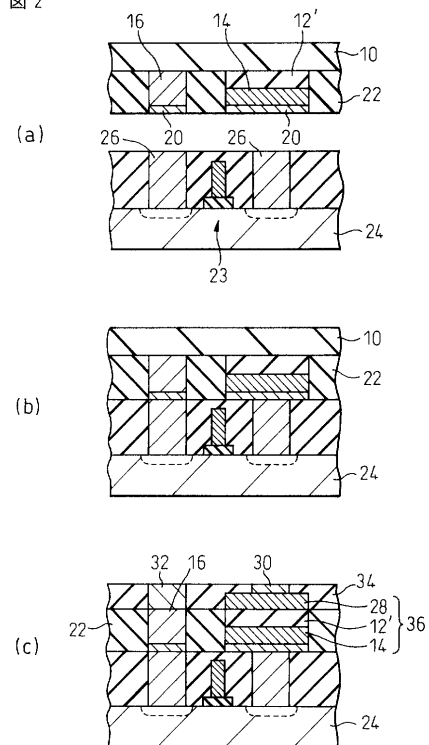
【図 1】

図 1

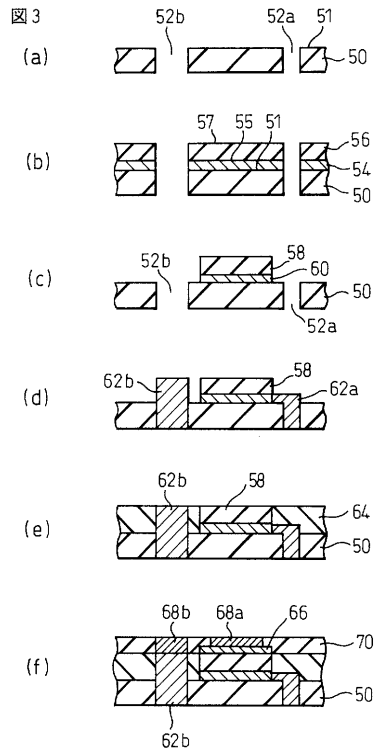


【図 2】

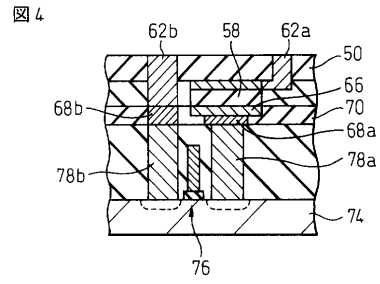
図 2



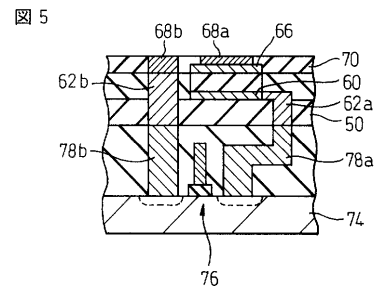
【 図 3 】



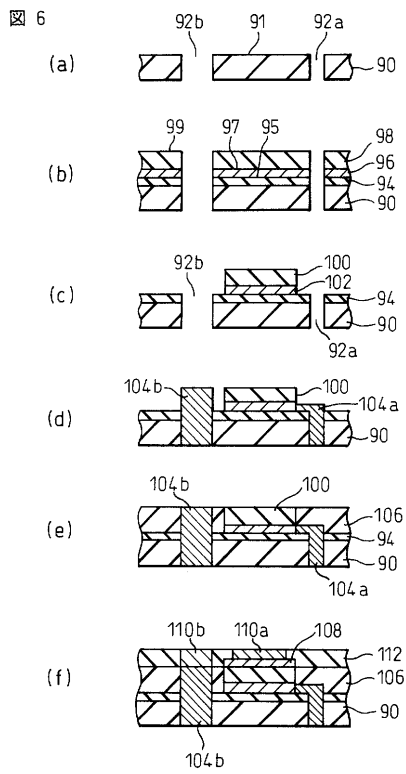
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (72)発明者 丸山 研二
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 倉澤 正樹
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 近藤 正雄
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 有本 由弘
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- Fターム(参考) 5F083 FR02 HA08 JA15 JA17 JA38 JA39 JA43 JA44 MA06 MA17
MA20 PR03 PR04 PR21