

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5590984号
(P5590984)

(45) 発行日 平成26年9月17日 (2014. 9. 17)

(24) 登録日 平成26年8月8日 (2014. 8. 8)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006. 01)

H O 1 L 23/12 5 O 1 P

H O 5 K 3/46 (2006. 01)

H O 1 L 23/12 N

H O 5 K 3/40 (2006. 01)

H O 5 K 3/46 B

H O 5 K 3/26 (2006. 01)

H O 5 K 3/46 N

H O 5 K 3/40 K

請求項の数 10 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2010-140939 (P2010-140939)
 (22) 出願日 平成22年6月21日 (2010. 6. 21)
 (65) 公開番号 特開2012-4504 (P2012-4504A)
 (43) 公開日 平成24年1月5日 (2012. 1. 5)
 審査請求日 平成25年4月2日 (2013. 4. 2)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 山野 孝治
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 小林 秀行
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 山本 雄一

最終頁に続く

(54) 【発明の名称】 電子装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

回路素子が形成された半導体基板と、
 前記半導体基板に配置され、前記回路素子に接続された接続パッドと、
 前記半導体基板の上に形成され、前記接続パッドを露出する開口部を備え、表面が粗化された保護絶縁層と、
 前記回路素子が配置された素子形成領域を取り囲んで配置され、前記保護絶縁層からその厚さ方向に貫通して前記半導体基板にまで至る凹部と、
 前記保護絶縁層の開口部に配置され、前記接続パッドに電氣的に接続されたバンプ電極と、
 前記凹部を埋めると共に、前記保護絶縁層の上に、前記バンプ電極の先端が露出するように形成された第1絶縁層と、
 前記第1絶縁層の上に形成され、前記バンプ電極と電氣的に接続された第1配線層と、
 前記第1配線層の上に形成された第2絶縁層と、
 前記第2絶縁層に形成され、前記第1配線層に到達するビアホールと、
 前記ビアホールを除く領域の前記第2絶縁層の上に形成された第2配線層と、
 前記ビアホール内からその周囲の前記第2配線層の上面を被覆して形成されて前記第1配線層と前記第2配線層とを接続すると共に、導電性ペースト又ははんだからなるビア導体とを有することを特徴とする電子装置。

【請求項 2】

前記バンプ電極の先端と前記第 1 絶縁層の上面は同一面となっていることを特徴とする請求項 1 に記載の電子装置。

【請求項 3】

前記第 1 絶縁層の表面は粗化されていることを特徴とする請求項 1 又は 2 に記載の電子装置。

【請求項 4】

前記第 1 配線層及び前記第 2 配線層の表面は粗化されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子装置。

【請求項 5】

前記第 2 絶縁層の上に形成され、前記第 2 配線層の接続部上に開口部が設けられたソルダーレジストを有することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電子装置。

【請求項 6】

回路素子と、

前記回路素子に接続された接続パッドと、

前記接続パッドの上に開口部を備え、表面が粗化された保護絶縁層とを備えて、複数のチップ領域が画定された半導体ウェハを用意する工程と、

前記半導体ウェハのチップ領域を取り囲む位置に、前記保護絶縁層からその厚さ方向に貫通して前記半導体ウェハにまで至る凹部を形成する工程と、

前記保護絶縁層の開口部内に、前記接続パッドに電氣的に接続されるバンプ電極を形成する工程と、

前記凹部を埋めると共に、前記保護絶縁層の上に、前記バンプ電極の先端が露出するように第 1 絶縁層を形成する工程と、

前記第 1 絶縁層の上に、前記バンプ電極と電氣的に接続される第 1 配線層を形成する工程と、

前記第 1 配線層の上に、第 2 絶縁層の上に金属層が積層された積層膜を形成する工程と、

前記積層膜の上に、前記第 1 配線層の接続部に対応する部分に開口部が設けられたレジストを形成する工程と、

前記レジストの開口部を通して前記金属層をエッチングすることにより前記金属層に開口部を形成する工程と、

ウェットブラスト法により、前記金属層の開口部を通して前記第 2 絶縁層をエッチングすることにより、前記第 1 配線層に到達するビアホールを形成する工程と、

前記ビアホール内からその周囲の前記金属層の上面を被覆するように、導電性ペースト又ははんだからなるビア導体を形成することにより、前記第 1 配線層と第 2 配線層となる前記金属層とを前記ビア導体で接続する工程と、

前記ビアホールを形成する工程の後、又は前記ビア導体を形成する工程の後に行われ、前記金属層をパターニングして前記第 2 配線層を形成する工程とを有することを特徴とする電子装置の製造方法。

【請求項 7】

前記第 1 絶縁層を形成する工程において、前記バンプ電極の先端と前記第 1 絶縁層の上面は同一面になることを特徴とする請求項 6 に記載の電子装置の製造方法。

【請求項 8】

前記第 1 絶縁層を形成する工程は、前記第 1 絶縁層の表面を粗化することを含むことを特徴とする請求項 6 又は 7 に記載の電子装置の製造方法。

【請求項 9】

前記第 1 配線層及び前記第 2 配線層を形成する工程は、前記第 1 配線層及び前記第 2 配線層の表面を粗化することを含むことを特徴とする請求項 6 乃至 8 のいずれか一項に記載の電子装置の製造方法。

【請求項 10】

前記第 2 配線層を形成する工程の後に、

前記第２絶縁層の上に、前記第２配線層の接続部上に開口部が設けられたソルダレジストを形成する工程を有することを特徴とする請求項６乃至９のいずれか一項に記載の電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は電子装置及びその製造方法に係り、さらに詳しくは、半導体基板の上に多層配線が設けられた半導体装置又は多層配線基板に適用できる電子装置及びその製造方法に関する。

【背景技術】

10

【０００２】

近年、マルチメディア機器などの高性能化に伴って、ＬＳＩと電子機器とのインターフェイスとなる実装技術の高密度化が進められている。

【０００３】

そのような要求に応じるＩＣパッケージとして、チップサイズと略同等の大きさにパッケージされたＣＳＰ（チップサイズパッケージ）がある。さらには、ウェハ段階でＣＳＰ構造に係る成膜や加工などを行い、その後にダイシングして個別のＣＳＰを得るようにしたウェハレベルＣＳＰが知られている。

【０００４】

ウェハレベルＣＳＰでは、トランジスタなどが形成されたシリコンウェハの接続パッドに再配線が接続されて形成された後に、再配線にバンプ電極が形成される。

20

【０００５】

特許文献１及び２には、バンプ電極を備えた半導体基板の上にバンプ電極の上部が露出するようにして絶縁層を形成した後に、バンプ電極に接続される配線パターンを形成することが記載されている。

【０００６】

特許文献３には、内層配線板に絶縁樹脂層と銅箔を積層し、銅箔に開口を形成し、プラスト処理により銅箔の開口から樹脂絶縁層に非貫通穴を形成した後に、めっきによって非貫通穴に導体回路パターンを形成することが記載されている。

【先行技術文献】

30

【特許文献】

【０００７】

【特許文献１】特許第４１２１５４２号公報

【特許文献２】特許第４４３１６２８号公報

【特許文献３】特開２００２－４３７５３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００８】

従来技術のウェハレベルＣＳＰでは、シリコンウェハに形成する再配線は単層で形成される場合が多く、多層配線構造を採用することに関しては何ら考慮されていない（例えば、特許文献１及び２）。特に、ＡＳＩＣやＬｏｇｉｃなどの半導体装置では多ピン化が要求されるため、多層構造の再配線を低コストで形成するための新規な方法が切望されている。

40

【０００９】

本発明は以上の課題を鑑みて創作されたものであり、多層配線が簡易な方法によって低コストで形成される電子装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【００１０】

上記課題を解決するため、本発明は電子装置の製造方法に係り、第１配線層の上に、絶縁層の上に金属層が積層された積層膜を形成する工程と、前記積層膜の上に、前記第１配

50

線層の接続部に対応する部分に開口部が設けられたレジストを形成する工程と、前記レジストの開口部を通して前記金属層をエッチングすることにより前記金属層に開口部を形成する工程と、ウェットブラスト法により、前記金属層の開口部を通して前記絶縁層をエッチングすることにより、前記第 1 配線層に到達するビアホールを形成する工程と、前記ビアホールに導電性ペースト又ははんだからなるビア導体を形成することにより、前記第 1 配線層と第 2 配線層となる前記金属層とを前記ビア導体で接続する工程と、前記ビアホールを形成する工程の後、又は前記ビア導体を形成する工程の後に行われ、前記金属層をパターニングして前記第 2 配線層を形成する工程とを有することを特徴とする。

【 0 0 1 1 】

本発明では、まず、第 1 配線層の上に、絶縁層の上に金属層が積層された積層膜（銅箔付き樹脂フィルムなど）を形成する。さらに、第 1 配線層の接続部に対応する部分に開口部が設けられたレジストを金属層の上に形成し、金属層をエッチングして開口部を形成する。

【 0 0 1 2 】

次いで、ウェットブラスト法により、金属層の開口部から絶縁層をエッチングして第 1 配線層に到達するビアホールを形成する。その後に、ビアホールに導電性ペースト又ははんだからなるビア導体を形成することにより、第 1 配線層と第 2 配線層とを電気接続する。金属層をパターニングして第 2 配線層を形成する工程は、ビアホールを形成する工程の後、又はビア導体を形成する工程の後に行われる。

【 0 0 1 3 】

このような手法を採用することにより、第 1 配線層にビアホールを介して接続される第 2 配線層を形成する際に、スパッタ法、デスミア処理、及び湿式めっき（無電解 Cu めっき / 電解 Cu めっき）などの技術を使用する必要がない。

【 0 0 1 4 】

従って、製造に係る工程数を大幅に削減できるので、製造コストを低減することができる。また、デスミア処理や湿式めっきプロセスが不要となるため、有害廃液を削減することができ、環境負荷の低減を図ることができる。

【 0 0 1 5 】

本発明は、回路素子が形成された半導体ウェハの bumps 電極に多層構造の再配線を形成する際に適用してもよいし、半導体チップなどを実装するための多層配線基板の製造に適用してもよい。

【 0 0 1 6 】

また、上記課題を解決するため、本発明は電子装置に係り、第 1 配線層と、前記第 1 配線層の上に形成された絶縁層と、前記絶縁層に形成され、前記第 1 配線層に到達するビアホールと、前記絶縁層の上に形成され、前記ビアホールの外周から外側に延在する第 2 配線層と、前記ビアホール内からその近傍の前記第 2 配線層の上に形成されて前記第 1 配線層と前記第 2 配線層とを接続すると共に、導電性ペースト又ははんだからなるビア導体とを有することを特徴とする。

【 0 0 1 7 】

本発明の電子装置は、上記した製造方法で製造されるため、第 1 配線層と第 2 配線層はビアホールに形成された導電性ペースト又ははんだからなるビア導体で接続され、ビア導体はビアホール内からその近傍の第 2 配線層を被覆して形成される。

【 0 0 1 8 】

本発明の電子装置は、簡易な方法によって低コストで第 1 配線層と第 2 配線層とをビア導体（導電性ペーストやはんだ）で接続して多層配線構造を構築できる。従って、ASIC や Logic など多層構造の再配線が要求される半導体装置や多層配線基板が低コストで製造される。

【 0 0 1 9 】

なお、上記した特許文献 3 には、ブラスト処理で形成した非貫通穴にめっきで導体回路パターンを形成することが開示されているものの、低コスト化や環境負荷の低減のために

10

20

30

40

50

導電性ペーストやはんだでビア導体を形成することは開示されておらず、本発明の構成を示唆するものではない。

【発明の効果】

【0020】

以上説明したように、本発明では、多層配線構造を低コストで構築することができる。

【図面の簡単な説明】

【0021】

【図1】図1は本発明の第1実施形態の電子装置の製造方法を示す断面図（その1）である。

【図2】図2（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その2）である。 10

【図3】図3（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その3）である。

【図4】図4（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その4）である。

【図5】図5（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その5）である。

【図6】図6（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その6）である。

【図7】図7（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その7）である。 20

【図8】図8（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その8）である。

【図9】図9（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その9）である。

【図10】図10は本発明の第1実施形態の電子装置の製造方法を示す断面図（その10）である。

【図11】図11（a）及び（b）は本発明の第1実施形態の電子装置の製造方法を示す断面図（その11）である。

【図12】図12は本発明の第1実施形態の電子装置の製造方法を示す断面図（その12）である。 30

【図13】図13は本発明の第1実施形態の電子装置の製造方法を示す断面図（その13）である。

【図14】図14は本発明の第1実施形態の電子装置を示す断面図である。

【図15】図15は本発明の第2実施形態の電子装置を示す断面図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0023】

（第1の実施の形態）

40

図1～図13は本発明の第1実施形態の電子装置の製造方法を示す断面図、図14は同じく第1実施形態の電子装置を示す断面図である。

【0024】

第1実施形態では、電子装置としてCSP構造を有する半導体装置を例に挙げて説明する。

【0025】

第1実施形態の電子装置の製造方法では、まず、図1に示すようなシリコンウェハ10を用意する。本実施形態では半導体ウェハとしてシリコンウェハ10を例示する。

【0026】

シリコンウェハ10は、その最上に、接続パッド12とそれを露出させる開口部14x 50

が設けられたパッシベーション層 1 4 (保護絶縁層) とを備えている。

【 0 0 2 7 】

接続パッド 1 2 はアルミニウム又はアルミニウム合金などから形成され、パッシベーション層 1 4 はシリコン窒化層 1 4 a 及びポリイミド樹脂層 1 4 b が下から順に形成されて構成される。なお、ポリイミド樹脂層 1 4 b を省略してシリコン窒化層 1 4 a からパッシベーション層 1 4 を構成してもよい。

【 0 0 2 8 】

シリコンウェハ 1 0 には、トランジスタ (半導体素子) 、キャパシタ及び抵抗などの回路素子が形成された複数の素子形成領域 T が設けられている。各素子形成領域 T の上には、各種回路素子を接続するための多層配線 (不図示) が形成されており、多層配線は接続パッド 1 2 に接続されている。

10

【 0 0 2 9 】

図 1 の平面図を加えて説明すると、シリコンウェハ 1 0 には、素子形成領域 T を含むチップ領域 A が多数設けられている。チップ領域 A は格子状に配置されたダイシングライン D で囲まれて画定されている。

【 0 0 3 0 】

図 1 の平面図の例では、接続パッド 1 2 はエリアアレイ型で配置されており、各チップ領域 A の全体にそれぞれ格子状に配置されている。あるいは、接続パッド 1 2 がペリフェラル型で配置され、各チップ領域 A の周縁部にそれぞれ配置されていてもよい。シリコンウェハ 1 0 は、後に、各チップ領域 A が得られるようにダイシングライン D で切断されて個々の半導体チップ (半導体装置) となる。

20

【 0 0 3 1 】

以下の工程では、図 1 のシリコンウェハ 1 0 の一つのチップ領域 A を部分的に示しながら説明する。

【 0 0 3 2 】

図 2 (a) に示すように、図 1 で説明したシリコンウェハ 1 0 を用意する。シリコンウェハ 1 0 の厚みは 6 0 0 ~ 8 0 0 μ m 程度である。

【 0 0 3 3 】

次いで、図 2 (b) に示すように、シリコンウェハ 1 0 の上に厚みが 5 0 μ m 程度のドライフィルムレジスト 1 6 を貼付し、フォトリソグラフィに基づいて露光・現像を行うことにより、ドライフィルムレジスト 1 6 をパターニングする。これにより、各チップ領域 A の上にドライフィルムレジスト 1 6 が残され、ダイシングライン D の上にドライフィルムレジスト 1 6 の開口部 1 6 a が配置される。

30

【 0 0 3 4 】

続いて、図 3 (a) に示すように、ウェットブラスト法によりドライフィルムレジスト 1 6 をマスクにしてその開口部 1 6 a を通してパッシベーション層 1 4 の上面から厚み方向にエッチングする。これにより、シリコンウェハ 1 0 のダイシングライン D (図 1) に凹部 C が形成される。凹部 C は各チップ領域 A を取り囲むように格子状に形成される。

【 0 0 3 5 】

後述するように、シリコンウェハ 1 0 に形成される凹部 C は、シリコンウェハ 1 0 上に形成される層間絶縁層の密着性を向上させるアンカーとして機能する。

40

【 0 0 3 6 】

その後、図 3 (b) に示すように、レジスト剥離液によってドライフィルムレジスト 1 6 が除去される。なお、ドライフィルムレジスト 1 6 の代わりに、液状のレジストを使用して同様なマスクを形成してもよい。

【 0 0 3 7 】

次いで、図 4 (a) に示すように、図 3 (b) の構造体の上面側を酸素プラズマによってクリーニング処理する。これにより、パッシベーション層 1 4 が表面改質 (粗化) されると共に、接続パッド 1 2 の表面が洗浄される。

【 0 0 3 8 】

50

続いて、図4(b)に示すように、ワイヤボンディング法に基づいて、接続パッド12の上に先端が尖った金(Au)ワイヤバンプ18を形成する。バンプ電極として金ワイヤバンプ18を例示するが、ワイヤボンディング法に基づいて、同様な形状の銅(Cu)ワイヤバンプを形成してもよい。あるいは、電解めっき法によって金(Au)バンプなどを形成してもよいし、無電解めっき法によってニッケル(Ni)/金(Au)バンプを順に形成してもよい。

【0039】

次いで、図5(a)に示すように、金ワイヤバンプ18が設けられたシリコンウェハ10の上にBステージ(半硬化状態)の樹脂フィルム20aを貼付する。樹脂フィルム20aとしては、エポキシ樹脂又はポリイミド樹脂などの熱硬化性樹脂が使用される。

10

【0040】

樹脂フィルム20aの厚みは、金ワイヤバンプ18の高さより若干薄い厚み(例えば30μm)に設定され、樹脂フィルム20aの上面に金ワイヤバンプ18の先端が露出した状態となる。

【0041】

続いて、図5(b)に示すように、樹脂フィルム20aを押圧治具(不図示)で下側に押圧して平坦化し、180程度の温度で加熱処理することにより、Bステージの樹脂フィルム20aを硬化させて第1層間絶縁層20を得る。

【0042】

このとき、平坦化処理によって金ワイヤバンプ18の先端が潰されて接続部18aとなる。このようにして、金ワイヤバンプ18の接続部18aと第1層間絶縁層20の上面とが同一面を構成するように平坦化される。

20

【0043】

また、前述したように、シリコンウェハ10のダイシングラインD(図1)に凹部Cが形成されているので、第1層間絶縁層20がアンカー効果によってシリコンウェハ10に密着性よく形成される。

【0044】

さらに、図6(a)に示すように、第1層間絶縁層20及び金ワイヤバンプ18の接続部18aを四フッ化炭素(CF₄)が添加された酸素(O₂)プラズマによってアッシング処理を行う。

30

【0045】

これにより、金ワイヤバンプ18の接続部18aに僅かに残存する樹脂が完全に除去され、接続部18aをクリーンな状態で露出させることができる。また同時に、第1層間絶縁層20の表面がライトエッチングされて粗化されることで、表面にアンカーが形成される。

【0046】

次いで、図6(b)に示すように、第1層間絶縁層20の上にスパッタ法(PVD法)によって金属層を成膜することによりシード層30aを得る。第1層間絶縁層20の表面が粗化されているので、シード層30aは第1層間絶縁層20の上に密着性よく形成される。シード層30aの好適な例としては、下から順に、チタン(Ti)層(厚み:0.1μm以上)/銅(Cu)層(厚み:0.2~0.5μm)が形成された積層膜が使用される。あるいは、シード層30aとして、下から順に、クロム(Cr)層(厚み:0.035μm以上)/銅(Cu)層(厚み:0.2~0.5μm)が形成された積層膜が使用される。

40

【0047】

次いで、図7(a)に示すように、フォトリソグラフィに基づいて、第1配線層が配置される部分に開口部19aが設けられためっきレジスト19をシード層30aの上に形成する。さらに、シード層30aをめっき給電経路に利用する電解めっきにより、めっきレジスト19の開口部19aに金属パターン層30bを形成する。金属パターン層30bは銅などの配線材料から形成される。

50

【 0 0 4 8 】

続いて、めっきレジスト 1 9 を除去した後に、金属パターン層 3 0 b をマスクにしてシード層 3 0 a をエッチングする。

【 0 0 4 9 】

これにより、図 7 (b) に示すように、シード層 3 0 a 及び金属めっき層 3 0 b から構成される第 1 配線層 3 0 が得られる。第 1 配線層 3 0 は金ワイヤバンプ 1 8 の接続部 1 8 a に電気接続されて形成される。さらに、ギ酸系の薬液により第 1 配線層 3 0 の表面を処理して粗化することによってアンカーを形成する。

【 0 0 5 0 】

次いで、図 8 (a) に示すように、B ステージ (半硬化状態) の樹脂フィルム 2 2 a の上に銅箔 3 2 a が貼付された構造の銅箔付き樹脂フィルム C F を用意する。銅箔 3 2 a の厚みは 5 ~ 1 8 μm であり、樹脂フィルム 2 2 a の厚みは 3 0 μm 程度である。樹脂フィルム 2 2 a としては、エポキシ樹脂又はポリイミド樹脂などの熱硬化性樹脂が使用される。

10

【 0 0 5 1 】

そして、銅箔付き樹脂フィルム C F の樹脂フィルム 2 2 a の面を第 1 配線層 3 0 の上に圧着する。さらに、1 8 0 程度の温度で加熱処理することにより、B ステージの樹脂フィルム 2 2 a を硬化させて第 2 層間絶縁層 2 2 を得る。

【 0 0 5 2 】

第 1 配線層 3 0 の表面は粗化されているので、第 2 層間絶縁層 2 2 は第 1 配線層 3 0 に密着性よく形成される。

20

【 0 0 5 3 】

本実施形態では、第 1 配線層 3 0 の上に銅箔付き樹脂フィルム C F を貼付しているが、絶縁層の上に金属層が積層された各種の積層膜を使用することができる。

【 0 0 5 4 】

続いて、図 8 (b) に示すように、第 1 配線層 3 0 の接続部に対応する部分に開口部 2 3 a が設けられたドライフィルムレジスト 2 3 を形成する。さらに、第二塩化銅水溶液などの銅のエッチャントにより、ドライフィルムレジスト 2 3 をマスクにしてその開口部 2 3 a を通して銅箔 3 2 a をウェットエッチングして銅箔 3 2 a に開口部 3 2 x を形成する。

30

【 0 0 5 5 】

さらに、図 9 (a) に示すように、ドライフィルムレジスト 2 3 を残した状態で (図 8 (b))、銅箔 3 2 a の開口部 3 2 x に露出する第 2 層間絶縁層 2 2 をウェットブラスト法によりエッチングすることにより、第 1 配線層 3 0 の接続部に到達するビアホール V H を形成する。

【 0 0 5 6 】

ビアホール V H の径は例えば 5 0 ~ 8 0 μm に設定される。このとき、ウェットブラスト処理によってドライフィルムレジスト 2 3 (図 8 (b)) が同時にエッチングされて除去される。

【 0 0 5 7 】

ウェットブラスト法は、アルミナ砥粒などの粒子と水などの液体とを混ぜて得られるスラリーを噴射ノズルから圧縮空気の力を使って高速に噴射させることにより、スラリー内の粒子で対象物を物理的にエッチングする加工方法である。

40

【 0 0 5 8 】

また、ウェットブラスト処理では、第 1 配線層 3 0 (銅) のエッチングレートはかなり低いため、第 1 配線層 3 0 は第 2 層間絶縁層 2 2 をエッチングする際のストッパとなる。また、ドライフィルムレジスト 2 3 (図 8 (b)) は、第 2 層間絶縁層 2 2 のエッチング途中で全てが消失する厚みに設定され、ドライフィルムレジスト 2 3 が消失した後は、銅箔 3 2 a がマスクとして機能する。

【 0 0 5 9 】

50

これにより、後に第2配線層となる銅箔32aの表面がウェットブラスト処理によって粗化されてアンカーが同時に形成される。

【0060】

なお、本実施形態と違って、レーザで第2層間絶縁層22にビアホールVHを形成する場合は、ビアホールVH内に樹脂スミアが発生するため、過マンガン酸法などのウェット処理によってデスミア処理を行う必要がある。

【0061】

しかしながら、ウェットブラスト法を使用する場合は、樹脂スミアは発生しにくく、第2層間絶縁層22にビアホールVHを形成した後に、水洗することでクリーンなビアホールVHが容易に得られる。このように、本実施形態では、環境負荷となるデスミア処理を省略することができる。

10

【0062】

次いで、図9(b)に示すように、銅箔32aの上にエッチングレジスト(不図示)をパターンニングし、それをマスクにして銅箔32aをエッチングすることにより、第2配線層32を得る。

【0063】

この時点では、ビアホールVH内にはビア導体が形成されていないため、第1配線層30と第2配線層32とは電氣的に接続されていない状態である。

【0064】

そこで、ビアホールVH内にビア導体を形成して第1配線層30と第2配線層32とをビア導体を介して電氣的に接続する。

20

【0065】

本実施形態では、ビア導体の形成方法として、スパッタ法や電解又は無電解めっきなどのコスト高となる手法を採用しない。

【0066】

つまり、図10に示すように、ディスペンス法によってディスペンサ装置(不図示)のノズル5から銀ペーストなどの導電性ペースト40をビアホールVH内に塗布した後に、導電性ペースト40を加熱処理して硬化させることにより第1配線層30と第2配線層32とを電気接続する。導電性ペースト40は、熱硬化性樹脂をバインダーとし、その中に銀粒子などの導電性粒子を分散させたものである。

30

【0067】

図11(a)に示すように、ディスペンス法によって導電性ペースト40を形成する場合は、導電性ペースト40はビアホールVH内に充填され、かつビアホールVHの近傍の第2配線層32を被覆して形成される。

【0068】

あるいは、ディスペンス法の代わりに、インクジェット法によって導電性ペースト40をビアホールVH内に形成してもよい。図11(b)に示すように、インクジェット法を使用する場合は、導電性ペースト40はビアホールVH内に埋め込まれず、ビアホールVH内に凹部が残された状態となる。

【0069】

つまり、ビアホールVHの底面及び側面に沿って導電性ペースト40がいわゆるコンフォーマルビアとして形成される。インクジェット法を使用する場合も、導電性ペースト40はビアホールVHの近傍の第2配線層32を被覆して形成される。

40

【0070】

また、ビア導体を形成する他の方法としては、感光剤を含有する感光性導電性ペーストを使用してもよい。この場合、感光性導電性ペーストをスピンコートなどでシリコンウェハ10の上面全体に塗布し、フォトリソグラフィに基づいて露光・現像することにより、ビアホールVHに導電性ペースト40を選択的に形成して第1配線層30と第2配線層32とを電気接続する。感光性導電性ペーストとしては、感光性の銀ペーストなどがある。感光性導電性ペーストを使用する場合は、インクジェット法で導電性ペースト40を形成

50

する場合と同様にコンフォーマルビアとして形成される。

【 0 0 7 1 】

あるいは、導電性ペースト 4 0 以外では、ビアホール V H にはんだを充填して第 1 配線層 3 0 と第 2 配線層 3 2 とをはんだで電気接続してもよい。この場合は、ビアホール V H にはんだボールを搭載し、リフロー加熱してビアホール V H にはんだを充填する。又は、はんだペースト（クリームはんだ）をビアホール V H に選択的に塗布してもよい。

【 0 0 7 2 】

以上の手法により、コスト高を招くスパッタ法や環境負荷が大きく工程が煩雑なめっき法を使用することなく、ビアホール V H に導電性ペースト又ははんだを形成することにより、低コストで容易にビア導体を形成することができる。

10

【 0 0 7 3 】

このようにして、シリコンウェハ 1 0 に設けられた金ワイヤバンプ 1 8 に多層構造の再配線（第 1、第 2 配線層 3 0、3 2）が接続される。再配線（第 1、第 2 配線層 3 0、3 2）によって、シリコンウェハ 1 0 の接続パッド 1 2 のピッチが実装基板の接続電極のピッチに対応するようにピッチ変換される。

【 0 0 7 4 】

なお、銅箔 3 2 a をパターンニングして第 2 配線層 3 2 を形成する工程は、ウェットブラスト法でビアホール V H を形成した後に行っているが、ビアホール V H に導電性ペースト 4 0 を形成した後に行ってもよい。

【 0 0 7 5 】

20

その後に、図 1 2 に示すように、第 2 配線層 3 2 の接続部上に開口部 2 4 a が設けられたソルダレジスト 2 4 を形成する。第 2 配線層 3 2 の表面は粗化されているため、ソルダレジスト 2 4 は密着性よく第 2 配線層 3 2 の上に形成される。その後に、ソルダレジスト 2 4 の表面を酸素プラズマによってアッシング処理することにより、表面を親水性に改質して濡れ性を向上させる。

【 0 0 7 6 】

さらに、図 1 3 に示すように、ソルダレジスト 2 4 の開口部 2 4 a にはんだボールを搭載し、リフロー加熱することにより、第 2 配線層 3 2 の接続部に接続される外部接続端子 3 4 を形成する。はんだボールとして、樹脂ボールの外面にはんだ層が形成されたものを使用してもよい。

30

【 0 0 7 7 】

続いて、同じく図 1 3 に示すように、必要に応じて、シリコンウェハ 1 0 の背面をグラインダーで研削することにより、シリコンウェハ 1 0 の厚みを 5 0 ~ 3 0 0 μm 程度に薄型化する。その後に、シリコンウェハ 1 0 をダイシングライン D（図 1）に沿って切断する。

【 0 0 7 8 】

これにより、図 1 4 に示すように、シリコンウェハ 1 0 が個々のシリコン基板 1 0 a（半導体基板）に個片化されて個々の C S P 構造を有する半導体装置 1（電子装置）が得られる。

【 0 0 7 9 】

40

なお、本実施形態では、2 層の多層配線（第 1、第 2 配線層 3 0、3 2）を例示するが、前述した図 8（a）~ 図 1 1 の工程を繰り返すことにより、任意の積層数の多層配線を形成することができる。

【 0 0 8 0 】

以上説明したように、第 1 実施形態の電子装置の製造方法では、まず、回路素子が形成されたシリコンウェハ 1 0 の接続パッド 1 2 に金ワイヤバンプ 1 8 を形成し、その上部の接続部 1 8 a が露出するように第 1 層間絶縁層 2 0 を形成する。次いで、第 1 層間絶縁層 2 0 の上に金ワイヤバンプ 1 8 に接続される第 1 配線層 3 0 を形成する。

【 0 0 8 1 】

続いて、第 1 配線層 3 0 の上に銅箔付き樹脂フィルム C F を圧着して樹脂フィルム 2 2

50

aを第2層間絶縁層22として利用する。さらに、第1配線層30の接続部に対応する部分に開口部23aが設けられたドライフィルムレジスト23を銅箔32aの上に形成し、銅箔32aをエッチングして開口部32xを形成する。

【0082】

次いで、この状態で、ウェットブラスト法により、銅箔32aの開口部32xから第2層間絶縁層22をエッチングして第1配線層30に到達するビアホールVHを形成する。

【0083】

その後、ビアホールVHに導電性ペースト40又ははんだからなるビア導体を形成することにより、第1配線層30と第2配線層32とを電気接続する。所定の段階で銅箔32aがパターン化されて第2配線層32となる。

10

【0084】

このような手法を採用することにより、第1配線層30にビアホールVHを介して接続される第2配線層32を形成する際に、以下の技術を使用する必要がない。すなわち、1)感光性ポリイミドを用いるフォトビアの形成、2)スパッタ法による金属層(シード層など)の成膜、3)レーザによるビアホールの形成、4)過マンガン酸系強アルカリ液によるビアホールのデスミア処理、5)湿式めっき(無電解Cuめっき/電解Cuめっき)による配線形成に係る技術を使用する必要がない。

【0085】

従って、製造に係る工程数を大幅に削減できるので、製造コストを低減することができる。また、デスミア処理や湿式めっきプロセスが不要となるため、有害廃液を削減することができ、環境負荷の低減を図ることができる。

20

【0086】

このように、本実施形態では、低コスト化を図れる簡易な方法でシリコンウェハ10に多層構造の再配線(第1、第2配線層30、32)を形成することがきる。従って、ASICやLogicなどの多ピン化が要求される半導体装置の製造に容易に対応できるようになる。

【0087】

図14に示すように、第1実施形態に係る半導体装置1では、シリコン基板10a(半導体基板)には、トランジスタなどの回路素子が形成された素子形成領域T(図1)が設けられている。シリコン基板10aには接続パッド12が設けられており、接続パッド12は多層配線(不図示)を介して素子形成領域T(図1)に接続されている。

30

【0088】

接続パッド12には金ワイヤバンプ18が形成されており、金ワイヤバンプ18の横方向には第1層間絶縁層20が形成されている。金ワイヤバンプ18の接続部18aが第1層間絶縁層20の上面と同一高さに配置されて平坦化されている。

【0089】

さらに、第1層間絶縁層20の上には、金ワイヤバンプ18の接続部18aに接続される第1配線層30が形成されている。第1配線層30の上には第2層間絶縁層22が形成されており、第2層間絶縁層22には第1配線層30の接続部に到達するビアホールVHが形成されている。

40

【0090】

第2層間絶縁層22の上には、ビアホールVHの外周から外側に延在する第2配線層32が形成されている。第2配線層32は銅箔32aがパターンニングされて形成される。

【0091】

さらに、ビアホールVH内には導電性ペースト40が充填されている。導電性ペースト40はビアホールVH内からその外側近傍まで形成され、ビアホールVHの近傍の第2配線層32を被覆して形成されている。

【0092】

これにより、第1配線層30が導電性ペースト40(ビア導体)を介して第2配線層32に電氣的に接続されている。導電性ペースト40の代わりにはんだによって第1配線層

50

30と第2配線層32とを接続してもよい。

【0093】

前述したように、導電性ペースト40は必ずしもビアホールVHを埋め込んで形成される必要はなく、ビアホールVHの底面及び側面に沿ってコンフォーマルビアとして形成されていてもよい。

【0094】

第1実施形態に係る半導体装置1では、前述した製造方法で製造されるので、ビアホールVH内の導電性ペースト40（ビア導体）の上に第2配線層32が配置されない構造となる。

【0095】

さらに、第2配線層32の接続部の上に開口部24aが設けられたソルダレジスト24が形成されている。そして、ソルダレジスト24の開口部24aに第2配線層32に接続される外部接続端子34が設けられている。

【0096】

第1実施形態に係る半導体装置1では、簡易な方法によって低コストで第1配線層30と第2配線層32とをビア導体（導電性ペーストやはんだ）で接続して多層配線構造を構築できる。従って、ASICやLogicなどの多ピンを有する半導体装置が容易に構成される。

【0097】

再配線（第1、第2配線層30、32）によって、シリコン基板10aの接続パッド12のピッチが実装基板の接続電極のピッチに対応するようにピッチ変換される。そして、半導体装置1の外部接続端子34が実装基板（マザーボードなど）の接続電極に接続された後に、半導体装置1の下側の隙間にアンダーフィル樹脂が充填される。

【0098】

（第2の実施の形態）

図15は本発明の第2実施形態の電子装置を示す断面図である。第2実施形態では、電子装置として配線基板を例に挙げる。つまり、第1実施形態で説明した多層配線構造を配線基板に適用してもよい。

【0099】

図15に示すように、第2実施形態に係る配線基板2では、ガラスエポキシ樹脂などからなるコア基板50の両面側に第1配線層60が形成されている。両面側の第1配線層60はコア基板50に設けられた貫通電極52を介して相互接続されている。

【0100】

コア基板50の両面側には第1配線層60を被覆する層間絶縁層70がそれぞれ形成されている。両面側の層間絶縁層70には第1配線層60に到達するビアホールVHがそれぞれ形成されている。

【0101】

また、層間絶縁層70の上には、ビアホールVHの外周から外側に延在する第2配線層62が形成されている。そして、ビアホールVHには導電性ペースト40（ビア導体）が充填されており、第1配線層60は導電性ペースト40によって第2配線層62に電気接続されている。導電性ペースト40の代わりに、はんだをビア導体として使用してもよい。

【0102】

さらに、コア基板50の両面側には、第2配線層62の接続部上に開口部72aが設けられたソルダレジスト72がそれぞれ形成されている。また、第2配線層62の接続部にニッケル/金めっき層などのコンタクト層（不図示）が形成される。

【0103】

そして、コア基板50の上面側の第2配線層62に半導体チップ（不図示）が実装され、コア基板50の下面側の第2配線層62にはんだボールを搭載するなどして外部接続端子（不図示）が設けられる。

10

20

30

40

50

【 0 1 0 4 】

図 1 5 ではコア基板 5 0 の両面側に 2 層の多層配線がそれぞれ形成された形態を例示するが、積層数は任意に設定することができる。

【 0 1 0 5 】

第 2 実施形態は、第 1 実施形態で説明した多層配線構造を配線基板に適用した例であり、製造方法及びビアホール V H 周りの構造は第 1 実施形態と同一であるのでその詳しい説明を省略する。

【 0 1 0 6 】

図 1 5 の例では、基板としてリジッド基板（コア基板 5 0 ）を使用しているが、コアレスタイプのフレキシブル多層配線基板を使用してもよく、各種方式の配線基板を使用することができる。

10

【 0 1 0 7 】

第 2 実施形態は、第 1 実施形態と同様に、簡易な方法によって低コストで多層配線基板を構成することができると共に、環境負荷の低減を図ることができる。

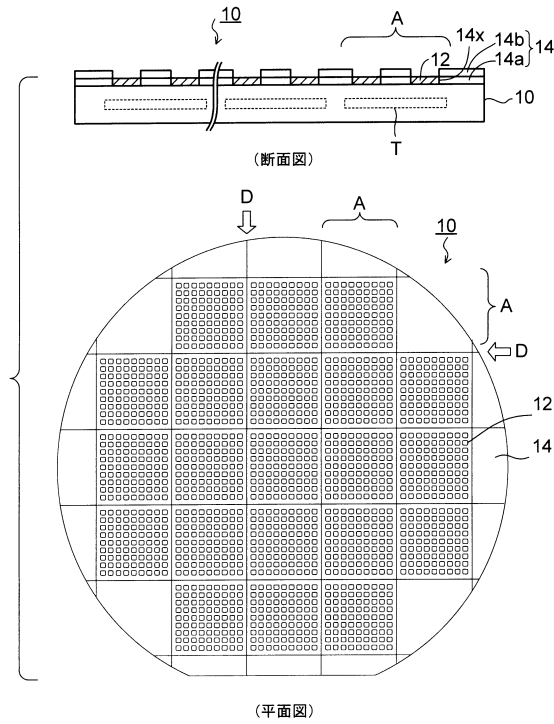
【 符号の説明 】

【 0 1 0 8 】

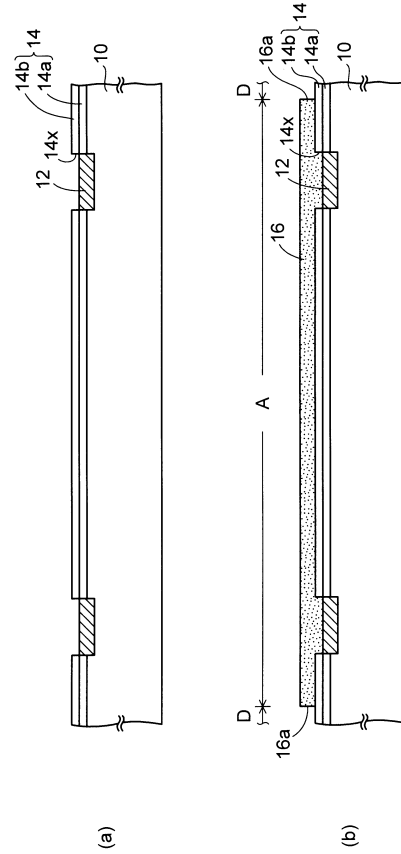
1 ... 半導体装置（電子装置） 2 ... 配線基板（電子装置）、 5 ... ノズル、 1 0 ... シリコンウエハ（半導体ウエハ）、 1 0 a ... シリコン基板（半導体基板）、 1 2 ... 接続パッド、 1 4 ... パッシベーション層、 1 4 a ... シリコン窒化層、 1 4 b ... ポリイミド樹脂層、 1 4 x , 1 6 a , 1 9 a , 2 3 a , 2 4 a , 3 2 x , 7 2 a ... 開口部、 1 6 , 2 3 ... ドライフィルムレジスト、 1 8 ... 金ワイヤバンプ（バンプ電極）、 1 8 a ... 接続部、 1 9 ... めっきレジスト、 2 0 ... 第 1 層間絶縁層、 2 0 a , 2 2 a ... 樹脂フィルム、 2 2 ... 第 2 層間絶縁層、 2 4 , 7 2 ... ソルダレジスト、 3 0 , 6 0 ... 第 1 配線層、 3 0 a ... シード層、 3 0 b ... 金属パターン層、 3 2 , 6 2 ... 第 2 配線層、 3 2 a ... 銅箔、 3 4 ... 外部接続端子、 4 0 ... 導電性ペースト（ビア導体）、 5 0 ... コア基板、 5 2 ... 貫通電極、 7 0 ... 層間絶縁層、 A ... チップ領域、 T ... 素子形成領域、 C F ... 銅箔付き樹脂フィルム、 D ... ダイシングライン、 V H ... ビアホール。

20

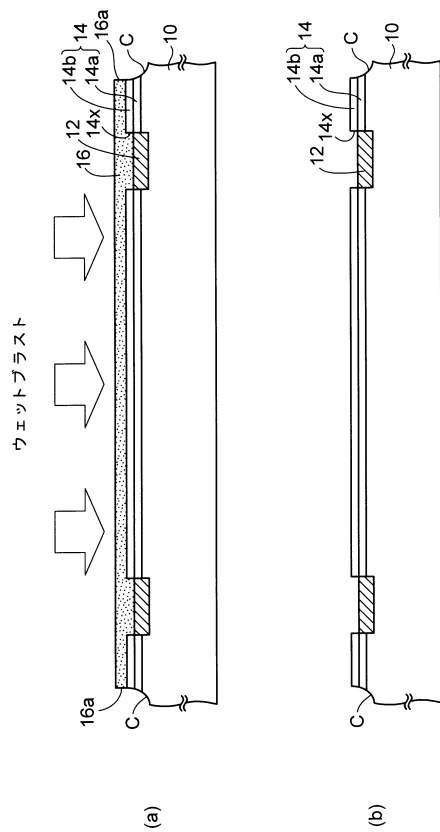
【図 1】



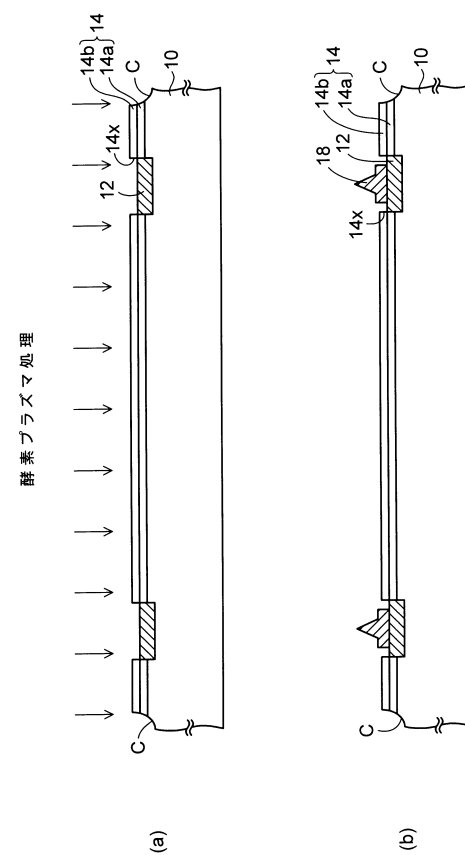
【図 2】



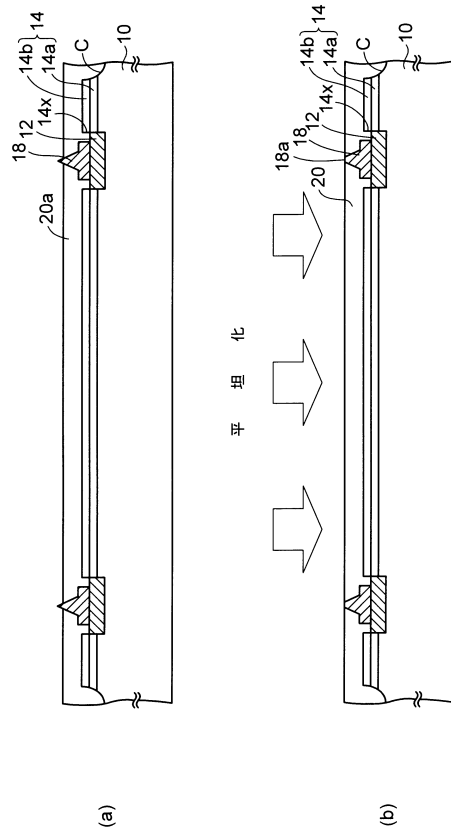
【図 3】



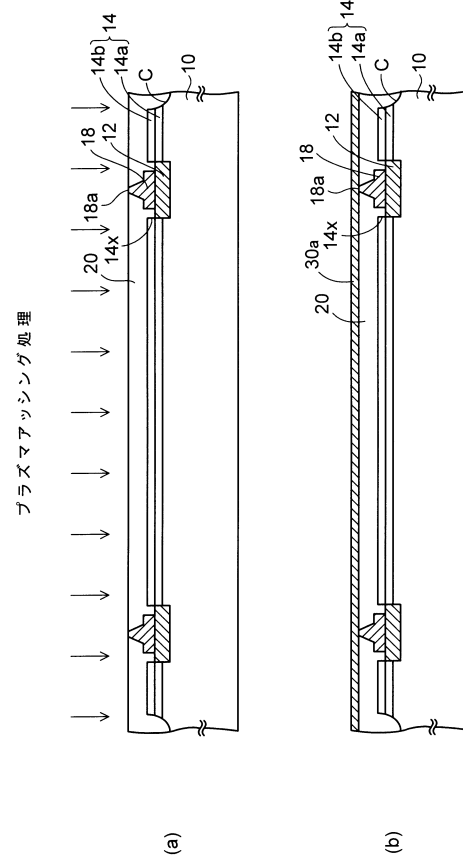
【図 4】



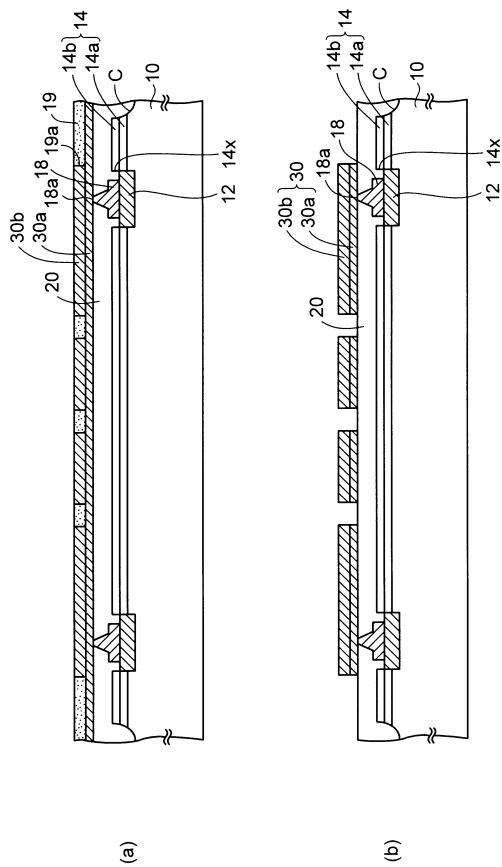
【図 5】



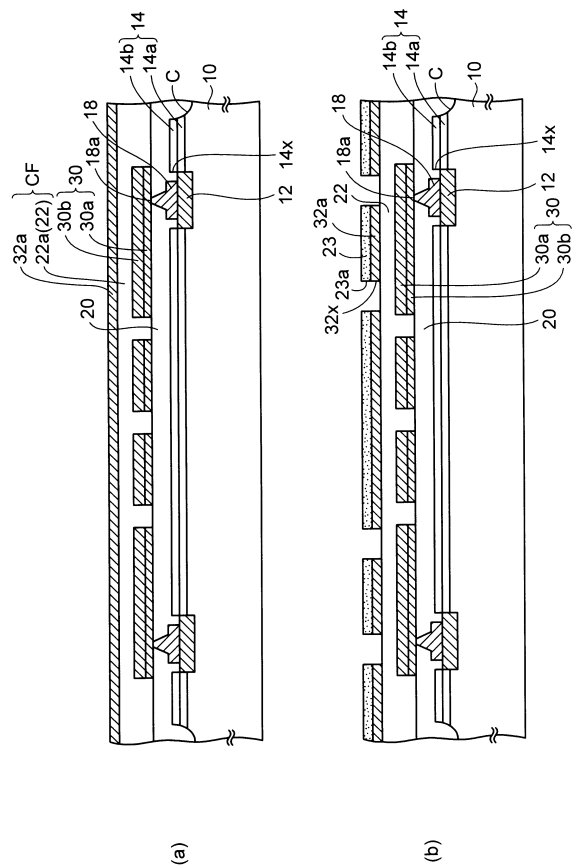
【図 6】



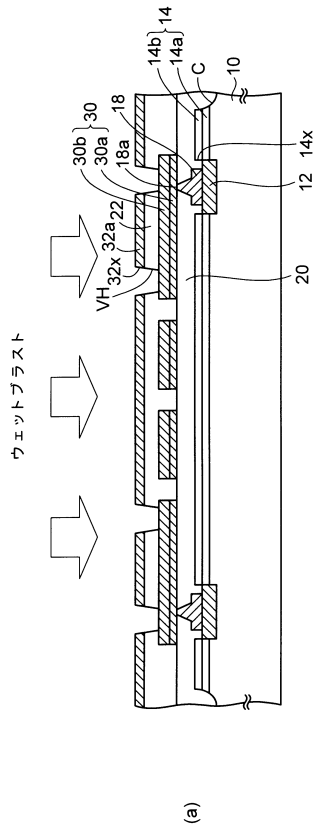
【図 7】



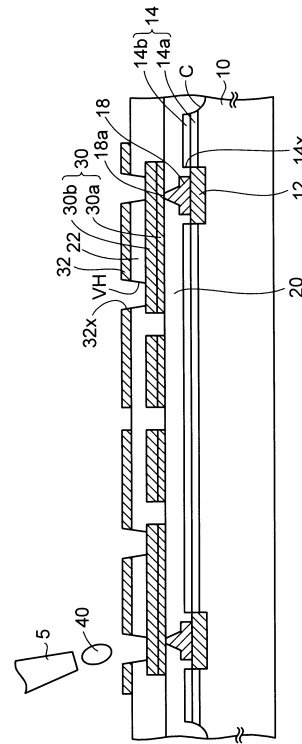
【図 8】



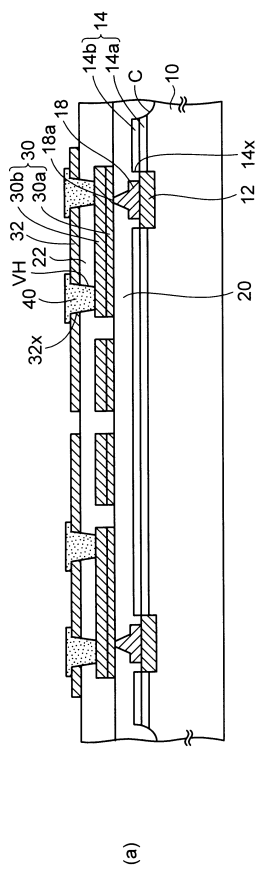
【図 9】



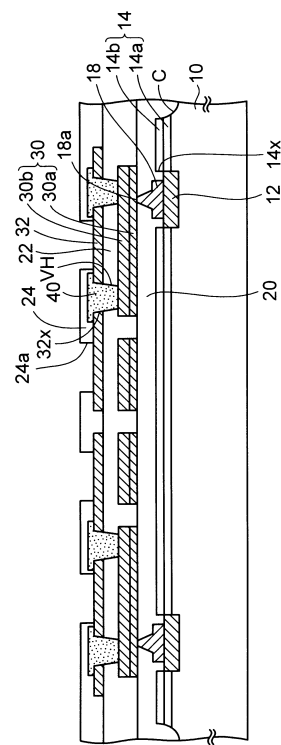
【図 10】



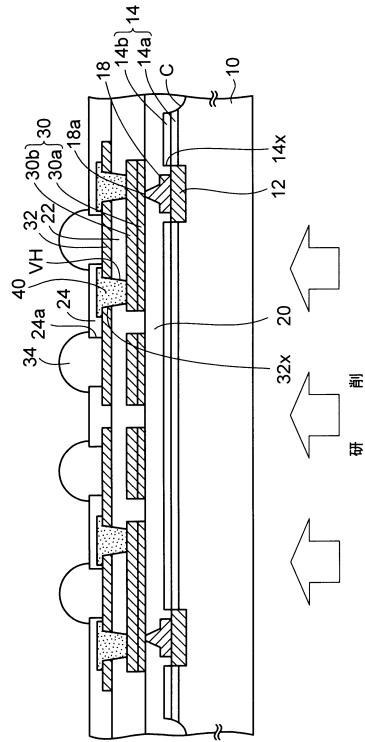
【図 11】



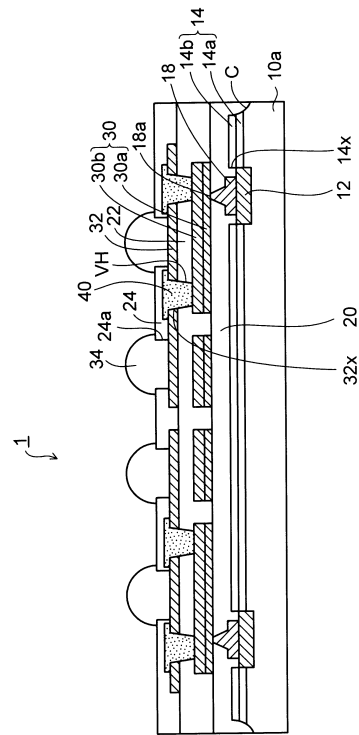
【図 12】



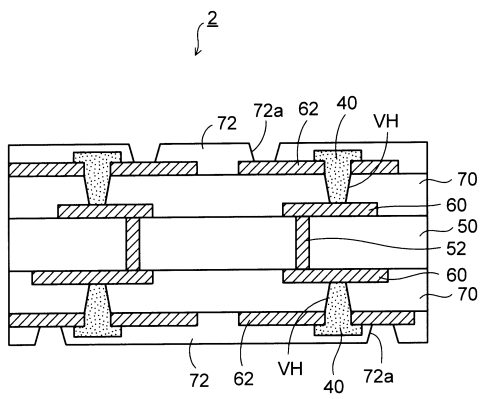
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 K 3/26

F

(56)参考文献 特開2008-311592(JP,A)
特開2009-071045(JP,A)
特開2008-141021(JP,A)
特開2004-055628(JP,A)
特開2010-027832(JP,A)
特開2008-130880(JP,A)
特開2006-278646(JP,A)
特開2000-294519(JP,A)
特開2003-318546(JP,A)
特開平04-094186(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 23/12-23/15

H 0 5 K 3/26

H 0 5 K 3/40

H 0 5 K 3/46