

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年11月18日(2004.11.18)

【公開番号】特開2001-85643(P2001-85643A)

【公開日】平成13年3月30日(2001.3.30)

【出願番号】特願2000-49869(P2000-49869)

【国際特許分類第7版】

H 01 L 27/108

H 01 L 21/8242

【F I】

H 01 L 27/10 6 8 1 F

H 01 L 27/10 6 2 1 B

【手続補正書】

【提出日】平成15年11月26日(2003.11.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、

前記第1及び第2の領域に第1の保護膜を形成する工程と、

前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、

前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成する工程と、

前記第1及び第2の領域に第2の保護膜を形成する工程と、

前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】

前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、

前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第1及び第2の保護膜は同じエッチング特性を有する材料からなり、前記第1及び第2の接続孔を形成する工程は、前記第1及び第2の保護膜の材料に対して選択性の低い条件で前記各ゲート電極を埋め込む膜厚に形成された層間絶縁膜及び前記第1の領域側の前記第2の保護膜が貫通するまで異方性エッチングした後、前記第1及び第2の保護膜の材料に対して選択性の高い条件で前記絶縁膜を異方性エッチングする工程を含むことを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】

前記層間絶縁膜を形成した後、化学機械研磨法により前記層間絶縁膜の表面を平坦化する

工程を更に含み、

前記化学機械研磨の際に、前記第1の領域側における前記第2のゲート上の前記第2の保護膜が除去されるまで前記層間絶縁膜を研磨することを特徴とする請求項1～3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】

前記第2の保護膜を形成した後、前記第2の領域を覆い前記第1の領域を開口するマスクを形成し、前記マスクを用いて前記第1の領域側の前記第2の保護膜を除去することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】

半導体基板上の第1の領域に複数のゲート電極を、第2の領域に少なくとも1つのゲート電極をそれぞれ形成した後、前記第1及び第2の領域のゲート電極の両側に第1の不純物拡散層を形成する工程と、

前記第1及び第2の領域に第1の保護膜を形成する工程と、

前記第1及び第2の領域に絶縁膜を形成し、前記第2の領域の前記絶縁膜を加工して前記第2の領域のゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、

前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成した後、前記第1の領域の前記絶縁膜及び前記第2の領域の前記サイドウォールを除去する工程と、

前記第1及び第2の領域に第2の保護膜を形成する工程と、

前記第1の領域には前記第1の不純物拡散層を露出させる第1の接続孔を、前記第2の領域には前記第2の不純物拡散層を露出させる第2の接続孔を前記第1及び第2の保護膜を用いてそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】

前記第2の不純物拡散層を形成した後、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程を含み、

前記第2の接続孔を形成する際に、前記第2の領域で前記金属シリサイド膜を露出させることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置において、

前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1の保護膜が形成されるとともに、前記第1の保護膜上に前記第1の領域の前記ゲート電極間を埋め込むように絶縁膜が形成されており、

前記第2の領域の前記ゲート電極のみにサイドウォールが形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、前記サイドウォールを含む前記第2の領域の前記ゲート電極を覆うように第2の保護膜が形成されており、

前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレイン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする半導体装置。

【請求項9】

複数のゲート電極及びソース／ドレインをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置において、

前記第1及び第2の領域に、合計した膜厚が前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1及び第2の保護膜が形成され、

前記第1の領域では、全面を覆うように前記第1及び第2の保護膜が形成されており、

前記第2の領域では、前記ゲート電極の側面及びその近傍のみに前記第1の保護膜が形成されるとともに、前記第2の領域のソース／ドレイン上に金属シリサイド膜が形成され、全面を覆うように第2の保護膜が形成されており、

前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする半導体装置。

【請求項10】

半導体基板上に少なくとも1つのゲート電極を形成した後、前記ゲート電極の両側に第1の不純物拡散層を形成する工程と、

第1の保護膜と絶縁膜を形成する工程と、

前記絶縁膜を加工して前記ゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、

前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成する工程と、

前記サイドウォールを除去する工程と、

前記第2の不純物拡散層上に金属シリサイド膜を形成する工程と、

第2の保護膜を形成する工程と、

前記第1の不純物拡散層を露出することなく前記金属シリサイド膜を露出する接続孔を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

第4の態様は、複数のゲート電極及びソース／ドレンをそれぞれ有する各素子が形成された第1及び第2の領域を備えた半導体装置であって、前記第1及び第2の領域に、合計した膜厚が前記第1の領域の前記ゲート電極間を埋め込まない程度の膜厚に第1及び第2の保護膜が形成され、前記第1の領域では、全面を覆うように前記第1及び第2の保護膜が形成されており、前記第2の領域では、前記ゲート電極の側面及びその近傍のみに前記第1の保護膜が形成されるとともに、前記第2の領域のソース／ドレン上に金属シリサイド膜が形成され、全面を覆うように第2の保護膜が形成されており、前記第1及び第2の保護膜の一部が側面から露出する第1及び第2の接続孔がそれぞれ形成されており、前記第1及び第2の接続孔を介して前記第1の領域のソース／ドレン及び前記金属シリサイド膜と電気的に接続されるように各配線が形成されていることを特徴とする。

第5の態様は、半導体装置の製造方法であって、半導体基板上に少なくとも1つのゲート電極を形成した後、前記ゲート電極の両側に第1の不純物拡散層を形成する工程と、第1の保護膜と絶縁膜を形成する工程と、前記絶縁膜を加工して前記ゲート電極の両側にサイドウォールを形成するとともに、前記サイドウォールの両側の前記半導体基板の表面を露出させる工程と、前記サイドウォールの両側で露出した前記半導体基板に前記第1の不純物拡散層と一部重なるように第2の不純物拡散層を形成する工程と、前記サイドウォールを除去する工程と、前記第2の不純物拡散層上に金属シリサイド膜を形成する工程と、第2の保護膜を形成する工程と、前記第1の不純物拡散層を露出することなく前記金属シリサイド膜を露出する接続孔を形成する工程とを含むことを特徴とする。