



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 21/24 (2006.01)

H01L 21/336 (2006.01)

(11) 공개번호

10-2006-0126972

(43) 공개일자

2006년12월11일

(21) 출원번호 10-2006-7009850

(22) 출원일자 2006년05월19일

심사청구일자 없음

번역문 제출일자 2006년05월19일

(86) 국제출원번호 PCT/US2004/035546

(87) 국제공개번호 WO 2005/052992

국제출원일자 2004년10월26일

국제공개일자 2005년06월09일

(30) 우선권주장 10/718,892 2003년11월21일 미국(US)

(71) 출원인
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501(72) 발명자
자와라니, 드하르메쉬
미국 텍사스 78681, 라운드 록, 월로우 오크 레인 16900
카베, 니겔 지.
미국 텍사스 78735, 오스틴, 마그데레나 드라이브 5315
렌덴, 미카엘
미국 텍사스 78749, 오스틴, 존 스슘 레인 6310(74) 대리인
정상구
홍동오

전체 청구항 수 : 총 47 항

(54) 실리사이드 소스/드레인들을 가진 반도체 디바이스

(57) 요약

반도체 디바이스에서, 비교적 깊은 게르마늄 주입 및 상기 게르마늄의 활성화는 니켈 실리사이드 형성을 위한 니켈의 증착에 선행한다. 게르마늄의 활성화는 주입 영역의 격자 상수가 바람직하게 실리콘인 배경 기판의 격자 상수 이상으로 증가되게 한다. 이런 효과는 변경된 격자가 니켈 디실리사이드 형성을 방지하는 것이다. 그 결과 니켈 실리사이드 스파이킹이 방지된다.

대표도

도 5

특허청구의 범위

청구항 1.

실질적으로 제 1 재료를 포함하는 소스/드레인 접촉 영역 및 게이트를 가진 트랜지스터 디바이스의 소스/드레인 접촉 영역에 대한 접촉부를 형성하는 방법에 있어서,

상기 제 1 재료 원자들의 원자 반경보다 큰 원자 반경을 가진 원자들을 포함하는 입자들을 상기 소스/드레인 접촉 영역에 주입하는 단계;

상기 소스/드레인 접촉 영역에 주입된 상기 입자들의 원자들을 활성화하는 단계;

소스/드레인 도편트를 상기 소스/드레인 접촉부에 주입하는 단계로서, 상기 소스/드레인 도편트 주입 단계는 상기 원자들을 활성화한 후 수행되는, 상기 주입 단계; 및

상기 접촉부를 형성하기 위해 상기 활성화후 상기 소스/드레인 접촉 영역상에 금속 실리사이드를 형성하는 단계를 포함하는, 접촉부 형성 방법.

청구항 2.

제 1 항에 있어서, 상기 원자들을 활성화하는 단계는 상기 소스/드레인 접촉 영역의 격자에서 원자들을 치환하기 위해 원자들을 활성화하는 단계를 더 포함하고, 상기 격자는 상기 제 1 재료의 원자를 포함하는, 접촉부 형성 방법.

청구항 3.

제 1 항에 있어서, 상기 원자들을 활성화하는 단계는 상기 소스/드레인 접촉 영역내 격자의 격자 상수를 증가시키는, 접촉부 형성 방법.

청구항 4.

제 1 항에 있어서, 상기 제 1 재료는 실리콘인, 접촉부 형성 방법.

청구항 5.

제 4 항에 있어서, 상기 주입된 원자들은 게르마늄 원자들을 포함하는, 접촉부 형성 방법.

청구항 6.

제 1 항에 있어서, 상기 주입된 원자들은 게르마늄 원자들을 포함하는, 접촉부 형성 방법.

청구항 7.

제 1 항에 있어서, 상기 활성화 단계는 550°C 보다 높은 온도로 상기 소스/드레인 접촉 영역을 가열하는 단계를 포함하는, 접촉부 형성 방법.

청구항 8.

제 1 항에 있어서, 상기 활성화 단계는 1000°C 보다 높은 온도로 상기 소스/드레인 접촉 영역을 가열하는 단계를 포함하는, 접촉부 형성 방법.

청구항 9.

제 1 항에 있어서, 상기 활성화 단계는 대략 900 내지 1400°C 범위의 온도로 상기 소스/드레인 접촉 영역을 가열하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 10.

제 1 항에 있어서, 상기 활성화 단계는 상기 소스/드레인 접촉 영역의 급속 열처리 어닐링 단계를 더 포함하는, 접촉부 형성 방법.

청구항 11.

제 1 항에 있어서, 상기 활성화 단계는 상기 소스/드레인 접촉 영역의 레이저 어닐링 단계를 더 포함하는, 접촉부 형성 방법.

청구항 12.

제 1 항에 있어서, 상기 활성화 단계는 상기 소스/드레인 접촉 영역의 아크 램프 열처리 어닐링 단계를 더 포함하는, 접촉부 형성 방법.

청구항 13.

제 1 항에 있어서, 상기 활성화 단계는 상기 소스/드레인 접촉 영역의 가스 대류 어닐링 단계를 더 포함하는, 접촉부 형성 방법.

청구항 14.

제 1 항에 있어서, 상기 입자들을 주입하는 단계는 섭씨 25도와 600도 사이의 온도에서 수행되는, 접촉부 형성 방법.

청구항 15.

제 1 항에 있어서, 상기 금속 실리사이드는 니켈 실리사이드인 것을 특징으로 하는, 접촉부 형성 방법.

청구항 16.

제 1 항에 있어서, 상기 금속 실리사이드는 코발트 실리사이드인 것을 특징으로 하는, 접촉부 형성 방법.

청구항 17.

제 1 항에 있어서, 상기 게이트의 측벽에 인접한 측벽 스페이서를 형성하는 단계를 더 포함하고, 상기 입자들을 주입하는 단계는 상기 측벽 스페이서를 형성하기 전에 수행되는, 접촉부 형성 방법.

청구항 18.

제 17 항에 있어서, 상기 측벽 스페이서를 형성하는 단계는 상기 소스/드레인 도펀트를 주입하기 전에 수행되는, 접촉부 형성 방법.

청구항 19.

제 1 항에 있어서, 상기 게이트는 반도체 기판상에 있고, 상기 소스/드레인 접촉 영역은 상기 반도체 기판내에 있고, 상기 소스/드레인 접촉 영역은 상기 게이트 측면에 배치되는, 접촉부 형성 방법.

청구항 20.

제 19 항에 있어서, 상기 소스/드레인 도펀트 주입후 상기 반도체 기판내에 제 2 소스/드레인 도펀트를 주입하는 단계를 더 포함하고, 상기 제 2 소스/드레인 도펀트는 상기 소스/드레인 도펀트보다 깊게 주입되는, 접촉부 형성 방법.

청구항 21.

제 19 항에 있어서, 상기 입자들을 주입하는 단계는 적어도 3keV의 에너지로 주입하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 22.

제 19 항에 있어서, 상기 입자들을 주입하는 단계는 3keV 내지 50keV의 범위의 에너지로 주입하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 23.

제 19 항에 있어서, 상기 입자들을 주입하는 단계는 제곱센티미터당 적어도 1E13 원자들의 도즈(dose)로 주입하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 24.

제 19 항에 있어서, 상기 입자들을 주입하는 단계는 제곱센티미터당 1E13 내지 1E17 원자들의 범위의 도즈로 주입하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 25.

제 19 항에 있어서, 상기 입자들을 주입하는 단계는 섭씨 25도와 600도 사이의 온도로 수행되는, 접촉부 형성 방법.

청구항 26.

제 1 항에 있어서,

상기 트랜지스터는 제 2 소스/드레인 접촉부를 갖고,

상기 입자들의 주입 단계는 제 2 소스/드레인 접촉 영역내로 입자들을 주입하는 단계를 더 포함하고,

상기 원자들을 활성화하는 단계는 상기 제 2 소스/드레인 접촉 영역내에 주입된 상기 입자들의 원자들을 활성화하는 단계를 더 포함하고,

상기 소스/드레인 도편트 주입 단계는 상기 제 2 소스/드레인 접촉 영역내로 상기 소스/드레인 도편트를 주입하는 단계를 더 포함하며,

상기 방법은, 제 2 접촉부를 형성하기 위해 제 2 영역상에 제 2 금속 실리사이드를 형성하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 27.

제 1 항에 있어서, 상기 소스/드레인 도편트는 봉소인, 접촉부 형성 방법.

청구항 28.

제 1 항에 있어서, 상기 게이트는 반도체 기판상에 있고, 채널은 상기 게이트 아래 기판내에 있으며, 상기 방법은, 반도체 기판내의 채널에 인접한 소스/드레인 확장부를 형성하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 29.

제 28 항에 있어서, 상기 입자들은 이온들을 포함하고, 상기 이온들은 원자들을 포함하는, 접촉부 형성 방법.

청구항 30.

제 28 항에 있어서, 상기 소스/드레인 확장부를 형성하는 단계는, 상기 소스/드레인 확장부를 형성하기 위해 상기 기판내에 제 2 소스/드레인 도편트를 주입하는 단계를 포함하고, 상기 제 2 소스/드레인 도편트를 주입하는 단계는 상기 소스/드레인 도편트를 주입하기 전에 수행되는, 접촉부 형성 방법.

청구항 31.

제 1 항에 있어서, 소스/드레인 도편트를 활성화하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 32.

제 1 항에 있어서, 상기 원자들을 포함하는 입자들은 게르마늄, 갈륨, 비소, 인듐, 주석, 안티몬, 탈륨, 납, 비스무트, 아연, 카드뮴, 수은, 셀렌, 텔루르 및 폴로늄 중 하나만을 포함하는, 접촉부 형성 방법.

청구항 33.

제 1 항에 있어서, 상기 원자들을 포함하는 입자들은 게르마늄, 갈륨, 비소, 인듐, 주석, 안티몬, 탈륨, 납, 비스무트, 아연, 카드뮴, 수은, 셀렌, 텔루르 및 폴로늄 중 적어도 하나를 포함하는, 접촉부 형성 방법.

청구항 34.

반도체 디바이스를 형성하는 방법에 있어서,

기판 영역내에 입자들을 주입하는 단계로서, 상기 기판은 제 1 재료의 원자들을 포함하고, 상기 입자들은 상기 제 1 재료 원자들의 원자 반경보다 큰 원자 반경을 가진 원자들을 포함하는, 상기 주입 단계;

비확산 활성화 처리로 상기 기판 영역내에 주입된 원자들을 활성화하는 단계; 및

상기 활성화후 제 2 영역상에 금속 실리사이드를 형성하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 35.

제 34 항에 있어서, 상기 비확산 활성화 처리는 상기 영역의 아크 램프 금속 열처리 어닐링 및 상기 영역의 레이저 어닐링 중 하나를 포함하는, 반도체 디바이스 형성 방법.

청구항 36.

반도체 디바이스를 형성하는 방법에 있어서,

격자 상수를 가진 격자를 갖는 반도체 기판상에 게이트를 형성하는 단계;

상기 게이트를 형성한후 상기 기판 영역내 상기 격자의 격자 상수를 증가시키는 단계;

상기 기판내에 소스/드레인 영역의 적어도 일부를 형성하기 위해 상기 기판내에 소스/드레인 도편트를 주입하는 단계로서, 상기 소스/드레인 도편트 주입 단계는 상기 격자 상수를 증가시킨 후에 수행되는, 상기 주입 단계; 및

상기 영역의 일부상에 금속 실리사이드를 형성하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 37.

제 36 항에 있어서, 상기 제 1 재료는 실리콘인, 반도체 디바이스 형성 방법.

청구항 38.

제 36 항에 있어서, 상기 금속 실리사이드는 니켈 실리사이드인 것을 특징으로 하는, 반도체 디바이스 형성 방법.

청구항 39.

제 36 항에 있어서, 상기 금속 실리사이드는 코발트 실리사이드인 것을 특징으로 하는, 반도체 디바이스 형성 방법.

청구항 40.

제 36 항에 있어서, 상기 금속 실리사이드는 상기 소스/드레인 영역상에 형성되는, 반도체 디바이스 형성 방법.

청구항 41.

제 36 항에 있어서, 상기 게이트는 트랜지스터의 게이트이고, 상기 금속 실리사이드는 상기 트랜지스터의 소스/드레인 금속 실리사이드인, 반도체 디바이스 형성 방법.

청구항 42.

제 36 항에 있어서, 상기 소스/드레인 도편트는 봉소를 포함하는, 반도체 디바이스 형성 방법.

청구항 43.

제 36 항에 있어서, 상기 소스/드레인 도편트는 기판내에 소스/드레인 확장부를 형성하기 위해 소스/드레인 확장 도편트를 포함하는, 반도체 디바이스 형성 방법.

청구항 44.

반도체 디바이스를 형성하는 방법에 있어서,

실리콘 반도체 기판상에 게이트를 형성하는 단계;

상기 게이트를 형성한 후 상기 기판 영역내에 게르마늄을 포함하는 입자들을 주입하는 단계;

상기 기판 영역내에 주입된 상기 게르마늄을 활성화하는 단계;

상기 기판 영역내에 소스/드레인 영역의 적어도 일부를 형성하기 위해 상기 기판내에 소스/드레인 도편트를 주입하는 단계로서, 상기 소스/드레인 도편트를 주입하는 단계는 상기 게르마늄을 활성화한 후 수행되는, 상기 주입 단계; 및

상기 활성화후 상기 영역상에 니켈 실리사이드를 형성하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 45.

주로 제 1 재료를 포함하는 소스/드레인 접촉 영역들 및 게이트 스택을 가진 트랜지스터 디바이스 구조에서, 상기 소스/드레인 접촉 영역들은 격자 상수를 갖는, 상기 접촉부를 형성하는 방법에 있어서,

상기 소스/드레인 접촉 영역들내에 상기 제 1 재료 원자들의 원자 반경보다 큰 원자 반경을 가진 원자들을 포함하는 입자들을 주입하는 단계;

상기 소스/드레인 접촉 영역들의 격자 상수를 증가시키기 위해 상기 소스/드레인 접촉 영역들내에 주입된 상기 입자들의 원자들을 활성화하는 단계; 및

상기 원자들의 활성화후 상기 소스/드레인 접촉 영역들상에 금속 실리사이드를 형성하는 단계를 포함하는, 접촉부 형성 방법.

청구항 46.

제 45 항에 있어서, 상기 원자들을 활성화한 후에, 상기 금속 실리사이드를 형성하기 전에 P 타입 재료로 상기 소스/드레인 접촉 영역들을 도핑하는 단계를 더 포함하는, 접촉부 형성 방법.

청구항 47.

제 46 항에 있어서, 상기 제 1 재료는 실리콘을 포함하고, 상기 원자들은 게르마늄을 포함하고, 상기 금속 실리사이드는 니켈 실리사이드를 포함하는, 접촉부 형성 방법.

명세서

기술분야

본 발명은 반도체 디바이스들, 특히 실리사이드 소스/드레인들을 가진 반도체 디바이스들에 관한 것이다.

배경기술

일반적인 반도체 제조시, 반도체 디바이스들은 채널과의 접합부에서 경도핑된 드레인들로 형성되고 접촉부를 형성하기 위해 비교적 중도핑된 드레인 영역들로 형성된다. 소스들은 동일한 방식으로 제조된다. 드레인에 대한 접촉부는 금속 실리사이드들을 사용하여 형성된다. 이 접촉부는 금속 층을 증착하고, 그 다음 금속 실리사이드 접촉 영역을 형성하기 위해 중도핑된 드레인 접촉 영역의 실리콘과 금속 층을 반응시켜 달성된다. 그 다음 실리콘이 없는 영역들에 배치된 반응되지 않은 금속은 금속 실리사이드에 대해 선택적인 에칭으로 에칭된다. 이 금속 실리사이드는 반도체 디바이스의 소스 및 드레인에 대한 접촉 지점이다.

하나의 효과적인 금속은 코발트인 것으로 발견되었다. 코발트는 효과적이지만 매우 작은 폴리실리콘 크기에 사용하기에 어렵다는 것이 발견되었다. 따라서, 코발트는 좁은 폴리실리콘 라인들상에 형성된 신뢰적이고 연속적인 코발트 실리사이드를 달성하는데 문제들을 가진다. 이것은 심지어 "라인 폭 효과(line width effect)"라 불린다. 따라서, 다른 금속들은 이런 문제를 극복하기 위해 연구되었다. 하나의 희망적인 금속은 니켈이다. 니켈 실리사이드를 형성하기 위해 니켈의 사용은 코발트 실리사이드에서 달성할 수 있는 것보다 좁은 라인 폭들에 대해 효과적이다. 그러나, 니켈 실리사이드의 어려운 점은 역전된 피라미드 형태로 타겟 깊이 아래로 니켈 실리사이드가 스파이킹(spiking)하는 것이다. 니켈 원자들은 드레인 아래로 확장할 수 있는 하향 경로를 따라 계속 확장하고자 한다. 이런 스파이킹이 발생할 때, 실리사이드 구조가 니켈 디실리사이드인 것이 발견되었다. 이런 니켈 디실리사이드의 형성은 특히 P 채널 트랜지스터들인 반도체 디바이스들을 제어하기 어렵게 한다. 실리콘 원자들보다 작은 봉소 같은 도편트 원자들은 실리콘 격자의 수축을 유도한다. 이것은 실리콘 기판 격자가 니켈 디실리사이드 격자와 매칭되게 하여, 형성된 니켈 모노실리사이드 상 대신 니켈 디실리사이드 상의 핵형성이 격자 수축을 없게 한다.

발명의 상세한 설명

따라서, P 채널 트랜지스터들에 대한 개선된 조립성을 가진 소스/드레인들상에 니켈 실리사이드를 형성하기 위한 기술이 요구된다.

본 발명은 실시예로 도시되고 첨부 도면들에 의해 제한되지 않으며, 유사한 참조 번호들은 유사한 엘리먼트들을 가리킨다.

실시예

당업자는 도면들의 엘리먼트들이 간략화 및 명확화를 위해 도시되고 필수적으로 비율적으로 도시되지 않은 것을 이해한다. 예를 들어, 도면들에서 몇몇 엘리먼트들의 크기들은 본 발명의 실시예들의 이해를 돋기 위해 다른 엘리먼트들에 비해 과장될 수 있다.

일 양상에서 비교적 깊은 게르마늄 주입 및 상기 게르마늄의 활성화는 니켈 실리사이드를 형성하기 위해 사용된 니켈 증착에 선행한다. 게르마늄의 활성화는 주입 영역의 격자 상수가 바람직하게 실리콘인 배경 기판의 격자 상수에 비해 증가되게 한다. 상기 효과는 변경된 격자가 니켈 디실리사이드 형성을 방지하는 것이다. 그 결과 니켈 실리사이드 스파이킹은 방지된다. 이것은 도면들 및 다음 설명을 참조하여 잘 이해된다.

도 1에는 반도체 기판(12), 게이트 유전체(16)상 게이트(14), 및 게르마늄 주입을 수용하는 게이트(14) 주변 라이너(18)를 포함하는 반도체 디바이스(10)가 도시된다. 주입 및 추후 어닐링의 결과 변형된 격자 영역들(20 및 22)이 형성된다. 반도체 디바이스(10)는 이 실시예에서 P 채널 트랜지스터로 형성된다. 기판(12)은 바람직하게 N 웰 영역을 형성하기 위해 N으로 도핑된 실리콘이다. 이것은 벌크 P 기판에서 시작해서 P 채널 트랜지스터들의 형성을 위해 N으로 액티브 영역들을 선택적으로 도핑함으로써 달성되고, 상기 경우 기판(12)은 큰 기판내의 웰 영역이다. 라이너(18)는 산화 단계에 의해 형성된다. 다른 이유들로 인해 제공된 반사방지 코팅(ARC)은 게이트(14) 상부의 산화를 방지하고 그 다음 제거된다. 영역들(20 및 22)은 게이트(14)가 영역들(20 및 22)을 형성하는 게르마늄 주입동안 마스크로서 작동하기 때문에 게이트(14)에 인접한다. 영역들(20 및 22) 사이의 기판(12) 영역은 P 채널 트랜지스터 채널이 배치되는 장소이다. 어닐링후 영역들(20 및 22)은 실리콘만을 가진 격자 구조에 비해 늘려진 격자를 가진다. 늘려진 격자는 니켈 디실리사이드 형성을 어렵게 만드는 니켈 디실리사이드보다 큰 공간을 가진다. 본 실시예에서 게르마늄 주입은 바람직하게 적어도 3Kev에서 제곱센티미터당 적어도 10 내지 13(1E13) 원자들의 도즈(dose)이다. 일 실시예는 10Kev에서 제곱센티미터당 1E15 원자들이다. 바람직하게 에너지는 50Kev를 초과해서는 안되지만, 더 높을 수 있다. 바람직하게 도즈는 제곱센티미터당 1E17 원자들을 초과하지 않지만, 더 높을 수 있다. 게르마늄의 활성화를 유발하는 어닐링은 바람직하게 섭씨 900 및 1400 도 사이이다. 상기 활성화는 섭씨 550도 같은 보다 낮은 온도에서 발생할 수 있다. 효과적인 어닐링의 일 실시예는 5초 동안 섭씨 1050도이다.

도 2에는 게이트(14) 둘레의 측벽 스페이서(24) 및 소스/드레인 형성후 마스크로서 게이트(14) 및 측벽 스페이서(24)를 사용하여 소스/드레인 영역들(26 및 28)을 형성하기 위해 봉소를 주입한 디바이스(10)가 도시된다. 봉소 주입은 봉소 디플루오르화물 형태일 수 있다. 추후 열적 처리 동안 대부분의 봉소는 남고 대부분의 플루오르는 배출된다. 이런 주입은 때때로 확장 주입이라 한다. 이것은 형성된 최종 P 채널 트랜지스터 채널과의 인터페이스에 있는 확장된 소스/드레인 영역들(26 및 28)을 형성한다. 소스/드레인 영역들(26 및 28)의 이런 형성은 각각 변형된 격자 영역들(20 및 22)내에 있다. 영역들(20 및 22)의 제공을 위해서, 확장 영역들(26 및 28)의 이런 형성은 반도체 처리 기술에서 잘 알려져 있다.

도 3에는 측벽 스페이서(24), 둘레 측벽 스페이서(30) 및 소스/드레인의 형성후 마스크로서 게이트(14), 측벽 스페이서(24) 및 측벽 스페이서(30)를 사용하여 소스/드레인 접촉 영역들(34 및 36)을 형성하기 위한 봉소를 주입한 디바이스(10)가 도시된다. 측벽 스페이서(30)는 하나 이상의 층으로 구성될 수 있다. 예를 들어 측벽 스페이서는 산화물 층 다음 질화물 층이 있을 수 있다. 이 경우, 영역들(34 및 36)은 변형된 격자 영역들(20 및 22) 아래로 확장한다. 특히 SOI 기판에서, 접촉 소스/드레인 주입 및 게르마늄 주입이 반도체층 및 반도체 층 아래의 절연층 인터페이스에서 종료할 가능성이 있다. 이들 소스/드레인 접촉 영역들(34 및 36)은 또한 깊은 소스/드레인들로서 알려졌지만, 변형된 격자 영역들(20 및 22)의 제공을 위해서, 소스/드레인 접촉 영역들(34 및 36)의 형성은 반도체 처리 기술에서 잘 알려져 있다.

도 4에는 도 2 및 3에 도시된 소스/드레인 주입물을 어닐링한후 반도체 디바이스(10)가 도시된다. 이것은 이들 주입물을 활성화하고 영역들(26, 28, 34 및 36)을 확장하는 효과를 가진다. 확장 영역들, 소스/드레인 영역들(26 및 28)은 게이트(14)의 에지들에 대해 적어도 정렬되도록 확장한다. 어닐링은 영역들(28 및 36) 및 영역들(26 및 34)이 도핑 농도를 점차적으로 변화하게 하고, 단일 영역들로 효과적으로 합병시킨다. 변형된 격자 영역들(20)의 제공을 위해서, 도 4에 기술된 처리는 반도체 제조 기술에서 잘 알려져 있다.

도 5에는 이 실시예에서 니켈인 금속 층(38)의 증착후 반도체 디바이스(10)가 도시된다. 이 층(38)은 소스/드레인 영역들(34 및 36), 게이트(14) 및 측벽 스페이서(30)와 직접 접촉한다.

도 6에는 니켈 실리사이드가 형성되게 하는 가열 단계후 반도체 디바이스(10)가 도시되고, 니켈 층(38)은 실리콘과 접촉한다. 그 결과 소스/드레인 영역(34)상 및 그 내부의 실리사이드 영역(40), 소스/드레인 영역(36)상 및 내부의 실리사이드 영역(42), 및 게이트(14)상 및 그 내부의 실리사이드 영역(44)이 형성된다. 이들 실리사이드 영역들(40, 42 및 44)은 접촉되어 목표된 전기 접속부를 형성하는데 효과적이다.

도 7에 실리사이드화되지 않은 층(38) 부분을 제거한후 반도체 디바이스(10)가 도시된다. 이것은 니켈인 금속과, 니켈 실리사이드인 금속 실리사이드 사이에서 선택적인 피라니아(piranha) 같은 에천트를 사용하여 달성된다. 그 다음 상기 디바

이스는 목표되면 실리사이드 형성을 완료하기 위해 부가적으로 어닐링될 수 있다. 그러나, 이런 최종 어닐링은 디바이스 제조에 사용된 처리 기술에 따라 필요하거나 필요하지 않을 수 있다. 변형된 격자 영역들(20 및 22)의 제공을 위해서, 도 5 내지 도 7에 대해 기술된 단계들은 반도체 제조 기술에서 잘 알려져 있다.

대안적인 실시예는 접촉부들을 형성하기 위해 깊은 소스/드레인 주입에 사용되는 측벽 스페이서의 형성후까지 게르마늄 주입 수행을 기다리는 것이다. 상기 경우 확장 주입은 확장 소스/드레인 영역들을 형성하는 게르마늄 주입전에 수행되고, 깊은 소스/드레인 주입을 위한 측벽 스페이서는 형성되고, 그 다음 게르마늄 주입은 수행된다. 이것은 도 2의 영역들(20 및 22)에 대해서보다 채널로부터 게르마늄 영역이 추가로 오프셋되게 한다. 게르마늄 주입후 및 깊은 소스/드레인 주입전, 게르마늄 주입은 비확산 어닐링으로서 고려될 수 있는 매우 짧지만 고온 어닐링으로 활성화된다. 예시적인 어닐링은 플래시 어닐링 및 레이저 어닐링이다. 플래시 어닐링은 열에 대해 매우 급격히 빠른 속도를 제공하는 아크 램프를 사용한다. 그 의도는 확장 영역들이 채널 영역에서 서로에 대해 확산하지 않게 하도록 게르마늄 주입 영역에서 격자 상수를 증가시키는 것이다. 변형된 격자 영역의 형성후, 깊은 소스/드레인 주입은 수행된다. 그 다음 경도평 및 중도평 영역들은 상기 도핑에 대한 표준 기술들 사용하여 활성화된다. 따라서 추후 실리사이드는 격자 상수가 니켈 실리사이드 스파이킹을 방지하도록 증가되는 영역에 걸쳐 형성된다.

따라서, 소스/드레인 접촉 영역들을 적어도 일부 가지는 영역들(20 및 22) 같은 증가된 격자 상수 영역들은 니켈 실리사이드의 스파이킹을 방지하는데 유용하고 코발트 실리사이드 같은 다른 금속 실리사이드들의 스파이킹 또는 강화를 방지하는데 효과적일 수 있다. 이런 기술된 실시예에서 증가된 격자 상수 영역들은 약 400 옴스트롱 깊이를 가진다. 상기 깊이가 실리사이드 깊이보다 큰 것은 바람직하다. 따라서, 바람직한 가장 작은 깊이는 최소한 실리사이드의 깊이이다. 400 옴스트롱 보다 큰 깊이는 또한 효과적이다. 변형된 격자 영역들(20 및 22)을 형성하기 위한 게르마늄의 활성화는 실리사이드 영역들의 형성전 임의의 시간에 발생할 수 있지만, 소스/드레인 영역들(26,28,34 및 36)의 주입 전에 발생하는 것이 바람직하다. 소스/드레인 주입후까지 변형된 격자 영역들(20 및 22)의 활성화를 지연하는 것은 격자 위치들에 대해 소스/드레인 주입 도편트들과 경쟁을 발생시킨다. 이것은 목표된 효과를 달성하기 위해 격자가 충분히 변형되지 않게 할 수 있다. 게르마늄은 스파이킹을 방지하는데 효과적인 것으로 발견되었지만 다른 주입 재료들은 또한 효과적일 수 있다. 예를 들어, 효과적일 수 있는 다른 재료들은 갈륨, 비소, 인듐, 주석, 안티몬, 탈륨, 납, 비스무트(bismuth), 아연, 카드뮴, 수은, 셀렌, 텔루르, 및 폴로늄을 포함한다. 이들 재료 모두는 실리콘보다 큰 원자 반경들을 가지며, 활성화되는 것으로 알려지고, 실리콘 격자에서 치환 위치들을 차지할 수 있는 그룹 II, III, IV, V 또는 VI 그룹내에 있다. 격자 상수를 증가시키기 위해, 이들 종들 중 임의의 종 또는 이들 종들의 임의의 결합은 목표된 결과를 달성하기 위해 사용될 수 있다.

상기 명세서에서, 본 발명은 특정 실시예들을 참조하여 기술되었다. 그러나, 당업자는 다양한 변형들 및 변화들이 하기 청구항들에 제시된 바와 같은 본 발명의 범위로부터 벗어나지 않고 이루어질 수 있다는 것을 인식한다. 예를 들어, 필요한 특성들을 가진 기판의 격자 상수를 변형하는 다른 방식들이 있을 수 있다. 또한 소스/드레인 접촉 영역들은 기판 평면상에서 융기된 영역내에 있을 수 있다. 이들은 소위 융기 소스/드레인들이라 한다. 상기 경우 격자 상수를 증가시키기 위해 소스/드레인 접촉 영역내로의 주입은 융기 영역으로의 주입이고 실리사이드는 융기 영역들상에 형성될 것이다. 따라서, 명세서 및 도면들은 제한적인 측면보다 오히려 도시하는 것으로 고려되고, 모든 상기 변형들은 본 발명의 범위내에 포함되는 것으로 의도된다.

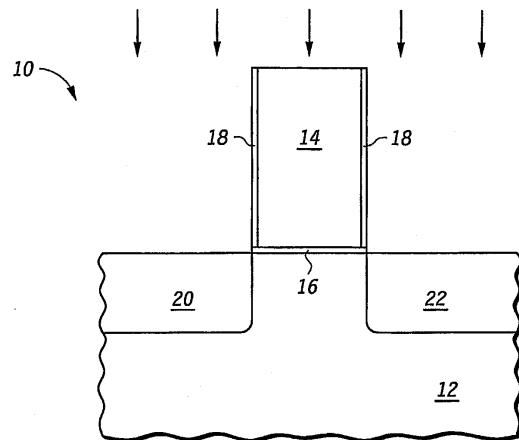
이점, 다른 장점들, 및 문제들에 대한 해결책들은 특정 실시예들과 관련하여 상기되었다. 그러나, 상기 이점들, 장점들, 문제들에 해결책들, 및 발생하거나 표명된 임의의 이점, 장점 또는 해결책을 유발할 수 있는 임의의 엘리먼트들은 임의의 또는 모든 청구항들의 임계적이거나, 요구되거나, 필수적인 피쳐 또는 엘리먼트로서 해석되지 않는다. 본 명세서에 사용된 바와 같이, 용어들 "포함한다(comprises)", "포함하는(comprising)", 또는 임의의 다른 변형은 처리, 방법, 물품, 또는 엘리먼트들의 리스트를 포함하는 장치가 단지 상기 엘리먼트만을 포함하는 것이 아니고 상기 처리, 방법, 물품, 또는 장치에 대해 표현되지 않거나 고유하지 않은 다른 엘리먼트들을 포함할 수 있도록, 비배타적인 포함을 커버하는 것으로 의도된다.

도면의 간단한 설명

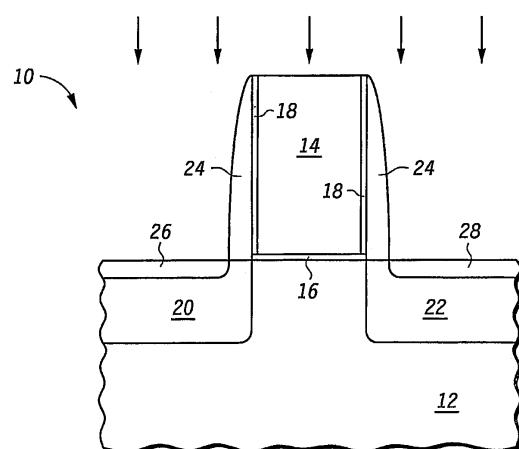
도 1 내지 도 7은 본 발명의 실시예에 따른 처리의 순차적 단계에서 반도체 디바이스의 단면도.

도면

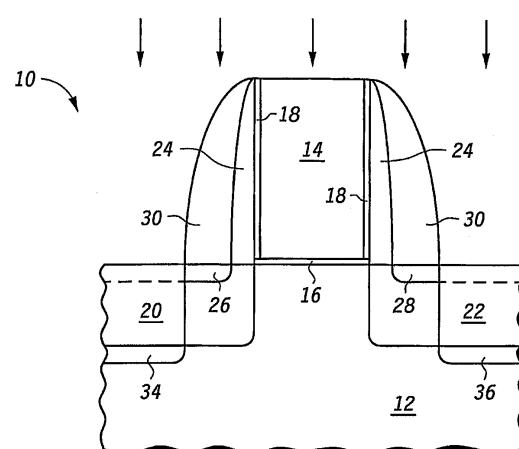
도면1



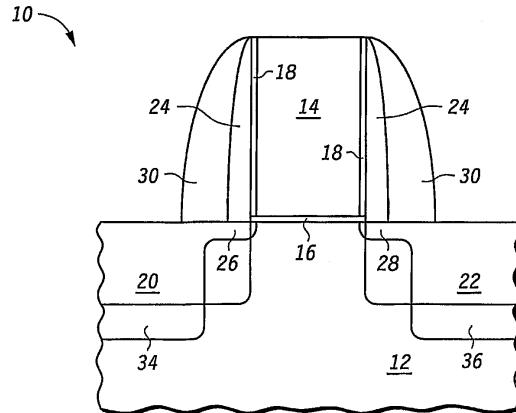
도면2



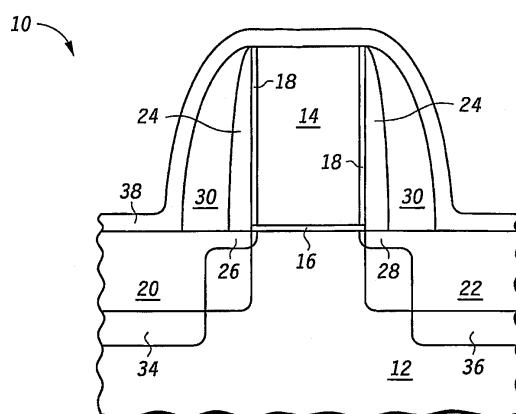
도면3



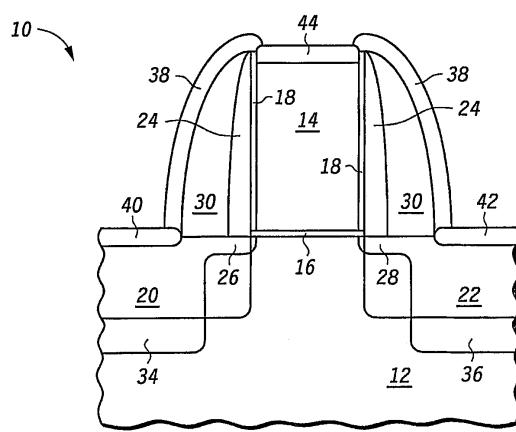
도면4



도면5



도면6



도면7

