



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 695 33 385 T2 2005.08.25**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 687 005 B1**

(21) Deutsches Aktenzeichen: **695 33 385.2**

(96) Europäisches Aktenzeichen: **95 304 002.9**

(96) Europäischer Anmeldetag: **07.06.1995**

(97) Erstveröffentlichung durch das EPA: **13.12.1995**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **18.08.2004**

(47) Veröffentlichungstag im Patentblatt: **25.08.2005**

(51) Int Cl.7: **H01L 21/768**
H01L 23/532

(30) Unionspriorität:
255198 07.06.1994 US

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(73) Patentinhaber:
Texas Instruments Inc., Dallas, Tex., US

(72) Erfinder:
Havemann, Robert H., Garland, Texas 75044, US;
Stoltz, Richard A., Plano, Texas, US

(74) Vertreter:
Prinz und Partner GbR, 81241 München

(54) Bezeichnung: **Herstellungsverfahren von Verbindungen über Halbleitervorrichtungen**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

GEBIET DER ERFINDUNG

[0001] Diese Erfindung betrifft allgemein die Herstellung von Halbleiterbauelementen und insbesondere das Strukturieren metallischer Verbindungsschichten mit einem Submikrometer-Abstand unter Verwendung von Materialien niedriger Permittivität zwischen Leitungen.

HINTERGRUND DER ERFINDUNG

[0002] Halbleiter werden weitverbreitet in integrierten Schaltungen für elektronische Anwendungen, einschließlich Radios und Fernsehgeräte, verwendet. Diese integrierten Schaltungen verwenden typischerweise mehrere in einkristallinem Silicium gefertigte Transistoren. Viele integrierte Schaltungen enthalten heutzutage mehrere Metallisierungsebenen für Verbindungen. Bei sich verkleinernden Geometrien und zunehmender Funktionsdichte wird es unbedingt erforderlich, die RC-Zeitkonstante innerhalb mehrere Ebenen aufweisender Metallisierungssysteme zu verkleinern.

ZUSAMMENFASSUNG DER ERFINDUNG

[0003] Wenngleich das Dielektrikum, das in der Vergangenheit typischerweise verwendet wurde, um Metalleitungen voneinander elektrisch zu isolieren, Siliciumdioxid war, waren neuere Trends auf die Verwendung von Materialien mit niedrigen Dielektrizitätskonstanten gerichtet, um die RC-Zeitkonstante zu verkleinern. Viele Isolatoren mit einer niedrigen Dielektrizitätskonstanten sind entweder reine Polymere (beispielsweise Parylen, Teflon, Polyimid) oder organisches Spin-On-Glas (OSOG, beispielsweise Silsesquioxan- und Siloxanglas). Die strukturelle Stärke und/oder die mechanische Stabilität dieser Materialien mit einer niedrigen Permittivität, insbesondere bei den hohen Temperaturen (größer als 400°C), die bei der heutigen Verarbeitung verwendet werden, sind im allgemeinen schlechter als diejenigen von Siliciumdioxid.

[0004] Demgemäß ergab sich aus der Verwendung von Materialien niedriger Permittivität in der Halbleiterindustrie ein Bedarf an einem Verfahren zum Erhöhen der strukturellen Unterstützung von Verbindungen auf einem Halbleiterwafer. Hier werden ein Halbleiterbauelement und ein Verfahren offenbart, wodurch dieses Problem in neuartiger Weise gelöst wird. Materialien niedriger Permittivität werden nur in Bereichen mit dicht beabstandeten Leitungen verwendet, wodurch die unerwünschte Kapazität zwischen dicht beabstandeten Leitungen verringert wird, während traditionelle dielektrische Materialien an anderen Stellen verwendet werden, wodurch eine starke strukturelle Unterstützung bereitgestellt wird.

[0005] Gemäß einem Aspekt der Erfindung ist ein Verfahren zum Herstellen von Leitungen auf einem Halbleiterwafer gemäß den Ansprüchen vorgesehen.

[0006] Ein Vorteil der Erfindung ist die verbesserte strukturelle Stärke durch das Anordnen strukturell schwacher Materialien niedriger Permittivität nur dort, wo es erforderlich ist, nämlich in Bereichen mit dicht beabstandeten Leitungen.

[0007] Ein weiterer Vorteil der Erfindung ist eine Verringerung der Randkapazität dicht beabstandeter Metalleitungen. Eine erste strukturelle dielektrische Schicht oder eine dielektrische Ätzstoppschicht liegt auf den Metalleitungen, woraus sich eine vergrößerte Höhe des Materials niedriger Permittivität auf dicht beabstandeten Metalleitungen ergibt. Dies ermöglicht es, daß sich das Material niedriger Permittivität über den oberen Teil der Metalleitungen hinaus erstreckt, wodurch eine Vergrößerung des Prozeßspielraums bereitgestellt ist.

[0008] Ein weiterer Vorteil der Erfindung besteht darin, daß Durchgänge zu unten liegenden Metalleitungen durch ein strukturell intaktes und qualitativ hochwertiges dielektrisches Material gebildet werden können, so daß traditionelle Prozesse zur Bildung von Durchgängen verwendet werden können.

[0009] Ein weiterer Vorteil besteht in einer einzigen homogenen, strukturellen dielektrischen Schicht, die über den weit beabstandeten Leitungen und dem Material niedriger Permittivität aufgebracht ist.

KURZBESCHREIBUNG DER ZEICHNUNG

[0010] In der Zeichnung, die einen integralen Teil der Beschreibung bildet und die in Zusammenhang damit zu lesen ist, wobei gleiche Bezugszahlen und Symbole zur Bezeichnung ähnlicher Komponenten in verschie-

denen Ansichten verwendet werden, soweit nichts anderes angegeben ist, zeigen:

[0011] die [Fig. 1A–Fig. 1E](#) und [Fig. 2A–Fig. 2D](#) Schnittansichten eines Abschnitts eines Halbleiterbauelements, worin eine erste Ausführungsform der Erfindung dargestellt ist,

[0012] die [Fig. 3A–Fig. 3D](#), [Fig. 4A–Fig. 4D](#) und [Fig. 5A–Fig. 5C](#) Schnittansichten eines Abschnitts eines Halbleiterbauelements, worin eine zweite Ausführungsform der Erfindung dargestellt ist, und

[0013] die [Fig. 6A–Fig. 6B](#) Schnittansichten von zwei Ausführungsformen der Erfindung mit dem zusätzlichen Merkmal einer über den Metalleitungen aufgebracht Passivierungsschicht.

DETAILLIERTE BESCHREIBUNG BEVORZUGTER AUSFÜHRUNGSFORMEN

[0014] Die Herstellung und die Verwendung der gegenwärtig bevorzugten Ausführungsformen werden nachstehend detailliert erörtert. Es ist jedoch zu verstehen, daß die vorliegende Erfindung viele anwendbare erfindungsgemäße Konzepte bereitstellt, die in einer großen Vielzahl spezifischer Zusammenhänge verwirklicht werden können. Die erörterten spezifischen Ausführungsformen dienen lediglich der Erläuterung spezifischer Verfahren zum Herstellen und Verwenden der Erfindung, und sie schränken den Schutzbereich der Erfindung nicht ein.

[0015] Nachstehend werden mehrere bevorzugte Ausführungsformen und alternative Ausführungsformen unter Einschluß von Herstellungsverfahren beschrieben. Entsprechende Bezugszahlen und Symbole in den verschiedenen Figuren betreffen entsprechende Teile, sofern nichts anderes angegeben ist. Die nachstehende Tabelle 1 bietet einen Überblick über die Elemente der Ausführungsformen und der Zeichnung.

Tabelle 1

Zeichnungs- element	Bevorzugte oder spezifische Beispiele	Allgemeiner Ausdruck	Andere alternative Beispiele oder Beschreibungen
10		Halbleiter- wafer	
12	Siliciumoxid über ein- kristallinem Silicium	Substrat	Kann andere Metallschichten oder andere Halbleiterelemente (beispielsweise Transistoren, Dioden) einschließen; Verbindungshalbleiter (beispielsweise GaAs, InP, Si/Ge, SiC) können an Stelle von Si verwendet werden.
14	Aluminium- legierung	Metallschicht	Dreifachschicht von TiN/AlCu/TiN; Legierungen von Al, Cu, Mo, W, Ti, Si; Polysilicium, Silicide, Nitride, Carbide; AlCu-Legierung mit Ti- oder TiN- Unterschichten; Metallschicht.
15		Erster Bereich der	Erster Bereich der Metallschicht 14, an dem weit beabstandete Leitungen 16

		Metallschicht 14	gebildet werden
16		Weit beabstandete Leitungen	
17		Zweiter Bereich der Metallschicht 14	Zweiter Bereich der Metallschicht 14, an dem benachbarte Abschnitte dicht beabstandeter Leitungen 18 gebildet werden
18		Dicht beabstandete Leitungen	
26	SiO ₂	Erste strukturelle dielektrische Schicht	Oxid, Nitrid, dichtes Glas, festes anorganisches Material, festes organisches Material, anderes geeignetes starres Dielektrikum, Oxid
34	Parylen	Material niedriger Permittivität	Andere Polymerdielektrika, wie Teflon und Polyimid, Aerogel, Luftspalt (Inertgase oder Vakuum)
36	PETEOS (plasma- angereicher- tes Tetraethoxy- silan)	Zweite strukturelle dielektrische Schicht	Silsesquioxan, SOG (Spin-On-Glas), andere Oxide
38	PETEOS	Passivierungs- schicht	Oxid- oder Nitridschicht

39	Siliciumnitrid /Silicium- dioxid	Dielektrische Ätzstopp- schicht	Siliciumdioxid, "Isolierschicht", PETEOS
44		Erstes Retikel	Enthält Muster weit und dicht beabstandeter Leitungen
46		Erste Resistschicht	Photoresist
48		Freigelegte Abschnitte der ersten Resistschicht	
50	Photoresist	Zweite Resistschicht	Photoempfindliches Polyimid
52	PETEOS	Harte Oxidmaske	Nitrid

[0016] Die Fig. 1–2 zeigen eine erste Ausführungsform der vorliegenden Erfindung. [Fig. 1A](#) zeigt einen Halbleiterwafer **10**, der ein Substrat **12** aufweist, das beispielsweise Transistoren, Dioden und andere Halbleiterelemente (nicht dargestellt) enthalten kann, die auf dem Fachgebiet wohlbekannt sind. Der Halbleiterwafer **10** kann auch Metallschichten enthalten. Eine Metallschicht **14** wurde auf das Substrat **12** aufgebracht. Die Metallschicht **14** kann beispielsweise eine Aluminiumlegierung oder eine Titan-Wolfram/Aluminium-Legierungs-Doppelschicht aufweisen und ist typischerweise 0,5 bis 2 µm dick. Die Metallschicht **14** wurde in zwei Abschnitte unterteilt, nämlich einen ersten Bereich **15**, in dem weit beabstandete Leitungen **16** gebildet werden, und einen zweiten Bereich **17**, in dem wenigstens benachbarte Abschnitte dicht beabstandeter Leitungen **18** gebildet werden.

[0017] Eine einzige Leitung kann Abschnitte aufweisen, die sowohl dicht beabstandet als auch weit beabstandet sind. Für diesen Fall sind wenigstens zwei alternative Verfahren zum Blockieren der Bereiche, in denen dicht beabstandete Leitungen gebildet werden, verfügbar. Ein Verfahren besteht darin, nur die Abschnitte der Leitung zu maskieren, die sich neben einer anderen Leitung befinden (benachbarter Abschnitt). Alternativ kann für eine Leitung, die wenigstens einen Abschnitt aufweist, der dicht beabstandet ist, die gesamte dicht beabstandete Leitung blockiert werden. Für die Erörterung ist es zweckmäßig, nur von "dicht beabstandeten Leitungen" und "benachbarten Abschnitten" zu sprechen, wobei die benachbarten Abschnitte aus dicht beabstandeten Leitungen bestehen (wenigstens einige dieser Leitungen können auch Abschnitte aufweisen, die anderen Leitungen nicht benachbart sind). Es sei bemerkt, daß die nicht benachbarten Abschnitte dicht beabstandeter Leitungen entweder mit den "benachbarten Abschnitten" oder den "weit beabstandeten Leitungen" verarbeitet werden können.

[0018] Eine dielektrische Ätzstoppsschicht **39** wird auf die Metallschicht **14** aufgebracht. Eine erste Resistschicht **46** wird dann auf die dielektrische Ätzstoppsschicht **39** aufgebracht. Die erste Resistschicht **46** besteht

vorzugsweise aus Photoresist, oder es kann ein anderer Resist, wie photoempfindliches Polyimid, verwendet werden.

[0019] Der Wafer **10** wird mit dem ersten Retikel **44** maskiert, das das Leitermuster enthält (weil alle Leiter dieser Schicht auf einmal strukturiert werden, werden im allgemeinen Justierungsprobleme vermieden, selbst wenn nicht alle Leiter gleichzeitig geätzt werden oder falls zwei Abschnitte eines einzigen Leiters zu verschiedenen Zeiten geätzt werden, es werden jedoch vorzugsweise alle Abschnitte aller Leiter gemeinsam geätzt). Das erste Retikel **44** ist so konfiguriert, daß sowohl weit beabstandete als auch alle Abschnitte dicht beabstandeter Leitungen gleichzeitig strukturiert werden. Nicht abgedeckte Abschnitte der ersten Resistschicht **46** werden belichtet, wie in [Fig. 1B](#) dargestellt ist. Die belichteten Abschnitte **48** der ersten Resistschicht werden entwickelt und entfernt. Eine dielektrische Ätzstoppschicht **39** und die Metallschicht **14** werden, typischerweise in getrennten Schritten ([Fig. 1C](#)), geätzt, um weit beabstandete Leitungen **16** und dicht beabstandete Leitungen **18** zu bilden.

[0020] Die weit beabstandeten Leitungen **16** haben typischerweise ein Abstands-Seitenverhältnis von weniger als eins (das Abstands-Seitenverhältnis ist die Höhe der Metalleitungen verglichen mit dem Abstand zwischen den Leitungen (geteilt durch diesen)). Im allgemeinen sind die weit beabstandeten Leitungen **16** in Abständen angeordnet, die typischerweise das Eineinhalbfache des minimalen Abstands von Leitung zu Leitung beträgt oder größer ist. Die Abstände zwischen solchen weit beabstandeten Leitungen **16** sind ausreichend, um übermäßige kapazitive Wirkungen zu verhindern, und sie benötigen daher keine Materialien niedriger Permittivität zur Isolation.

[0021] Dicht beabstandete Leitungen **18** haben typischerweise ein Abstands-Seitenverhältnis im Bereich von größer oder gleich eins. Im allgemeinen sind die dicht beabstandeten Leitungen **18** in Abständen angeordnet, die typischerweise kleiner als ein μm sind, und der Abstand kann der minimalen Leitungsbreite (Leiterbreite) entsprechen. Die Zwischenräume zwischen den Leitungen liegen dicht genug beieinander, damit sie eine erhebliche Streukapazität aufweisen, und die Struktur profitiert demgemäß von dem Material **34** niedriger Permittivität zwischen den dicht beabstandeten Leitungen **18**.

[0022] Die erste Resistschicht **46** wird dann abgehoben ([Fig. 1D](#)). Das Material **34** niedriger Permittivität wird auf den ganzen Wafer **10** aufgebracht ([Fig. 1E](#)) und kann planarisiert werden. Das Material **34** niedriger Permittivität besteht aus einem Material mit einer niedrigen Dielektrizitätskonstanten, vorzugsweise einem Polymerdielektrikum, wie Parylen oder Teflon, mit einer Dielektrizitätskonstanten von weniger als etwa 3.

[0023] Eine dünne harte Oxidmaske **52** wird auf das Material **34** niedriger Permittivität aufgebracht ([Fig. 2A](#)). Eine zweite Resistschicht **50** wird auf die harte Oxidmaske **52** aufgebracht und belichtet (durch ein nicht dargestelltes zweites Retikel) und von Bereichen entfernt, die die weit beabstandeten Leitungen **16** enthalten ([Fig. 2A](#)). Die harte Oxidmaske **52** und das Material **34** niedriger Permittivität werden von den Bereichen entfernt, die die weit beabstandeten Leitungen **16** enthalten ([Fig. 2B](#)), sie verbleiben jedoch auf Bereichen des Wafers, die die dicht beabstandeten Leitungen **18** enthalten. Als nächstes wird die harte Oxidmaske **52** von Bereichen entfernt, die die dicht beabstandeten Leitungen **18** enthalten, und es wird das Material **34** niedriger Permittivität bis zu einem Niveau am Oberteil der dielektrischen Ätzstoppschicht **39** ([Fig. 2C](#)) oder darunter auf den Metalleitungen entfernt (beispielsweise zurückgeätzt). Die dielektrische Ätzstoppschicht **39** dient als ein Ätzstopp für das Ätzmittel für die dielektrische Schicht **34** niedriger Permittivität. Vorzugsweise wird das Material **34** niedriger Permittivität nicht über den oberen Teil der dicht beabstandeten Metalleitungen **18** hinaus heruntergeätzt. Vorzugsweise liegt das Material **34** niedriger Permittivität um einen Abstand, der gleich 30–50% der Dicke der Metalleitung **18** ist, oberhalb der oberen Teile der dicht beabstandeten Metalleitungen **18**, um die Randkapazität zwischen Metalleitungen **18** an den Ecken und oberen Teilen der dicht beabstandeten Metalleitungen **18** zu beseitigen oder zu verringern. Das Verringern der Randkapazität ist ein Vorteil der Erfindung, der sich aus der vergrößerten Höhe des Materials **34** niedriger Permittivität ergibt, das sich über die oberen Teile der dicht beabstandeten Metalleitungen **18** hinaus erstrecken kann. Daraufhin wird die erste strukturelle dielektrische Schicht **26** auf den ganzen Wafer **10** aufgebracht und kann planarisiert werden ([Fig. 2D](#)). Ein Vorteil der ersten Ausführungsform besteht darin, daß der ganze Wafer mit einer einzigen homogenen Schicht (der ersten strukturellen dielektrischen Schicht **26**) beschichtet wird.

[0024] Eine zweite Ausführungsform ist in den [Fig. 3–5](#) dargestellt. [Fig. 3A](#) zeigt einen Halbleiterwafer **10**, der ein Substrat **12** und eine auf das Substrat **12** aufgebrachte Metallschicht **14** aufweist. Die Metallschicht **14** hat zwei Abschnitte, nämlich einen ersten Bereich **15**, in dem weit beabstandete Leitungen gebildet werden, und einen zweiten Bereich **17**, in dem dicht beabstandete Leitungen gebildet werden. Die dielektrische Ätzstoppschicht **39** wird auf die Metallschicht **14** aufgebracht. Eine erste Resistschicht **46** wird dann auf die dielektrische

Ätzstoppschicht **39** aufgebracht. Die erste Resistschicht **46** besteht vorzugsweise aus Photoresist, oder es kann ein anderer Resist, wie photoempfindliches Polyimid, verwendet werden.

[0025] Der Wafer **10** wird mit dem ersten Retikel **44** maskiert, das das Leitermuster sowohl für die weit beabstandeten als auch für die dicht beabstandeten Leitungen enthält. Die nicht abgedeckten Abschnitte der ersten Resistschicht **46** werden belichtet, wie in [Fig. 3B](#) dargestellt ist. Die belichteten Abschnitte **48** der ersten Resistschicht **46** werden entwickelt und entfernt, und die dielektrische Ätzstoppschicht **39** wird geätzt ([Fig. 3C](#)). Der Wafer **10** wird mit einer zweiten Resistschicht **50** abgedeckt, die vorzugsweise aus photoempfindlichem Polyimid besteht, jedoch vorzugsweise ein Photoresist ist. Die zweite Resistschicht wird in einem Muster belichtet (durch ein nicht dargestelltes zweites Retikel), so daß der zweite Bereich **17** der Metallschicht **14** mit der zweiten Resistschicht **50** bedeckt bleibt ([Fig. 3D](#)).

[0026] Die Metallschicht **14** wird unter Bildung weit beabstandeter Metalleitungen **16** geätzt ([Fig. 4A](#)). Die erste strukturelle dielektrische Schicht **26** wird auf den ganzen Wafer **10** aufgebracht (im allgemeinen, wenngleich dies nicht dargestellt ist, auch auf den strukturierten Resist **50** und dann von wenigstens dem oberen Teil der zweiten Resistschicht **50** entfernt), um die Struktur aus [Fig. 4B](#) zu erhalten. An diesem Punkt wurden weit beabstandete Leitungen **16** gebildet, wenngleich der zweite Bereich **17** der Metallschicht **14** ungeätzt bleibt und auch von der zweiten Resistschicht **50** bedeckt bleibt. Daraufhin wird die zweite Resistschicht **50** vom zweiten Bereich **17** der Metallschicht **14** entfernt, der mit der strukturierten dielektrischen Ätzstoppschicht **39** beschichtet bleibt. Die Metallschicht **14** wird geätzt, um dicht beabstandete Leitungen **18** zu bilden, wie in [Fig. 4D](#) dargestellt ist.

[0027] Als nächstes wird das Material **34** niedriger Permittivität auf den ganzen Wafer **10** ([Fig. 5A](#)) aufgebracht und bis zu einem Niveau am oberen Teil der dielektrischen Ätzstoppschicht **39** auf dicht beabstandeten Leitungen **18** ([Fig. 5B](#)) oder unterhalb von diesem entfernt (beispielsweise mit einem zeitlich begrenzten Ätzen zurückgeätzt). Wie gemäß der ersten Ausführungsform liegt das Material **34** niedriger Permittivität vorzugsweise um einen Abstand von 30–50% der Dicke der Metalleitung **18** oberhalb der oberen Teile der dicht beabstandeten Metalleitungen **18**, um die Randkapazität zwischen den Metalleitungen **18** an den Ecken und oberen Teilen der dicht beabstandeten Metalleitungen **18** zu beseitigen oder zu verringern. Schließlich wird die zweite strukturelle dielektrische Schicht **36** auf die dielektrische Ätzstoppschicht **39** über den dicht beabstandeten Metalleitungen **18**, dem Material **34** niedriger Permittivität und möglicherweise über der ersten strukturellen dielektrischen Schicht **26** aufgebracht, wie in [Fig. 5C](#) dargestellt ist. Vorzugsweise wird PETEOS (Plasma-angereichertes Tetraethoxysilan) für die zweite strukturelle dielektrische Schicht **36** verwendet.

[0028] Typischerweise bestehen für diese Erfindung die erste strukturelle dielektrische Schicht **26** und die zweite strukturelle dielektrische Schicht **36** aus einem Oxid, und die dielektrische Ätzstoppschicht **39** besteht aus einem OSOG mit einer niedrigen Dielektrizitätskonstanten von weniger als 3. Es können jedoch auch andere Materialkombinationen verwendet werden. Beispielsweise kann die dielektrische Ätzstoppschicht **39** aus einem Oxid bestehen, während die erste strukturelle dielektrische Schicht **26** und die zweite strukturelle dielektrische Schicht **36** beide aus Teflon oder Parylen bestehen können. Die letztgenannte Kombination kann speziell kompatibel mit Materialien **34** niedriger Permittivität sein, die Aerogel oder Xerogel enthalten.

[0029] [Fig. 6A](#) zeigt eine Alternative für die erste Ausführungsform, wobei nach dem in [Fig. 1D](#) dargestellten Schritt eine Passivierungsschicht **38** auf belichteten Abschnitten der dielektrischen Ätzstoppschicht **39**, der Seitenwände der weit beabstandeten Leitungen **16** und der dicht beabstandeten Metalleitungen **18** sowie des Substrats **12** gebildet wird. Diese Passivierungsschicht **38** ist besonders vorteilhaft für dicht beabstandete Leitungen **18**, weil sie eine Reaktion zwischen den Metalleitungen **18** und dem Material **34** niedriger Permittivität verhindert. In ähnlicher Weise ist in [Fig. 6B](#) eine Alternative für die zweite Ausführungsform dargestellt, wobei nach dem in [Fig. 4D](#) dargestellten Schritt eine Passivierungsschicht **38** auf belichteten Abschnitten der dielektrischen Ätzstoppschicht **39**, der Seitenwände der dicht beabstandeten Metalleitungen **18** und des Substrats **12** gebildet wird.

[0030] Wenngleich im allgemeinen der Prozeß aus den [Fig. 1A–Fig. 1E](#) und [Fig. 2A–Fig. 2D](#) bevorzugt ist, können alternative Prozesse (nicht dargestellt) verwendet werden, um im wesentlichen die gleichen Ergebnisse zu erreichen. Beispielsweise kann, ausgehend von der Konfiguration aus [Fig. 1D](#) (nachdem alle Leitungen auf dieser Schicht strukturiert worden sind), Resist verwendet werden, der gegenüber dem Muster **50** invertiert ist (wodurch Resist belassen wird, der die weit beabstandeten Leitungen bedeckt), kann das Material niedriger Permittivität aufgebracht werden, planarisiert werden, um die dielektrische Ätzstoppschicht **39** freizulegen, der Resist entfernt werden, um die Konfiguration aus [Fig. 2C](#) zu erhalten, und dann das strukturelle Dielektrikum aufgebracht werden, um die Struktur aus [Fig. 2D](#) zu erzielen.

[0031] Als ein anderes Beispiel kann, wiederum ausgehend von der Konfiguration aus [Fig. 1D](#) (nachdem alle Leitungen auf dieser Schicht strukturiert worden sind), eine erste Schicht eines strukturellen Dielektrikums aufgebracht werden, Resist verwendet werden, der gegenüber dem Muster **50** invertiert ist, das strukturelle Dielektrikum geätzt werden, der Resist entfernt werden, das Material niedriger Permittivität aufgebracht werden, planarisiert werden, um die dielektrische Ätzstoppschicht **39** freizulegen (beispielsweise mit einem zeitlich begrenzten Ätzen oder einem chemisch mechanischen Polieren), und dann eine zweite Schicht des strukturellen Dielektrikums aufgebracht werden, um die Struktur aus [Fig. 5C](#) zu erhalten.

[0032] Als ein weiteres Beispiel kann, wiederum ausgehend von der Konfiguration aus [Fig. 1D](#) (nachdem alle Leitungen auf dieser Schicht strukturiert worden sind), Resist in dem Muster **50** verwendet werden, eine erste Schicht eines strukturellen Dielektrikums aufgebracht werden, planarisiert werden, um die dielektrische Ätzstoppschicht **39** freizulegen, der Resist entfernt werden, das Material niedriger Permittivität aufgebracht werden, wiederum planarisiert werden, um die dielektrische Ätzstoppschicht **39** freizulegen, und dann eine zweite Schicht des strukturellen Dielektrikums aufgebracht werden.

[0033] Als ein weiteres Beispiel kann, ausgehend von der Konfiguration aus [Fig. 3C](#) (nachdem die dielektrische Ätzstoppschicht **39** strukturiert worden ist), Resist verwendet werden, der gegenüber dem Muster **50** invertiert ist, und können die benachbarten Abschnitte geätzt werden, kann das Material niedriger Permittivität aufgebracht werden, planarisiert werden, um die dielektrische Ätzstoppschicht **39** freizulegen, der Resist entfernt werden, können die weit beabstandeten Leitungen **16** geätzt werden und kann das strukturelle Dielektrikum aufgebracht werden, um die Struktur aus [Fig. 2D](#) zu erhalten.

[0034] Die vorliegende Erfindung verwendet generell einen "Konturierungsmusterresist" zum Konturieren zumindest der Bereiche der weit beabstandeten Leitungen gegenüber zumindest den Bereichen der benachbarten Abschnitte der dicht beabstandeten Leitungen und damit zum Ermöglichen des Aufbringens des Materials niedriger Permittivität zumindest in Bereichen benachbarter Abschnitte dicht beabstandeter Leitungen und zum Ermöglichen des Aufbringens des strukturellen Dielektrikums zumindest in Bereichen weit beabstandeter Leitungen. Wiederum können nicht benachbarte Abschnitte dicht beabstandeter Leitungen entweder mit den "benachbarten Abschnitten" oder den "weit beabstandeten Leitungen" verarbeitet werden. Wenngleich dieses "Konturierungsmuster" einen zusätzlichen Maskierungsschritt erfordert (zusätzlich zur herkömmlichen Leiterstrukturierungsmaske), ist die Justierung dieses zusätzlichen Maskierungsschritts nicht kritisch, und es ist demgemäß für Justierungstoleranzen kein zusätzlicher Aufwand erforderlich. Um Justierungsprobleme weiter zu vermeiden, sieht diese Erfindung im allgemeinen das Festlegen des Leitermusters in einem einzigen Maskierungsschritt vor (wenngleich es nicht bevorzugt ist, können die weit beabstandeten Leitungen getrennt von wenigstens den benachbarten Abschnitten dicht beabstandeter Leitungen geätzt werden).

[0035] Das neuartige Verfahren zur Doppelmaskierung zur selektiven Zwischenraumauffüllung von Submikrometer-Verbindungen bietet erhebliche Vorteile gegenüber den herkömmlichen Prozessen. Erstens wird das strukturell schwache Material niedriger Permittivität auf Bereiche beschränkt, die von ihm profitieren. In den Bereichen, in denen das Material niedriger Permittivität nicht erforderlich ist, bietet die strukturelle dielektrische Schicht mehr strukturelle Unterstützung. Das Ergebnis ist eine insgesamt stärkere Struktur mit einer besseren Wärmeübertragungsfähigkeit (weil die Wärmeübertragung von Materialien niedriger Permittivität im allgemeinen schlecht ist). Gemäß der ersten Ausführungsform ist das strukturelle Dielektrikum eine einzige homogene Schicht, was ein weiterer Vorteil ist.

[0036] Zweitens ermöglicht die erste Ausführungsform das Strukturieren der ganzen Metallschicht auf einmal, wodurch die möglichen Justierungsprobleme der zweiten Ausführungsform beseitigt werden. Das zweite Retikel, das den zweiten Resist strukturiert, um die dicht beabstandeten Leitungen zu maskieren, kann verhältnismäßig leicht von dem ersten Retikel für die Metallschicht erzeugt werden. Demgemäß kann die Implementation der ersten Ausführungsform leichter in aktuelle Prozeßabläufe integriert werden.

[0037] Drittens hat die dielektrische Ätzstoppschicht **39** auf den dicht beabstandeten Leitungen **18** den zusätzlichen Vorteil, daß die Randkapazität zwischen dicht beabstandeten Leitungen **18** verringert wird. Die dielektrische Ätzstoppschicht **39** ermöglicht eine vergrößerte Höhe des Materials **34** niedriger Permittivität zwischen dicht beabstandeten Leitungen **18**, wodurch ermöglicht wird, daß sich das Material niedriger Permittivität über den oberen Teil der Metalleitungen hinaus erstreckt. Hierdurch wird eine Erhöhung der Prozeßtoleranz ermöglicht.

[0038] Ein vierter Vorteil der Erfindung besteht darin, daß Durchgänge zu unten liegenden Metalleitungen durch ein strukturell intaktes Dielektrikum hoher Qualität (die dielektrische Ätzstoppschicht **39** auf den dicht be-

abstandeten Leitungen **18**) gebildet werden können, so daß traditionelle Durchgangsbildungsprozesse verwendet werden können.

[0039] Wenngleich die Erfindung mit Bezug auf erläuternde Ausführungsformen beschrieben wurde, sollte diese Beschreibung nicht einschränkend ausgelegt werden. Verschiedene Modifikationen und Kombinationen der als Beispiel dienenden Ausführungsformen sowie andere Ausführungsformen der Erfindung werden Fachleuten beim Lesen der Beschreibung einfallen. Es ist daher vorgesehen, daß die anliegenden Ansprüche alle dieser Modifikationen oder Ausführungsformen einschließen.

Patentansprüche

1. Verfahren zum Herstellen einer integrierten Schaltung, das die folgende Schrittfolge aufweist:
 - (a) Bilden einer Metallschicht (**14**) auf einem Substrat (**12**),
 - (b) Bilden einer Isolierschicht (**39**) auf der Metallschicht (**14**),
 - (c) Bilden einer strukturierten Resistschicht (**46**) auf der Isolierschicht (**39**), wobei die Resistschicht (**46**) so eingerichtet wird, daß sie mehrere weit beabstandete Leitungen (**16**) und mehrere dicht beabstandete Leitungen (**18**) definiert,
 - (d) Ätzen der Isolierschicht (**39**) und der Metallschicht (**14**), um die mehreren weit beabstandeten Leitungen (**16**) in einem ersten Bereich (**15**) der Metallschicht (**14**) und die mehreren dicht beabstandeten Leitungen (**18**) in einem zweiten Bereich (**18**) der Metallschicht (**14**) zu bilden,
 - (e) Aufbringen eines Materials (**34**) niedriger Permittivität über dem ersten Bereich (**15**), der die weit beabstandeten Leitungen (**16**) aufweist, und dem zweiten Bereich (**17**), der die dicht beabstandeten Leitungen (**18**) aufweist,
 - (f) Entfernen des Materials (**34**) niedriger Permittivität von dem ersten Bereich (**15**), der die weit beabstandeten Leitungen (**16**) aufweist, und
 - (g) Bilden eines strukturellen dielektrischen Bereichs (**26**) zumindest über den weit beabstandeten Leitungen (**16**).
2. Verfahren zum Herstellen einer integrierten Schaltung nach Anspruch 1, bei dem das Material (**34**) niedriger Permittivität von dem zweiten Bereich (**17**), der die dicht beabstandeten Leitungen (**18**) aufweist, entfernt wird, um eine Oberfläche der Isolierschicht (**39**) auf den dicht beabstandeten Leitungen (**18**) freizulegen.
3. Verfahren nach Anspruch 1 oder 2, wobei bei dem Schritt des Bildens des strukturellen dielektrischen Bereichs (**26**) ein strukturelles dielektrisches Material (**26**) über dem ersten Bereich (**15**), der die dicht beabstandeten Leitungen (**16**) aufweist, und dem zweiten Bereich (**17**), der die weit beabstandeten Leitungen (**16**) aufweist, und dem Bereich (**34**) niedriger Permittivität aufgebracht wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem das Verfahren nach dem Schritt des Ausbringens des Materials (**34**) niedriger Permittivität weiter die folgenden Schritte aufweist:
 - Aufbringen einer Passivierungsschicht (**52**) über dem Bereich (**34**) niedriger Permittivität,
 - Aufbringen einer zweiten Resistschicht auf die Passivierungsschicht (**52**) in einem Bereich, der den zweiten Bereich (**17**) der Metallschicht (**14**) im wesentlichen überlagert,
 - wobei bei dem Schritt des Entfernehmens des Materials (**34**) niedriger Permittivität die Passivierungsschicht (**52**) und das Material (**34**) niedriger Permittivität entfernt werden.
5. Verfahren nach einem der Ansprüche 1 bis 4, wobei bei dem Schritt des Bildens der Metallschicht (**14**) ein Material aufgebracht wird, das aus einer Materialgruppe ausgewählt wird, die Aluminiumlegierungen oder eine Titan-Wolfram-/Aluminiumlegierung enthält.
6. Verfahren nach einem der Ansprüche 1 bis 5, wobei bei dem Schritt des Bildens der Metallschicht (**14**) eine Metallschicht (**14**) mit einer Dicke aufgebracht wird, die im wesentlichen zwischen $0,5 \times 10^{-6}$ m und $2,0 \times 10^{-6}$ m liegt.
7. Verfahren nach einem der Ansprüche 2 bis 6, bei dem weiter:
 - vor dem Schritt des Aufbringens des Materials (**34**) niedriger Permittivität eine Passivierungsschicht (**38**) über der dielektrischen Schicht (**39**), den weit beabstandeten Leitungen (**16**) und den dicht beabstandeten Leitungen (**18**) aufgebracht wird und
 - bei dem Schritt des Entfernehmens des Materials (**34**) niedriger Permittivität die Passivierungsschicht (**38**) von einem Bereich entfernt wird, der den ersten Bereich (**15**), welcher die weit beabstandeten Leitungen (**16**) aufweist, im wesentlichen überlagert.

8. Verfahren nach einem der Ansprüche 1 bis 7, wobei bei dem Schritt des Bildens des Bereichs **(34)** niedriger Permittivität ein Material **(34)** niedriger Permittivität bis zu einer Dicke aufgebracht wird, die wenigstens gleich der Höhe der dicht beabstandeten Leitungen **(18)** ist.

9. Verfahren nach einem der Ansprüche 1 bis 8, wobei bei dem Schritt des Bildens des Bereichs **(34)** niedriger Permittivität ein Material **(34)** niedriger Permittivität bis zu einer Dicke aufgebracht wird, die wenigstens gleich der Höhe der dicht beabstandeten Leitungen **(18)** zuzüglich wenigstens 50% der Dicke der Isolierschicht **(39)** auf den dicht beabstandeten Leitungen **(18)** ist.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

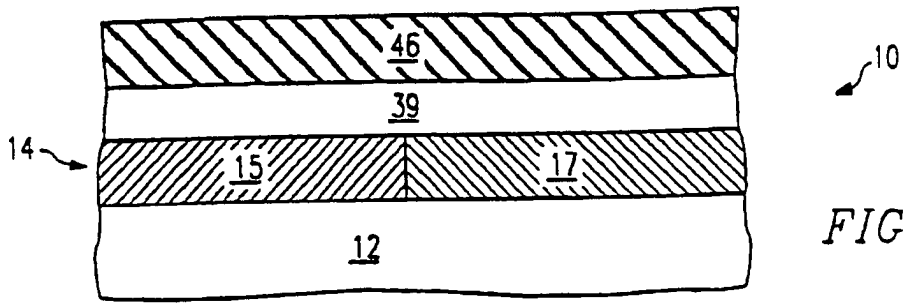


FIG. 1A

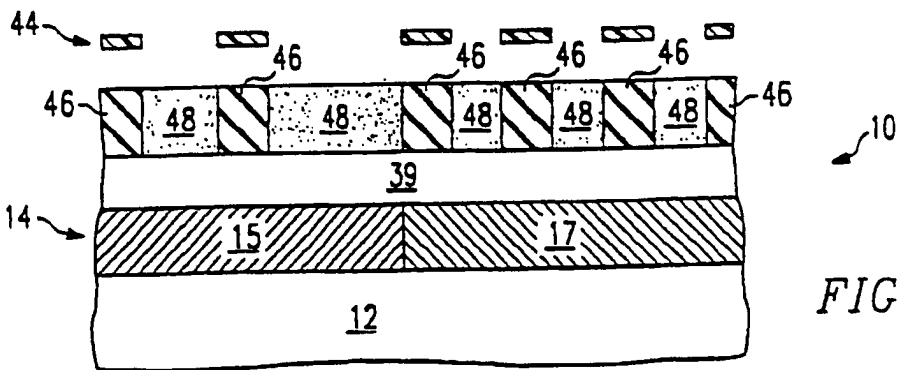


FIG. 1B

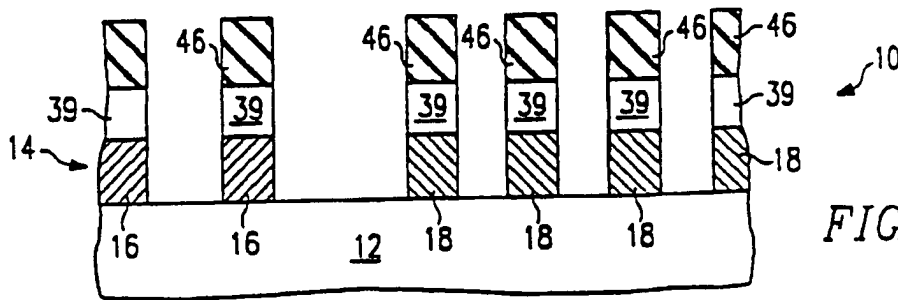


FIG. 1C

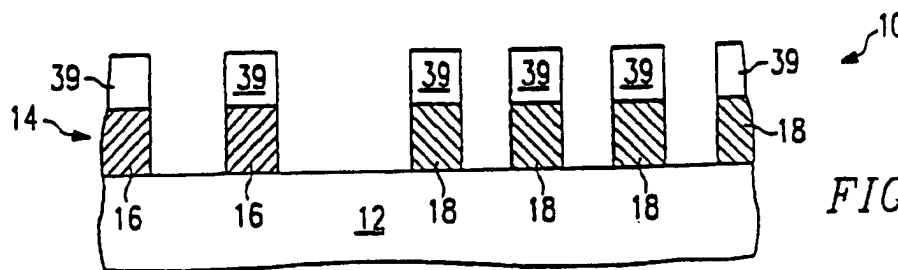


FIG. 1D

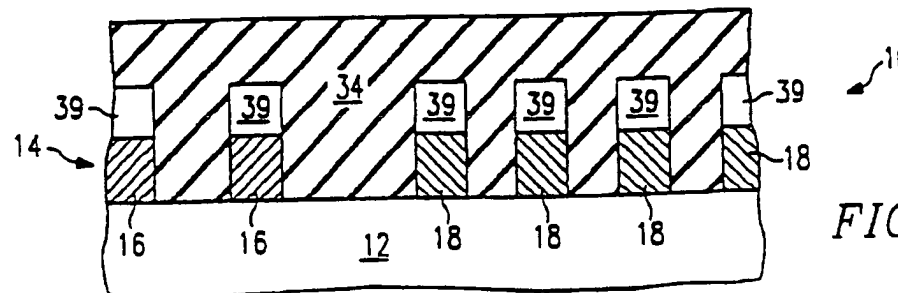


FIG. 1E

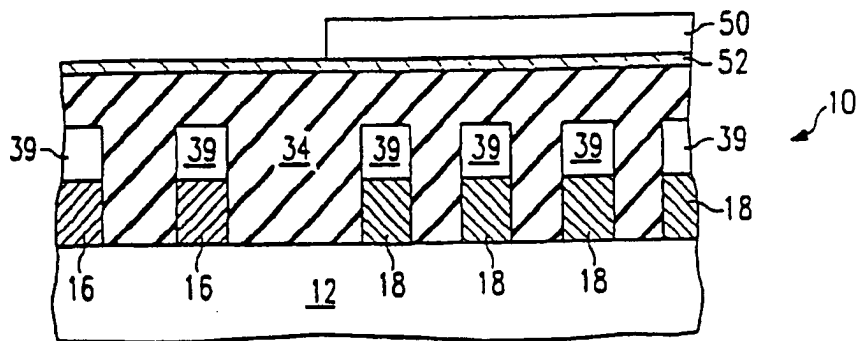


FIG. 2A

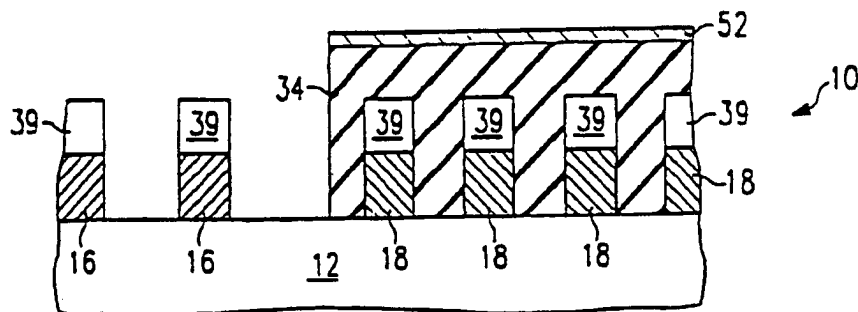


FIG. 2B

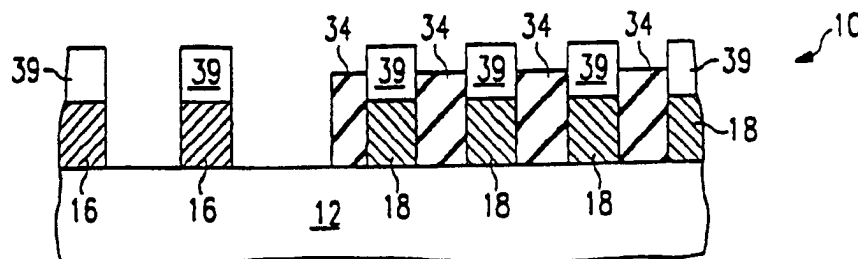


FIG. 2C

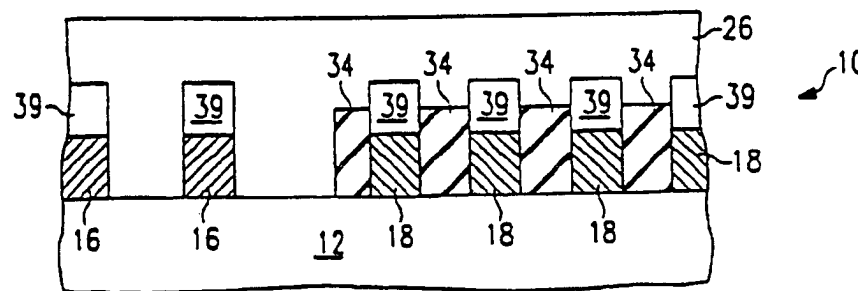


FIG. 2D

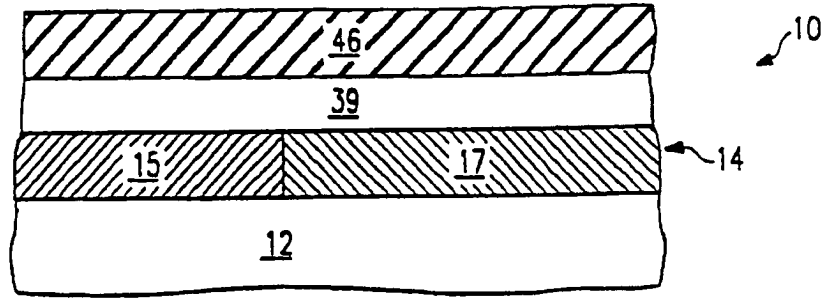


FIG. 3A

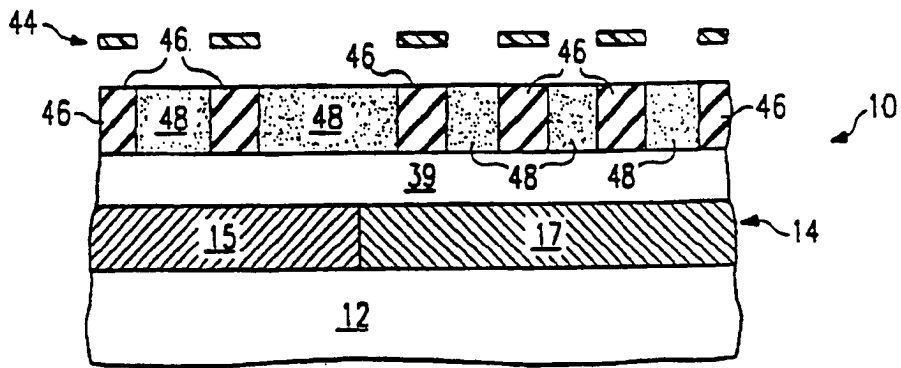


FIG. 3B

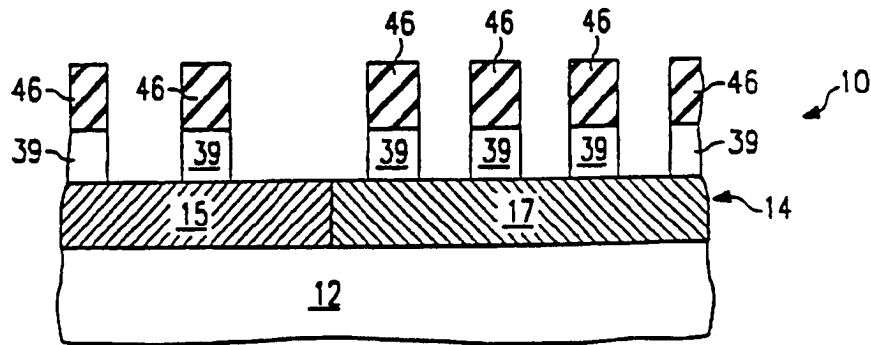


FIG. 3C

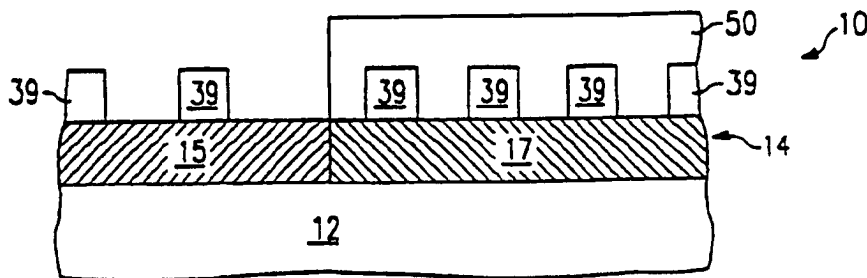


FIG. 3D

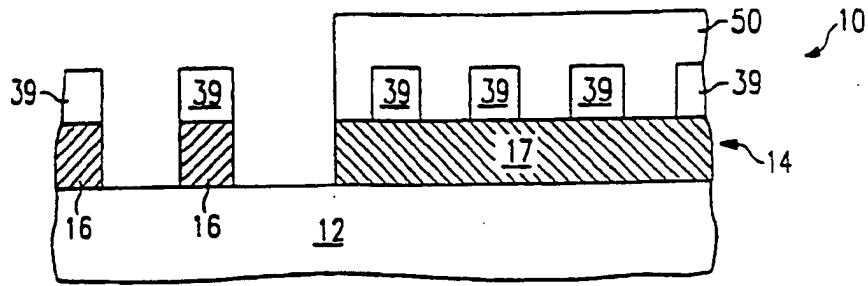


FIG. 4A

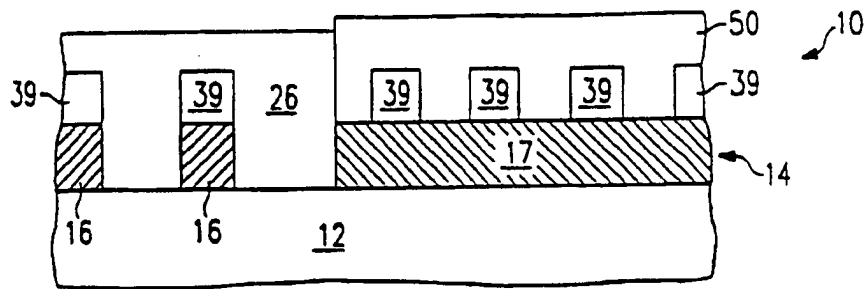


FIG. 4B

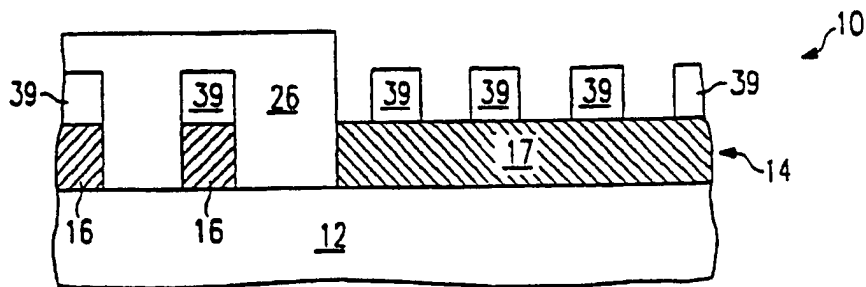


FIG. 4C

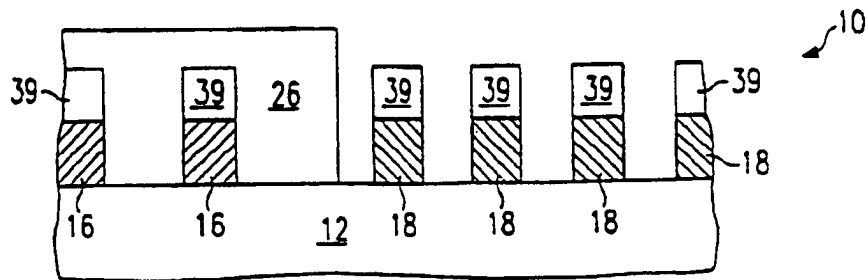


FIG. 4D

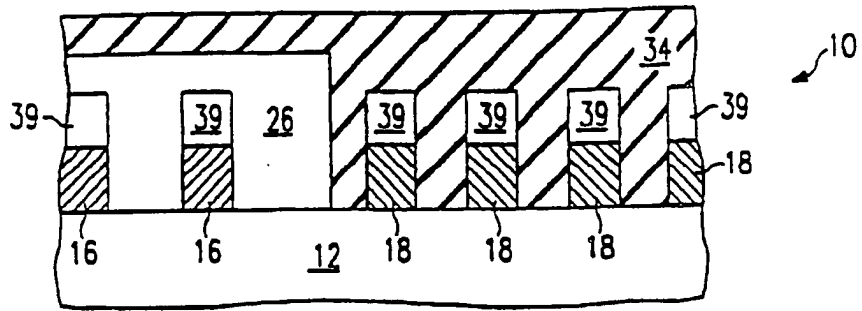


FIG. 5A

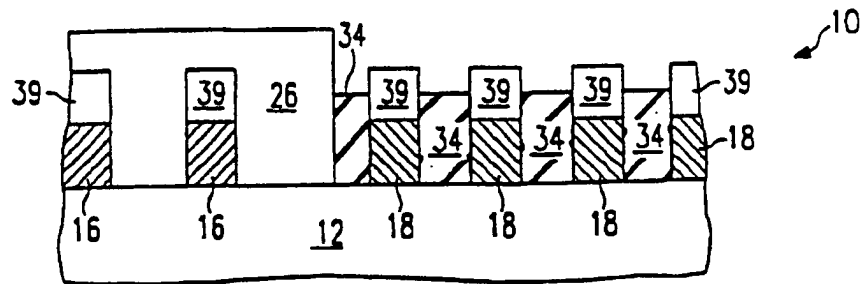


FIG. 5B

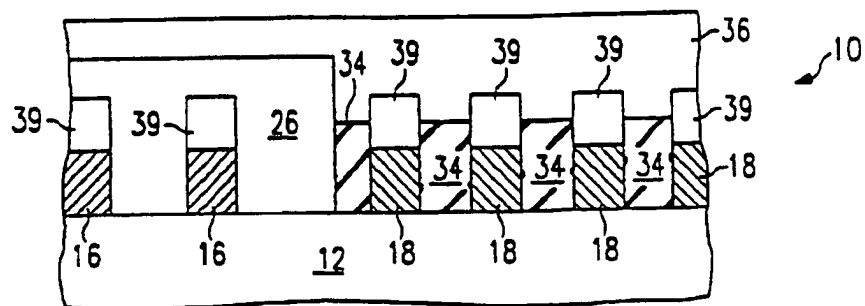


FIG. 5C

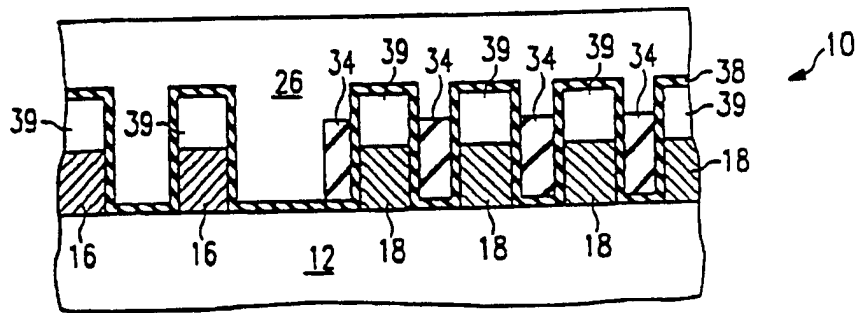


FIG. 6A

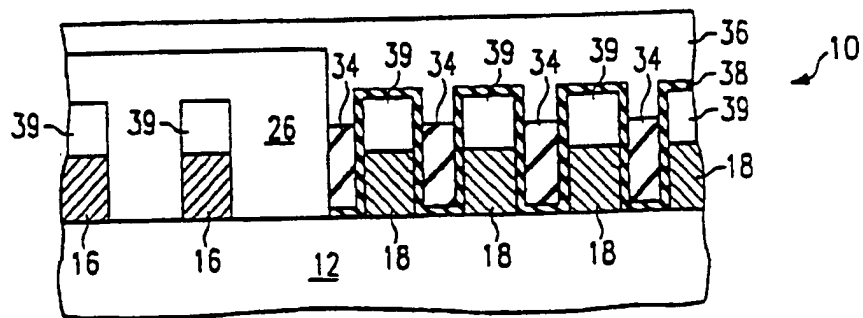


FIG. 6B