



(12)发明专利

(10)授权公告号 CN 103578422 B

(45)授权公告日 2017. 03. 01

(21)申请号 201310314446.7

(22)申请日 2013.07.24

(65)同一申请的已公布的文献号

申请公布号 CN 103578422 A

(43)申请公布日 2014.02.12

(30)优先权数据

2012-170306 2012.07.31 JP

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京

(72)发明人 丰村直史 山下淳一

(74)专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51)Int.Cl.

G09G 3/3233(2016.01)

(56)对比文件

CN 1523561 A, 2004.08.25,

CN 1551079 A, 2004.12.01,

CN 1604700 A, 2005.04.06,

US 7173279 B2, 2007.02.05,

CN 102047312 A, 2011.05.04,

审查员 丁芑

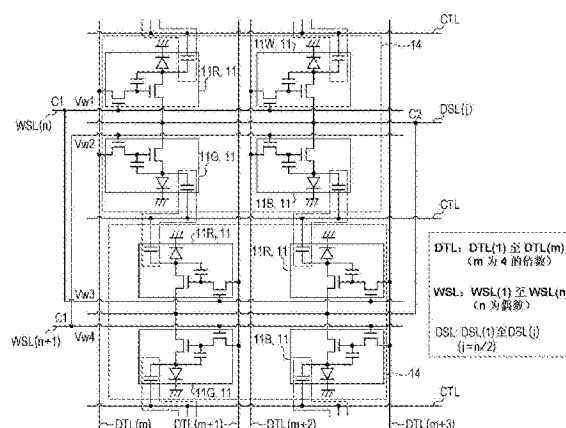
权利要求书4页 说明书24页 附图21页

(54)发明名称

显示设备及电子装置以及显示面板的驱动方法

(57)摘要

本发明公开了显示设备及电子装置以及显示面板的驱动方法,其中一种彩色显示单元包括呈矩阵形式排列的子像素。显示像素由多个子像素形成,每个显示颜色对应一个子像素,多个子像素被一起分组于多个子像素行中。形成有驱动单元,其包括与公共电源线连接的多个显示像素行。设置有公共写入扫描线,其中每个驱动单元的公共写入扫描线的数量等于显示像素中包括的子像素的行数。每条公共写入扫描线与其相应的驱动单元中的至少一个给定颜色的每个像素连接。沿驱动单元扫描方向顺序驱动驱动单元。在每个单独的驱动单元内,扫描其写入扫描线,以沿与驱动单元扫描方向相反的扫描方向按顺序地进行信号写入操作。



1. 一种显示单元,包括:

以包括行和列的矩阵形式设置的多个像素电路,所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;

多条写入扫描线,各条写入扫描线分别与所述多个像素电路中的相应行连接;

多条信号线,各条信号线分别与所述多个像素电路的相应列连接;

多条电源线,各条电源线分别与所述多个像素电路的两个相应相邻行连接;以及

驱动控制部,

其中所述多个像素电路被分组成驱动单元,每个所述驱动单元包括与相应单元电源线连接的K个连续像素电路行,所述相应单元电源线由所述多条电源线中被配置成共用线的K/2条组成,

所述驱动单元的每一个包括L条单元写入扫描线,所述L条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的M条写入扫描线,其中 $K=L \cdot M$,其中, $K \geq 4$, $L \geq 2$, $M \geq 2$,并且

所述驱动控制部被配置为使用于信号写入操作的写入扫描脉冲以与驱动所述驱动单元发光的顺序行进的方向不同的方向行进的顺序,来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。

2. 根据权利要求1所述的显示单元,

其中,所述多个像素电路中的每一个对应于N个显示颜色中的一个,并且所述多个像素电路被分组成显示像素单元,每个所述显示像素单元均包括所述多个像素电路中分别与所述N个显示颜色相对应的N个像素电路,所述显示像素单元被连续设置在M个连续行中,其中, $M \leq N$ 。

3. 根据权利要求2所述的显示单元,

其中每条单元写入扫描线与显示颜色的至少一个相对应并与以下这样的所有像素电路连接:所述像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

4. 根据权利要求1所述的显示单元,

其中,对于所述多个像素电路中的每一个:

所述第一晶体管被配置为当扫描脉冲施加给所述多条写入扫描线中与所述第一晶体管连接的一条时,对所述多条信号线中的一条上携带的电位进行取样,

具有第一端子的所述电容器被配置为保持由所述第一晶体管取样的电位,并且

所述第二晶体管被配置为将驱动电流供给所述显示元件,所述驱动电流的大小与所述电容器的第一端子和所述电容器的第二端子之间的电压相对应。

5. 根据权利要求1所述的显示单元,

其中,所述驱动单元是以从最接近所述显示单元的第一侧的第一驱动单元到最接近所述显示单元的与所述第一侧相对的第二侧的最后驱动单元行进的顺序,而被顺序地驱动的单元,并且

所述写入扫描脉冲以从所述驱动单元中所述给定驱动单元的最后单元写入扫描线行进到所述驱动单元中所述给定驱动单元的第一单元写入扫描线的顺序,来按顺序地施加给所述驱动单元中所述给定驱动单元的单元写入扫描线,所述驱动单元中所述给定驱动单元

的最后单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第二侧的一条写入扫描线,并且所述驱动单元的所述给定驱动单元的第一单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第一侧的一条写入扫描线。

6. 根据权利要求1所述的显示单元,

其中,所述驱动控制部被配置为通过控制对所述多条写入扫描线、所述多条信号线以及所述多条电源线的驱动,来使所述多个像素电路显示与输入图像数据相对应的图像帧,

所述多个像素电路被配置为在所述驱动控制部的控制下执行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中相应像素电路的第二晶体管的阈值电压存储在所述多个像素电路中相应像素电路的电容器中,并且

所述驱动控制部被配置为使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路在给定图像帧时期内同时执行所述阈值校正操作。

7. 根据权利要求6所述的显示单元,

其中,所述驱动控制部被配置为通过使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作,同时在与相应像素电路连接的信号线上携带参考电位并同时将驱动电压施加给所述相应像素电路的所述第二晶体管。

8. 根据权利要求1所述的显示单元,

其中,对于所述多个像素电路中的给定像素电路,所述信号写入操作包括通过将所述多个像素电路中给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中的所述给定像素电路对视频信号电位进行取样,同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

9. 根据权利要求2所述的显示单元,

其中 $N=4$, $M=2$, $K=4$,并且所述显示颜色包括红色、绿色和蓝色。

10. 根据权利要求9所述的显示单元,

其中,所述显示颜色进一步包括白色。

11. 根据权利要求9所述的显示单元,

其中,所述显示颜色进一步包括黄色。

12. 根据权利要求1所述的显示单元,还包括多条阴极线,所述多条阴极线被分配为每两个像素电路行分配一条阴极线。

13. 一种显示单元,包括:

以包括行和列的矩阵形式设置的多个像素电路,所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;

多条写入扫描线,各条写入扫描线分别与所述多个像素电路中的相应行连接;

多条信号线,各条信号线分别与所述多个像素电路的相应列连接;

多条电源线,各条电源线分别与所述多个像素电路的两个相应相邻行连接;以及

驱动控制部,

其中,所述多个像素电路被分组成驱动单元,每个所述驱动单元包括与相应单元电源线连接的4个连续像素电路行,所述相应单元电源线由所述多条电源线中被配置成共用线

的2条组成，

所述驱动单元的每一个包括2条单元写入扫描线，所述2条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的2条写入扫描线，并且

所述驱动控制部配置为使用于信号写入操作的写入扫描脉冲以与驱动所述驱动单元发光的顺序行进的方向不同的方向行进的顺序，来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。

14. 根据权利要求13所述的显示单元，

其中，所述多个像素电路中的每一个对应于4个显示颜色中的一个，并且所述多个像素电路被分组成显示像素单元，每个所述显示像素单元均包括所述多个像素电路中被连续设置在两个相邻行并且分别与所述4个显示颜色相对应的4个像素电路。

15. 根据权利要求14所述的显示单元，

其中，每条单元写入扫描线与所述显示颜色的两个相对应并与所有以下这样的像素电路连接：该像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

16. 根据权利要求15所述的显示单元，

其中，对于所述多个像素电路中的每一个：

所述第一晶体管被配置为当扫描脉冲施加给所述多条写入扫描线中与所述第一晶体管连接的一条时，对所述多条信号线中的一条信号线上携带的电位进行取样，

具有第一端子的所述电容器被配置为保持由所述第一晶体管取样的电位，并且

所述第二晶体管被配置为将驱动电流供给所述显示元件，所述驱动电流的大小与所述电容器的第一端子和所述电容器的第二端子之间的电压相对应。

17. 根据权利要求13所述的显示单元，

其中，所述驱动单元是以从最接近所述显示单元的第一侧的第一驱动单元到最接近所述显示单元的与所述第一侧相对的第二侧的最后驱动单元行进的顺序，而被顺序地驱动的单元，并且

所述写入扫描脉冲以从所述驱动单元中的所述给定驱动单元的最后单元写入扫描线行进到所述驱动单元中的所述给定驱动单元的第一单元写入扫描线的顺序，来按顺序地施加至所述驱动单元中所述给定驱动单元的单元写入扫描线，所述驱动单元中所述给定驱动单元的最后单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第二侧的一条写入扫描线，并且所述驱动单元的所述给定驱动单元的第一单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第一侧的一条写入扫描线。

18. 根据权利要求13所述的显示单元，

其中，所述驱动控制部被配置为通过控制对所述多条写入扫描线、所述多条信号线以及所述多条电源线的驱动，来使所述多个像素电路显示与输入图像数据相对应的图像帧，

所述多个像素电路被配置为在所述驱动控制部的控制下执行阈值校正操作，所述阈值校正操作导致将所述多个像素电路中相应像素电路的第二晶体管的阈值电压存储在所述多个像素电路中相应像素电路的电容器中，并且

所述驱动控制部被配置为使所述多个像素电路中包括在所述驱动单元的所述给定驱

动单元中的每一个像素电路在给定图像帧时期内同时执行所述阈值校正操作。

19. 根据权利要求18所述的显示单元，

其中，所述驱动控制部被配置为通过使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作，同时在与相应像素电路连接的信号线上携带参考电位并同时将驱动电压施加给所述相应像素电路的所述第二晶体管。

20. 根据权利要求13所述的显示单元，

其中，对于所述多个像素电路中的给定像素电路，所述信号写入操作包括通过将所述多个像素电路中给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中的所述给定像素电路对视频信号电位进行取样，同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

21. 一种显示单元的驱动方法，包括：

使驱动单元以沿给定方向进行的顺序来顺序地发光；以及

使用于信号写入操作的写入扫描脉冲以沿与给定方向不同的方向行进的顺序，来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线，

其中，所述显示单元包括：以包括行和列的矩阵形式设置的多个像素电路，并且所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管；多条写入扫描线，各条写入扫描线分别与所述多个像素电路的相应行连接；多条信号线，各条信号线分别与所述多个像素电路的相应列连接；以及多条电源线，各条电源线分别与所述多个像素电路的两个相应相邻行连接，

所述驱动单元均包括与相同单元电源线连接的K个连续像素电路行，所述相同单元电源线由所述多条电源线中被配置成共用线的K/2条组成，并且

所述驱动单元的每一个包括L条单元写入扫描线，所述L条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的M条，其中 $K=L \cdot M$ ， $K \geq 4$ ， $L \geq 2$ ， $M \geq 2$ 。

显示设备及电子装置以及显示面板的驱动方法

技术领域

[0001] 本发明涉及一种包括在每个像素中具有发光元件(例如有机EL(电致发光)元件)的显示面板的显示设备及电子装置,以及此显示面板的驱动方法。

背景技术

[0002] 近年来,在显示图像的显示设备的领域中,已经开发出使用电流驱动型发光元件(例如其发出光的亮度随着运行电流的值改变的有机EL元件)作为像素的发光元件的显示设备,而且已经商业化。此有机EL元件是与液晶元件不同的自发光元件。由于这个原因,对于使用有机EL元件的显示设备(有机EL显示设备),光源(背光)并不是必要的,因此,设备可以进一步薄化,并且与具有光源的液晶显示设备表现出更高的亮度。

[0003] 另一方面,有机EL元件的电流-电压(I-V)特性一般随着时间流逝而劣化(时间劣化)。当有机EL元件的I-V特性随时间在驱动有机EL元件的电流的像素电路中改变时,有机EL元件和与有机EL元件串联连接的驱动晶体管之间的分压比改变,因此,驱动晶体管的栅源间的电压也改变。因此,由于在驱动晶体管中流动的电流的值改变,因此有机EL元件中流动的电流的值也改变,相应地,发出光的亮度也根据电流值而改变。

[0004] 另外,存在以下情况:驱动晶体管的阈值电压(V_{th})和迁移率(μ)随着时间流逝而改变,或者由于制造工艺不均匀, V_{th} 和 μ 根据像素电路表现出不同的值。当驱动晶体管的 V_{th} 和 μ 根据像素电路表现出不同的值时,在驱动晶体管中流动的电流的值根据像素电路而不均匀,因此,即使向驱动晶体管的栅极施加相同电压,有机EL元件发出光的亮度也不均匀,相应地,屏幕的均匀度(均匀性)是有缺陷的。

[0005] 因此,即使当有机EL元件的I-V特性随着时间流逝而改变,或者驱动晶体管的 V_{th} 和 μ 随着时间流逝而改变时,为了在不受此等变化的影响而恒定地保持有机EL元件的发出光的亮度,已经开发出结合有有机EL元件的I-V特性的变化的补偿功能和驱动晶体管的 V_{th} 和 μ 的变化的校正功能的显示设备(例如,日本未审查专利申请公开第2008-083272号)。

发明内容

[0006] 与此同时,为了插入保持驱动晶体管的栅源间的电压的保持电容器的目的,辅助电容器与驱动晶体管的源极连接。在这种情况下,存在这样的情况:其中与辅助电容器的一端连接的电压恒定的配线(恒压线路)被其他像素共享。然而,在这种情况下,当驱动彼此共享恒压线路的多个像素中的像素时,驱动影响经由恒压线路波及到另一个像素,并且像素中驱动晶体管的源极的电压由此波动。因此,像素中驱动晶体管的栅极的电压随着源极的电压的波动而发生波动。

[0007] 当多个像素之间的耦合如此发生时,栅极电压的波动根据受耦合影响的像素中的源极电压的波动而改变。当在对驱动晶体管的 μ 变化进行校正之后发生耦合时,驱动晶体管的栅源间的电压相对于耦合之前的值几乎不改变。然而,当在对驱动晶体管的 μ 变化进行校正之前发生耦合时,驱动晶体管的栅源间的电压变得小于耦合之前的电压,并且发出光的

亮度由此变低。因此,当其中驱动晶体管的栅源间的电压相对于耦合之前的值几乎不改变的像素和驱动晶体管的栅源间的电压变得小于耦合之前的值的像素混合时,存在的问题在于发出光的亮度变化趋势存在差异,从而导致亮度不均匀。

[0008] 本技术希望提供一种可以减少由耦合导致的亮度不均匀的显示设备和电子装置以及可以减少由耦合导致的亮度不均匀的显示面板驱动方法。

[0009] 根据本发明主题的示例性说明的一方面,一种显示单元可以包括:以包括行和列的矩阵形式设置的多个像素电路,多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;多条写入扫描线,各条写入扫描线分别与多个像素电路中的相应行连接;多条信号线,各条信号线分别与多个像素电路的相应列连接;多条电源线,各条电源线分别与多个像素电路的两个相应相邻行连接;以及驱动控制部。多个像素电路可被分成驱动单元,每个驱动单元包括与对应单元电源线连接的 $K \geq 4$ 个连续像素电路行,对应单元电源线由多条电源线中被配置成共用线的 $K/2$ 条组成。驱动单元的每一个可以包括 $L \geq 2$ 条单元写入扫描线, $L \geq 2$ 条单元写入扫描线均包括多条写入扫描线中被配置成共用线的 $M \geq 2$ 条写入扫描线,其中 $K=L \cdot M$ 。驱动控制部可以配置为使用于信号写入操作的写入扫描脉冲以与驱动驱动单元发光的顺序行进的方向不同的方向行进的顺序,来按顺序地施加给驱动单元中给定驱动单元的单元写入扫描线。

[0010] 进一步地,在上述示例性说明中,多个像素电路中的每一个可以对应于 N 个显示颜色中的一个,并且多个像素电路被分组成显示像素单元,每个显示像素单元均包括多个像素电路中分别与 N 个显示颜色相对应的 N 个像素电路,显示像素单元被连续设置在 $M \leq N$ 个连续行中。

[0011] 进一步地,在上述示例性说明中,每条单元写入扫描线可以与显示颜色的至少一个相对应并与所有以下这样的像素电路连接:该像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

[0012] 进一步地,在上述示例性说明中,对于多个像素电路中的每一个:第一晶体管可被配置为当扫描脉冲施加给多条写入扫描线中与所述第一晶体管连接的一条时,对多条信号线中的一条上携带的电位进行取样,具有第一端子的电容器被配置为保持由第一晶体管取样的电位,并且第二晶体管可以配置为将驱动电流供给显示元件,驱动电流的大小与电容器的第一端子和电容器的第二端子之间的电压相对应。

[0013] 进一步地,在上述示例性说明中,驱动单元可以是以从最接近显示单元的第一侧的第一驱动单元到最接近显示单元的与第一侧相对的第二侧的最后驱动单元行进的顺序,而被顺序地驱动的单元,并且写入扫描脉冲可以以从驱动单元中给定驱动单元的最后单元写入扫描线行进到驱动单元中给定驱动单元的第一单元写入扫描线的顺序,来按顺序地施加给驱动单元中给定驱动单元的单元写入扫描线,驱动单元中给定驱动单元的最后单元写入扫描线包括多条写入扫描线中位于驱动单元的给定驱动单元中的最接近显示单元的第二侧的一条写入扫描线,并且驱动单元的给定驱动单元的第一单元写入扫描线包括多条写入扫描线中位于驱动单元的给定驱动单元中的最接近显示单元的第一侧的一条写入扫描线。

[0014] 进一步地,在上述示例性说明中,驱动控制部可以被配置为通过控制对多条写入扫描线、多条信号线以及多条电源线的驱动,来使多个像素电路显示与输入图像数据相对

应的图像帧,多个像素电路可以被配置为在驱动控制部的控制下执行阈值校正操作,阈值校正操作导致将多个像素电路中相应像素电路的第二晶体管的阈值电压存储在多个像素电路中相应像素电路的电容器中。驱动控制部还可以被配置为使多个像素电路中包括在驱动单元的给定驱动单元中的每一个像素电路在给定图像帧时期内同时执行阈值校正操作。

[0015] 进一步地,在上述示例性说明中,驱动控制部可以被配置为通过使多个像素电路中包括在驱动单元的给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作,同时在与相应像素电路连接的信号线上携带参考电位并同时驱动电压施加给相应像素电路的第二晶体管。

[0016] 进一步地,在上述示例性说明中,对于多个像素电路中给定像素电路来说,信号写入操作可以包括通过将多个像素电路中给定像素电路的第一晶体管置于导通状态下来使多个像素电路中的给定像素电路对视频信号电位进行取样,同时将视频信号电位施加给与多个像素电路中的给定像素电路连接的信号线。

[0017] 进一步地,在上述示例性说明中,N可以等于4,M可以等于2,K可以等于8,并且显示颜色可以包括红色、绿色和蓝色。

[0018] 进一步地,在上述示例性说明中,显示颜色可以进一步包括白色。

[0019] 进一步地,在上述示例性说明中,显示颜色可以进一步包括黄色。

[0020] 根据本发明主题的第二示例性说明的一方面,一种显示单元可以包括:呈包括行和列的矩阵形式设置的多个像素电路,多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;多条写入扫描线,各条写入扫描线分别与所述多个像素电路中的相应行连接;多条信号线,各条信号线分别与所述多个像素电路的相应列连接;多条电源线,各条电源线分别与所述多个像素电路的两个相应相邻行连接;以及驱动控制部。多个像素电路可以被分组成驱动单元,每个驱动单元包括与对应单元电源线连接的4个连续像素电路行,对应单元电源线由多条电源线中被配置成共用线的2条组成。驱动单元的每一个可以包括2条单元写入扫描线,2条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的2条写入扫描线,并且驱动控制部被配置为用于信号写入操作的写入扫描脉冲以与驱动所述驱动单元发光的顺序行进的方向不同的方向行进的顺序,来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。

[0021] 进一步地,在上述示例性说明中,多个像素电路中的每一个可以对应于4个显示颜色中的一个,并且所述多个像素电路被分组成显示像素单元,每个所述显示像素单元均包括所述多个像素电路中被连续设置在两个相邻行并且分别与所述4个显示颜色相对应的4个像素电路。

[0022] 进一步地,在上述示例性说明中,每条单元写入扫描线可以与显示颜色的两个相对应并与所有以下这样的像素电路连接:该像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

[0023] 进一步地,在上述示例性说明中,对于多个像素电路中的每一个:第一晶体管可被配置为当扫描脉冲施加给所述多条写入扫描线中与所述第一晶体管连接的一条时,对所述多条信号线中的一条信号线上携带的电位进行取样,具有第一端子的电容器可被配置为保持由第一晶体管取样的电位,并且第二晶体管可以配置为将驱动电流供应给显示元件,驱动电流的大小与电容器的第一端子和电容器的第二端子之间的电压相对应。

[0024] 进一步地,在上述示例性说明中,驱动单元可以是以从最接近所述显示单元的第一侧的第一驱动单元到最接近所述显示单元的与所述第一侧相对的第二侧的最后驱动单元行进的顺序,而被顺序地驱动的单元,并且写入扫描脉冲可以以从驱动单元中的给定驱动单元的最后单元写入扫描线行进到驱动单元中的给定驱动单元的第一单元写入扫描线的顺序,来按顺序地施加至驱动单元中给定驱动单元的单元写入扫描线,驱动单元中给定驱动单元的最后单元写入扫描线包括多条写入扫描线中位于驱动单元的给定驱动单元中的最接近显示单元的第二侧的一条写入扫描线,并且驱动单元的给定驱动单元的第一单元写入扫描线包括多条写入扫描线中位于驱动单元的给定驱动单元中的最接近显示单元的第一侧的一条写入扫描线。

[0025] 进一步地,在上述示例性说明中,驱动控制部可以被配置为通过控制对所述多条写入扫描线、所述多条信号线以及所述多条电源线的驱动,来使所述多个像素电路显示与输入图像数据相对应的图像帧,多个像素电路可以被配置为在所述驱动控制部的控制下执行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中相应像素电路的第二晶体管的阈值电压存储在所述多个像素电路中相应像素电路的电容器中,并且驱动控制部可以被配置为使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路在给定图像帧时期内同时执行所述阈值校正操作。

[0026] 进一步地,在上述示例性说明中,驱动控制部可以被配置为通过使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作,同时在与相应像素电路连接的信号线上携带参考电位并同时驱动电压施加给相应像素电路的第二晶体管。

[0027] 进一步地,在上述示例性说明中,对于多个像素电路中给定像素电路,信号写入操作可以包括通过将所述多个像素电路中给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中所述给定像素电路对视频信号电位进行取样,同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

[0028] 根据主题的第三示例性说明的一方面,一种显示单元的驱动方法可以包括:使驱动单元以沿给定方向进行的顺序来顺序地发光;以及使用于信号写入操作的写入扫描脉冲以沿与给定方向不同的方向行进的顺序,来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。显示单元可以包括:以包括行和列的矩阵形式设置的多个像素电路,并且所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;多条写入扫描线,各条写入扫描线分别与所述多个像素电路的对应行连接;多条信号线,各条信号线分别与所述多个像素电路的对应列连接;以及多条电源线,各条电源线分别与所述多个像素电路的两个对应相邻行连接。驱动单元均可以包括与相同单元电源线连接的 $K \geq 4$ 个连续像素电路行,所述相同单元电源线由所述多条电源线中被配置成共用线的 $K/2$ 条组成。驱动单元的每一个可以包括 $L \geq 2$ 条单元写入扫描线,所述 $L \geq 2$ 条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的 $M \geq 2$ 条,其中 $K=L \cdot M$ 。

附图说明

[0029] 图1是根据本发明实施例的显示设备的示意配置图;

[0030] 图2是示出了每个像素(子像素)的电路配置的示例的示意图;

- [0031] 图3是示出了行方向上彼此相邻的两个显示像素的电路配置的示例的示意图；
- [0032] 图4是示出了行方向上彼此相邻的两个显示像素的电路配置的另一个示例的示意图；
- [0033] 图5是示出了施加给图3和图4的DTL的电压示例的示意图；
- [0034] 图6是示出了当集中于行方向上彼此相邻的两个单元时，施加给每个像素（子像素）行的选择脉冲的随时间变化的示例的波形示意图；
- [0035] 图7是示出了当集中于一个像素（子像素）时，施加给WSL、DSL和DTL的电压、栅电压和源电压的随时间变化的示例的波形示意图；
- [0036] 图8是示出了当集中于行方向上彼此相邻的两个单元时，施加给WSL、DSL和DTL的电压的随时间变化的示例的波形示意图；
- [0037] 图9是用于描述与被图6的A包围的两条WSL相对应的两个像素之间的耦合的波形示意图；
- [0038] 图10是用于描述与被图6的B包围的2条WSL相对应的两个像素之间的耦合的波形示意图；
- [0039] 图11是示出了根据比较例的显示面板中的每个像素的电路配置的示例的示意图；
- [0040] 图12是示出了当在具有图11的布局的显示设备中集中于行方向上彼此相邻的两个像素时，施加给WSL、DSL和DTL的电压的随时间变化的示例的波形示意图；
- [0041] 图13是示出了当在具有图11的布局的显示设备中集中于行方向上彼此相邻的两个像素时，施加给WSL、DSL和DTL的电压的随时间变化的另一个示例的波形示意图；
- [0042] 图14是示出了由驱动束导致的亮度不均匀的示例的示意图；
- [0043] 图15是示出了当在具有图3和图4的布局的显示设备中集中于行方向上彼此相邻的两个单元时，施加给WSL、DSL和DTL的电压的随时间变化的比较例的波形示意图；
- [0044] 图16是示出了WSL的每个分支的图15的波形的波形示意图；
- [0045] 图17是用于描述与被图16的D包围的两条WSL相对应的两个像素之间的耦合的波形示意图；
- [0046] 图18是示出了根据上述实施例的发光器件的应用例1的外观的透视图；
- [0047] 图19A是示出了从正面观察的应用例2的外观的透视图；
- [0048] 图19B是示出了从背面观察的应用例2的外观的透视图；
- [0049] 图20是示出了应用例3的外观的透视图；
- [0050] 图21是示出了应用例4的外观的透视图；
- [0051] 图22A是应用例5处于打开状态下的前视图；
- [0052] 图22B是应用例5的侧视图；
- [0053] 图22C是应用例5处于关闭状态下的前视图；
- [0054] 图22D是应用例5的左侧视图；
- [0055] 图22E是应用例5的右侧视图；
- [0056] 图22F是应用例5的顶视图；
- [0057] 图22G是应用例5的底视图。

具体实施方式

[0058] 在下文中,将参照附图详细描述用于实现本技术的实施例。应注意的是,将按以下顺序提供描述。

[0059] 1、实施例(显示设备)

[0060] 2、修改例(显示设备)

[0061] 3、应用例(电子装置)

[0062] 1、实施例

[0063] 配置

[0064] 图1示出了根据本技术实施例的显示设备1的示意配置。显示设备1包括显示面板10,以及基于从外部输入的视频信号20A和同步信号20B驱动显示面板10的驱动电路20。驱动电路20例如具有时序生成电路21、视频信号处理电路22、信号线驱动电路23、扫描线驱动电路24以及电源线驱动电路25。

[0065] 显示面板10

[0066] 显示面板10具有呈矩阵形状设置在显示面板10的显示区域10A的整个面上的多个像素11。显示面板10通过利用驱动电路20基于从外部输入的视频信号20A对每个像素11执行有源矩阵驱动来显示图像。

[0067] 图2示出了像素11的电路配置的示例。每个像素11例如具有像素电路12和有机EL元件13。有机EL元件13被配置成(例如)阳极电极、有机层以及阴极电极依次层叠。有机EL元件13具有元件电容器 C_{oled} (未示出)。像素电路12例如由驱动晶体管 Tr_1 、写入晶体管 Tr_2 以及保持电容器 C_s 和辅助电容器 C_{sub} 构成,并且被配置成 $2Tr2C$ 的电路。

[0068] 写入晶体管 Tr_2 控制对驱动晶体管 Tr_1 的栅极进行与视频信号相对应的信号电压的施加。具体地说,写入晶体管 Tr_2 对稍后描述的信号线DTL的电压执行取样,并对驱动晶体管 Tr_1 的栅极执行写入。驱动晶体管 Tr_1 驱动有机EL元件13,并与此串联连接。驱动晶体管 Tr_1 根据写入晶体管 Tr_2 写入的电压强度对有机EL元件13中流动的电流进行控制。保持电容器 C_s 保持驱动晶体管 Tr_1 的栅源间的预定电压。辅助电容器 C_{sub} 使从驱动晶体管 Tr_1 供应的一部分电流流入。应注意的是,像素电路12可以被配置为使得将各个电容器和晶体管添加到上述 $2Tr2C$ 的电路,或者可被配置成与上述 $2Tr2C$ 的电路配置不同的电路。

[0069] 驱动晶体管 Tr_1 和写入晶体管 Tr_2 例如由n沟道MOS型薄膜晶体管(TFT(薄膜晶体管))形成。应注意的是,TFT的类型不特别受限制,并且例如可以是反交错结构(所谓的底栅型),或者可以是交错结构(顶栅型)。另外,驱动晶体管 Tr_1 和写入晶体管 Tr_2 可以由p沟道MOS型TFT形成。

[0070] 显示面板10具有在行方向上延伸的多条扫描线WSL、在列方向上延伸的多条信号线DTL、在行方向上延伸的多条电源线DSL以及在行方向上延伸的多条阴极线CTL(参考电压线)。扫描线WSL用于选择每个像素11。信号线DTL用于根据视频信号将信号电压供给每个像素11。电源线DSL用于将驱动电流供给每个像素11。

[0071] 像素11设置在每条信号线DTL和每条扫描线WSL的交叉点附近。每条信号线DTL与稍后将描述的信号线驱动电路23的输出端(未示出)以及写入晶体管 Tr_2 的源极或漏极连接。每条扫描线WSL与稍后将描述的扫描线驱动电路24的输出端(未示出)以及写入晶体管 Tr_2 的栅极连接。每条电源线DSL与输出固定电压的电源的输出端(未示出)以及驱动晶体管 Tr_1 的源极或漏极连接。阴极线CTL例如是设置在显示区域10A周围且与具有参考电压的构

件连接的构件。

[0072] 写入晶体管Tr2的栅极与扫描线WSL连接。写入晶体管Tr2的源极或漏极与信号线DTL连接,并且写入晶体管Tr2的源极或漏极中不与信号线DTL连接的端子与驱动晶体管Tr1的栅极连接。驱动晶体管Tr1的源极或漏极与电源线DSL连接,并且驱动晶体管Tr1的源极或漏极中不与电源线DSL连接的端子与有机EL元件13的阳极连接。保持电容器Cs的一端与驱动晶体管Tr1的栅极连接,并且保持电容器Cs的另一端与驱动晶体管Tr1的源极(图2中的有机EL元件13侧的端子)连接。换句话说,保持电容器Cs插在驱动晶体管Tr1的栅源之间。辅助电容器Csub的一端与驱动晶体管Tr1的源极(图2中的有机EL元件13侧的端子)连接,并且辅助电容器Csub的另一端与阴极线CTL连接。

[0073] 显示面板10进一步具有与有机EL元件13的阴极连接的接地线GND,如图2所示。接地线GND与具有接地电位的外部电路(未示出)电连接。接地线GND例如是形成在整个显示区域10A上方的片状电极。应注意的是,接地线GND可以是与像素行或像素列对应的以册状(reed shape)形成的带状电极。显示面板10例如进一步具有位于显示区域10A边缘、不显示视频的框架区域。框架区域例如由遮光构件覆盖。

[0074] 图3和图4示出了列方向上彼此相邻的两个显示像素14(稍后将描述)中的电路配置的示例。图3示出了第n和第n+1显示像素行中的每个显示像素14的电路配置的示例($1 \leq n < N$,并且N是显示像素行的总数(偶数))。图4示出了第n+2和第n+3显示像素行中的每个显示像素14的电路配置的示例。本文中的显示像素行指的是由行方向上设置的多个显示像素14形成的线。另一方面,像素行指的是由行方向上设置的多个像素11形成的线,并且与子像素行相对应。在下文中,为了避免像素行和显示像素行之间的混淆,像素行将被称为子像素行。对每个显示像素行来说具有L个子像素行,其中L等于或大于2并且等于或小于显示颜色的数量。在本实施例中,对每个显示像素行来说具有2个子像素行,但其他配置当然也在本发明的主题的范围之内。

[0075] 第n显示像素行和第n+2显示像素行中的显示像素具有彼此相似的电路布局,同时第n+1显示像素行和第n+3显示像素行中的显示像素具有彼此相似的电路布局。在下文中,为了避免重复描述,不再对第n+2显示像素行和第n+3显示像素行中的每个像素的电路布局加以描述。

[0076] 每个像素11与构成显示面板10上的画面的最小单元的点相对应。显示面板10是彩色显示面板,并且像素11与发出单色光(例如红色、绿色、蓝色、白色等)的子像素相对应。应注意的是,像素11可以与发出单色光(例如红色、绿色、蓝色、黄色等)的子像素相对应。

[0077] 在本实施例中,显示像素14由发出不同颜色的四个像素11构成,但其他配置当然在本发明的主题的范围之内。换句话说,发光颜色的种类数为4,并且每个显示像素14中包括的像素11的数量也为4。显示像素14中包括的四个像素11例如是发出红光的像素11R、发出绿光的像素11G、发出蓝光的像素11B以及发出白光的像素11W。在每个显示像素14中,四个像素11呈 2×2 矩阵设置, 2×2 矩阵形成所谓的田字布置(4个方形)(即, $L=2$)。另外,在每个显示像素14中,四个像素11的布置相同。例如,如图3所示,像素11R设置在田字形状的左上部分中,像素11G设置在田字形状的左下部分中,像素11B设置在田字形状的右下部分中,像素11W设置在田字形状的右上部分中。

[0078] 显示像素行被分组成各自包括k个显示像素行($k \geq 2$)的驱动单元。每个驱动单元

包括L条单元写入扫描线WSL。一个驱动单元中包括的显示像素的数量行(k)等于或大于2并且等于或小于发光颜色的种类数。在该具体实施例中,在每个驱动单元中包括两条单元写入扫描线WSL和两个显示像素行(即, $L=2$ 且 $k=2$)。单元写入扫描线WSL的总数等于显示像素行的总数,为N。应注意的是,图3中的n为等于或大于1且等于或小于N的正整数。图3中的WSL(n)指的是第n(第n行)单元写入扫描线WSL。

[0079] 每条单元写入扫描线WSL与其各自的驱动单元中具有特定发光颜色的所有像素11连接。在一个驱动单元中包括两条单元写入扫描线WSL(n)和WSL(n+1)的该具体实施例中,单元写入扫描线WSL(n)与一个驱动单元中包括的所有红色像素11R和所有白色像素11W连接,并且单元写入扫描线WSL(n+1)与一个驱动单元中包括的所有绿色像素11G和所有蓝色像素11B连接。在位于一个驱动单元中的不同行中且在列方向上彼此相邻的两个显示像素14中,由每条扫描线WSL共享的具有两种发光颜色的像素11的发光颜色的组合相同。

[0080] 单元写入扫描线WSL(WSL(n)至WSL(n+3))中的每一条由被配置成共用线的多条写入扫描线(分支)构成,其中每条单元写入扫描线WSL由单独的写入扫描线(分支)组成,并且所包括的单独的写入扫描线的数量与一个驱动单元中包括的显示像素行的数量相同(即,k个分支)(在该具体实施例中,为两个分支(第一配线和第二配线))。将每条单独的写入扫描线(分支)分配给一个子像素行。在单个驱动单元中,给定单元写入扫描线WSL的分支分别与驱动单元中包括的显示像素行的类似定位的子像素行连接,使得驱动单元中相同颜色的每个像素与相同单元写入扫描线WSL连接。例如,在该具体实施例中,单元写入扫描线WSL(n)的分支与驱动单元中包括的两个显示像素行的上部子像素行连接,而单元写入扫描线WSL(n+1)的分支与驱动单元中包括的两个显示像素行的下部子像素行连接。在该具体实施例中,给定单元写入扫描线的每个分支在显示面板10中与其每个其他分支连接。分支的连接点C1可以位于显示区域10A内,或者位于显示区域10A的边缘(框架区域)。另外,如从显示面板10的法线方向观察,每条单元写入扫描线WSL的一部分与另一单元写入扫描线WSL在相同单元内相交于某个点。每条单元写入扫描线WSL的分支横穿田字形状布置的中心。写入晶体管Tr2的栅极电极14A与单元写入扫描线WSL的分支连接。

[0081] 针对一个驱动单元分配多条单元电源线DSL中的一条。因此,一个驱动单元中包括的单元电源线DSL的数量为1。单元电源线DSL的总数为J($=N/k$)。在该具体实施例中, $k=2$,因此 $J=N/2$,相当于显示像素行的总数的二分之一。应注意的是,图3中的j是等于或大于1且等于或小于N/2的正整数,图3中的DSL(j)指的是第j电源线DSL。每条单元电源线DSL与一个驱动单元的所有像素11连接。具体地说,一个驱动单元中包括的一条单元电源线DSL与一个驱动单元中包括的所有像素11(11R、11G、11B和11W)连接。

[0082] 此外,每条单元电源线DSL由被配置成共用线的多条电源线(分支)构成,每条单元电源线DSL包括k条组成的单独电源线(分支),即数量与一个单元中包括的显示像素行的数量相同(在该具体实施例中,为两个分支)。在该具体实施例中,单元电源线DSL的每一个分支(DSL(j)或DSL(j+1))在显示面板10内彼此连接。分支的连接点C2可以位于显示区域10A内,或者可以位于显示区域10A的边缘(框架区域)内。通过以这样的方式将分支设置在单元写入扫描线WSL和单元电源线DSL中,可以加宽单元扫描线WSL之间的间隔以及单元电源线DSL之间的间隔。因此,布线变得容易。电源线DSL的每个分支横穿田字布置的中心。

[0083] 尽管在说明性示例中描述了单元电源线DSL和单元写入扫描线WSL的分支配置,但

本发明不限于此具体配置。具体地,在本发明和所附权利要求书中,当这些配线被同时施加有相同电压时,多条配线“被配置成共用线”。例如,因为配线彼此直接连接(如在上文讨论的分支配置),所以可以是这种情况。然而,“被配置成共用线”的多条配线不需要彼此直接连接,只要同时施加有相同的电压即可(即,尽管这些线物理上是分开的,但是被有效视为相同的线)。例如,驱动电路可被配置为同时向多条配线施加相同的电压,在这种情况下,多条配线将“被配置成共用线”。

[0084] 设置有在列方向上延伸的信号线DTL。每个子像素11列的信号线DTL的数量与每个驱动单元的显示像素行的数量(k)相同。在本实施例中,k=2,并且因此对于每个子像素11列具有两条信号线DTL。在一个驱动单元内,每条信号线DTL与一个显示像素中位于与信号线DTL相对应的单个列中的所有像素11连接。因此,在本实施例中,如图3所示,信号线DTL(m)与第一显示像素中位于第一像素11列中的两个像素11连接,信号线DTL(m+1)与第二显示像素中位于第一像素11列中的两个像素11连接,信号线DTL(m+2)与第一显示像素中位于第二像素11列中的两个像素11连接,信号线DTL(m+3)与第二显示像素中位于第二像素11列中的两个像素11连接。在图3的示例中,针对每个显示像素行中的每个显示像素14分配多条信号线DTL中的两条。在分配给每个显示像素行中的每个显示像素14的两条信号线DTL中,一条信号线DTL与不共享相同单元写入扫描线WSL的两种发光颜色的像素11连接,另一条信号线DTL与具有剩余两种发光颜色的像素11连接。在下文中,将集中于第n和n+1显示像素行中包括的多个显示像素14之中在列方向上彼此相邻的两个显示像素14描述上述连接的实施例。应注意的是,上述两个显示像素14与一个驱动单元内位于彼此不同的显示像素行中并在列方向上彼此相邻的两个显示像素14相对应。

[0085] 两个显示像素14中包括在第n显示像素行中的显示像素14分配有两条信号线DTL(m)和DTL(m+2)。此外,两个显示像素14中包括在第n+1显示像素行中的显示像素14分配有两条信号线DTL(m+1)和DTL(m+3)。换句话说,对于一个驱动单元内位于彼此不同的显示像素行中并在列方向上彼此相邻的两个显示像素14,将偶数列的两条信号线DTL(m)和DTL(m+2)分配给一个显示像素14,将奇数列的两条信号线DTL(m+1)和DTL(m+3)分配给另一个显示像素14。因此,将信号线DTL的总数抑制到最小。

[0086] 针对列方向上彼此相邻的每两个显示像素14分配多条信号线DTL中的四条。因此,信号线DTL的总数为M,其中 $M=k \cdot C$,且C为子像素电路列的总数。在图3中,m是等于或大于1且等于或小于M-4的正整数,且在1除外时是等效于[4+1的倍数]的数。因此,图3中的DTL(m)指的是第m信号线DTL。例如,为列方向上彼此相邻的两个显示像素14,分配四条信号线DTL(m)、DTL(m+1)、DTL(m+2)和DTL(m+3)。四条信号线DTL(m)、DTL(m+1)、DTL(m+2)和DTL(m+3)顺次设置在行方向上。在每个显示像素14中,四个像素11中位于左侧的两个像素11在行方向上介于信号线DTL(m)与信号线DTL(m+1)之间。另外,在每个显示像素14中,四个像素11中位于右侧的两个像素11在行方向上介于信号线DTL(m+2)与信号线DTL(m+3)之间。

[0087] 另外,在一个驱动单元内位于不同的显示像素行中并在列方向上彼此相邻的两个显示像素14中,具有相同发光颜色的两个像素11设置在两条共享信号线DTL之间。具体地说,一个驱动单元内位于不同显示像素行中并在列方向上彼此相邻的两个显示像素14中,两个像素11R设置在两条信号线DTL(m)和DTL(m+1)之间。通过相同的方式,在一个驱动单元内位于不同显示像素行中并在列方向上彼此相邻的两个显示像素14中,两个像素11G设置

在两条信号线DTL(m)和DTL(m+1)之间。另外,在一个单元内位于不同显示像素行中并在列方向上彼此相邻的两个显示像素14中,两个像素11B设置在两条信号线DTL(m+2)和DTL(m+3)之间。另外,在一个驱动单元内位于不同显示像素行中并在列方向上彼此相邻的两个显示像素14中,两个像素11W设置在两条信号线DTL(m+2)和DTL(m+3)之间。

[0088] 上述两条信号线DTL(m)和DTL(m+2)与不共享扫描线WSL的两种发光颜色的像素11连接。具体地说,信号线DTL(m)与不共享扫描线WSL的两种发光颜色的像素11R和11G连接,并且信号线DTL(m+2)与不共享扫描线WSL的两种发光颜色的像素11B和11W连接。此外,为第n+1显示像素行中包括的两个显示像素14中的一个分配两条信号线DTL(m+1)和DTL(m+3)。两条信号线DTL(m+1)和DTL(m+3)与不共享扫描线WSL的两种发光颜色的像素11连接。具体地说,信号线DTL(m+1)与不共享扫描线WSL的两种发光颜色的像素11R和11G连接,并且信号线DTL(m+3)与剩余两种发光颜色的像素11B和11W连接。

[0089] 针对每两个子像素行分配多条阴极线CTL中的一条。具体地说,针对列方向上彼此相邻且位于彼此不同的显示像素行中的每两个子像素行分配多条阴极线CTL中的一条。例如,如图3所示,像素11G(其是第n显示像素行的下部分中的一个子像素)和像素11R(其是第n+1显示像素行的上部分中的一个子像素)与共享阴极线CTL连接。以相同的方式,例如,像素11G(其是第n+1显示像素行的下部分中的一个子像素)和像素11R(其是第n+2显示像素行的上部分中的一个子像素)与共享阴极线CTL连接。另外,如图3所示,例如,像素11B(其是第n显示像素行的下部分中的一个子像素)和像素11W(其是第n+1显示像素行的上部分中的一个子像素)与共享阴极线CTL连接。以相同的方式,例如,像素11B(其是第n+1显示像素行的下部分中的一个子像素)和像素11W(其是第n+2显示像素行的上部分中的一个子像素)与共享阴极线CTL连接。

[0090] 每条阴极线CTL与两个分配子像素行中包括的所有辅助电容器Csub连接。例如,如图3所示,第n显示像素行的下部分中的子像素行中包括的所有像素11G和11B的辅助电容器Csub和第n+1显示像素行的上部分中的子像素行中包括的所有像素11R和11W的辅助电容器Csub与共享阴极线CTL连接。以相同的方式,例如,如图3和图4所示,第n+1显示像素行的下部分中的子像素行中包括的所有像素11G和11B的辅助电容器Csub和第n+2显示像素行的上部分中的子像素行中包括的所有像素11R和11W的辅助电容器Csub与共享阴极线CTL连接。

[0091] 驱动电路20

[0092] 接下来将描述驱动电路20。驱动电路20例如具有时序生成电路21、视频信号处理电路22、信号线驱动电路23、扫描线驱动电路24以及电源线驱动电路25,如上所述。时序生成电路21进行控制使得驱动电路20中的每个电路彼此联动操作。时序生成电路21根据从外部输入的同步信号20B(与其同步)使上述电路输出控制信号21A。

[0093] 视频信号处理电路22对例如从外部输入的数字视频信号20A执行预定校正,并将由此获得的视频信号22A输出至信号线驱动电路23。例如,作为预定校正,实例有伽玛校正、过驱动校正等。

[0094] 信号线驱动电路23根据例如控制信号21A的输入(与其同步),将与从视频信号处理电路22输入的视频信号22A相对应的模拟信号电压施加给每条信号线DTL。信号线驱动电路23例如可以输出两种电压(Vofs和Vsig)。具体地说,信号线驱动电路23经由信号线DTL将两种电压(Vofs和Vsig)供给由扫描线驱动电路24所选择的像素11。

[0095] 图5示出了根据单元写入扫描线WSL的扫描,依次施加给与列方向上彼此相邻的两个驱动单元中排列在列方向上的四个显示像素14连接的四条信号线DTL(DTL(m)、DTL(m+1)、DTL(m+2)和DTL(m+3))的信号电压 $V(n)$ 、 $V(n+1)$ 、 $V(n+2)$ 和 $V(n+3)$ 的示例。信号线驱动电路23被设计为响应于单元写入扫描线WSL(n)的选择来输出信号电压 $V(n)$,并响应于单元写入扫描线WSL(n+1)的选择来输出信号电压 $V(n+1)$ 。以相同的方式,信号线驱动电路23被设计为响应于单元写入扫描线WSL(n+2)的选择来输出信号电压 $V(n+2)$,并响应于单元写入扫描线WSL(n+3)的选择来输出信号电压 $V(n+3)$ 。这里,扫描线驱动电路24被设计为在写入信号电压期间以WSL(n+1)、WSL(n)、WSL(n+3)和WSL(n+2)的顺序来选择单元写入扫描线WSL。由于这个原因,信号线驱动电路23被设计为在写入信号电压期间以 $V(n+1)$ 、 $V(n)$ 、 $V(n+3)$ 和 $V(n+2)$ 的顺序来输出信号电压 V_{sig} 。

[0096] 信号线驱动电路23被设计为经由偶数列中的信号线DTL(m)和DTL(m+2),将与第n显示像素行相对应的电压 $V_{sig}(V_{sig}(n,m)$ 和 $V_{sig}(n,m+2)$)供给由扫描线驱动电路24同时选择的多个像素11中属于第n显示像素行的多个像素11,例如,如图5所示。此外,信号线驱动电路23被设计为经由奇数列中的信号线DTL(m+1)和DTL(m+3),将与第n+1显示像素行相对应的电压 $V_{sig}(V_{sig}(n+1,m+1)$ 和 $V_{sig}(n+1,m+3)$)供给由扫描线驱动电路24同时选择的多个像素11中属于第n+1显示像素行的多个像素11。

[0097] 换句话说,信号线驱动电路23被设计为当在信号写入期间选择扫描线WSL(n)时,将与第n显示像素行相对应的电压 $V_{sig}(n,m)$ 和 $V_{sig}(n,m+2)$ 输出至偶数列中的信号线DTL(m)和DTL(m+2),同时将与第n+1显示像素行相对应的电压 $V_{sig}(n+1,m+1)$ 和 $V_{sig}(n+1,m+3)$ 输出至奇数列中信号线DTL(m+1)和DTL(m+3)。另外,信号线驱动电路23被设计为当在信号写入期间选择扫描线WSL(n+1)时,将与第n+1显示像素行相对应的电压 $V_{sig}(n+1,m)$ 和 $V_{sig}(n+1,m+2)$ 输出至偶数列中的信号线DTL(m)和DTL(m+2),同时将与第n显示像素行相对应的电压 $V_{sig}(n,m+1)$ 和 $V_{sig}(n,m+3)$ 输出至奇数列中信号线DTL(m+1)和DTL(m+3)。应注意的是,信号线驱动电路23以与第n和第n+1显示像素行中相同的方式针对第n+2和第n+3显示像素行施加电压。

[0098] V_{sig} 是与视频信号20A相对应的电压值。 V_{ofs} 是与视频信号20A无关的恒定电压。 V_{sig} 的最小电压是低于 V_{ofs} 的电压值, V_{sig} 的最大电压是高于 V_{ofs} 的电压值。

[0099] 由扫描线驱动电路24同时选择的多个像素11中,设置在偶数信号线DTL(m)与奇数信号线DTL(m+1)之间的两个像素11是具有相同发光颜色的像素。以相同的方式,在由扫描线驱动电路24同时选择的多个像素11中,设置在偶数信号线DTL(m+2)与奇数信号线DTL(m+3)之间的两个像素11也是具有相同发光颜色的像素。因此,当选择单元写入扫描线WSL(n)时,信号线驱动电路23将与相同发光颜色的像素相对应的电压 V_{sig} 输出至信号线DTL(m)和DTL(m+1),同时将与具有另一相同发光颜色的像素相对应的电压 V_{sig} 输出至信号线DTL(m+2)和DTL(m+3)。例如,当选择单元写入扫描线WSL(n)时,信号线驱动电路23将与像素11R相对应的电压 V_{sig} 输出至信号线DTL(m)和DTL(m+1),同时将与像素11W相对应的电压 V_{sig} 输出至信号线DTL(m+2)和DTL(m+3)。

[0100] 扫描线驱动电路24通过根据控制信号21A的输入(与其同步)以预定顺序选择多条扫描线WSL,来以所需的顺序执行 V_{th} 校正、信号电压 V_{sig} 的写入和 μ 校正。这里, V_{th} 校正指的是使驱动晶体管Tr1的栅源间的电压 V_{gs} 接近驱动晶体管的阈值电压的校正操作。信号电

压 V_{sig} 的写入(信号写入)指的是经由写入晶体管 $Tr2$ 将信号电压 V_{sig} 写入驱动晶体管 $Tr1$ 的栅极的操作。 μ 校正指的是根据驱动晶体管 $Tr1$ 的迁移率(μ)的大小来校正驱动晶体管 $Tr1$ 的栅源间保持的电压 V_{gs} 的操作。信号写入和 μ 校正可以在不同时序执行。在本实施例中,扫描线驱动电路24通过将一个所选的脉冲输出至单元写入扫描线 WSL 来同时(或以不间断的连续方式)执行信号写入和 μ 校正。

[0101] 另一方面,驱动电路20一次对一个驱动单元执行 V_{th} 校正和信号写入。具体地说,驱动电路20对第一驱动单元执行 V_{th} 校正和信号写入,然后对列方向上与第一驱动单元相邻的第二驱动单元执行 V_{th} 校正和信号写入,以此类推,如图6所示。换句话说,驱动电路20以相继顺序分离地对每个单独的驱动单元执行一系列操作(V_{th} 校正和信号写入)。

[0102] 图6示出了施加给列方向上彼此相邻的两个驱动单元内的每个子像素行的所选脉冲的随时间变化的示例。在图6中, V_{w1} 是对应于第 n 显示像素行的上部分中的子像素行设置的单元写入扫描线 $WSL(n)$ 的分支的电压波形。 V_{w2} 是对应于第 n 显示像素行的下部分中的子像素行设置的单元写入扫描线 $WSL(n+1)$ 的分支的电压波形。 V_{w3} 是对应于第 $n+1$ 显示像素行的上部分中的子像素行设置的单元写入扫描线 $WSL(n)$ 的分支的电压波形。 V_{w4} 是对应于第 $n+1$ 显示像素行的下部分中的子像素行设置的单元写入扫描线 $WSL(n+1)$ 的分支的电压波形。 V_{w5} 是对应于第 $n+2$ 显示像素行的上部分中的子像素行设置的单元写入扫描线 $WSL(n+2)$ 的分支的电压波形。 V_{w6} 是对应于第 $n+2$ 显示像素行的下部分中的子像素行设置的单元写入扫描线 $WSL(n+3)$ 的分支的电压波形。 V_{w7} 是对应于第 $n+3$ 显示像素行的上部分中的子像素行设置的单元写入扫描线 $WSL(n+2)$ 的分支的电压波形。 V_{w8} 是对应于第 $n+3$ 显示像素行的下部分中的子像素行设置的单元写入扫描线 $WSL(n+3)$ 的分支的电压波形。应注意的是,稍后将描述由图6中的虚线包围的A和B。

[0103] 在 V_{th} 校正期间,扫描线驱动电路24被设计为同时(或在相同时间)选择一个驱动单元中包括的所有单元写入扫描线 WSL 。具体地说,扫描线驱动电路24被设计为在 V_{th} 校正期间同时(或在相同时间)选择一个驱动单元中包括的两条单元写入扫描线 $WSL(n)$ 和 $WSL(n+1)$ 。换句话说,扫描线驱动电路24被设计为在 V_{th} 校正期间,同时(或在相同时间)选择第 n 显示像素行的上部分中的子像素行中包括的多个像素11(例如,像素11R和11W)、第 n 显示像素行的下部分中的子像素行中包括的多个像素11(例如,像素11G和11B)、第 $n+1$ 显示像素行的上部分中的子像素行中包括的多个像素11(例如,像素11R和11W)、第 $n+1$ 显示像素行的下部分中的子像素行中包括的多个像素11(例如,像素11G和11B)。

[0104] 此外,扫描线驱动电路24被设计为在信号写入操作期间,以与扫描驱动单元的扫描方向(以下简称为“驱动单元扫描方向”)相反的方向进行的顺序,来选择一个驱动单元中包括的多条单元写入扫描线 WSL 。驱动单元扫描方向例如是与从显示面板10的上端侧延伸至其下端侧的方向平行的方向。因此,扫描线驱动电路24对与第二配线(下部子像素行)连接的每个像素11执行将信号写入一个显示像素行中的每个像素11,然后对与第一配线(上部子像素行)连接的每个像素11执行该操作。应注意的是,驱动单元扫描方向可以是与从显示面板10的下端侧延伸至其上端侧的方向平行的方向。在这种情况下,尽管图6中未示出,但是扫描线驱动电路24被设计为对与第一配线连接的每个像素11执行将信号写入一个显示像素行中的每个像素11,然后对与第二配线连接的每个像素11执行该操作。

[0105] 扫描线驱动电路24被设计为在信号写入期间,以单元写入扫描线 $WSL(n+1)$ 和单元

写入扫描线WSL(n)的顺序,来选择一个驱动单元中包括的两条单元写入扫描线WSL(n)和WSL(n+1)。由于这个原因,在信号写入期间,扫描线驱动电路24经由单元写入扫描线WSL(n+1)同时选择第n显示像素行的下部分中的子像素行中包括的多个像素11以及第n+1显示像素行的下部分中的子像素行中包括的多个像素11,然后经由单元写入扫描线WSL(n)选择第n显示像素行的上部分中的子像素行中包括的多个像素11以及第n+1显示像素行的上部分中的子像素行中包括的多个像素11。

[0106] 扫描线驱动电路24例如可以输出两种电压(Von和Voff)。具体地说,扫描线驱动电路24经由单元写入扫描线WSL将两种电压(Von和Voff)供给待驱动的像素11以控制写入晶体管Tr2的接通和断开。本文中的Von具有等于或大于写入晶体管Tr2的接通电压的值。Von是在稍后将描述的“Vth校正准备阶段的后半部分”、“Vth校正阶段”和“信号写入/ μ 校正阶段”等中,从扫描线驱动电路24输出的写入脉冲的峰值。Voff是小于写入晶体管Tr2的接通电压的值,也是小于Von的值。Voff是在稍后将描述的“Vth校正准备阶段的前半部分”、“发光阶段”等中从扫描线驱动电路24输出的写入脉冲的峰值。

[0107] 电源线驱动电路25根据例如控制信号21A的输入(与其同步)顺序地选择预定驱动单元中的多条电源线DSL。电源线驱动电路25例如可以输出两种电压(Vcc和Vss)。电源线驱动电路25被设计为经由电源线DSL将两种电压(Vcc和Vss)供给包括由扫描线驱动电路24选择的像素11(换句话说,一个驱动单元中包括的所有像素11)的一个完整驱动单元。本文中的Vss是小于通过将有机EL元件13的阈值电压V_{el}和有机EL元件13的阴极电压V_{cath}相加而获得的电压(V_{el}+V_{cath})的电压值。Vcc是等于或大于电压(V_{el}+V_{cath})的电压值。

[0108] 操作

[0109] 接下来,将描述根据本实施例的显示设备1的操作(从消光至发光的操作)。为了即使在有机EL元件13的I-V特性或驱动晶体管Tr1的阈值电压和迁移率表现出这样的时间变化时,也能够保持有机EL元件13的发光的恒定亮度而不受时间变化的影响,在本实施例中结合有有机EL元件13的I-V特性的变化的补偿操作和驱动晶体管Tr1的阈值电压和迁移率的变化校正操作。

[0110] 图7示出了在显示设备1中展示的各个波形的示例。图7示出了扫描线WSL、电源线DSL和信号线DTL中呈现出的每时刻二进制电压的变化的状态。此外,图7示出了随着扫描线WSL、电源线DSL和信号线DTL的电压变化,驱动晶体管Tr1的栅电压V_g和源电压V_s的每时刻变化的状态。

[0111] Vth校正准备阶段

[0112] 首先,驱动电路20准备Vth校正,其中使驱动晶体管Tr1的栅源间的电压V_{gs}接近驱动晶体管Tr1的阈值电压。具体地说,当扫描线WSL的电压为Voff,信号线DTL的电压为Vofs,并且电源线DSL的电压为Vcc时(换句话说,当有机EL元件13发光时),电源线驱动电路25根据控制信号21A,将电源线DSL的电压从Vcc降至Vss(T1)。然后,源电压V_s降至Vss,并且有机EL元件13的光消灭。此时,栅电压V_g还通过经由保持电容器Cs的耦合而降低。

[0113] 接下来,当电源线DSL的电压为Vss,并且信号线DTL的电压为Vofs时,扫描线驱动电路24根据控制信号21A将扫描线WSL的电压从Voff升至Von(T2)。然后,将栅电压V_s降至vofs。此时,栅电压V_g与源电压V_s之间的电位差V_{gs}可以小于,等于或大于驱动晶体管Tr1的阈值电压。

[0114] Vth校正阶段

[0115] 接下来,驱动电路20执行Vth校正。具体地说,当信号线DTL的电压为Vofs并且扫描线WSL的电压为Von时,电源线驱动电路25根据控制信号21A将电源线DSL的电压从Vss升至Vcc(T3)。然后,电流Ids在驱动晶体管Tr1的漏源之间流动,源电压Vs由此升高。此时,当源电压Vs小于Vofs-Vth时(当Vth校正尚未完成时),电流Ids在驱动晶体管Tr1的漏源之间流动直至驱动晶体管Tr1处于截止状态(直至电位差Vgs达到Vth)。因此,栅电压Vg变成Vofs,并且源电压Vs升高,因此,保持电容器Cs被充电至Vth,且由此电位差Vgs由此变成Vth。

[0116] 之后,在信号线驱动电路23根据控制信号21A将信号线DTL的电压从Vofs切换至Vsig之前,扫描线驱动电路24根据控制信号21A将扫描线WSL的电压从Von降至Voff(T4)。然后,由于驱动晶体管Tr1的栅极处于浮置状态,因此可以将电位差Vgs保持为Vth,而不管信号线DTL的电压的大小如何。以这种方式,通过将电位差Vgs设为Vth,使得即使当驱动晶体管Tr1的阈值电压Vth对每个像素电路12来说不均匀时,有机EL元件13的发光亮度也可以免除不均匀。

[0117] Vth校正静止阶段

[0118] 之后,在Vth校正的静止阶段期间,信号线驱动电路23将信号线DTL的电压从Vofs切换至Vsig。

[0119] 信号写入/ μ 校正阶段

[0120] 在Vth校正静止阶段结束之后(换句话说,在完成Vth校正之后),驱动电路20根据视频信号20A执行信号电压的写入和 μ 校正。具体地说,当信号线DTL的电压变成Vsig,并且电源线DSL的电压变成Vcc时,扫描线驱动电路24根据控制信号21A将扫描线WSL的电压从Voff升至Von(T5),使得驱动晶体管Tr1的栅极与信号线DTL连接。然后,驱动晶体管Tr1的栅电压Vg变成信号线DTL的电压Vsig。此时,在这种状态下,有机EL元件13的阳极电压仍然小于有机EL元件13的阈值电压V_{el},并且有机EL元件13处于截止状态。由于这个原因,电流Ids流入有机EL元件13的元件电容器C_{oled}和辅助电容器C_{sub},以给元件电容器C_{oled}和辅助电容器C_{sub}充电,因此,源电压Vs升高 ΔV_s ,然后电位差Vgs变成Vsig+Vth- ΔV_s 。以这种方式,写入的同时执行 μ 校正。这里,随着驱动晶体管Tr1的迁移率 μ 变大, ΔV_s 也增加,因此,通过在发光之前使电位差Vgs减少 ΔV ,可以消除每个像素11的迁移率 μ 的不均匀。

[0121] 发光

[0122] 最后,扫描线驱动电路24根据控制信号21A将扫描线WSL的电压从Von降至Voff(T6)。然后,驱动晶体管Tr1的栅极处于浮置状态,电流Ids在驱动晶体管Tr1的漏源之间流动,并且源电压Vs由此增加。因此,将等于或大于阈值电压V_{el}的电压施加给有机EL元件13,并且有机EL元件13发出所需亮度的光。

[0123] 接下来,将参照图7和图8描述根据本实施例的显示设备1中的Vth校正和信号写入/ μ 校正的扫描的示例。应注意的是,图8示出了在列方向上彼此相邻的两个驱动单元中的Vth校正和信号写入/ μ 校正的扫描的示例。

[0124] 应注意的是,下文所提供的描述基于一个驱动单元内的所有像素11针对每条连接扫描线WSL分成组的假设。在本实施例中,假设一个驱动单元内的所有像素11R和所有像素11W为一组,且假设驱动单元内的所有像素11G和所有像素11B为一组。因此,在下文中,扫描线WSL(n)和WSL(n+1)所属的一个驱动单元中的所有像素11R和所有像素11W形成第一组,且

该驱动单元中的所有像素11G和所有像素11B形成第二组。此外,扫描线WSL (n+2) 和WSL (n+3) 所属的一个驱动单元中的所有像素11R和所有像素11W形成第三组,且该驱动单元中的所有像素11G和所有像素11B形成第四组。

[0125] 驱动电路20在相同时间对一个驱动单元中的所有组(第一组)和第二组)执行V_{th}校正,然后以组的顺序对驱动单元中的所有组(第一和第二组)执行信号写入。此时,驱动电路20对包括设置在一个显示像素行的下部分中的像素11的第二组执行信号写入,然后对包括设置在该显示像素行的上部分中的像素11的第一组执行信号写入。

[0126] 之后,驱动电路20在相同时间对下一个驱动单元中的所有组(第三和第四组)执行V_{th}校正,然后以组的顺序对驱动单元中的所有组(第三和第四组)执行信号写入。此时,驱动电路20对包括设置在一个显示像素行的下部分中的像素11的第四组执行信号写入,然后对包括设置在显示像素行的上部分中的像素11的第三组执行信号写入。

[0127] 此时,驱动电路20在一个水平周期(1H)对一个驱动单元执行V_{th}校正,然后在下一个水平周期(1H)执行信号写入。换句话说,驱动电路20在两个连续的水平周期(2H)对一个驱动单元执行V_{th}校正和信号写入。

[0128] 此外,驱动电路20在对每个组执行信号写入的同时对组中包括的所有像素11执行信号写入。具体地说,当选择单元写入扫描线WSL (n) 时,驱动电路20将上述电压V (n) 输出至每条信号线DTL。换句话说,当选择单元写入扫描线WSL (n) 时,驱动电路20将第n显示像素行的电压V_{sig} (V_{sig} (n,m) 和V_{sig} (n,m+2)) 输出至偶数信号线DTL (DTL (m) 和DTL (m+2)), 同时将第n+1显示像素行的电压V_{sig} (V_{sig} (n+1,m+1) 和V_{sig} (n+1,m+3)) 输出至奇数信号线DTL (DTL (m+1) 和DTL (m+3))。此外,当选择单元写入扫描线WSL (n+1) 时,驱动电路20将第n+1显示像素行的电压V_{sig} (V_{sig} (n+1,m) 和V_{sig} (n+1,m+2)) 输出至偶数信号线DTL (DTL (m) 和DTL (m+2)), 同时将第n显示像素行的电压V_{sig} (V_{sig} (n,m+1) 和V_{sig} (n,m+3)) 输出至奇数信号线DTL (DTL (m+1) 和DTL (m+3))。

[0129] 因此,由于V_{th}校正结束至 μ 校正开始的时间段(所谓的等待时间 Δt_1) 在具有相同颜色的每个像素11R中是一致的,因此多个像素11R中的等待时间 Δt_1 在每个显示像素行中是一致的。在该实施例中,每个像素11W的等待时间 Δt_2 等于每个像素11R的等待时间 Δt_1 。由于这个原因,由于等待时间 Δt_2 甚至在具有相同颜色的每个像素11W中是一致的,因此多个像素11W的等待时间 Δt_2 在每个显示像素行中是一致的。此外,由于等待时间 Δt_3 甚至在具有相同颜色的每个像素11G中是一致的,因此多个像素11G的等待时间 Δt_3 在每个显示像素行中是一致的。在本实施例中,每个像素11B的等待时间 Δt_4 等于每个像素11G的等待时间 Δt_3 。由于这个原因,由于等待时间 Δt_4 甚至在具有相同颜色的每个像素11B中是一致的,因此多个像素11B的等待时间 Δt_4 在每个显示像素行中是一致的。应注意的是,像素11R和11W的等待时间 Δt_1 和 Δt_2 不同于像素11G和11B的等待时间 Δt_3 和 Δt_4 ,但是差异对颜色再现性的影响很小,并且不影响颜色不均。

[0130] 接下来,将描述经由阴极线CTL的多个像素的耦合。图9示出了图6中用虚线表示的圆圈A中的每个波形所施加至的两个像素11的耦合的状态。图10示出了图6中用虚线表示的圆圈B中的每个波形所施加至的两个像素11的耦合的状态。应注意的是,在图9中,耦合的源是第n+1显示像素行的下部分中的像素11,并且受耦合影响的像素是第n+2显示像素行的上部分中的像素11。另外,在图10中,耦合的源是第n+2显示像素行的下部分中的像素11,并且

受耦合影响的像素是第 $n+3$ 显示像素行的上部分中的像素11。

[0131] 第 $n+1$ 显示像素行的下部分中的像素11(例如,像素11G)的辅助电容器 C_{sub} 经由如图3和图4中所示的阴极线CTL与第 $n+2$ 显示像素行的上部分中的像素11(例如,像素11R)的辅助电容器 C_{sub} 连接。由于这个原因,当在第 $n+1$ 显示像素行的下部分中的像素11中执行信号写入时,第 $n+1$ 显示像素行的下部分中的像素11的驱动晶体管 $Tr1$ 的源电压 V_s 的变化(升高)经由阴极线CTL和辅助电容器 C_{sub} 传播至第 $n+2$ 显示像素行的上部分中的像素11的驱动晶体管 $Tr1$ 的源极电极。结果,第 $n+2$ 显示像素行的上部分中的像素11的驱动晶体管 $Tr1$ 的源电压 V_s 改变(升高),因此,栅电压 V_g 也改变(升高)。此时,在源电压 V_s 和栅电压 V_g 改变之前和之后,栅源间的电压 V_{gs} 变化不明显。然而,在发生这样的电压变化之后,在第 $n+2$ 显示像素行的上部分中的像素11中执行 V_{th} 校正。此时,由于源电压 V_s 根据栅电压 V_g 的大小改变(升高),因此源电压 V_s 根据栅电压 V_g 的升高另外改变(升高)。因此, V_{th} 校正之后的栅源间的电压 V_{gs} 比没有耦合影响时进一步降低。

[0132] 另一方面,第 $n+2$ 显示像素行的下部分中的像素11(例如,像素11G)的辅助电容器 C_{sub} 经由如图4中所示的阴极线CTL与第 $n+3$ 显示像素行的上部分中的像素11(例如,像素11R)的辅助电容器 C_{sub} 连接。由于这个原因,当在第 $n+2$ 显示像素行的下部分中的像素11中执行信号写入时,第 $n+2$ 显示像素行的下部分中的像素11的驱动晶体管 $Tr1$ 的源电压 V_s 的变化(升高)经由阴极线CTL和辅助电容器 C_{sub} 传播至第 $n+3$ 显示像素行的上部分中的像素11的驱动晶体管 $Tr1$ 的源极电极。因此,第 $n+3$ 显示像素行的上部分中的像素11的驱动晶体管 $Tr1$ 的源电压 V_s 改变(升高),相应地栅电压 V_g 也改变(升高)。此时,在源电压 V_s 和栅电压 V_g 改变之前和之后,栅源间的电压 V_{gs} 变化不明显。然而,在发生这样的电压变化之后,在第 $n+3$ 显示像素行的上部分中的像素11中执行信号写入(和 μ 校正)。此时,栅电压 V_g 具有由于栅电压 V_g 的升高而大于 V_{ofs} 的电压值。由于这个原因,信号电压实际上减小,因此,信号写入(和 μ 校正)期间的栅源间的电压 V_{gs} 比没有耦合影响时进一步降低。

[0133] 以这种方式,在本实施例中,第 $n+1$ 显示像素行的下部分中的像素11的信号写入对第 $n+2$ 显示像素行的上部分中的像素11的影响等同于第 $n+2$ 显示像素行的下部分中的像素11的信号写入对第 $n+3$ 显示像素行的上部分中的像素11的影响。换句话说,即使在耦合发生于多个像素11之间的电路配置中,受耦合影响的趋势在受耦合影响的所有像素11中是相同的。因此,发光的亮度变化的趋势在受耦合影响的所有像素11中基本上是相同的。

[0134] 效果

[0135] 接下来,将描述根据本实施例的显示设备1的效果。

[0136] 图11示出了相关技术中通常使用的像素排列的示例。在相关技术中,显示像素40中包括的每个像素110R、110G和110B与共享扫描线 $WSL(n)$ 和电源线 $DSL(n)$ 连接。在此像素排列中,例如,当针对每个1H周期执行 V_{th} 校正和信号写入时,如图12所示,很难缩短1H周期和每个1H的扫描时段(换句话说,很难获得高速驱动)。由于这个原因,例如,在共享1H周期内对两条线一起执行 V_{th} ,如图13所示,然后在下一个1H周期中针对每条线执行信号写入。该驱动方法用于高速驱动的原因在于,执行 V_{th} 校正一次。然而,从 V_{th} 校正结束至信号写入开始的等待时间 Δt 在每条线中是不同的。由于这个原因,即使当向每条线中的驱动晶体管的栅极施加具有相同等级的信号电压时,发光的亮度在每条线中是不同的,如图14所示,并且问题在于会出现亮度不均。

[0137] 另一方面,在本实施例中,用于选择每个像素11的每条单元写入扫描线WSL与一个驱动单元内具有相同的发光颜色的多个像素11连接。此外,用于将驱动电流供给每个像素11的每条单元电源线DSL与一个驱动单元的所有像素11连接。因此,可以在相同时间对一个驱动单元的所有组执行Vth校正,然后可以针对每个组对驱动单元的所有组执行信号电压的写入,如上所述。因此,由于从Vth校正结束至 μ 校正开始的等待时间在具有相同颜色的每个像素11中是一致的,因此具有相同颜色的像素11中的等待时间在每条线中是一致的。所以,可以减少一次执行Vth校正导致的亮度不均的发生。

[0138] 图15示出了根据比较例的显示设备中在列方向上彼此相邻的两个驱动单元中扫描Vth校正和信号写入/ μ 校正的示例。图16是示出了施加给在列方向上彼此相邻的两个驱动单元内的每个子像素行的所选脉冲的随时间变化的示例的波形图。应注意的是,在根据比较例的显示设备中,像素配置与上述实施例的像素配置相同。

[0139] 在本比较例中,驱动电路20在相同时间对一个驱动单元的所有组(第一和第二组)执行Vth校正,然后通过上述实施例中相同的方式以组的顺序对驱动单元的所有组(第一和第二组)执行信号电压的写入(和 μ 校正)。此时,扫描线驱动电路24被设计为在信号写入期间,当在每个驱动单元中顺序地执行一系列操作(Vth校正和信号写入)时,沿与扫描方向(以下简称为“驱动单元扫描方向”)相同的方向顺序地选择一个驱动单元中包括的多条单元写入扫描线WSL。因此,由于从Vth校正结束至 μ 校正开始的时间段(所谓的等待时间)在具有相同颜色的每个像素11中是一致的,因此具有相同颜色的每个像素11中的等待时间在每个显示像素行中是一致的。在这一点上,根据比较例的显示设备与根据上述实施例的显示设备1之间没有差别。

[0140] 接下来,将描述比较例中的耦合。图17示出了图16中用虚线表示的圆圈D中的每个波形所施加至的两个像素11的耦合的状态。应注意的是,图16中用虚线表示的圆圈C中的每个波形所施加至的两个像素11的耦合的状态与图9的相同。

[0141] 在本比较例中,第n+2显示像素行的下部分中的像素11(例如,像素11G)的辅助电容器Csub经由如图4中所示的阴极线CTL与第n+3显示像素行的上部分中的像素11(例如,像素11R)的辅助电容器Csub连接。由于这个原因,当在第n+2显示像素行的下部分中的像素11中执行信号写入时,第n+2显示像素行的下部分中的像素11的驱动晶体管Tr1的源电压Vs的变化(升高)经由阴极线CTL和辅助电容器Csub传播至第n+3显示像素行的上部分中的像素11的驱动晶体管Tr1的源极电极。结果,在第n+3显示像素行的上部分中的像素11的驱动晶体管Tr1的源电压Vs改变(升高),相应地栅电压Vg也改变(升高)。此时,在源电压Vs和栅电压Vg改变之前和之后,栅源之间的电压Vgs变化不明显。因此,在信号写入(和 μ 校正)之后,会发生本比较例中的这样的电压变化。由于这个原因,栅源间的电压Vgs不会显著地变化直至下一个消光周期开始(换句话说,在发光周期期间)。

[0142] 以这种方式,在本比较例中,第n+1显示像素行的下部分中的像素11的信号写入对第n+2显示像素行的上部分中的像素11的影响不同于第n+2显示像素行的下部分中的像素11的信号写入对第n+3显示像素行的上部分中的像素11的影响。由于这个原因,第n+2显示像素行的上部分中的像素11的发光亮度由于栅源之间的降低的电压Vgs而变得有点暗。另一方面,第n+3显示像素行的上部分中的像素11的发光亮度由于栅源间的电压Vgs不改变,而变得比第n+2显示像素行的上部分中的像素11的发光亮度更亮。因此,出现亮度不均,如

图14所示。

[0143] 另一方面,在上述实施例中,第n+1显示像素行的下部分中的像素11的信号写入对第n+2显示像素行的上部分中的像素11的影响等同于第n+2显示像素行的下部分中的像素11的信号写入对第n+3显示像素行的上部分中的像素11的影响,如上所述。换句话说,即使在耦合发生于多个像素11中的电路配置中,受耦合影响的趋势在受耦合影响的所有像素11中是相同的。相应地,由于发光的亮度变化的趋势在受耦合影响的所有像素11中基本上是相同的,因此可以减少亮度不均。

[0144] 2、修改例

[0145] 下文中,将描述根据上述实施例的显示设备1的各个修改例。应注意的是,下文中,对与上述实施例的显示设备1相同的组成要素将赋予相同的参考标号。此外,适当省略对与上述实施例的显示设备1相同的组成要素进行的描述。

[0146] 修改例1

[0147] 在上述实施例中,在每个驱动单元中分配多条单元写入扫描线WSL中的两条,因此一个驱动单元中包括的扫描线WSL的数量为2。然而,尽管附图中未示出,但在每个驱动单元中按照与一个驱动单元中包括的显示像素行的数量相同的数量来分配多条扫描线WSL,并且一个驱动单元中包括的扫描线WSL的数量可以与一个驱动单元中包括的显示像素行的数量相同。然而,在这种情况下,将相同的电压施加给多条单元写入扫描线WSL中的每两条线。

[0148] 修改例2

[0149] 在上述实施例中,在每个驱动单元中分配多条单元电源线DSL中的一条,因此一个驱动单元中包括的电源线DSL的数量为1。然而,尽管附图中未示出,但在每个驱动单元中可以按照与一个驱动单元中包括的显示像素行的数量相同的数量来分配多条电源线DSL,并且一个驱动单元中包括的电源线DSL的数量可以与一个驱动单元中包括的显示像素行的数量相同。然而,在这种情况下,多条电源线DSL被设计为将相同电压施加给每个驱动单元。

[0150] 修改例3

[0151] 在上述实施例中,在置于一个驱动单元中的不同行中且彼此相邻的两个显示像素14中,具有相同发光颜色的两个像素11设置在两条共享信号线DTL之间。然而,在置于一个驱动单元中的不同行中且彼此相邻的两个显示像素14中,具有相同发光颜色的两个像素11中的一个像素可以设置在两条信号线DTL (m) 和DTL (m+1) 之间,另一个像素可以设置在两条信号线DTL (m+2) 和DTL (m+3) 之间。例如,在置于一个驱动单元中的不同行中且彼此相邻的两个显示像素14中,两个像素11R中的一个像素11R可以设置在两条信号线DTL (m) 和DTL (m+1) 之间,另一个像素11R可以设置在两条信号线DTL (m+2) 和DTL (m+3) 之间。

[0152] 修改例4

[0153] 在上述实施例中,显示像素14由彼此具有不同发光颜色的四个像素11构成。此外,在每个显示像素14中,四个像素11形成所谓的田字布置(4个方形),且呈 2×2 矩阵设置。然而,显示像素14可以由数量为偶数的彼此具有不同发光颜色的六个或六个以上像素11构成。在这种情况下,在每个显示像素14中,数量为偶数的6个以上像素11可以呈 $2 \times a$ 矩阵设置。这里,a为(显示像素14中的像素11的数量)/2。

[0154] 3、应用例

[0155] 在下文中,将描述上述实施例和修改例(以下简称“上述实施例等”)中描述的显示

设备1的应用例。根据上述实施例等的显示设备1可以适用于所有领域的电子装置的显示设备,比如电视设备、数码相机、笔记本式个人计算机、移动终端设备(比如移动电话)以及将从外部输入的视频信号或其中生成的视频信号显示为图像或视频的摄像机。

[0156] 应用例1

[0157] 图18示出了上述实施例等的显示设备1所应用于的电视设备的外观。该电视设备具有包括前面板310和滤光玻璃320的视频显示屏单元300,并且该视频显示屏单元300由根据上述实施例等的显示设备1配置而成。

[0158] 应用例2

[0159] 图19A和图19B示出了上述实施例等的显示设备1所应用于的数码相机的外观。该数码相机例如具有闪光用发光单元410、显示单元420、菜单开关430以及快门按钮440,并且该显示单元420由根据上述实施例等的显示设备1配置而成。

[0160] 应用例3

[0161] 图20示出了上述实施例等的显示设备1所应用于的笔记本式个人计算机的外观。该笔记本式个人计算机例如具有主体510、用于字符等的操作输入的键盘520以及用于显示图像的显示单元530,并且该显示单元530由根据上述实施例等的显示设备1配置而成。

[0162] 应用例4

[0163] 图21示出了上述实施例等的显示设备1所应用于的摄像机的外观。该摄像机例如具有主体单元610、用于拍摄物体并设置在主体单元610的正面上的透镜620、拍摄期间的启动/停止开关630以及显示单元640,并且该显示单元640由根据上述实施例等的显示设备1配置而成。

[0164] 应用例5

[0165] 图22A至图22G示出了上述实施例等的显示设备1所应用于的移动电话的外观。该移动电话例如具有用连接部(铰链部)730连接的上部壳体710和下部壳体720、显示器740、副显示器750、图像灯760以及相机770。该显示器740或副显示器750由根据上述实施例等的显示设备1配置而成。

[0166] 在上文中,以举例说明实施例和应用例的方式描述了本技术,但本技术不限于上述实施例等,且可以进行各种修改。

[0167] 例如,在上述实施例等中,用于执行有源矩阵驱动的像素电路12的配置不限于上述每个实施例中描述的,并且根据需要,可以将电容元件或晶体管增设至此。在这种情况下,根据像素电路12的变化,可以增设除上述信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25之外的所需驱动电路。

[0168] 另外,在上述实施例等中,信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25的驱动由时序生成电路21和视频信号处理电路22控制,但是其他电路可以控制其驱动。另外,信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25的控制可以由硬件(电路)或软件(程序)执行。

[0169] 另外,在上述实施例等中,写入晶体管Tr2的源极和漏极以及驱动晶体管Tr1的源极和漏极被描述成是固定的,但是当然存在其中面向彼此的源极和漏极的关系根据电流流动的方向与上文描述中的相反的情况。在这种情况下,源极替代地可以被当作漏极,而漏极可以被当作源极。

[0170] 另外,在上述实施例等中,写入晶体管Tr2和驱动晶体管Tr1被描述成由n沟道MOS型TFT形成,但是写入晶体管Tr2和驱动晶体管Tr1中的至少一个可以由p沟道MOS型TFT形成。应注意的是,在上述实施例等中,当驱动晶体管Tr1由p沟道MOS型TFT形成时,有机EL元件13的阳极变成阴极,有机EL元件13的阴极变成阳极。另外,在上述实施例等中,写入晶体管Tr2和驱动晶体管Tr1不必总是为非晶硅型TFT或微硅型TFT,例如可以是低温多晶硅型TFT或氧化物半导体TFT。

[0171] 另外,例如,本技术可以具有以下配置。

[0172] (1)一种显示单元,包括:

[0173] 以包括行和列的矩阵形式设置的多个像素电路,所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;

[0174] 多条写入扫描线,各条写入扫描线分别与所述多个像素电路中的相应行连接;

[0175] 多条信号线,各条信号线分别与所述多个像素电路的相应列连接;

[0176] 多条电源线,各条电源线分别与所述多个像素电路的两个相应相邻行连接;以及

[0177] 驱动控制部,

[0178] 其中所述多个像素电路被分组成驱动单元,每个所述驱动单元包括与对应单元电源线连接的 $K \geq 4$ 个连续像素电路行,所述对应单元电源线由所述多条电源线中被配置成共用线的 $K/2$ 条组成,

[0179] 所述驱动单元的每一个包括 $L \geq 2$ 条单元写入扫描线,所述 $L \geq 2$ 条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的 $M \geq 2$ 条写入扫描线,其中 $K = L \cdot M$,并且

[0180] 所述驱动控制部被配置为使用于信号写入操作的写入扫描脉冲以与驱动所述驱动单元发光的顺序行进的方向不同的方向行进的顺序,来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。

[0181] (2)如(1)所述的显示单元,

[0182] 其中,所述多个像素电路中的每一个对应于N个显示颜色中的一个,并且所述多个像素电路被分组成显示像素单元,每个所述显示像素单元均包括所述多个像素电路中分别与所述N个显示颜色相对应的N个像素电路,所述显示像素单元被连续设置在 $M \leq N$ 个连续行中。

[0183] (3)如(2)所述的显示单元,

[0184] 其中每条单元写入扫描线与显示颜色的至少一个相对应并与以下这样的所有像素电路连接:所有像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

[0185] (4)如(1)所述的显示单元,

[0186] 其中,对于所述多个像素电路中的每一个:

[0187] 所述第一晶体管被配置为当扫描脉冲施加给所述多条写入扫描线中与所述第一晶体管连接的一条时,对所述多条信号线中的一条上携带的电位进行取样,

[0188] 具有第一端子的所述电容器被配置为保持由所述第一晶体管取样的电位,并且

[0189] 所述第二晶体管被配置为将驱动电流供给所述显示元件,所述驱动电流的大小与所述电容器的第一端子和所述电容器的第二端子之间的电压相对应。

[0190] (5)如(1)所述的显示单元,

[0191] 其中,所述驱动单元是以从最接近所述显示单元的第一侧的第一驱动单元到最接近所述显示单元的与所述第一侧相对的第二侧的最后驱动单元行进的顺序,而被顺序地驱动的单元,并且

[0192] 所述写入扫描脉冲以从所述驱动单元中所述给定驱动单元的最后单元写入扫描线行进到所述驱动单元中所述给定驱动单元的第一单元写入扫描线的顺序,来按顺序地施加给所述驱动单元中所述给定驱动单元的单元写入扫描线,所述驱动单元中所述给定驱动单元的最后单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第二侧的一条写入扫描线,并且所述驱动单元的所述给定驱动单元的第一单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第一侧的一条写入扫描线。

[0193] (6) 如(1)所述的显示单元,

[0194] 其中,所述驱动控制部被配置为通过控制对所述多条写入扫描线、所述多条信号线以及所述多条电源线的驱动,来使所述多个像素电路显示与输入图像数据相对应的图像帧,

[0195] 所述多个像素电路被配置为在所述驱动控制部的控制下执行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中相应像素电路的第二晶体管的阈值电压存储在所述多个像素电路中相应像素电路的电容器中,并且

[0196] 所述驱动控制部被配置为使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路在给定图像帧时期内同时执行所述阈值校正操作。

[0197] (7) 如(6)所述的显示单元,

[0198] 其中,所述驱动控制部被配置为通过使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作,同时在与相应像素电路连接的信号线上携带参考电位并同时驱动电压施加给相应像素电路的第二晶体管。

[0199] (8) 如(1)所述的显示单元,

[0200] 其中,对于所述多个像素电路中的给定像素电路,所述信号写入操作包括通过将所述多个像素电路中的给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中的所述给定像素电路对视频信号电位进行取样,同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

[0201] (9) 如(2)所述的显示单元,

[0202] 其中 $N=4$, $M=2$, $K=4$,并且显示颜色包括红色、绿色和蓝色。

[0203] (10) 如(9)所述的显示单元,

[0204] 其中显示颜色进一步包括白色。

[0205] (11) 如(9)所述的显示单元,

[0206] 其中显示颜色进一步包括黄色。

[0207] (12) 一种显示单元,包括:

[0208] 呈包括行和列的矩阵形式设置的多个像素电路,所述多个像素电路中的每一个包括显示元件、第一晶体管、电容器以及第二晶体管;

[0209] 多条写入扫描线,各条写入扫描线分别与所述多个像素电路中的相应行连接;

[0210] 多条信号线,各条信号线分别与所述多个像素电路的相应列连接;

[0211] 多条电源线,各条电源线分别与所述多个像素电路的两个相应相邻行连接;以及

[0212] 驱动控制部,

[0213] 其中,所述多个像素电路被分组成驱动单元,每个所述驱动单元包括与对应单元电源线连接的4个连续像素电路行,所述对应单元电源线由所述多条电源线中被配置成共用线的2条组成,

[0214] 所述驱动单元的每一个包括2条单元写入扫描线,所述2条单元写入扫描线均包括所述多条写入扫描线中被配置成共用线的2条写入扫描线,并且

[0215] 所述驱动控制部配置为使用于信号写入操作的写入扫描脉冲以与驱动所述驱动单元发光的顺序行进的方向不同的方向行进的顺序,来按顺序地施加给所述驱动单元中给定驱动单元的单元写入扫描线。

[0216] (13)如(12)所述的显示单元,

[0217] 其中,所述多个像素电路中的每一个对应于4个显示颜色中的一个,并且所述多个像素电路被分组成显示像素单元,每个所述显示像素单元均包括所述多个像素电路中被连续设置在两个相邻行并且分别与所述4个显示颜色相对应的4个像素电路。

[0218] (14)如(13)所述的显示单元,

[0219] 其中,每条单元写入扫描线与所述显示颜色的两个相对应并与所有以下这样的像素电路连接:该像素电路与对应于相应单元写入扫描线的显示颜色的任何一个相对应且包括在相应单元写入扫描线所属的驱动单元中。

[0220] (15)如(14)所述的显示单元,

[0221] 其中,对于所述多个像素电路中的每一个:

[0222] 所述第一晶体管被配置为当扫描脉冲施加给所述多条写入扫描线中与所述第一晶体管连接的一条时,对所述多条信号线中的一条信号线上携带的电位进行取样,

[0223] 具有第一端子的所述电容器被配置为保持由所述第一晶体管取样的电位,并且

[0224] 所述第二晶体管被配置为将驱动电流供给所述显示元件,所述驱动电流的大小与所述电容器的第一端子和所述电容器的第二端子之间的电压相对应。

[0225] (16)如(12)所述的显示单元,

[0226] 其中,所述驱动单元是以从最接近所述显示单元的第一侧的第一驱动单元到最接近所述显示单元的与所述第一侧相对的第二侧的最后驱动单元行进的顺序,而被顺序地驱动的单元,并且

[0227] 所述写入扫描脉冲以从所述驱动单元中的所述给定驱动单元的最后单元写入扫描线行进到所述驱动单元中的所述给定驱动单元的第一单元写入扫描线的顺序,来按顺序地施加至所述驱动单元中所述给定驱动单元的单元写入扫描线,所述驱动单元中所述给定驱动单元的最后单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第二侧的一条写入扫描线,并且所述驱动单元的所述给定驱动单元的第一单元写入扫描线包括所述多条写入扫描线中位于所述驱动单元的所述给定驱动单元中的最接近所述显示单元的第一侧的一条写入扫描线。

[0228] (17)如(12)所述的显示单元,

[0229] 其中,所述驱动控制部被配置为通过控制对所述多条写入扫描线、所述多条信号

线以及所述多条电源线的驱动,来使所述多个像素电路显示与输入图像数据相对应的图像帧,

[0230] 所述多个像素电路被配置为在所述驱动控制部的控制下执行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中相应像素电路的第二晶体管的阈值电压存储在所述多个像素电路中相应像素电路的电容器中,并且

[0231] 所述驱动控制部被配置为使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路在给定图像帧时期内同时执行所述阈值校正操作。

[0232] (18) 如(17)所述的显示单元,

[0233] 其中,所述驱动控制部被配置为通过使所述多个像素电路中包括在所述驱动单元的所述给定驱动单元中的每一个像素电路的第一晶体管处于导通状态来使相应像素电路执行所述阈值校正操作,同时在与相应像素电路连接的信号线上携带参考电位并同时驱动电压施加给相应像素电路的第二晶体管。

[0234] (19) 如(12)所述的显示单元,

[0235] 其中,对于所述多个像素电路中的给定像素电路,所述信号写入操作包括通过将所述多个像素电路中给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中所述给定像素电路对视频信号电位进行取样,同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

[0236] (20) 一种显示单元的驱动方法,包括:

[0237] 其中,对于所述多个像素电路中的给定像素电路,所述信号写入操作包括通过将所述多个像素电路中给定像素电路的第一晶体管置于导通状态下来使所述多个像素电路中所述给定像素电路对视频信号电位进行取样,同时将所述视频信号电位施加给与所述多个像素电路中的所述给定像素电路连接的信号线。

[0238] (21) 一种显示设备,包括:

[0239] 显示面板;以及

[0240] 驱动显示面板的驱动电路,

[0241] 其中显示面板具有包括多个子像素的多个像素;

[0242] 其中子像素的每一个包括发光元件、驱动发光元件的驱动晶体管、写入与视频信号相对应的信号电压的写入晶体管以及保持驱动晶体管的栅源间的电压的保持电容器,

[0243] 其中,当 k ($k \geq 2$) 个像素行形成一个单元时,驱动电路执行使驱动晶体管的栅源间的电压接近驱动晶体管的阈值电压的 V_{th} 校正,并将信号电压写入第一单元,然后在列方向上与第一单元相邻的第二单元中执行 V_{th} 校正并将信号电压写入,并且

[0244] 其中当在每个单元中执行信号电压的写入时,驱动电路通过沿与扫描方向相反的方向扫描来执行将信号电压写入一个像素行的每个子像素。

[0245] (22) 如(21)所述的显示设备,

[0246] 其中每个像素中包括的多个子像素呈 $2 \times y$ ($y \geq 2$) 矩阵设置,并且

[0247] 其中驱动电路对像素行的下部分中的子像素执行将信号电压写入一个像素行的每个子像素,然后对其上部分中的子像素执行写入。

[0248] (23) 如(22)所述的显示设备,

[0249] 其中显示面板向一个单元的每个像素行的上部分中的子像素行分配多条第一配

线中的一条,以及向一个单元的每个像素行的下部分中的子像素行分配多条第二配线中的一条,

[0250] 其中子像素的发光颜色在每个像素中彼此不同,

[0251] 其中每条第一配线与一个单元内具有相同发光颜色的多个子像素连接,

[0252] 其中每条第二配线与具有与第一配线连接的子像素的颜色不同的发光颜色但在一个单元内具有相同发光颜色的多个子像素连接,并且

[0253] 其中驱动电路对与第二配线连接的每个子像素执行将信号电压写入一个像素行的每个子像素,然后对与第一配线连接的每个子像素执行写入。

[0254] (24) 如(23)所述的显示设备,

[0255] 其中每个子像素进一步包括与驱动晶体管的源极连接的辅助电容器,并且

[0256] 其中显示面板进一步具有多条参考电压线,所述多条参考电压线被分配为列方向上彼此相邻但置于不同像素行中的每两个子像素一条参考电压线,并与辅助电容器连接。

[0257] (25) 如(24)所述的显示设备,

[0258] 其中每条参考电压线与两个分配的子像素行中包括的所有辅助电容器连接。

[0259] (26) 一种电子装置,包括:

[0260] 显示设备,

[0261] 其中显示设备具有显示面板,以及驱动显示面板的驱动电路,

[0262] 其中显示面板具有包括多个子像素的多个像素;

[0263] 其中子像素的每一个包括发光元件、驱动发光元件的驱动晶体管、写入与视频信号相对应的信号电压的写入晶体管以及保持驱动晶体管的栅源间的电压的保持电容器,

[0264] 其中,当 $k(k \geq 2)$ 个像素行形成一个单元时,驱动电路执行使驱动晶体管的栅源间的电压接近驱动晶体管的阈值电压的 V_{th} 校正,并将信号电压写入第一单元,然后在列方向上与第一单元相邻的第二单元中执行 V_{th} 校正并将信号电压写入,并且

[0265] 其中当在每个单元中执行信号电压的写入时,驱动电路通过沿与扫描方向相反的方向扫描来执行将信号电压写入一个像素行的每个子像素。

[0266] (27) 一种显示面板的驱动方法,所述显示面板具有包括多个子像素的多个像素,子像素的每一个具有发光元件、驱动发光元件的驱动晶体管、写入与视频信号相对应的信号电压的写入晶体管以及保持驱动晶体管的栅源间的电压的保持电容器,所述方法包括:

[0267] 当 $k(k \geq 2)$ 个像素行形成一个单元时,执行使驱动晶体管的栅源间的电压接近驱动晶体管的阈值电压的 V_{th} 校正,并将信号电压写入第一单元,然后在列方向上与第一单元相邻的第二单元中执行 V_{th} 校正并将信号电压写入;以及

[0268] 当在每个单元中执行写入信号电压时,通过沿与扫描方向相反的方向扫描来执行将信号电压写入一个像素行的每个子像素。

[0269] 本发明包含于2012年7月31日向日本专利局提交的日本优先权专利申请JP2012-170306中公开的相关主题,其全部内容通过引用并入本文。

[0270] 本领域技术人员应该理解,根据设计需求和其它因素可以进行各种修改、组合、子组合以及改变,只要其在所附权利要求或其等同内容的范围之内即可。

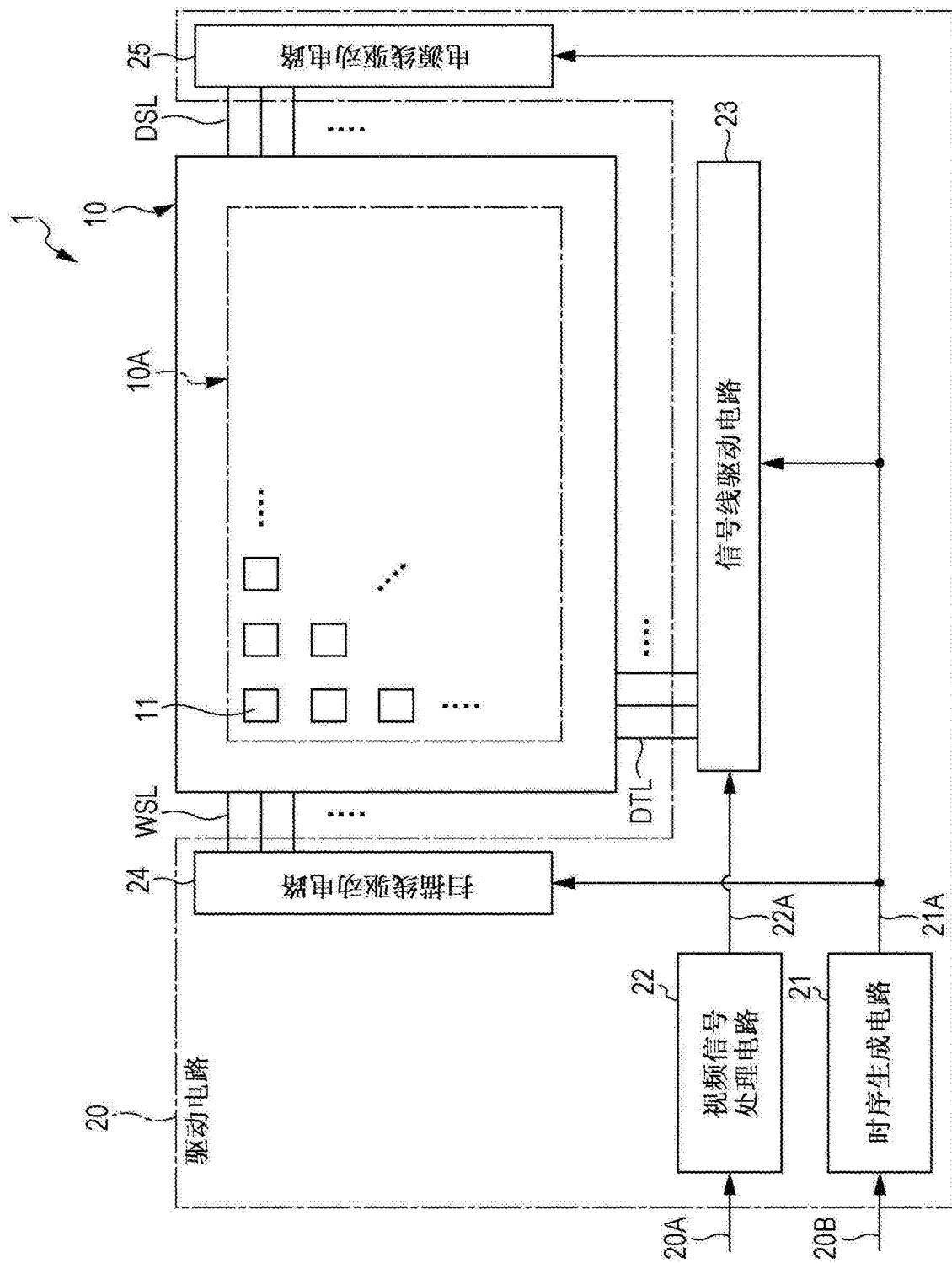


图1

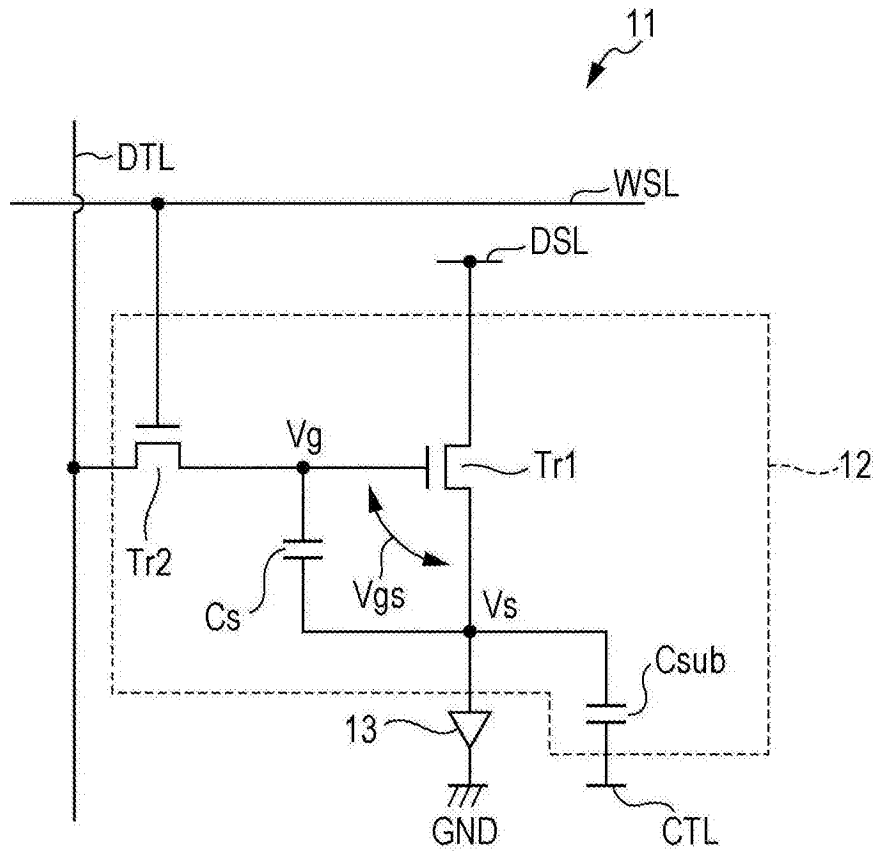


图2

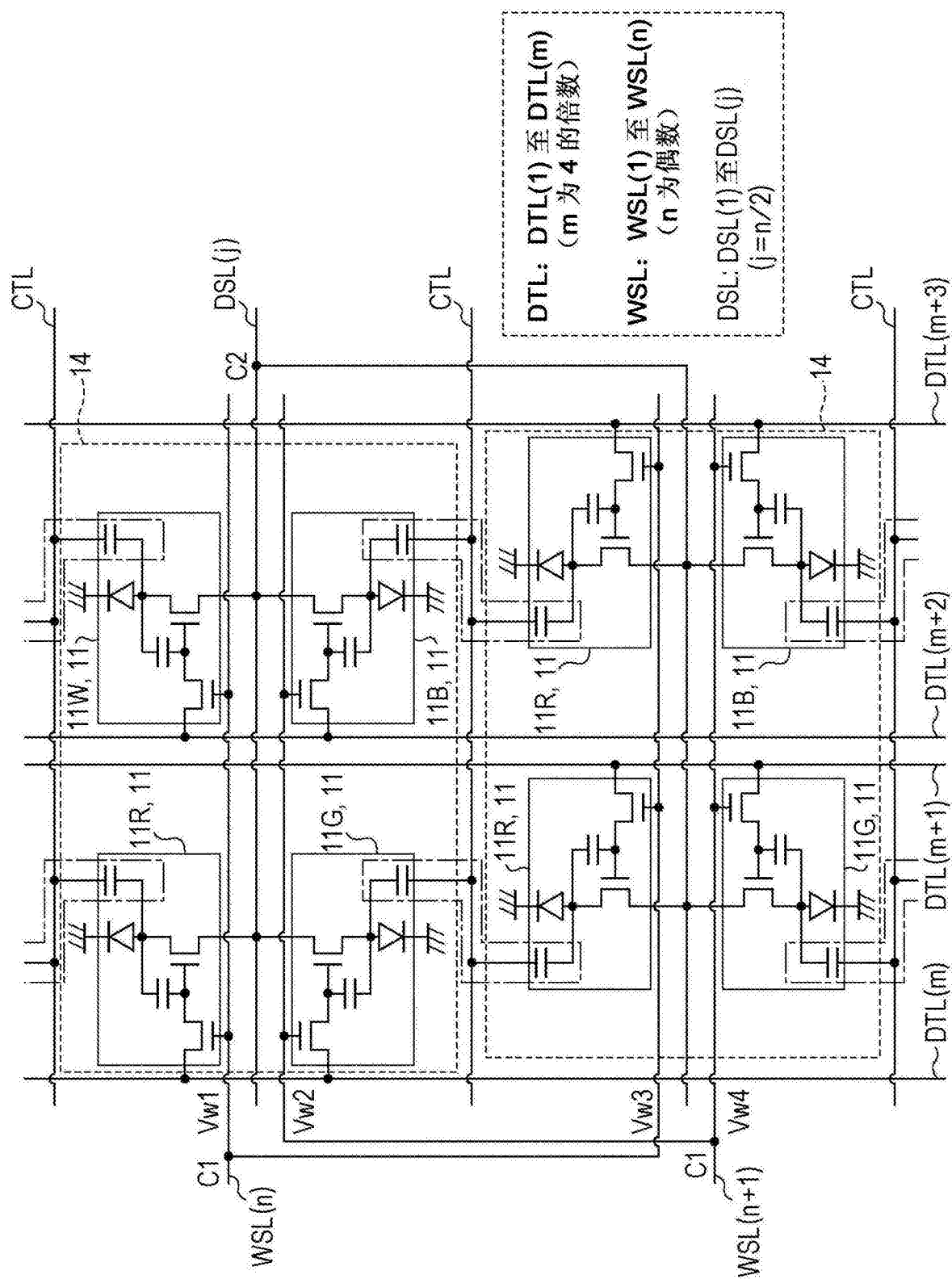


图3

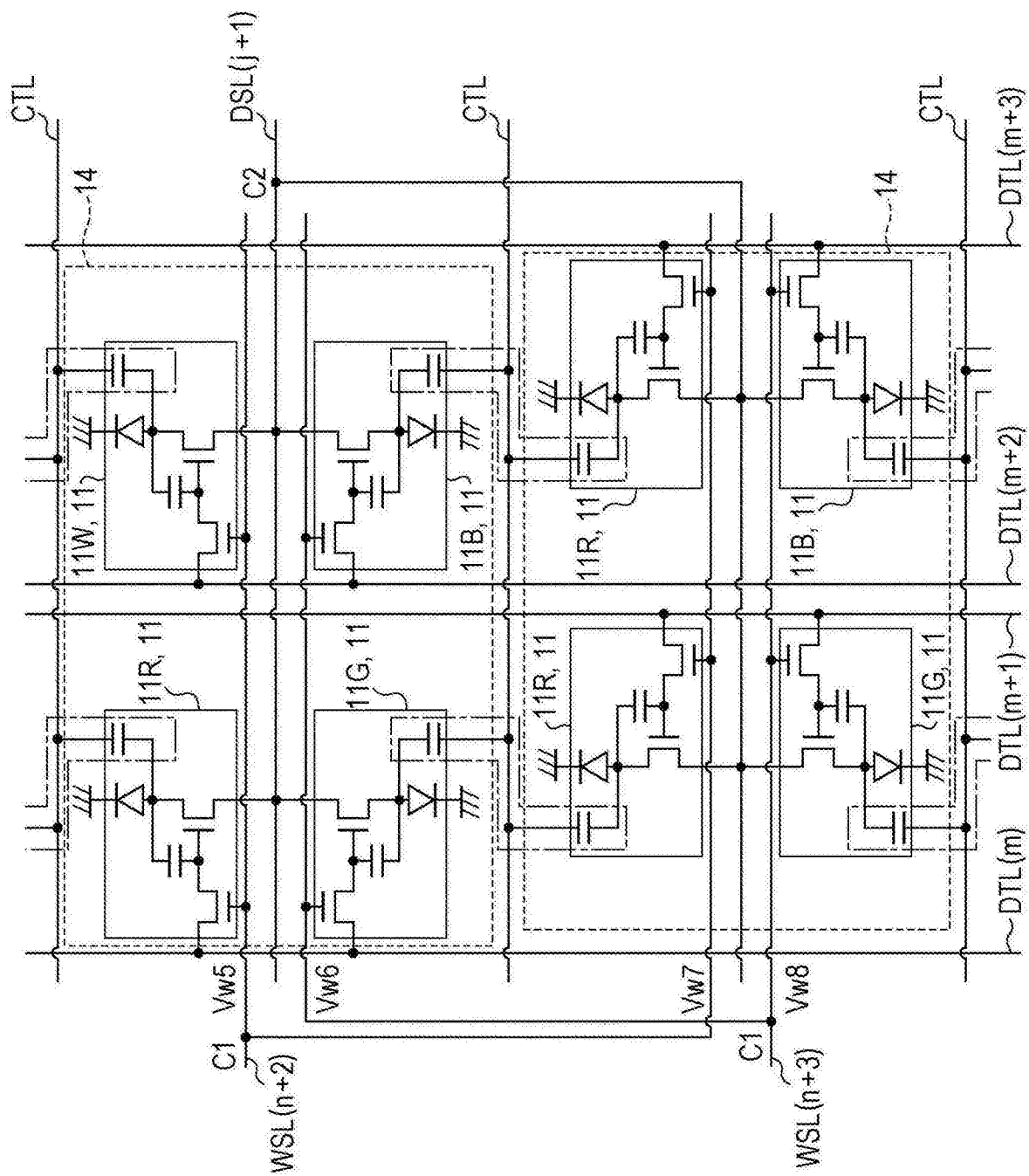


图4

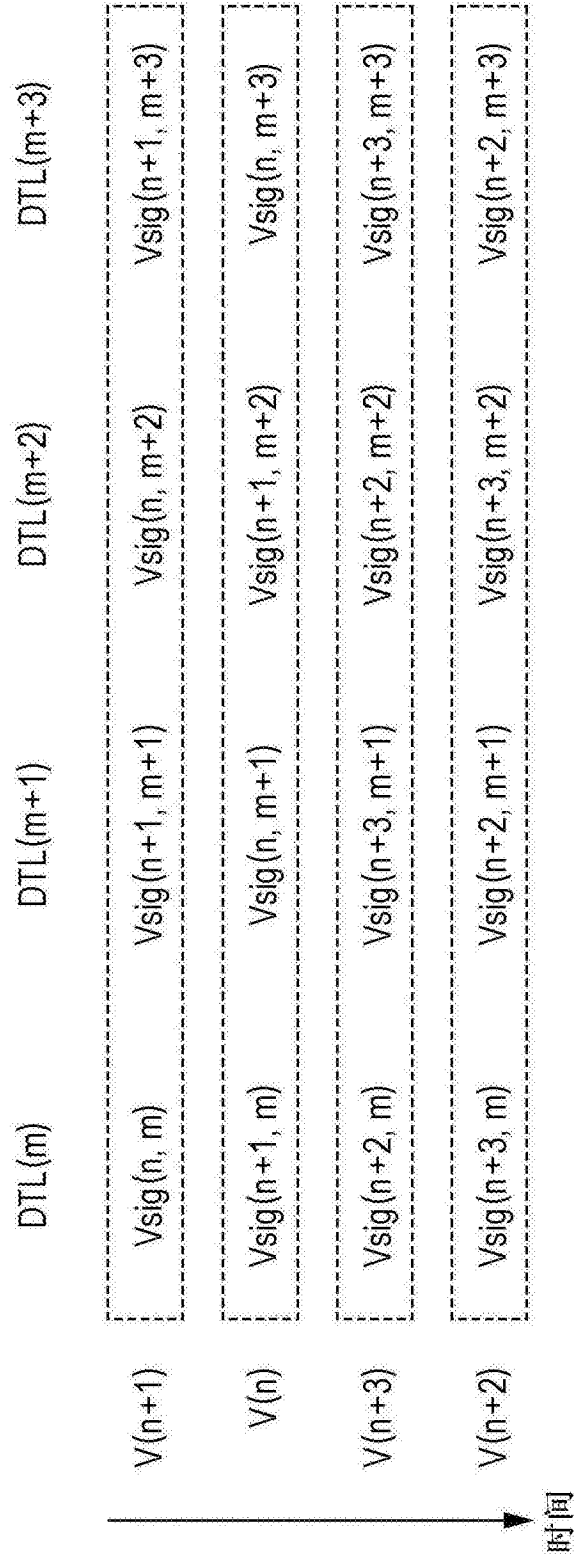


图5

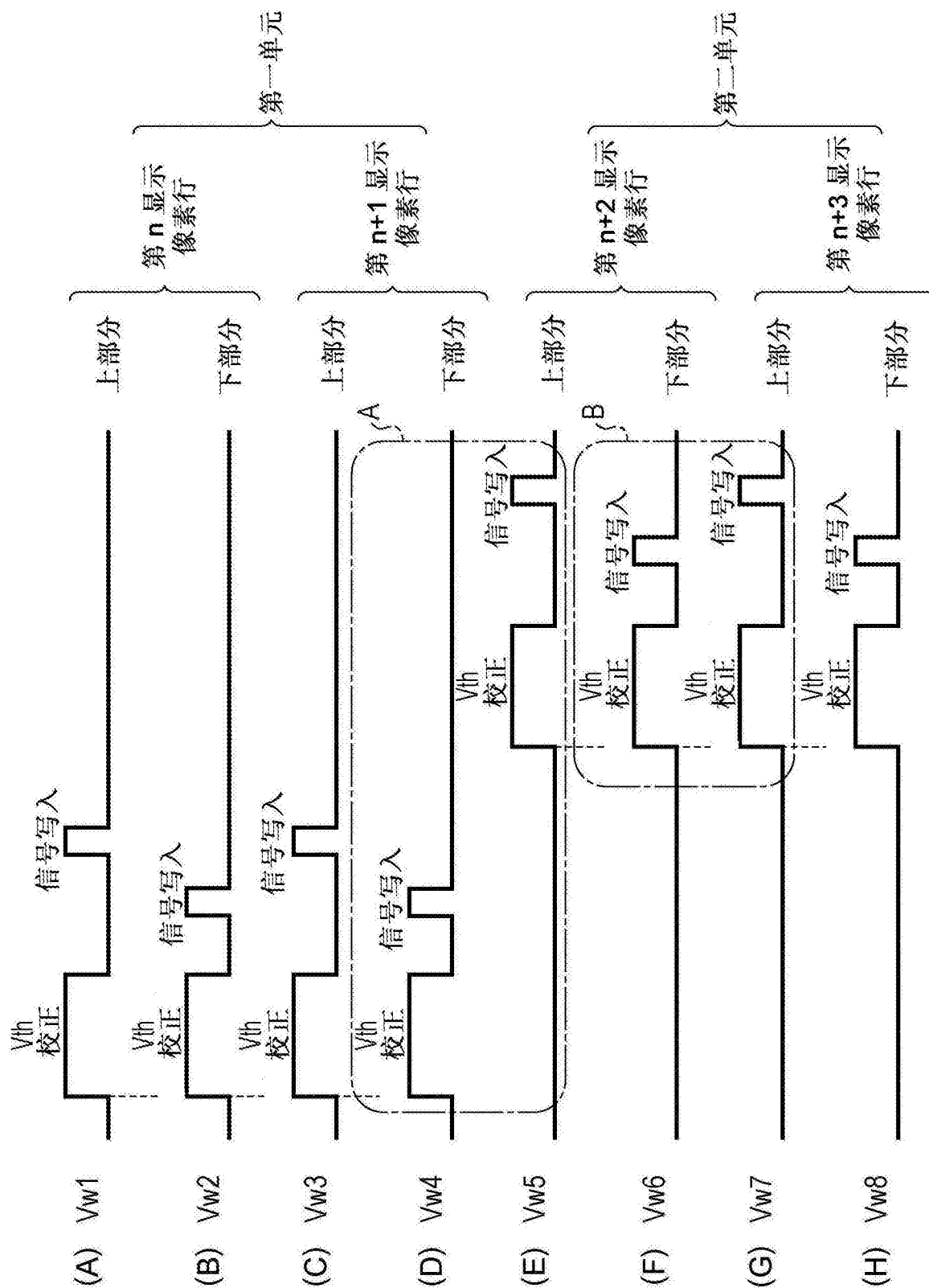


图6

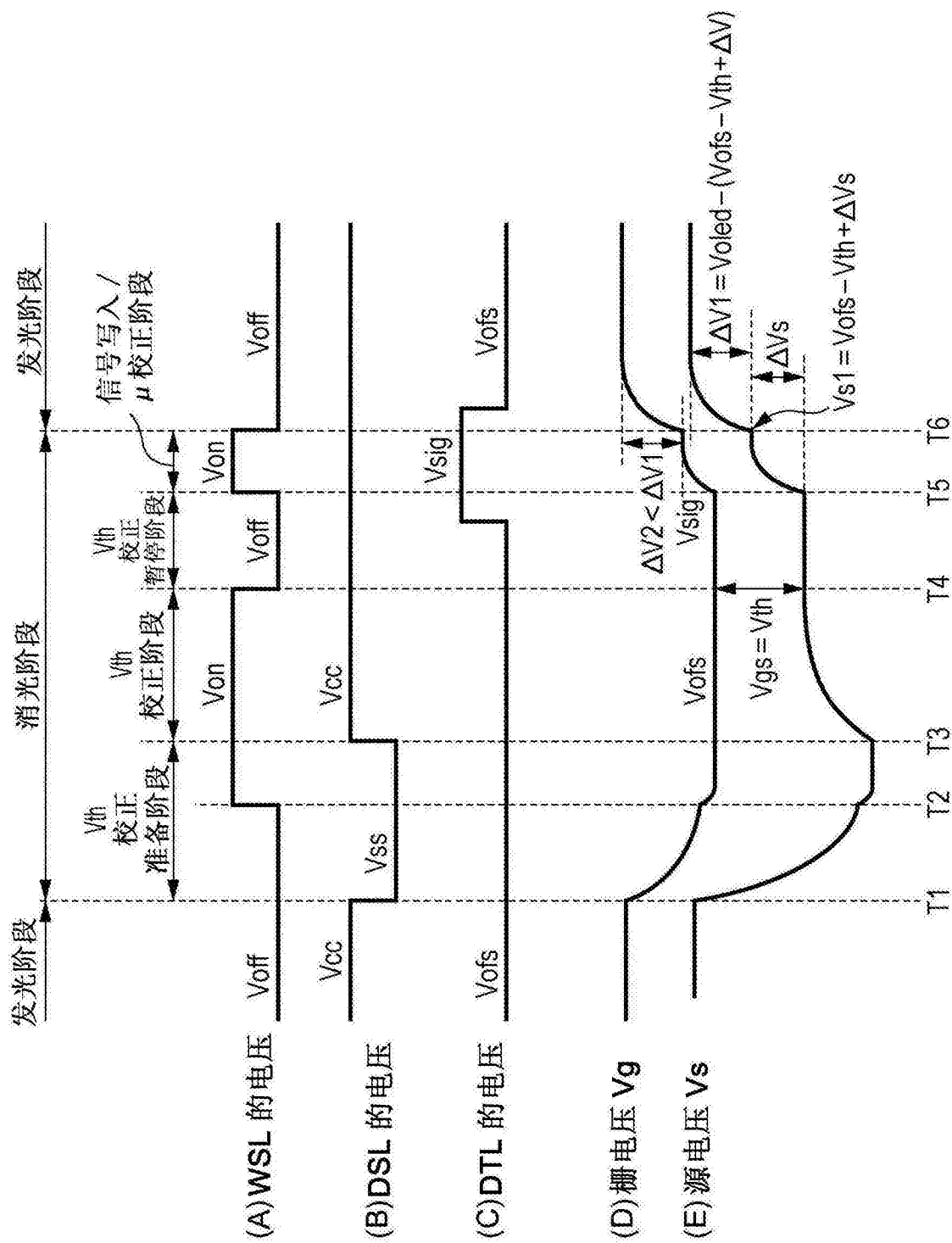


图7

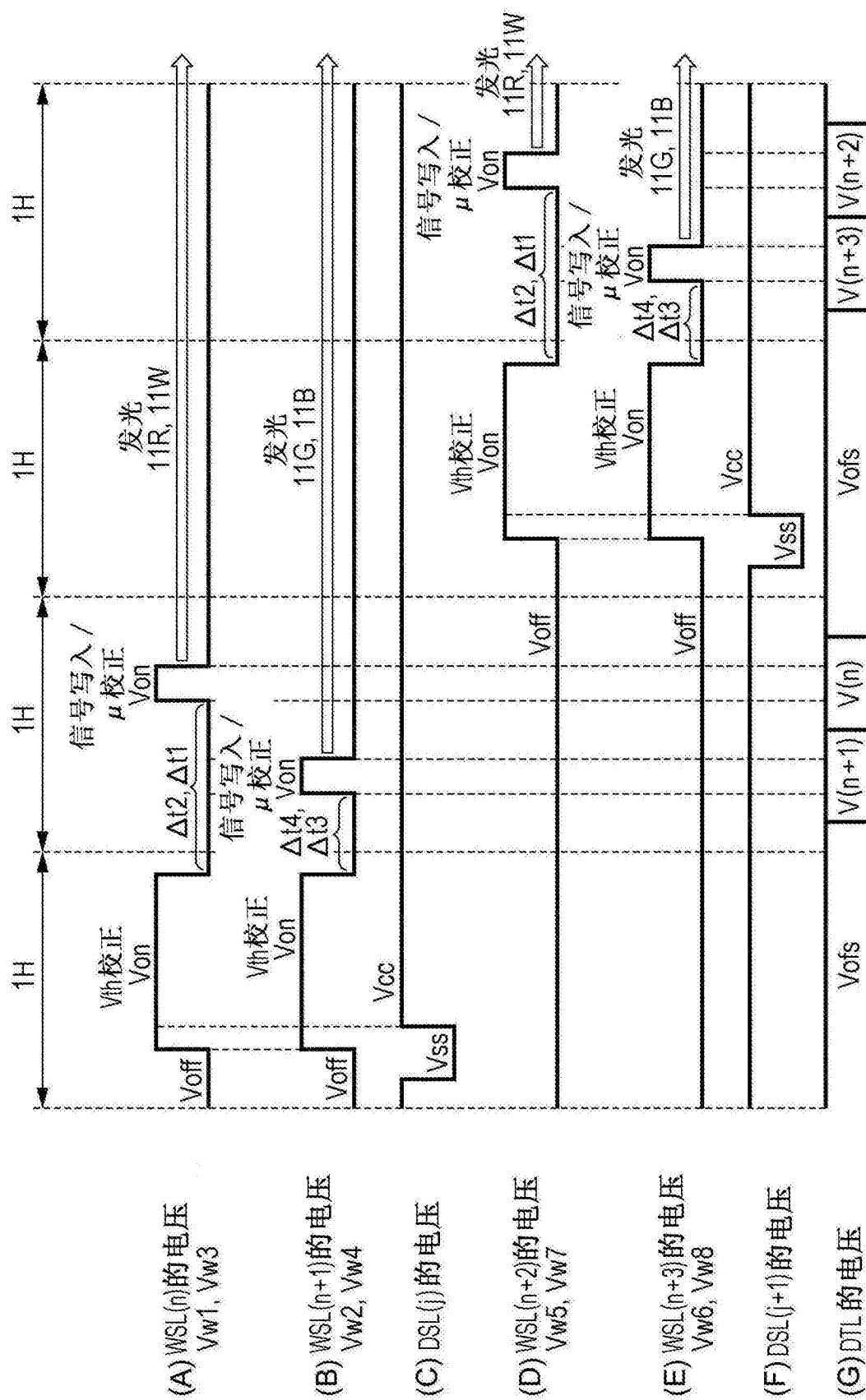


图8

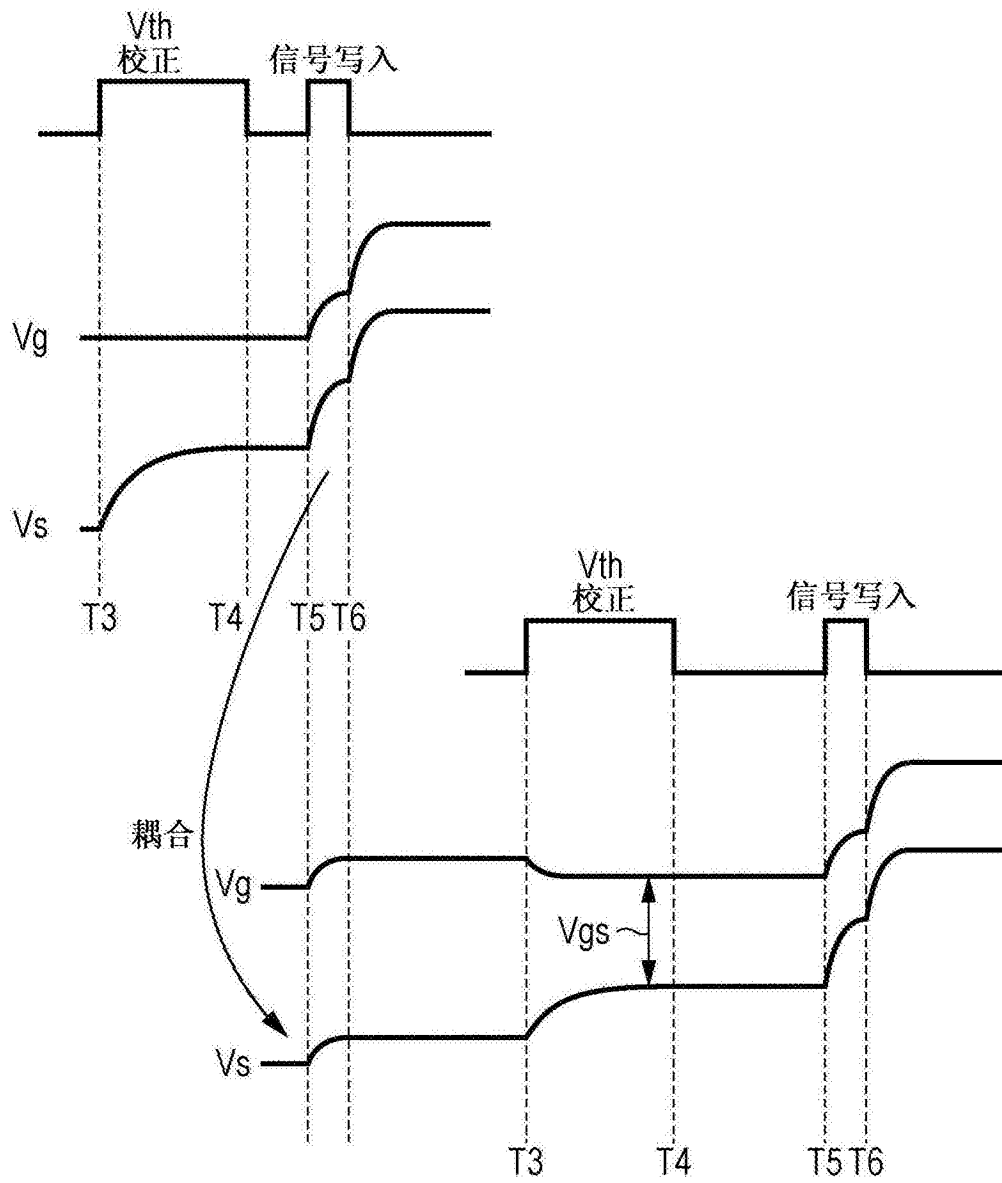


图9

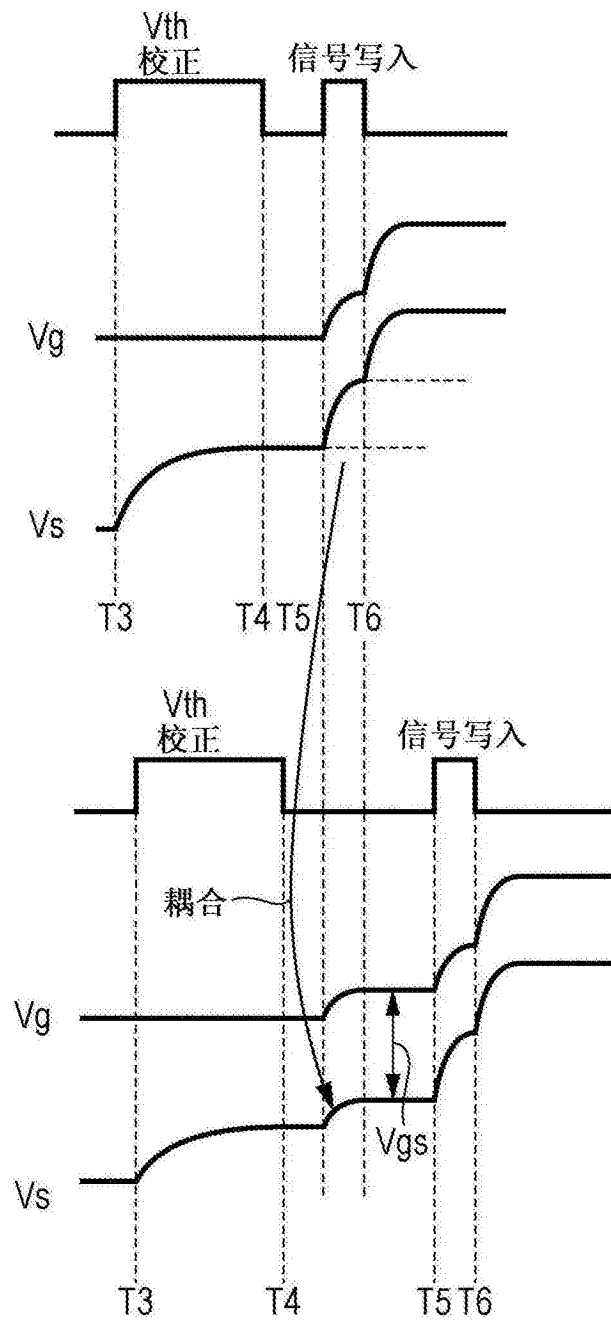


图10

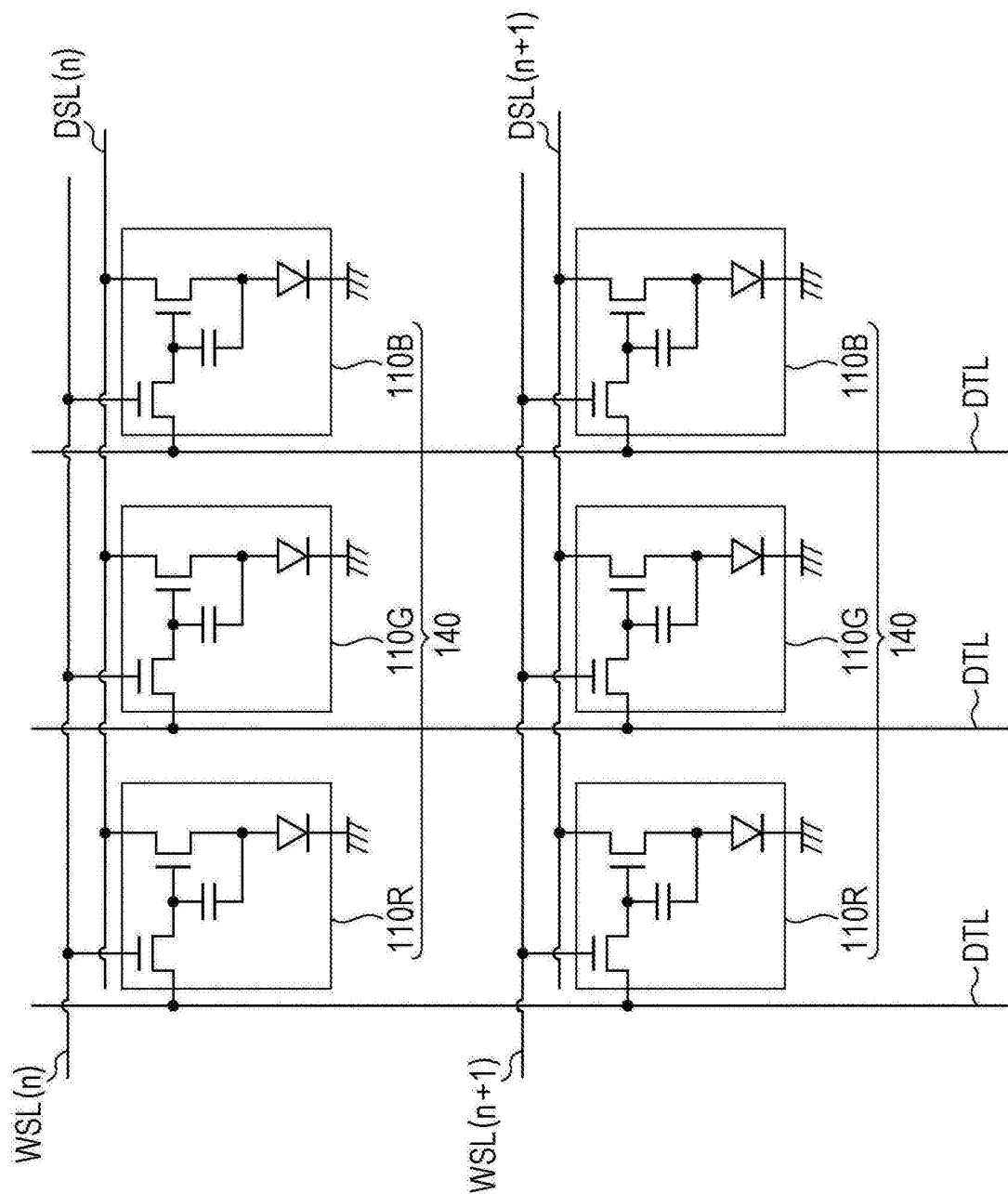


图11

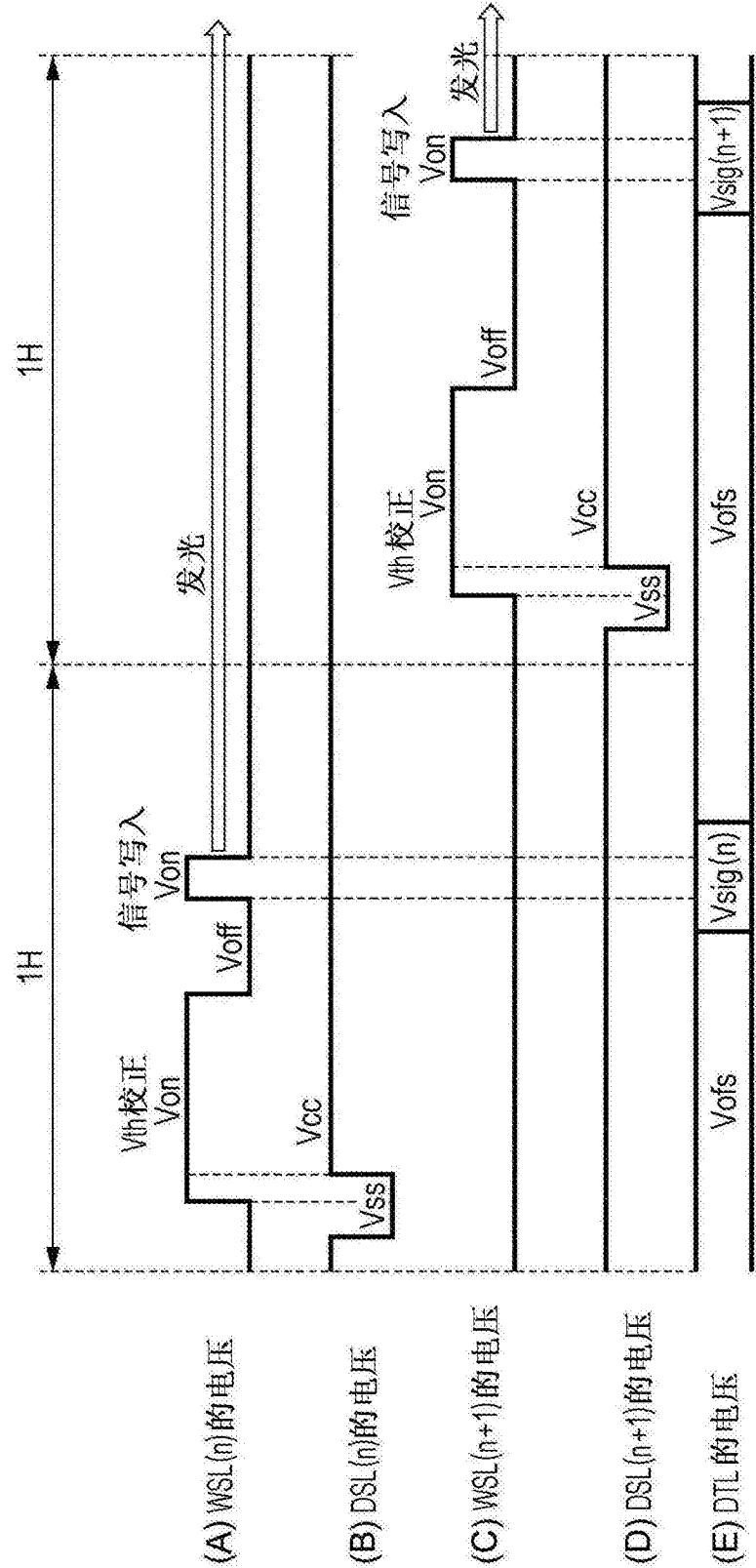


图12

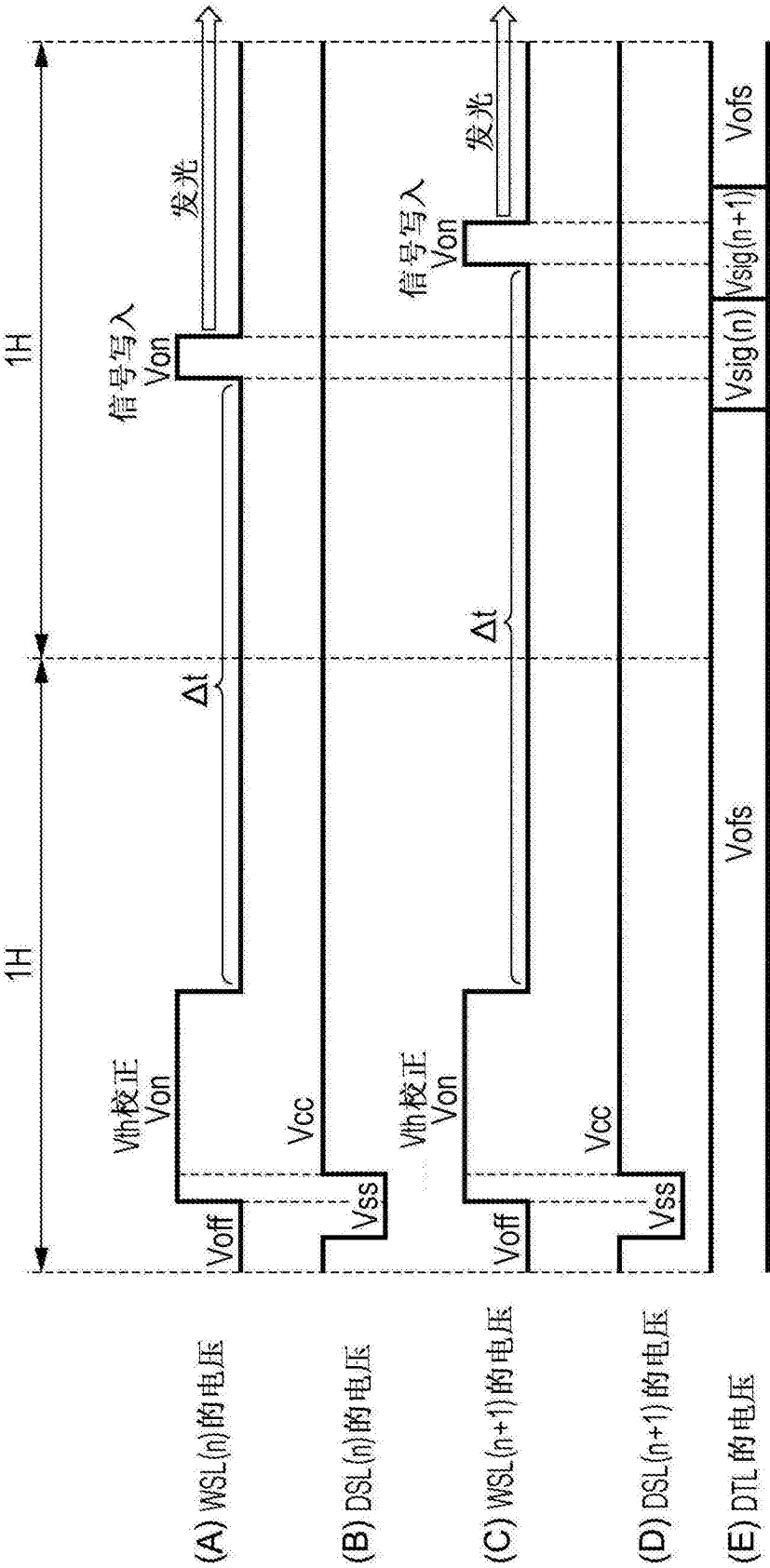


图13

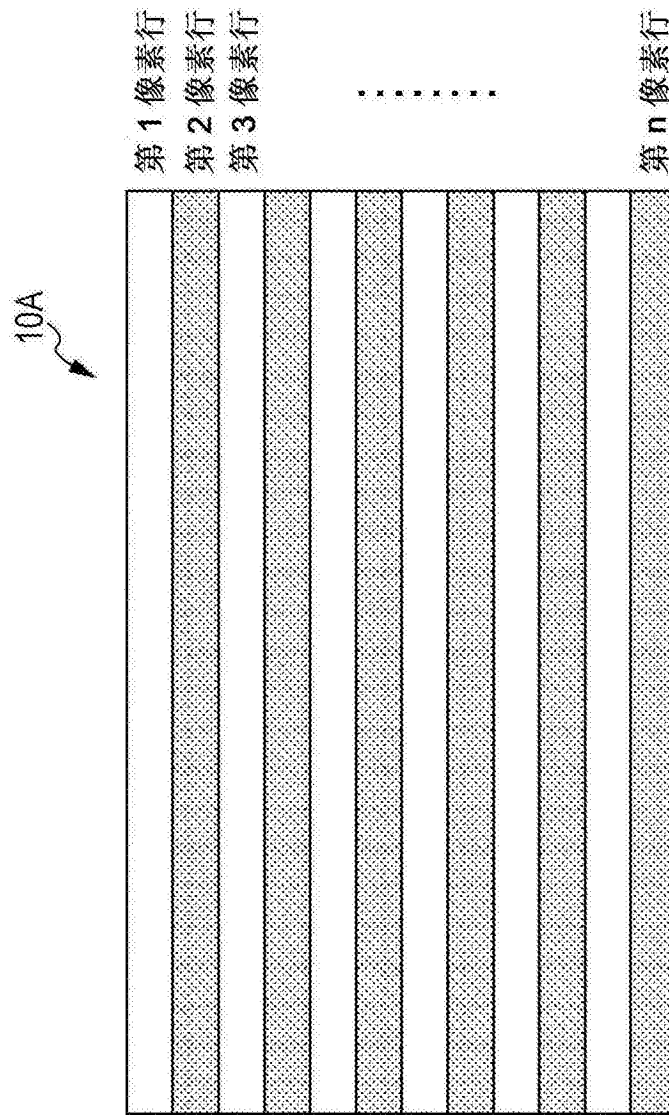


图14

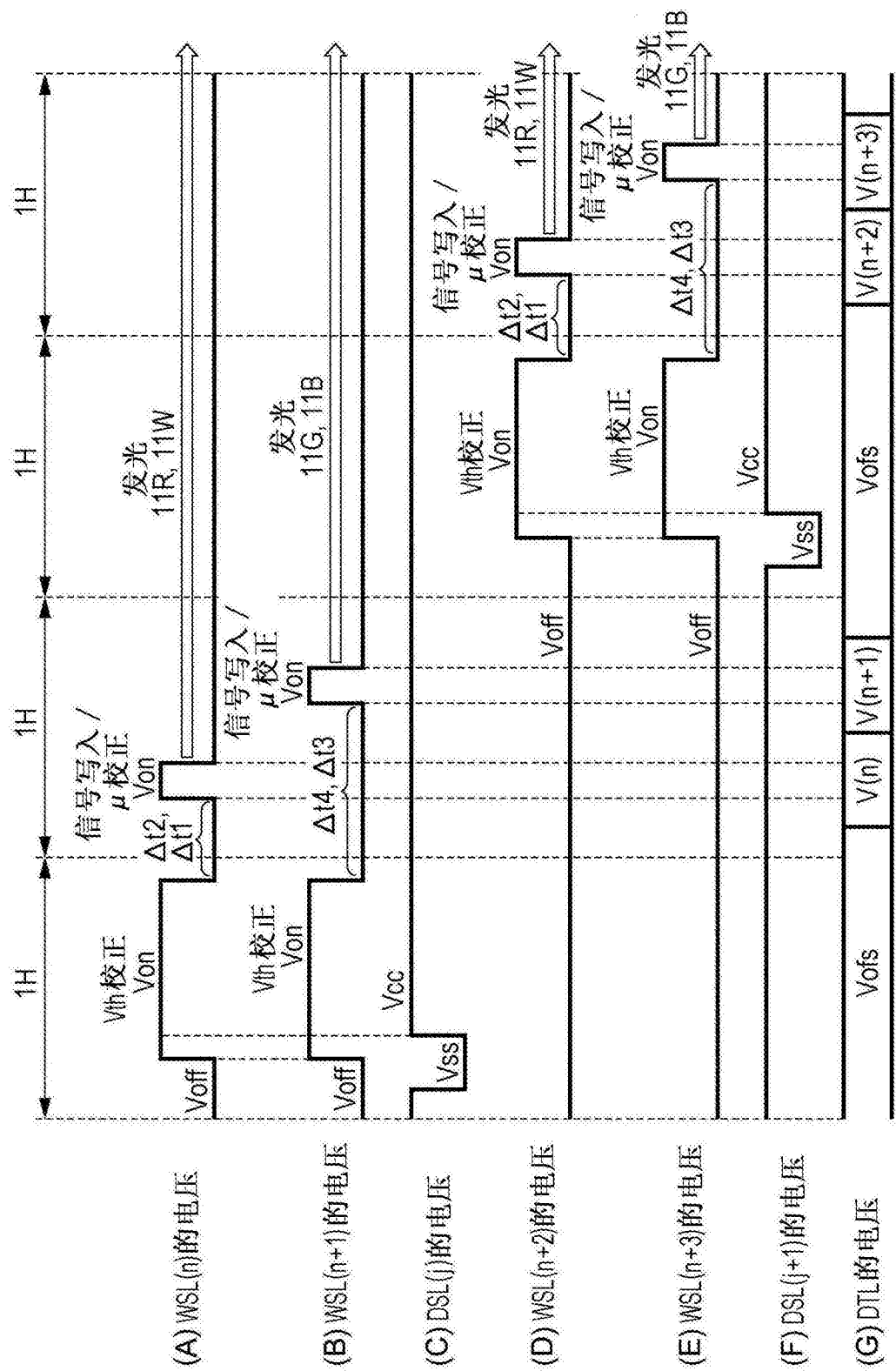


图15

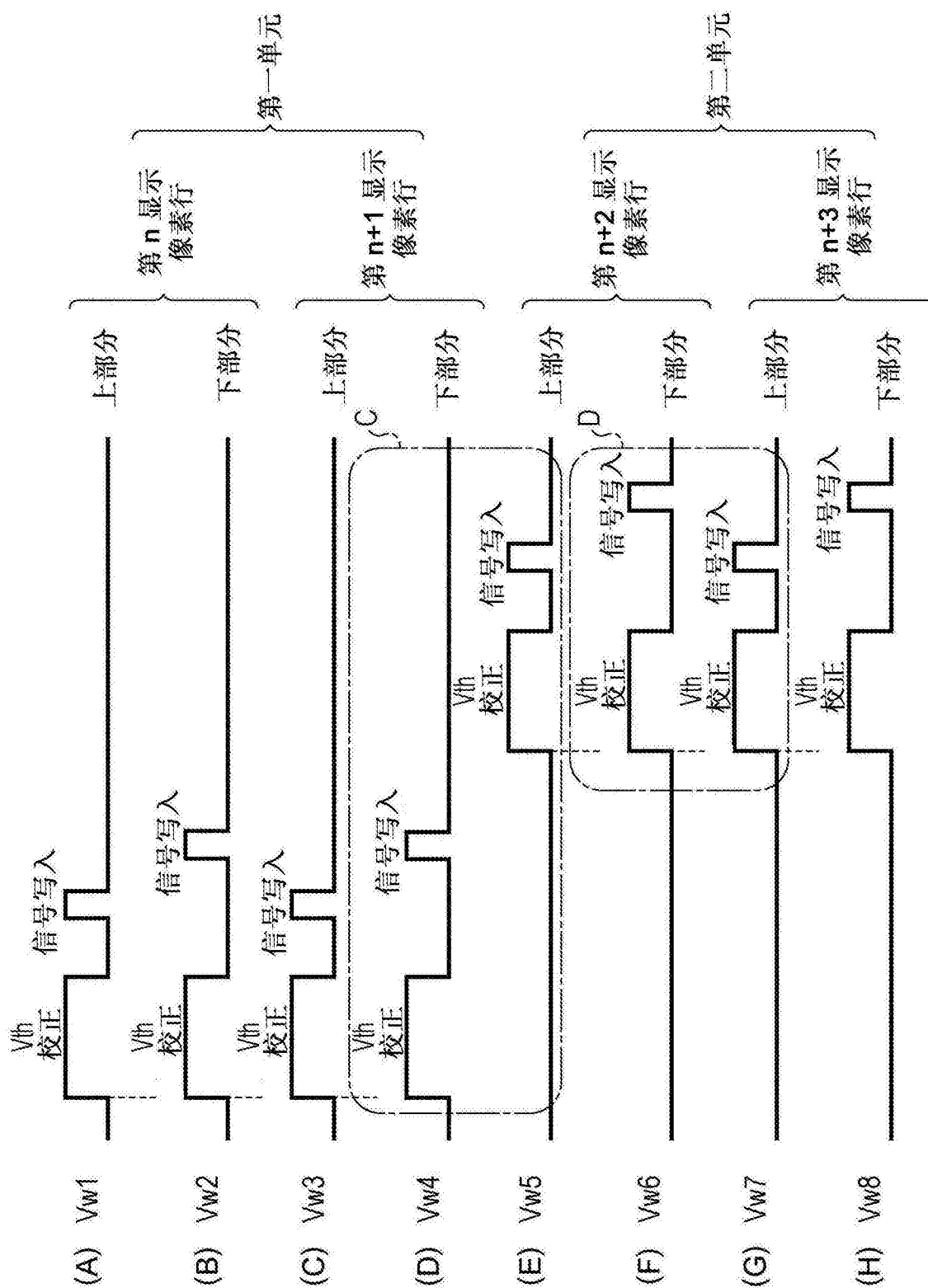


图16

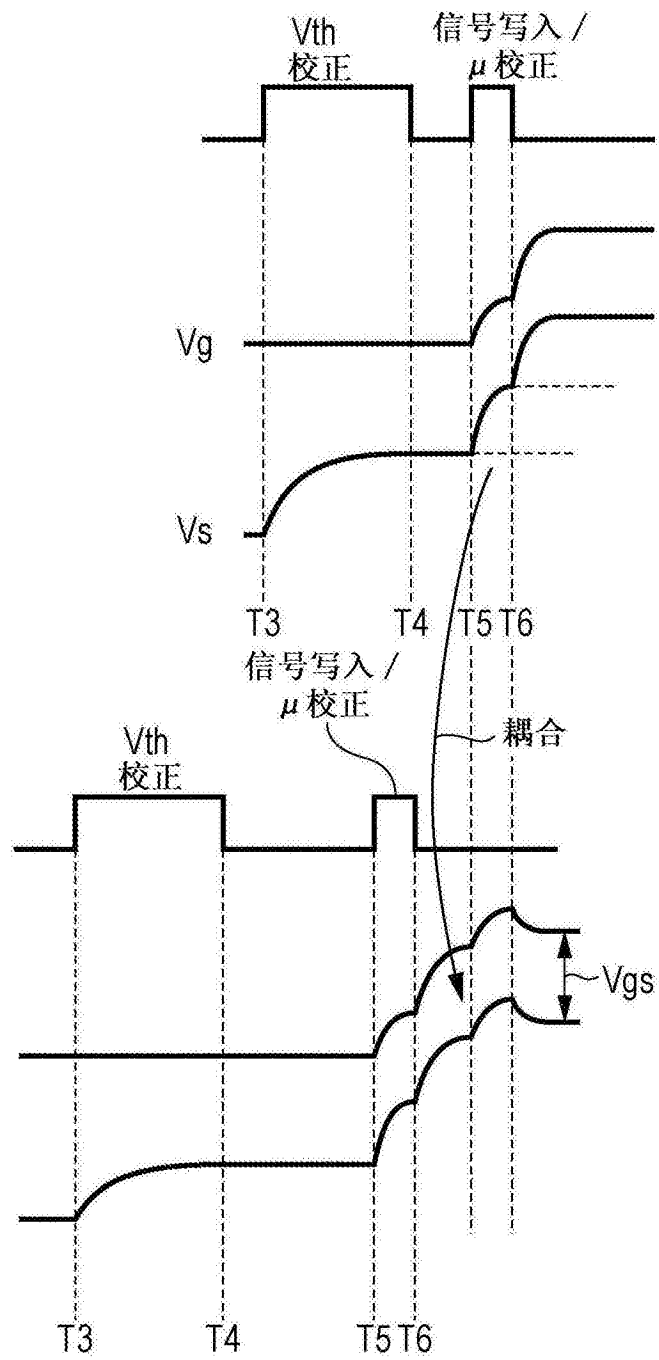


图17

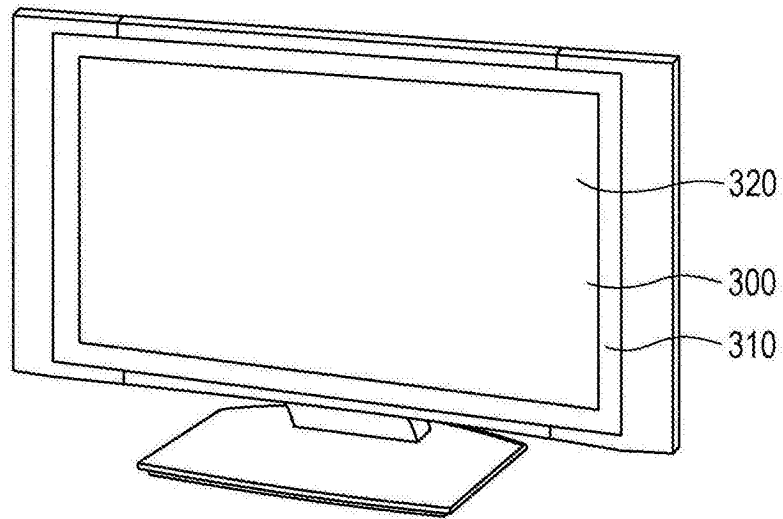


图18

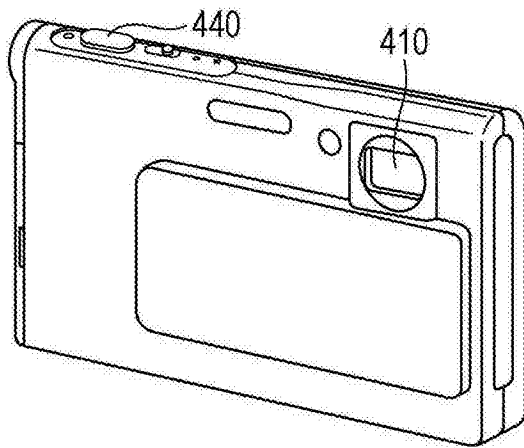


图19A

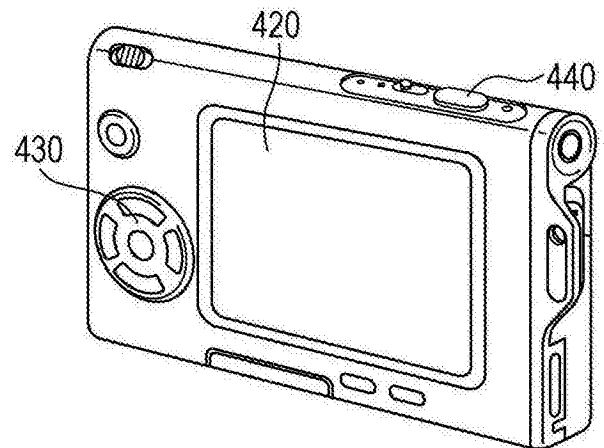


图19B

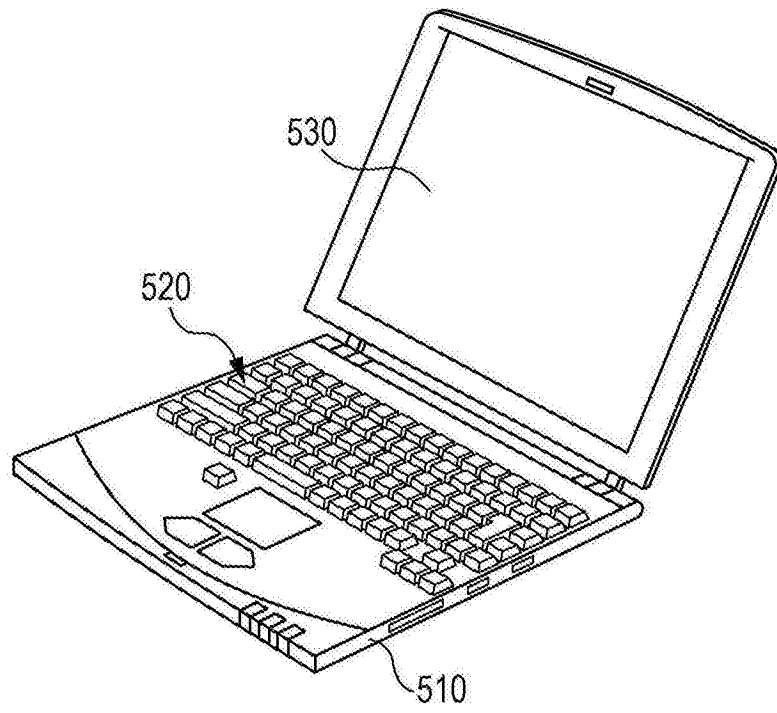


图20

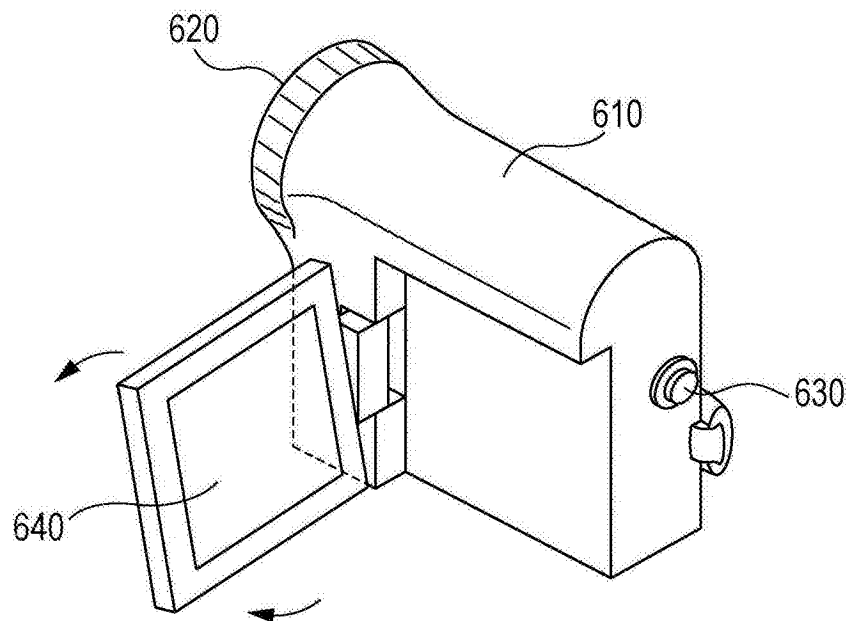


图21

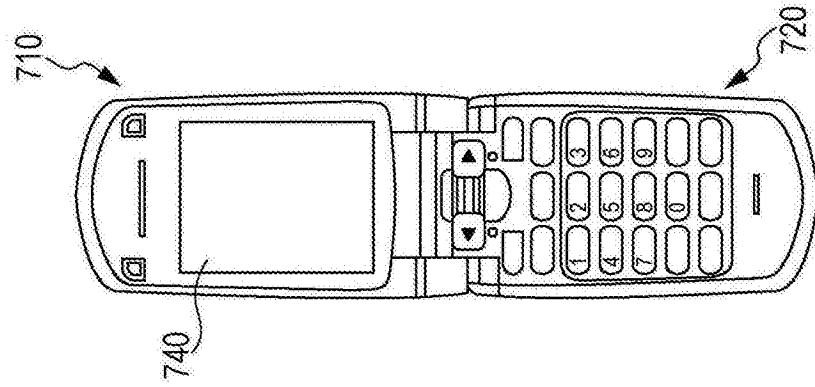


图22A

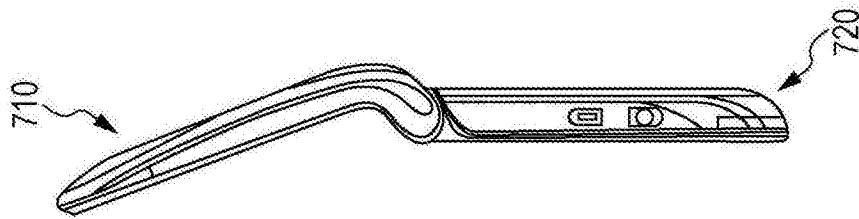


图22B

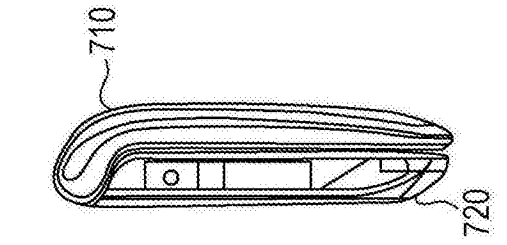


图 22D

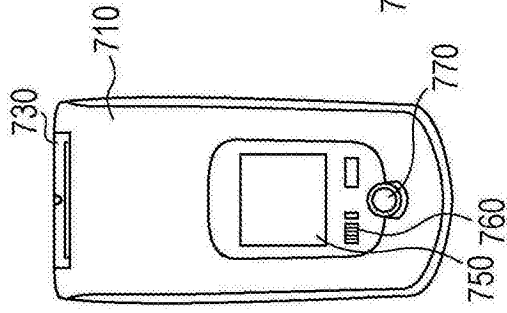


图 22C

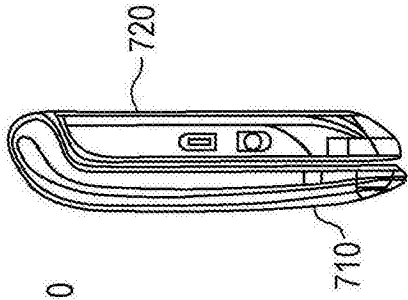


图 22E

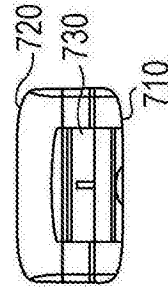


图 22F

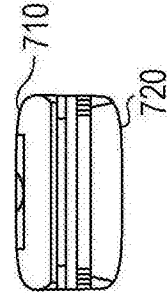


图 22G