

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96136528

※ 申請日期：96.9.29

※IPC 分類：H04B 3/50

(2006.01)

## 一、發明名稱：(中文/英文)

差動對作為單端資料路徑以傳輸低速資料之運用

USE OF DIFFERENTIAL PAIR AS SINGLE-ENDED DATA PATHS TO  
TRANSPORT LOW SPEED DATA

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特希爾美國公司

INTERSIL AMERICAS INC.

代表人：(中文/英文)

道格拉斯 A 貝勒格 / BALOG, DOUGLAS A.

住居所或營業所地址：(中文/英文)

美國 加州 95035 密匹塔斯市 摩菲農場路 1001 號

1001 Murphy Ranch Road, Milpitas, CA 95035, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

## 三、發明人：(共 1 人)

姓名：(中文/英文)

納瑞許 貝里派迪 雪堤

SHETTY, NARESH BELLIPADY

國籍：(中文/英文)

美國 / U.S.A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2006.11.17、11/601,070

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

茲提供用以跨接線對傳送訊號的系統及方法。根據特定實施例，在一時段期間跨該接線對傳送差動訊號，並且在另一時段期間跨相同接線對傳送兩單端訊號。可利用低電壓差動發訊(LVDS)跨該接線對傳送該差動訊號。相對地，可利用非差動發訊跨該相同接線對傳送該等兩單端訊號。

## 六、英文發明摘要：

Provided herein are systems and methods for transmitting signals across a pair of wires. In accordance with specific embodiments, a differential signal is transmitted across the pair of wires during one period of time, and two single-ended signals are transmitted across the same pair of wires during another period of time. Low voltage differential signaling (LVDS) can be used to transmit the differential signal across the pair of wires. In contrast, non-differential signaling can be used to transfer the two single-ended signals across the same pair of wires.

七、指定代表圖：

(一)本案指定代表圖為：第 ( 5 ) 圖。

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明之實施例是有關於高速及低速串列資料訊號兩者的傳輸及接收。本發明之實施例亦為有關於差動及單端訊號兩者的傳輸及接收。

### 【先前技術】

今日，像是影像訊號之高速訊號通常是利用數個單端訊號門，連同時脈來源，以自來源(如主機處理器)發送至接收器(如顯示器驅動器)。然而，隨著資料速率提高，傳統的互補對稱氧化金屬半導體/電晶體電晶體邏輯(complementary metal oxide semiconductor/transistor transistor logic, CMOS/TTL)發訊易於產生電磁干擾(electromagnetic interference, EMI)相關問題。此外，當自來源至接收器的資料量增加時(如隨著顯示器的解析度提高)，從來源至接收器的訊號數量也增多，其導致將更快速且更寬廣的訊號自來源傳送至接收器而增加功率消耗。這並非所樂見，特別是在可攜式裝置。因此，需要減少因將高速訊號自來源發送至接收器而所導致功率消耗。

### 【發明內容】

本發明之實施例是有關於用以跨接線對傳送訊號的系統及方法。根據特定實施例，在一時段期間中跨該接線對傳送差動訊號，並且在另一時段期間中跨相同接線對傳送兩個單端訊號。可利用低電壓差動發訊(low voltage differential signaling, LVDS)以跨該接線對傳送該差動訊

號。相對地，可利用非差動發訊以跨該相同接線對傳送該等兩個單端訊號。該接線對可為如絞線對或導電跡線對，然不限於此等。

本發明之實施例可用以如降低具有主動模式以及睡眠模式或待命模式之行動裝置內功率消耗。根據特定實施例，當裝置在主動模式時執行該 LVDS，並且當該裝置在睡眠或待命模式時使用非差動發訊。換言之，當該裝置在第一模式(如主動模式)時，可利用該接線對作為單一差動對，並且當該裝置在第二模式(如睡眠或待命模式)時，可利用該相同接線對以作為兩條個別的串列線路(如 I2C (Inter-Integrated Circuit, 內部積體電路) 類型 SDA (serial data, 串列資料) 及 SCL (serial clock, 串列時脈) 線路)。

根據本發明之特定實施例，系統包含傳送器，其具有輸出對；以及接收器，其具有輸入對。該傳送器的輸出對係經態設定以藉由接線對而連接至該接收器的輸入對。當在第一模式(如主動模式)時，該傳送器在兩個輸出處輸出差動訊號，以跨該等兩條接線傳送至該接收器的兩個輸入。相對地，當該傳送器在第二模式(如睡眠或待命模式)時，該傳送器輸出兩個單端訊號，兩個輸出各者處各一，以跨相同的兩條接線傳送至該接收器的兩個輸入。

根據特定實施例，該接收器亦可在該第一模式及該第二模式。當該接收器在該第一模式時，該接收器可將其兩個輸入處所收到的訊號當作差動訊號；而當該接收器在該第二模式時，該接收器可將其兩個輸入處所收到的訊號當

作單端訊號。

根據特定實施例，該傳送器及該接收器各者包含開關對，其係用以指定是否跨該接線對如差動訊號之嵌入局部，或者跨相同接線對如兩個個別單端訊號，以傳送 I2C 訊號。

以下提出詳細說明、圖式及申請專利範圍將使本發明的進一步實施例、特性、觀點與優勢變得顯而易見。

### 【實施方式】

各種訊號需自來源發送至接收器，如在當該來源為主機處理器而該接收器係顯示器驅動器時。此等訊號可包含 RGB 訊號、水平及垂直同步訊號(HSYNC 及 VSYNC)、處理器時脈訊號(PCLKIN)、資料啟動訊號(DATAEN)及重置/斷電訊號(RESET/PWRDN)。同時，亦可需要發送額外的低速控制訊號，像是內部積體電路(I2C)訊號。此者之範例顯示於圖 1，如後所述。

圖 1 顯示傳送器 112 及接收器 132，其係用以將影像訊號自主機處理器 102 (又僅稱為主機)發送至顯示器驅動器 152。該顯示器驅動器 152 可包含行及列驅動器，其驅動顯示器(未圖示)，像是行動電話、相機或其他行動裝置的液晶顯示器(liquid crystal display, LCD)。

該傳送器 112 係經顯示為包含輸入門 114、串列器 116、輸出級 118 以及時序、控制與鎖相迴路(phase locked loop, PLL)區塊 120。該接收器 132 係經顯示為包含輸入級 138、解串列器 136、輸出門 134 以及時脈與資料復原(clock and

data recovery, CDR)及控制區塊 140。

該主機係經顯示為將 RGB、RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN 訊號提供至該傳送器 112，因此該傳送器 112 可將此等訊號或是其他表示該等訊號的訊號發送至該接收器 132。此外，較低速度的 I2C 訊號，包含串列時脈(SCL)及串列資料(SDA)訊號係經提供至該傳送器 112，用於發送至該接收器 132。該等 SCL 及 SDA 訊號係經顯示為由微控制器 104 所產生，其與該主機 102 通訊，然可由該主機 102 或一些其他的元件所產生作為替代。進一步的微控制器 154 係經顯示為接收該等 SCL 及 SDA 訊號，然可將此等訊號提供至該顯示器驅動器 152 或一些其他的元件作為替代。

接線對 130 將該傳送器 112 的輸出級 118 連接至該接收器 132 的輸入級 138。該串列器 116 及該輸出級 118，連同該輸入級 138 及該解串列器 136，啟動運用以低電壓差動發訊(LVDS)為基礎之串列化及解串列化(SERDES)方案，以快速且高功率效率的方式，該方式避免 EMI 問題，跨該接線對 130 上發送資料。此外，CDR 電路 140 用以消除在個別接線上傳送個別時脈訊號的需要。

該串列器 116 將透過該輸入門 114 所收到的平行 RGB 位元轉換成串列訊號。此外，該串列器 116 將該等 RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN 訊號，或代表該等之訊號，嵌入至該串列訊號。同樣地，在圖 1 所示的實施例裡，該串列器 116 亦將該等 SCL 及 SDA



訊號，或代表該等之訊號，嵌入至該串列訊號。該串列器利用時間多工方案將各種訊號嵌入至該串列訊號。

為提供低功率及高速通訊，利用低電壓差動發訊(LVDS)將該等串列資料訊號自該傳送器 112 發送至該接收器 132。為達此，該輸出級 118 可按眾知方式，將由該串列器 116 所輸出的單端串列資料訊號轉換成具有低電壓擺動的差動訊號。除提供低功率及高速通訊以外，此傳輸方案提供良好的共同模式拒絕及雜訊抗擾。由於其操作，該輸出級 118 亦可稱為 LVDS 傳送器 118。LVDS 提供按 GHz 之範圍，或至少為 MHz 範圍的傳輸。相對地，I2C 提供按 100 - 400 KHz 之範圍的傳輸。

高速差動訊號係跨該接線對 130 自該傳送器 112 發送至該接收器 132。此等接線 130 可為絞線對，然非必要。此外，由於在此所使用之詞彙「接線」係指導電訊號路徑，該接線對 130 可為導電跡線對。

該輸入級 138 將跨該接線對 130 所接收之 LVDS 差動訊號轉換成單端串列數位訊號。由於其操作，該輸入級 138 又可稱為 LVDS 接收器。該解串列器 136 自該輸入級 138 的輸出接收該單端串列訊號，並且將平行 RGB 位元提供至該輸出門 134。該解串列器 136 又將該等 RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN 訊號，或代表該等之訊號，提供至該 CDR 與控制區塊 140。該 CDR 與控制區塊 140 復原該(等)時脈訊號，並且將該等 RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN

訊號提供至該顯示器驅動器 152。此外，在本實施例裡，該解串列器 136 解嵌入該等 SCL 及 SDA 訊號，或代表該等之訊號，同時該 CDR 與控制區塊 140 將該等訊號提供至該微控制器 154，或是提供至該顯示器驅動器 152 或一些其他的元件。該解串列器 136 利用時間解多工以區分出由該串列器 116 合併成串列訊號的所有各種訊號。

假設圖 1 所示之元件係在行動裝置內，像是行動電話或相機，該裝置可能大部分(如 80%)的時間是在睡眠模式或待命模式，以保留該裝置的電池壽命。當於睡眠或待命模式時，最好是有盡可能多的元件是非主動，因此其不汲取功率。例如，當該傳送器 112 在睡眠或待命模式時，可希望所有牽涉到高速通訊的元件為非主動，包含該輸入門 114、該串列器 116、該 LVDS 傳送器 118 以及該時序、控制與 PLL 區塊 120 (在圖式中皆按粗線所示)。然而，即使是在睡眠模式期間，亦經常有需要將低速資料訊號，像是該等 I2C 訊號(SCL 及 SDA)，如自該微控制器 104 發送至該微控制器 154。為此理由，圖 1 之實施例並非高功率效率，因為至少仍需對該傳送器的時序、控制與 PLL 區塊 120、序列器 116、該傳送器的輸出級 118、輸入級 138、解串列器 136 和接收器的 CDR 與控制區塊 140 供電，讓低速(如 SCL 及 SDA)線路能夠被傳送。這可導致按 25 MHz 運行電路來傳送 100 KHz 控制訊號，其非有效率方案。

如圖 2 所示，一避免前述之功率無效率問題的方式為在該傳送器 112 與該接收器 132 之間提供兩條額外接線

230，而該等額外接線 230 係專屬於傳送低速(如 I2C)訊號。然而，此非較佳，因為希望不增加元件間之接線的數量。本發明之實施例，如後文中關於圖 3 所述者，提供不增加該傳送器 112 與該接收器 132 間之接線的數量的較有說服力的解決方式。

參照圖 3，開關對 326 係經增加於該傳送器 112 內，並且開關對 346 係經增加於該接收器 132 內，後文中將說明原因。替代地而非較佳地，此開關 326 及 346 可位在該傳送器 112 及該接收器 132 的外部。根據實施例，該等開關 326 及 346 為利用電晶體所實作的類比開關。

根據實施例，當有需要在該傳送器 112 與該接收器 132 間發送高速訊號時，如當該主機正將高速 RGB、RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN 訊號如嵌入 LVDS 訊號提供至該傳送器 112 時，該等開關 326 及 346 為打開(即斷)。當該等開關 326 及 346 為打開(即斷)時，低速控制訊號(如 SCL 及 SDA)亦由該傳送器 112 嵌入至跨該接線對 130 上所發送的 LVDS 訊號，並且該接收器 132 可按前文關於圖 1 所述者相同的方式將此等低速控制訊號解嵌入。然而，當不需要在該傳送器 112 與該接收器 132 之間發送高速訊號時，如當該主機並未將 RGB、RESET/PWRDN、HSYNC、VSYNC、DATAEN 及 PCLKIN 訊號提供至該傳送器 112 時，該等開關 326 及 346 為關閉(即通)。此外，當不需要在該傳送器 112 與該接收器 132 之間發送高速訊號時，可將該傳送器 112 及該接收器 132 設置

在睡眠或待命模式，允許所有(或至少一些)牽涉到高速通訊的元件(按粗線所繪)為非主動。在該傳送器 112 裡，可在睡眠或待命模式期間為非主動(並因此通常僅耗用電晶體漏洩功率)的元件包含該輸入門 114、該串列器 116、該輸出級 118 及該時序、控制與 PLL 區塊 120。該主機亦可為非主動，或至少在較低功率模式。在該接收器 132 裡，可在睡眠或待命模式期間為非主動的元件包含該輸入級 138、該解串列器 136、該輸出門 134 及該 CDR 與控制區塊 140。

可利用在該傳送器 112 內的模式控制器 322 以及在該接收器 132 內之模式控制器 342 偵測何時該傳送器 112 及該接收器 132 在睡眠或待命模式為適當，如相反於主動模式。由於通常在此所使用之詞彙「睡眠」及「待命」係用以識別省電模式，其中某些元件係完全或至少部份地為非主動。然而，應注意到亦有可能有大於一的可選擇省電模式，如其中一模式較另一者節省更多的功率。

有多種方式讓該模式控制器 322 及 342 可決定何時令該傳送器 112 及該接收器 132 進入睡眠或待命模式，或更廣義地說，進入降低功率模式。例如，該模式控制器 322 可監視該 PCLKIN 訊號，並且該模式控制器 342 可監視該 PCLKOUT 訊號，如圖 3 所示。按此方式，當該模式控制器 322 並未偵測到該 PCLKIN 訊號時(如對於至少指定時段)，該模式控制器 322 可令該傳送器 112 進入睡眠或待命模式。同樣地，當該模式控制器 342 並未偵測到該 PCLKOUT

訊號時(如對於至少一指定時段)，該模式控制器 342 可令該接收器 132 進入睡眠或待命模式。也可能是監視替代訊號，像是 DATAEN 訊號，以決定何時在睡眠或待命模式與主動模式之間切換。換言之，該等模式控制器 322 及 342 可監視出現或缺少訊號，以知曉何時該傳送器 112 及該接收器 132 應在睡眠/待命模式或主動模式。

如圖 3 所示，該模式控制器 322 亦可用以控制該開關 326，並且該模式控制器 342 亦可用以控制該開關 346。更詳細地說，根據本發明之實施例，該模式控制器 322 在當該模式控制器 322 令該傳送器 112 進入睡眠或待命模式時關閉(即通)該開關對 326，並且在當該模式控制器 322 令該傳送器 112 返回到主動模式時開啟(亦斷)該開關對 326。同樣地，該模式控制器 342 在當該模式控制器 342 令該接收器 132 進入睡眠或待命模式時關閉(即通)該開關對 346，並且在當該模式控制器 342 令該接收器 132 返回到主動模式時打開(亦斷)該開關對 346。該模式控制器 322 及 342 可為簡單狀態機或類似者，如一般技藝人士將察知。

當該等開關 326 及 346 為關閉(即通)時，當該傳送器 112 及該接收器 132 在主動模式時透過用於高速低電壓差動發訊(LVDS)的相同接線對 130，將低速訊號(如 SCL 及 SDA)自該傳送器 112 傳送至該接收器 132。然而，當該接線對 130 係用於高速 LVDS (並且該等開關 326 及 346 為打開)時，利用該接線對作為差動對。相對地，當該等開關 326 及 346 為關閉(亦通)時，該接線對 130 是用以傳送低速訊

號，而該接線對係用來作為兩個別的單端串列線路，如一者傳送 SCL 訊號，而另一者傳送 SDA 訊號。

如圖 3 所示，提供緩衝器 124 及 144 以啟動低速資料的雙向性、阻抗匹配及電路隔離。

圖 4 高階流程圖可用於概括本發明的特定實施例，其可用以如降低具有第一模式(如主動模式)及第二模式(如睡眠或待命模式)之行動裝置的功率消耗。參照圖 4，在步驟 402，當該裝置在該第一模式(如主動模式)時，利用低電壓差動發訊(LVDS)跨接線對(如 130)傳送第一類型資訊(如高速資料及時脈)及第二類型資訊(如低速 I2C 資料及時脈)兩者。相對地，如步驟 404 所示，當該裝置在第二模式(如睡眠或待命模式)時，利用非差動發訊跨相同接線對(如 130)傳送該第二類型資訊(如低速 I2C 資料及時脈)，而非第一類型資訊(如高速資料及時脈)。

根據該特定實施例，在步驟 402，當該裝置在該第一模式(如主動模式)時，利用該接線對(如 130)作為單一差動對。而相對地，在步驟 404，當該裝置在該第二模式(如睡眠或待命模式)時，該接線對(如 130)是用來作為兩個別的單端串列線路。

圖 5 係高階流程圖，其亦概括本發明之特定實施例。如圖 5 所示，在步驟 502，在時段期間跨接線對傳送差動訊號；並且在步驟 504，在另一時段期間跨相同接線對傳送兩單端訊號。如前述，可利用低電壓差動發訊(LVDS)跨該接線對傳送該差動訊號；並且可跨相同接線對利用非差

動發訊傳送該兩單端訊號。如前述，該接線對可為絞線對或導電跡線對，然不限於此。在特定實施例裡，可在當裝置在主動模式時執行步驟 502；並且可在當裝置在睡眠或待命模式時執行步驟 504。

在圖 3 裡，該傳送器 112 係經顯示如關聯於將影像及控制訊號傳送至接收器 132 的主機處理器 102，而此接收器係經顯示如關聯於顯示器驅動器 152。然此環境僅為可運用本發明之實施例的一示範性環境。一般技藝人士將自前述說明而瞭解本發明實施例可運用於其他希望將接線對運用於高速差動發訊及低速單端發訊兩者的環境。而在兩種類型之發訊間切換的原因可如前述般降低功率消耗。然可有其他可希望的理由。

在圖 3 裡，該傳送器 112 係經顯示如與該接收器 132 通訊。雖未在圖 3 特定繪示，然該傳送器 112 可為收發器的部份。同樣地，該接收器 132 可為另一收發器的部份。其範例如圖 6 中所示。雖未繪示，然該收發器 612 將可能亦包含類似於該 140 的 CDR 與控制區塊；而該收發器 632 將可能亦包含類似於該區塊 120 的傳送時序、控制與 PLL 區塊。並且，雖未在圖 6 中特定繪示，然該等許多訊號可為雙向性，其中使用到收發器。在所示實施例裡，該等收發器提供該等 SCL 及 SDA 訊號的半雙工通訊。

亦可能各生發器包含能夠進行全雙工操作的串列器/解串列器 (SerDes)，意思是可同時地在兩個方向上進行資料轉換。在此實施例裡，各收發器不需要包含個別的串列器

及解串列器。

前揭說明係為本發明之較佳實施例。該等實施例已提供說明及描述之目的，然非意圖為徹底的或將本發明限制於所揭示的精確形式。熟諳本項技藝之從業者將顯知眾多修改及變化。該等實施例係經選定且描述俾以最佳地說明本發明原理及其實際應用，藉此讓其他熟諳本項技藝之人士能夠瞭解本發明。本發明範疇欲由後載申請專利範圍及其等效者所定義。

#### 【圖式簡單說明】

圖 1 係高階方塊圖，其可用於解釋用以在傳送器與接收器之間傳送高速及低速訊號兩者的一方案。

圖 2 係高階方塊圖，其可用於解釋用以在傳送器與接收器之間傳送高速及低速訊號兩者的替代性方案。圖 2 方案相較於圖 1 方案提供較低功率消耗，然在傳送器與接收器之間需要較多的接線。

圖 3 係高階方塊圖，其可用於解釋本發明實施例，其可用以減少耗電而無須增加傳送器與接收器之間的接線數量。

圖 4 及 5 係可用於概括本發明之特定實施例的高階流程圖。

圖 6 係高階方塊圖，其說明圖 3 的傳送器及接收器可如何地成為收發器之局部。

#### 【主要元件符號說明】

102 主機處理器



104	微控制器
112	傳送器
114	輸入門
116	串列器
118	輸出級
114'	輸入門
116'	串列器
118'	輸出級
120	時序、控制與鎖相迴路(PLL)區塊
124	緩衝器
130	接線對
132	接收器
134	輸出門
136	解串列器
138	輸入級
134'	輸出門
136'	解串列器
138'	輸入級
140	時脈與資料復原(CDR)及控制區塊
144	緩衝器
152	顯示器驅動器
154	微控制器
322	模式控制器
326	開關對

342	模式控制器
346	開關對
612	收發器
632	收發器

## 十、申請專利範圍：

1. 一種用以跨接線對傳送訊號的方法，其中包含：

(a) 當裝置在主動模式的時段期間跨該接線對傳送差動訊號，跨該接線對所傳送的該等差動訊號包含高速影像訊號，且跨該接線對所傳送的該等差動訊號也包含與該等高速影像訊號一起嵌入的低速串列時脈(SCL)及串列資料(SDA)訊號；以及

(b) 當裝置在睡眠或待命模式的另一時段期間跨相同接線對傳送兩單端訊號，該等兩單端訊號都不包含該等高速影像訊號，跨該接線對其中一接線所傳送的該等兩單端訊號的其中一者包含該低速串列時脈(SCL)訊號，且跨該接線對中另外一接線所傳送的該等兩單端訊號中的另外一者包含該低速串列資料(SDA)訊號。

2. 如申請專利範圍第 1 項之方法，其中：

步驟(a)包含利用低電壓差動發訊(low voltage differential signaling, LVDS)以跨該接線對傳送該差動訊號；以及

步驟(b)包含利用非差動發訊以跨該相同接線對傳送該等兩單端訊號。

3. 如申請專利範圍第 1 項之方法，其中該接線對包含絞線對。

4. 如申請專利範圍第 1 項之方法，其中該接線對包含導電跡線對。

5. 如申請專利範圍第 1 項之方法，其中該睡眠或待命模

式相較於該主動模式係降低功率模式。

6.如申請專利範圍第1項之方法，進一步包括：

當該裝置在睡眠或待命模式的時候，禁能用於跨該接線對傳送差動訊號的至少某些電路系統，從而降低功率消耗。

7.一種用以降低具第一模式以及第二模式之電池供電行動裝置的功率消耗之方法，該方法包含：

(a)當該裝置在該第一模式時，利用低電壓差動發訊(LVDS)以跨接線對傳送高速影像訊號以及與該等高速影像訊號一起嵌入的低速串列時脈(SCL)及串列資料(SDA)訊號；以及

(b)當該裝置在該第二模式時，利用非差動發訊以跨該相同接線對傳送該低速串列時脈(SCL)訊號及該低速串列資料(SDA)訊號，而非該等高速影像訊號；

其中當該裝置在該第二模式時，該低速串列時脈(SCL)訊號利用跨該接線對其中一接線的非差動發訊而加以傳送，且該低速串列資料(SDA)訊號利用跨該接線對中另外一接線的非差動發訊而加以傳送。

8.如申請專利範圍第7項之方法，其中：

步驟(a)包含當該裝置在該第一模式時，利用該接線對作為單一差動對；以及

步驟(b)包含當該裝置在該第二模式時，利用該接線對作為兩串列線路。

9.如申請專利範圍第7項之方法，其中：

該第一模式係主動模式；以及

該第二模式係睡眠或待命模式。

10.如申請專利範圍第 7 項之方法，其中第二模式相較於該第一模式係降低功率模式。

11.如申請專利範圍第 7 項之方法，其中：

該等高速影像訊號按至少 1MHz 的第一速度來傳送；以及

該等低速串列時脈(SCL)及串列資料(SDA)訊號按低於該第一速度的速度來傳送，該低於該第一速度的速度不超過 400KHz。

12.一種用以跨接線對傳送訊號的系統，其中包含：

傳送器，配置以傳送高速影像訊號和低速串列時脈(SCL)及串列資料(SDA)訊號，該傳送器包含輸出對；以及接收器，其包含輸入對；

其中該傳送器的輸出對係經組態以藉由接線對連接至該接收器的該輸入對；

其中當在第一模式時，該傳送器在兩輸出處輸出差動訊號，以跨該等兩接線傳送至該接收器的兩輸入，該差動訊號包含該等高速影像訊號和與該等高速影像訊號一起嵌入的該等低速串列時脈(SCL)及串列資料(SDA)訊號；以及

其中當在第二模式時，該傳送器輸出兩單端訊號，兩輸出各者處各一單端訊號，以跨相同的兩接線傳送至該接收器的兩輸入，該等兩單端訊號的其中一者包含該低速串列時脈(SCL)訊號，該等兩單端訊號中的另外一者包含該低

速串列資料(SDA)訊號，且該等兩單端訊號都不包含該等高  
速影像訊號。

13.如申請專利範圍第 12 項之系統，其中：

在任何給定的時間下，該接收器可在該第一模式及該  
第二模式其中一者之中；

當該接收器在該第一模式時，該接收器將在其兩個輸  
入處所收到的訊號當作差動訊號；以及

當該接收器在該第二模式時，該接收器將在其兩個輸  
入處所收到的訊號當作兩單端訊號。

14.如申請專利範圍第 12 項之系統，其中：

該第一模式係主動模式；以及

該第二模式係睡眠或待命模式。

15.如申請專利範圍第 12 項之系統，其中第二模式相較  
於該第一模式係降低功率模式。

16.如申請專利範圍第 12 項之系統，其中該傳送器包含  
開關對，其使該低速串列時脈(SCL)訊號及該低速串列資料  
(SDA)訊號跨該接線對傳送為該等差動訊號之嵌入局部，或  
者是跨相同接線對傳送為兩個別單端訊號。

17.如申請專利範圍第 12 項之系統，其中：

該傳送器包含串列器及輸出級，其根據該串列器之輸  
出產生該等差動訊號；以及

該接收器包含輸入級，其根據在該接收器之兩輸入處  
所收到的該等差動訊號以產生單端訊號，以及解串列器，  
其接收該輸入級之輸出。

18.如申請專利範圍第12項之系統，其中：

該傳送器為該系統的第一收發器之部分；以及

該接收器為該系統的第二收發器之部分。

19.一種用以跨接線對傳送訊號的系統，其中包含：

用以當該系統在主動模式的時段期間跨該接線對傳送差動訊號的裝置，該等差動訊號包含高速影像訊號以及與該等高速影像訊號一起嵌入的低速串列時脈(SCL)及串列資料(SDA)訊號；以及

用以當該系統在睡眠或待命模式的另一時段期間跨該相同接線對傳送兩單端訊號的裝置，該等兩單端訊號都不包含該等高速影像訊號，該等兩單端訊號的其中一者包含該低速串列時脈(SCL)訊號，且該等兩單端訊號中的另外一者包含該低速串列資料(SDA)訊號。

20.如申請專利範圍第19項之系統，其中當該系統在睡眠或待命模式的時候，禁能用於跨該接線對傳送差動訊號的至少某些電路系統，從而降低功率消耗。

## 十一、圖式：

如次頁

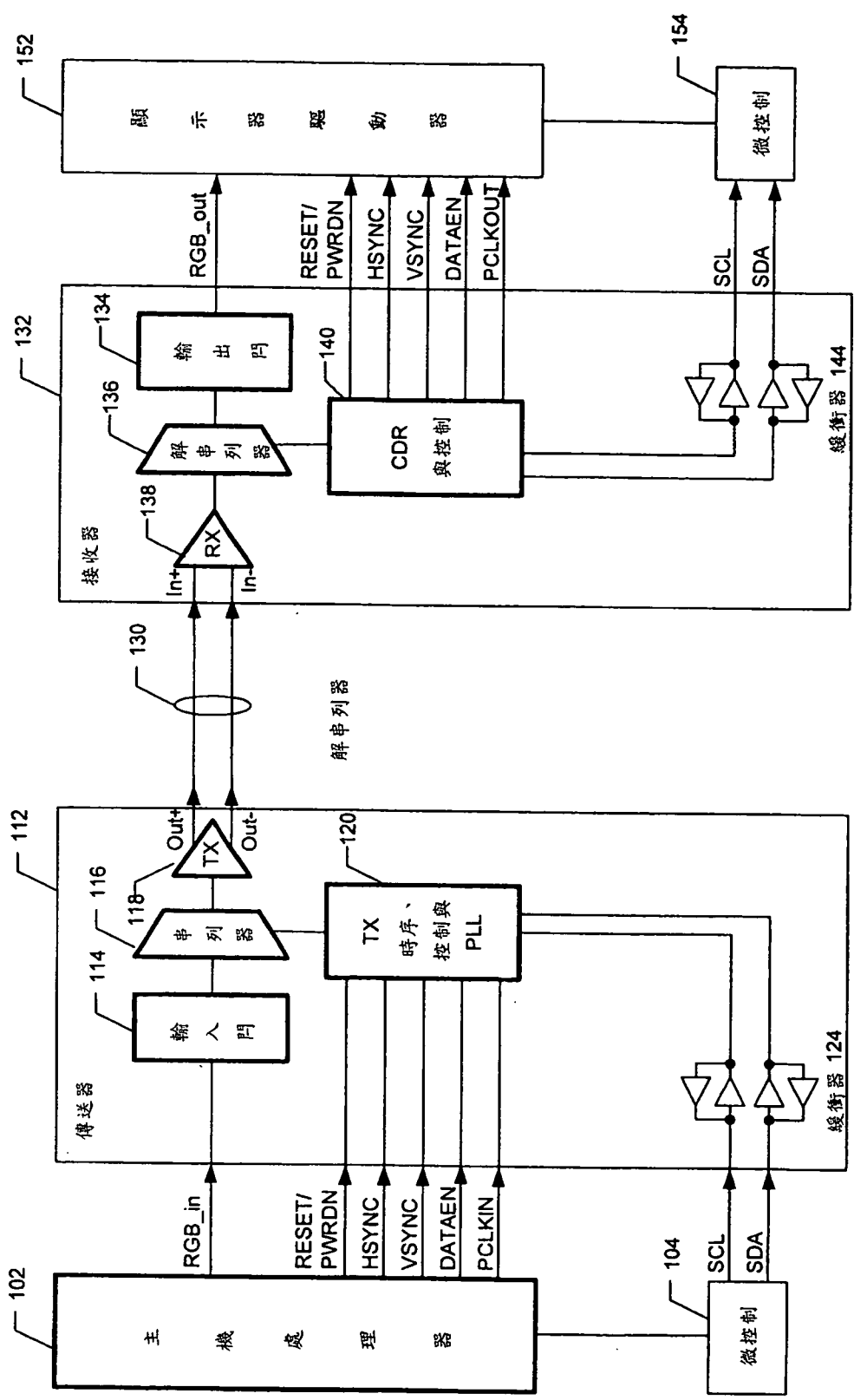


圖 1



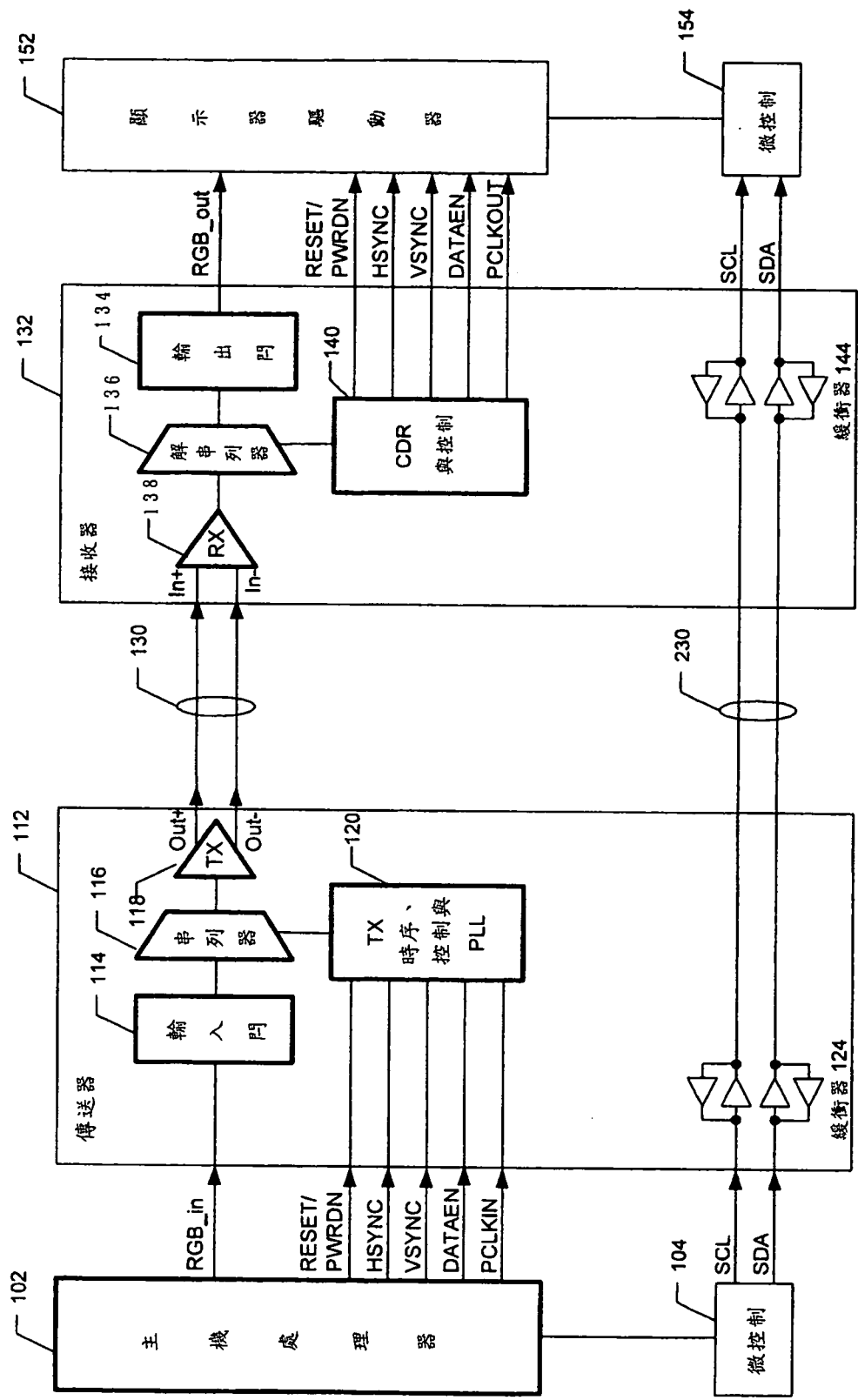


圖 2

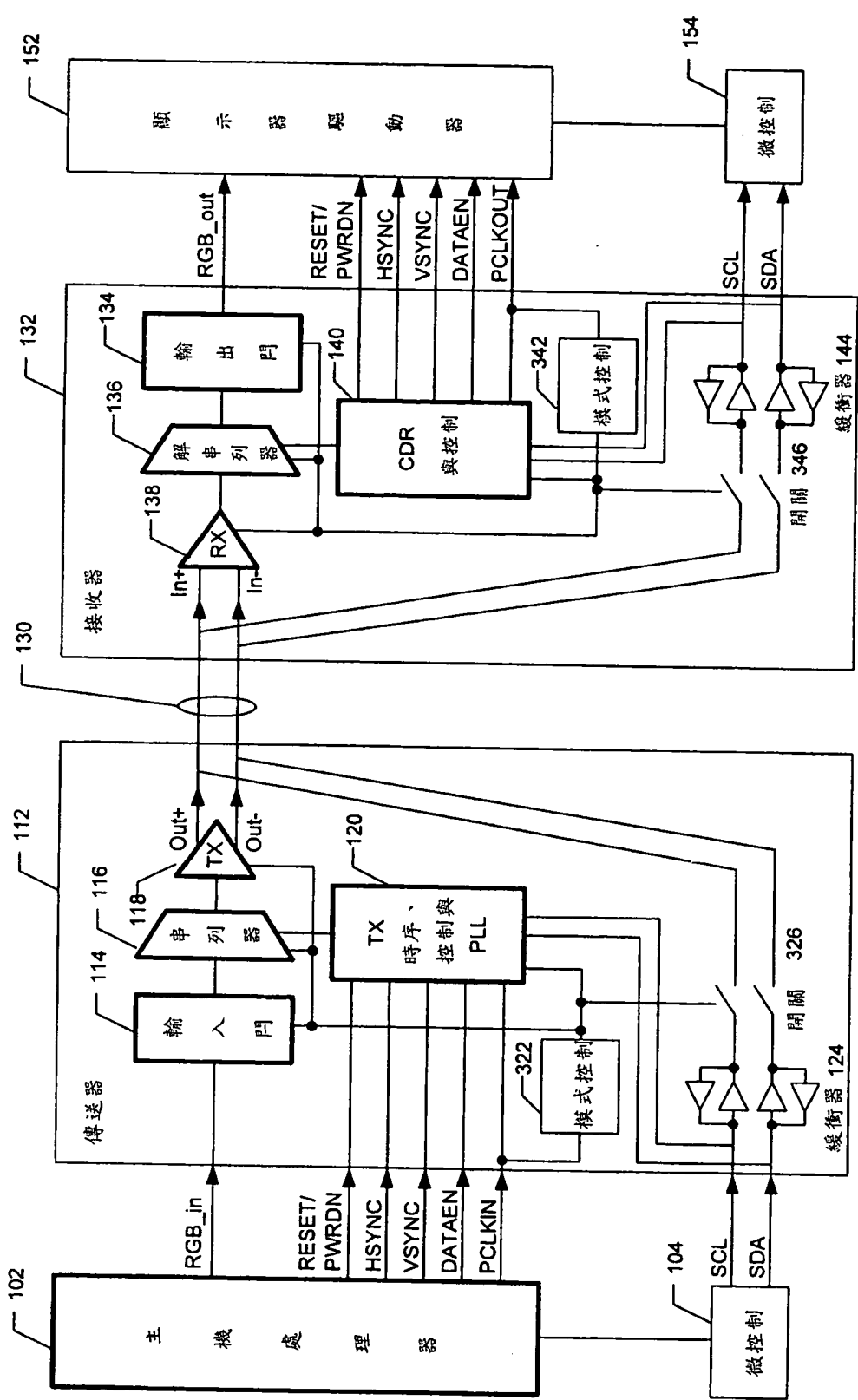


圖 3

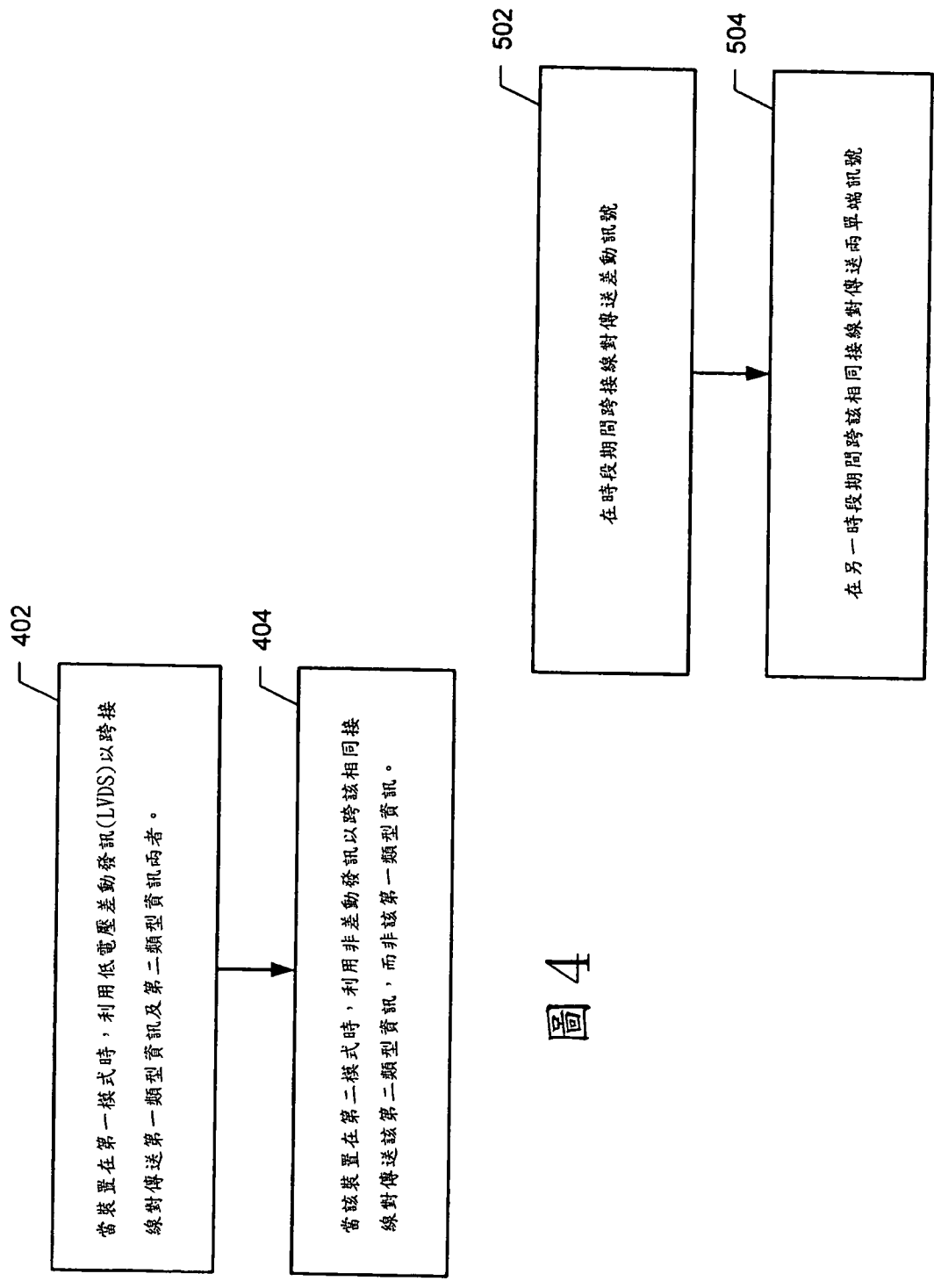


圖4

圖5

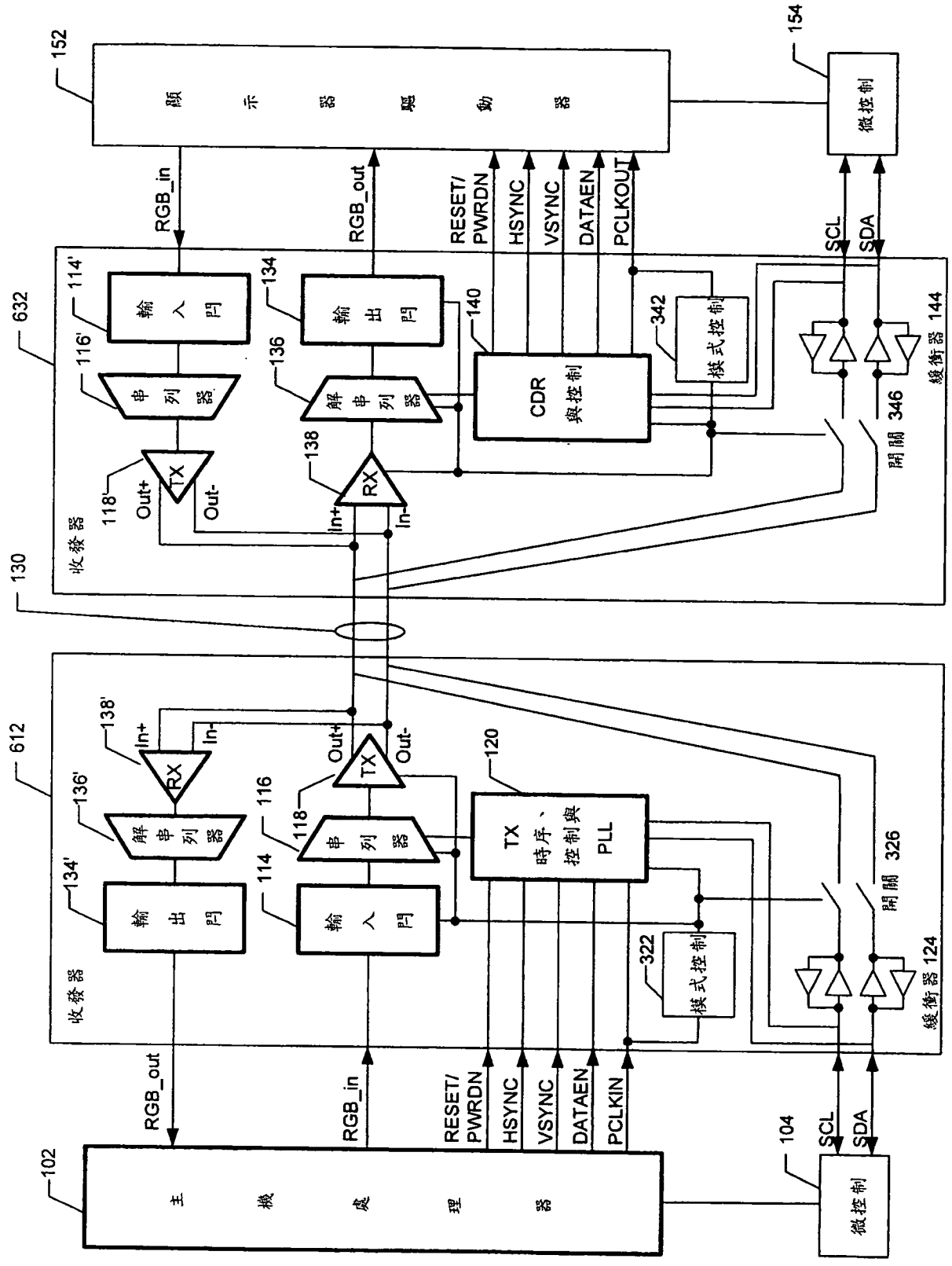


圖6