

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/04 (2006.01)

H01L 21/762 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610058186.1

[43] 公开日 2006 年 9 月 27 日

[11] 公开号 CN 1838412A

[22] 申请日 2006.3.10

[74] 专利代理机构 北京中原华和知识产权代理有限公司

[21] 申请号 200610058186.1

代理人 寿 宁 张华辉

[30] 优先权

[32] 2005.3.10 [33] US [31] 11/076,707

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区新竹市力行
六路 8 号

[72] 发明人 柯志欣 葛崇祜 黄健朝

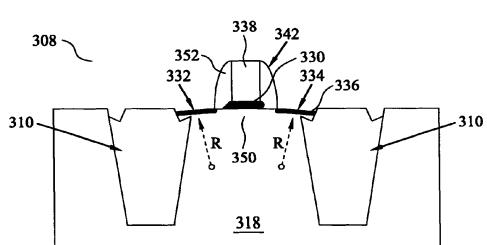
权利要求书 2 页 说明书 7 页 附图 5 页

[54] 发明名称

半导体元件及其形成方法

[57] 摘要

一种形成隔离沟槽的方法及系统，包括于一半导体基板上形成隔离沟槽，以一填沟材料填充此沟槽，此填沟材料可为一介电质，在接近此沟槽的上缘制造出空隙，并于一气体环境下进行加热退火以回流此沟槽边缘，使此边缘圆角化并悬垂于此沟槽。接着形成十分靠近此沟槽特定位置的电晶体，可包括形成于半导体基板上的悬垂于沟槽圆形部分的源极/汲极区域。



1. 一种半导体元件，其特征在于至少包括，一电晶体形成于一半导体基板上，且邻接于该半导体基板上的一隔离沟槽，该电晶体包括一电晶体部分形成于一基板部分之上或其中，该基板部份悬垂于该隔离沟槽。

5 2. 根据权利要求 1 所述的半导体元件，其中该基板部分悬垂该隔离沟槽 10 到 2000 埃。

3. 根据权利要求 1 所述的半导体元件，其中该基板部分被圆角化。

10 4. 根据权利要求 3 所述的半导体元件，其中该圆角化的基板部分包括一弯曲半径范围为 5-50 纳米。

5. 根据权利要求 1 所述的半导体元件，其中该隔离沟槽至少部分地填充一介电质。

6. 根据权利要求 1 所述的半导体元件，其中该电晶体部分至少包括一源极/汲极区域。

15 7. 根据权利要求 6 所述的半导体元件，其中于该源极/汲极区域上包括一硅化物。

8. 根据权利要求 6 所述的半导体元件，其中于该基板部分被圆角化，且该电晶体包括一闸极形成于该基板表面的一平面区段。

20 9. 根据权利要求 8 所述的半导体元件，更包括于该半导体基板上形成一另一隔离沟槽，该电晶体形成于该隔离沟槽及该另一隔离沟槽之间，且包括在悬垂于该另一隔离沟槽的该另一基板部分形成一相对的源极/汲极区域。

25 10. 根据权利要求 1 所述的半导体元件，其中该电晶体包括一通道区域形成于该基板表面的一平面区段内，一闸介电质材料覆盖于该通道区域上，一闸极形成于该闸介电质上，及一源极区域与一汲极区域分别形成于该基板通道区域的相对两端，该电晶体部分至少包括该源极区域或该汲极区域，且一硅化物层形成于该电晶体部分的一表面上。

11. 根据权利要求 1 所述的半导体元件，其中该电晶体形成于该基板的一表面上且该隔离沟槽由表面向下扩展。

30 12. 一种形成半导体元件的方法，至少包括：

形成一隔离沟槽于一半导体基板上；

以一填沟材料填充此沟槽；

移除接近该沟槽的上缘的该填沟材料以在该半导体基板的一表面下形成该沟槽的一空隙；以及

于一气体环境中加热退火以进行回流且圆角化该上缘。

35 13. 根据权利要求 12 所述的形成半导体元件的方法，其中该加热退火使

该沟槽上缘悬垂于该沟槽。

14. 根据权利要求 13 所述的形成半导体元件的方法，其中该上缘悬垂于该沟槽 10-2000 埃。

15. 根据权利要求 13 所述的形成半导体元件的方法，更包括在该半导体基板的一表面上或其中，形成一电晶体包括一源极与一汲极，其包括形成至少一源极区域及一汲极区域于该悬垂部分。

16. 根据权利要求 15 所述的形成半导体元件的方法，更包括一硅化物形成于该源极区域与该汲极区域上。

17. 根据权利要求 15 所述的形成半导体元件的方法，包括形成一通道于该半导体基板的一平坦表面上，形成一闸介电质于该通道区域之上，形成一闸极于该闸介电质上，该源极与该汲极区域置于该半导体基板内该通道区域的相对两端。

18. 根据权利要求 12 所述的形成半导体元件的方法，其中该加热退火至少包括于一压力介于 1-1000 陶尔之间，一温度介于摄氏 600 到 1100 度之间。

19. 根据权利要求 12 所述的形成半导体元件的方法，其中该环境气体至少包括氢气、氮气、氦气、氖气、氩气及氙气其中的一。

20. 根据权利要求 12 所述的形成半导体元件的方法，其中该圆角化制程包括形成该半导体基板的具有一弯曲半径范围为 5-50 纳米的一表面。

半导体元件及其形成方法

5

技术领域

本发明是有关于一种半导体元件的制造方法，且特别是有关于一种改良浅沟槽隔离 (shallow trench isolation; STI) 结构的制程。

10

背景技术

半导体元件可利用隔离结构以隔绝不同构成物间的电性，位于半导体元件各个构成物间的隔离结构可降低可能造成元件效能减低的有害干扰效应。只要将构成物互相隔绝开来，就可于半导体元件各构成物间建立电通路 (electrical path) 以得到理想的电性。

15

传统制造半导体元件隔离结构的方法一般是利用一区域硅氧化法 (local oxidation of silicon; LOCOS) 制程。LOCOS 制程中，利用一氧化罩幕 (oxidation mask) 提供图案并进行一场氧化层 (field oxide layer) 的热成长，然而场氧化层成长的一侧边部份，容易在理想的成长图案之外产生锥形的氧化楔形部分，这些氧化楔形部分因其形状而被称为“鸟嘴” (bird's beak)，此鸟嘴构造缩减了半导体元件构成物间的绝缘区域，并使半导体元件的电效能受到不良的影响。

20

浅沟槽隔离 (STI) 制程形成的隔离结构取代传统 LOCOS 制程，促进了次微米几何图案的发展。相较于传统的 LOCOS 制程，STI 制程具有许多的优点，例如 STI 制程可允许整个基板及隔离结构的平坦化，使得在确定电晶体闸极堆迭的关键尺寸 (critical dimension; CD) 时较易于控制，也进一步使在晶体闸极堆迭后的制程的关键尺寸控制较佳。

25

典型的 STI 制程中，于晶圆基板上热成长一 10 到 20 纳米的缓冲氧化层 (buffer oxide)，接着沉积大约 200 纳米的一氮化层并以微影及蚀刻制程在硅材上蚀刻出图案，随后在此硅材上蚀刻出一沟槽，并热成长一衬底氧化层 (liner oxide) 以退火 (anneal) 去除硅材的任何损坏并保护此硅材，接着沉积较沟槽深度为厚的一氧化层，此晶圆随后以一化学机械研磨 (chemical mechanical polishing; CMP) 至接近氮化层为止，接着沿着下方的缓冲氧化层除去此氮化层以形成此浅沟槽结构。

30

前述的 STI 制程系统，沟槽侧壁的尖锐角缘会碰到硅基板表面而影响元件效能、良率及可靠度等问题。举例来说，可能于此角缘形成一具有较低临界电压 (threshold voltage) 的寄生电晶体 (parasitic transistor)。另一个例子中，一较薄的闸极氧化层可能于此角缘形成，导致直接的元件失

败或可靠度的问题。

其他传统的 STI 制程系统已经找出利用热氧化制程克服此尖锐角缘效应的方法，以氧化加速离子布植及硅的微结构变换可使碰到硅基板表面的沟槽侧壁的尖锐角缘圆角化。虽然此传统的圆角化制程系统可将角缘圆角化，但仍具有潜在的缺点，此传统圆角化制程的一个缺点是产生的应力诱导缺陷将使现今逐渐缩小的元件几何设计发生问题。另一个潜在的缺点为形成氧化衬底层的高密度电浆 (high density plasma; HPD) 氧化填沟制程造成的浅沟槽隔离侧壁损坏。另一个缺点为由角缘寄生电晶体的断皮诱导的逆窄通道效应 (divot-induced reverse narrow channel effect; RNCE)，此不良的效应是由于在浅沟槽隔离结构边缘形成较高强度的电场所造成。

因此需要一种制造半导体元件的方法能增进浅沟槽隔离结构的制造制程，于提高元件效能、良率及可靠度的同时亦能解决前述传统方法的问题。

发明内容

因此本发明的目的就是在提供一种新的浅沟槽隔离结构制程，用以产生更宽的制程裕度、提高闸极氧化层的完整性并提高元件效能、良率及可靠度。

本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种半导体元件，其至少包括，一电晶体形成于一半导体基板上，且邻接于该半导体基板上的一隔离沟槽，该电晶体包括一电晶体部分形成于一基板部分之上或其中，该基板部份悬垂于该隔离沟槽。

本发明的目的及解决其技术问题还采用以下技术措施来进一步实现。

前述的半导体元件，其中所述的基板部分悬垂该隔离沟槽 10 到 2000 埃。

前述的半导体元件，其中所述的基板部分被圆角化。

前述的半导体元件，其中所述的圆角化的基板部分包括一弯曲半径范围为 5-50 纳米。

前述的半导体元件，其中所述的隔离沟槽至少部分地填充一介电质。

前述的半导体元件，其中所述的电晶体部分至少包括一源极/汲极区域。

前述的半导体元件，其中所述的源极/汲极区域上包括一硅化物。

前述的半导体元件，其中所述的基板部分被圆角化，且该电晶体包括一闸极形成于该基板表面的一平面区段。

前述的半导体元件，其更包括于该半导体基板上形成一另一隔离沟槽，该电晶体形成于该隔离沟槽及该另一隔离沟槽之间，且包括在悬垂于该另一隔离沟槽的该另一基板部分形成一相对的源极/汲极区域。

前述的半导体元件，其中所述的电晶体包括一通道区域形成于该基板表面的一平面区段内，一闸介电质材料覆盖于该通道区域上，一闸极形成

于该闸介电质上，及一源极区域与一汲极区域分别形成于该基板通道区域的相对两端，该电晶体部分至少包括该源极区域或该汲极区域，且一硅化物层形成于该电晶体部分的一表面上。

前述的半导体元件，其中所述的电晶体形成于该基板的一表面上且该隔离沟槽由表面向下扩展。
5

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种形成半导体元件的方法，至少包括：形成一隔离沟槽于一
10 半导体基板上；以一填沟材料填充此沟槽；移除接近该沟槽的上缘的该填沟材料以在该半导体基板的一表面下形成该沟槽的一空隙；以及于一气体环境中加热退火以进行回流且圆角化该上缘。

本发明的目的及解决其技术问题还采用以下技术措施来进一步实现。

前述的形成半导体元件的方法，其中所述的其中该加热退火使该沟槽上缘悬垂于该沟槽。

前述的形成半导体元件的方法，其中所述的上缘悬垂于该沟槽 10-2000 埃。

前述的形成半导体元件的方法，其更包括在该半导体基板的一表面上或其中，形成一电晶体包括一源极与一汲极，其包括形成至少一源极区域及一汲极区域于该悬垂部分。
15

前述的形成半导体元件的方法，其更包括一硅化物形成于该源极区域与该汲极区域上。

前述的形成半导体元件的方法，其包括形成一通道于该半导体基板的一平坦表面上，形成一闸介电质于该通道区域之上，形成一闸极于该闸介电质上，该源极与该汲极区域置于该半导体基板内该通道区域的相对两端。
20

前述的形成半导体元件的方法，其中所述的加热退火至少包括于一压力介于 1-1000 陶尔之间，一温度介于摄氏 600 到 1100 度之间。

前述的形成半导体元件的方法，其中所述的环境气体至少包括氢气、氮气、氨气、氖气、氩气及氪气其中的一。
25

前述的形成半导体元件的方法，其中所述的圆角化制程包括形成该半导体基板的具有一弯曲半径范围为 5-50 纳米的一表面。

本发明与现有技术相比具有明显的优点和有益效果。由以上技术方案可知，依照本发明一较佳实施例，提出一种新的浅沟槽隔离结构制程，可于半导体基板上形成一浅沟槽隔离结构，具有一圆角化的顶部角缘。此圆角化的角缘包括一悬垂于此浅沟槽隔离结构部份，可用以帮助形成元件构成物，例如电晶体的源极/汲极区域。此新的浅沟槽隔离结构制程也解决了一般传统制程中出现于沟槽开口处的顶部角缘的断皮现象，藉由消除此断皮现象亦抑制了传统制程中角缘寄生电晶体的产生。除此之外，此新的浅沟槽隔离结构制程降低了传统制程中由浅沟槽隔离结构角缘应力所产生的
30
35

通道应力，并降低了改良精密元件特性时的硅化物诱导接合问题。

借由上述技术方案，本发明半导体元件及其形成方法至少具有下列优点：

由此新的浅沟槽隔离结构制程所产生的新的浅沟槽隔离结构，可在没有表面变形的情况下提供较宽的制程裕度、去除传统制程硅材表面的刻面(faceting)、多晶硅干扰及应力诱导使此浅沟槽隔离结构分界线变薄的问题，以改善闸极氧化层完整性。

附图说明

为让本发明的上述和其他目的、特征、优点与实施例能更明显易懂，
10 所附图式的详细说明如下：

图 1A 到图 1D 是一种传统 STI 制造过程图。

图 2A 到图 2D 是绘示依照本发明一较佳实施例的一系列制程图。

图 3 是绘示依照本发明另一较佳实施例的截面图。

302: 制程步骤	304: 制程步骤
306: 制程步骤	308: 制程步骤
309: 原始侧边	310: 浅沟槽
311: 浅沟槽隔离结构	312: STI 填沟材料
314: 氮化硅层	316: 氧化硅层
318: 基板材料	320: 光阻层
322: 曝光部分	323: 位置
324: 位置	326: 角缘部分
328: 薄氧化薄膜	330: 闸介电质层
332: 源极	334: 汲极
336: 硅化物层	338: 闸极
340: 悬垂部分	342: 电晶体结构
344: 侧壁间宽度	346: 原始宽度
350: 通道	352: 介电质空间
400: 截面	R: 弯曲半径

15

具体实施方式

虽然于下文中详细的说明及描述本发明的一种可促进构成物的主动区域的隔离、元件良率及可靠度的新的浅沟槽隔离结构制程，然而其中所呈现的细节并非用以限制本发明，在不违背本发明的精神下当可作各种的修饰及结构的改变。

请参照图 1A 到图 1D，其绘示一种传统的 STI 制造过程。如图 1A 所示，

一氧化硅层 316 形成于一基板材料 318 上，此基板材料可以为硅、绝缘层覆硅 (silicon-on insulator; SOI)、锗、碳或由其所组成的族群。此氧化硅层 316 的形成可经由一热氧化制程氧化一硅基材、一化学气相沉积 (chemical vapor deposition; CVD) 或其他可适用的技术。接着利用可适用的传统制程于氧化硅层 316 上形成一氮化硅层 314，之后于此氮化硅层 314 上方表面形成一光阻层 320。

如图 1B 所示，利用传统方法于此光阻层 320 上进行图案化步骤，接着以此光阻图案作为一罩幕，可利用习知的蚀刻或其他移除制程选择性的移除氮化硅层 314 及氧化硅层 316，接着将基板材料 318 上方表面的与浅沟槽隔离结构区域相对应的曝光部分 322 进行曝光。

参照图 1C，是绘示不同的浅沟槽 310 选择性的形成于此基板材料 318 上的曝光部分 322，此浅沟槽 310 是利用习知的蚀刻技术进行硅的选择性蚀刻，此不规则四边形的浅沟槽 310 在此仅为示意，其形状亦可为矩形。在此浅沟槽 310 进行填沟之前，一可选择性的薄氧化薄膜 328，即一般所知的“氧化衬底”可经由热氧化于各个浅沟槽 310 及氧化硅层 316 的曝光表面上形成。一角缘圆角化现象可于薄氧化薄膜 328 形成过程中发生。在热氧化制程中，由于基板材料 318 上的各个角缘部分 326 的氧化速度远高于其他表面的氧化速度，因此角缘部分 326 可于薄氧化薄膜 328 形成过程中自动圆角化，此氧化作用可发生于温度介于 $1000^{\circ}\text{C} +/- 300^{\circ}\text{C}$ 之间。在其他实施例中，亦可不使用此薄氧化薄膜 328。

如图 1D 所示，利用化学气相沉积制程于各个浅沟槽 310 上及氮化硅层 314 的曝光表面上形成一隔绝薄膜 312，其中此隔绝薄膜 312 为一氧化硅薄膜并填满浅沟槽 310 为较佳。接着利用一化学机械研磨进行平坦化制程，以从氮化硅薄膜上方表面移除隔绝薄膜，提供一研磨终止薄膜以形成如图 2A 所示的结构，此结构并未包括可选择性氧化薄膜 328。

传统的 STI 制程中，热氧化步骤例如形成氧化薄膜 328 可用以形成圆角化的角缘，因为半导体基板上沟槽开口的各个角缘部分 326 的氧化速度可于此热氧化过程中提高，如前所述，此提高的氧化速度可在半导体基板上靠近沟槽开口处产生圆角化的角缘部分。此半导体基板上的圆角化的角缘很重要，因为位于沟槽开口处的角缘圆角化可防止或消除半导体基板上形成较高强度的电场，可稳定及改良半导体元件的电性及效能。

传统的 STI 制造过程会产生一些有害的影响，当元件几何尺寸缩小时，此圆角化制程会产生一应力诱导缺陷的问题，且氧化衬底层的高密度电浆氧化填沟制程造成的浅沟槽隔离侧壁损坏，最后，此传统制程会促使断皮诱导逆窄通道效应并产生角缘寄生电晶体，导致于浅沟槽隔离结构边缘具有较高强度的电场。

图 2A 到图 2D 及图 3 是绘示依照本发明较佳实施例的形成浅沟槽隔离结构的改良方法，图 2A 到图 2D 分别呈现制程步骤 302、制程步骤 304、制程步骤 306 及制程步骤 308，这些步骤是用以解决前述及其他类似的传统 STI 制造过程中所形成的不利影响。本发明所提供的新的 STI 制造过程具有如图 2A 示的结构，可依照如图 1A 到图 1D 所示的顺序或其他产生浅沟槽隔离方法形成，且以一氧化层填沟制程在图案罩幕之上形成一平面。

参照图 2A 的制程步骤 302，以一化学机械研磨制程移除 STI 填沟材料 312，但只研磨至氮化硅层 314 的最上方为止，STI 填沟材料 312 可以为一氧化物、其他介电质或多晶硅，如此，此氮化硅层 314 及氧化硅层 316 可作为一衬垫氧化层以保持基板材料 318 的完整性。此氮化硅层 314 及氧化硅层 316 共同形成一图案罩幕层。各个浅沟槽隔离结构 311 实际上为浅沟槽 310 以 STI 填沟材料 312 填满到氮化硅层 314 上方为止所形成的结构，此结构藉由化学机械研磨制程产生一于 STI 填沟材料 312 及氮化硅层 314 上方的平坦化表面。值得注意的是此图案罩幕层是由氮化硅层 314 及氧化硅层 316 覆盖基板材料 318 的全部宽度所组成。

参照图 2B 的制程步骤 304，以一蚀刻制程额外移除一部份位于浅沟槽隔离结构 311 的 STI 填沟材料 312，并回蚀图案罩幕层的原始侧边 309(以虚线表示)，可分别利用磷酸及氟化氢作为蚀刻溶液以蚀刻此衬垫氮化层及衬垫氧化层。此蚀刻制程将覆盖于基板材料 318 上表面的 STI 填沟材料 312 移除，由于此回蚀步骤，浅沟槽蚀刻结构上方角缘具有一较多 STI 填沟材料的位置 323，因此创造出位于基板表面的下的断皮，并以湿蚀刻法沿着基板材料 318 与 STI 填沟材料 312 的界面优先蚀刻，以暴露出沟槽侧壁上方的一部份。此外尚横向缩减了氮化硅层 314 与氧化硅层 316 的图案罩幕侧边，因此不仅在此角缘暴露出基板材料 318 的一部份，且亦暴露出此氮化硅层 314 与氧化硅层 316 所缩减的侧壁。换句话说，于蚀刻制程后产生一较先前的原始侧边 309 间的原始宽度 346 缩小的侧壁间宽度 344。

参照图 2C 的制程步骤 306，经过制程步骤 304 后形成的结构，利用一氢气进行退火制程以回流及圆角化此基板材料 318 的角缘，因而使此硅基板结构扩展至沟槽侧壁的位置 324，其中一悬垂部分 340 悬垂于浅沟槽 310 的长度为 10 到 2000 埃。依照本发明的一实施例，此退火制程以气压 1 到 1000 陶尔及温度以摄氏 600 到 1000 度为较佳，然其他适用的退火条件亦可用于其他实施例中应用。此退火制程中的环境气体可使用氢气、氮气、氦气、氩气、氙气或其所组成的族群。

参照图 2D 的制程步骤 308，以一传统方法移除氮化硅层 314 及氧化硅层 316 所组成的图案罩幕层，接着利用任何标准半导体制程，于元件的主动区域形成介于不同浅沟槽隔离结构间的一电晶体结构 342。一闸介电质层

330 将一闸极 338 与基板材料 318 分隔，此闸介电质可至少包括二氧化硅 (SiO_2)、氮化硅 (Si_3N_4)、氧化硅 (Si_2O_5)、氮氧化硅 (Si_3NO_4)、一高介电质材料或其所组成的族群。此闸介电质层 330 可利用传统方法，例如热氧化或各种沉积制程如化学气相沉积形成，于此例示的电晶体结构 342 形成于基板材料 318 上的一平坦部分，闸极 338 可利用传统的沉积及图案化方法形成，或根据本发明的一实施例由一多晶硅所形成。依照本发明的一实施例，闸极 338 可利用一金属或由金属所形成的化合物结构、一半导体、一金属氧化物及/或硅化物产生。源极 332 与汲极 334 区域可以传统方法于包括悬垂部分 340 的基板材料 318 上形成，源极 332 与汲极 334 区域可经由离子布植于基板上形成，于闸极结构形成后利用一离子布植制程进行闸极结构自对准，并于布植源极/汲极材料时提供一罩幕以保护下方的通道，源极 332 与汲极 334 区域形成于闸极结构下方基板中的通道 350 的两端。介电质空间 352 可利用传统方法沿着闸极 338 的侧壁形成，并可有助源极 332 与汲极 334 区域位于适当的位置。

15 值得注意的是此源极 332 与汲极 334 区域的圆角化的角缘结构具有一弯曲半径 R，此弯曲半径 R 以 5 到 50 纳米为较佳。一硅化物层 336 可于源极 332 与汲极 334 区域形成。更进一步，此扩展至各个浅沟槽 310 的角缘具有一长度，其范围介于 1 到 200 纳米之间。虽然此半导体基板于此例示中为硅，然而于此技艺中已知的基材，包括硅、绝缘层覆硅 (silicon-on-insulator; SOI)、锗、碳或其所组成的族群亦可为此半导体基板的材料。此通道的结晶方向可为<100>或<110>。

20 参照图 3A，是绘示依照本发明的一实施例的浅沟槽隔离结构角缘的截面 400。此截面 400 表示一介于制程步骤 306 与制程步骤 308 间的一过渡制程步骤，于此过渡制程步骤中，闸介电质层 330 已经形成但电晶体结构 342 的剩余部分则尚未被形成。

25 先前的说明提供许多完成本发明不同特征的不同的实施例，所描述的特定实施例的组成物及制程是用以清楚的说明本发明，其仅为例示而非用以限定本发明。

30 虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视权利要求所界定者为准。

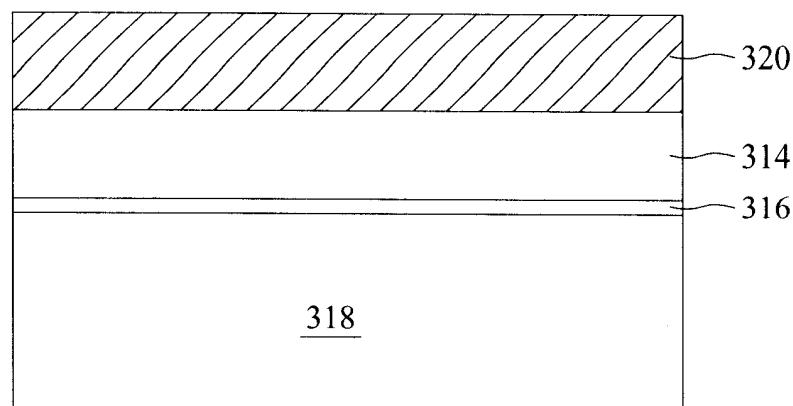


图 1A

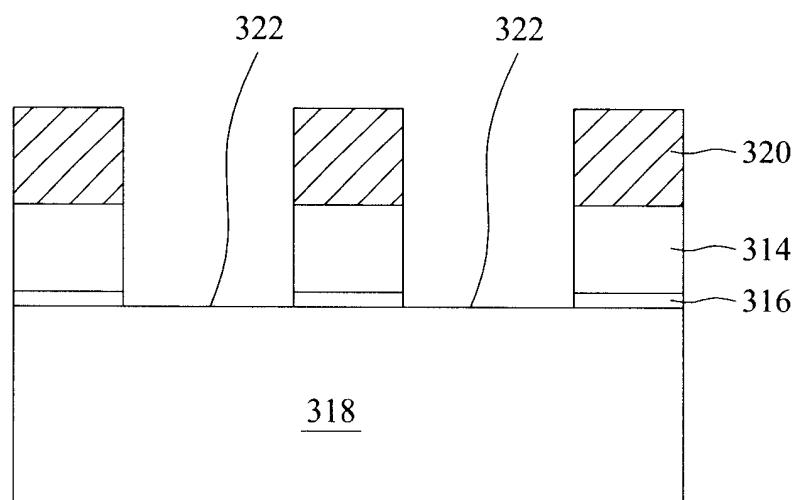


图 1B

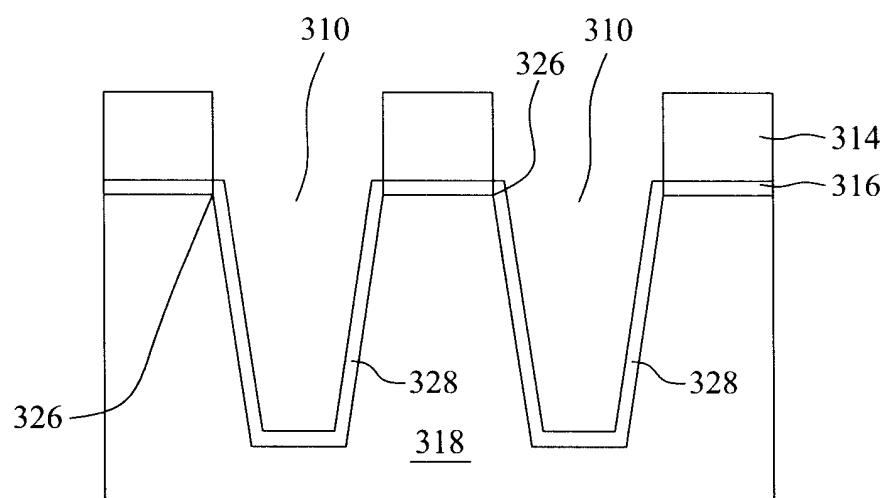


图 1C

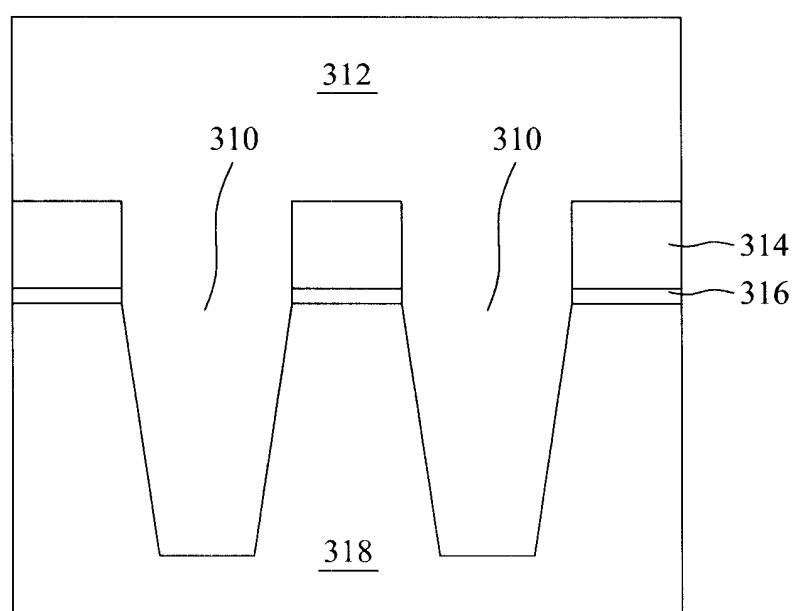


图 1D

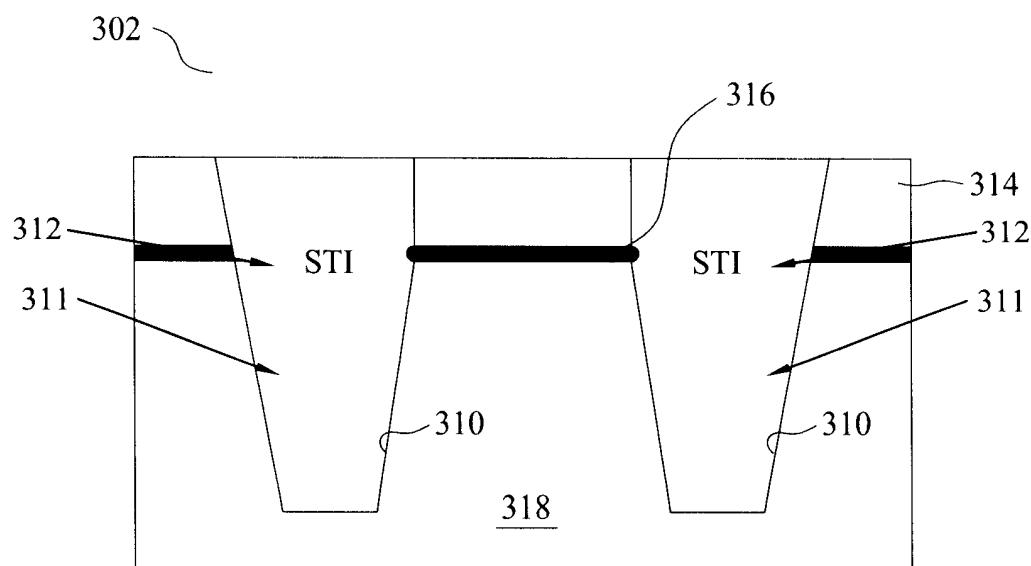


图 2A

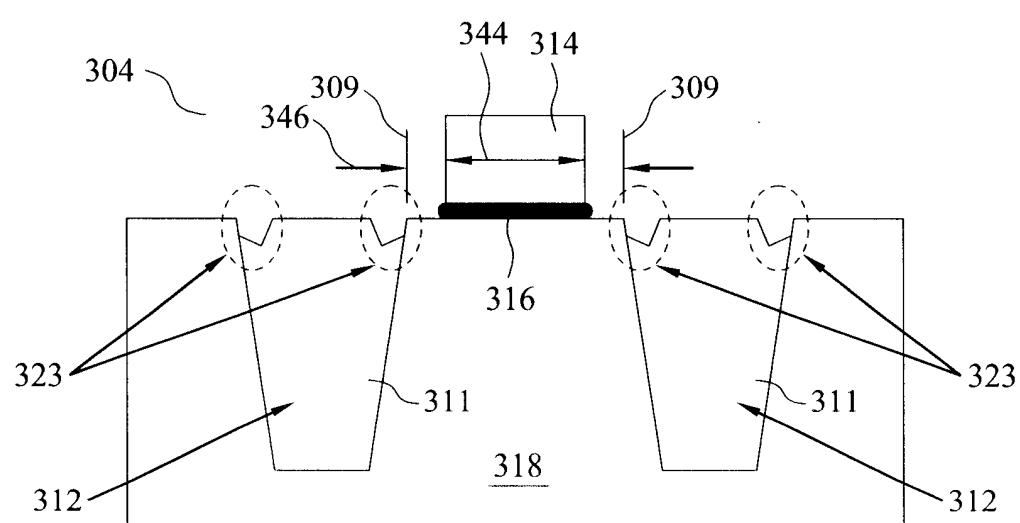


图 2B

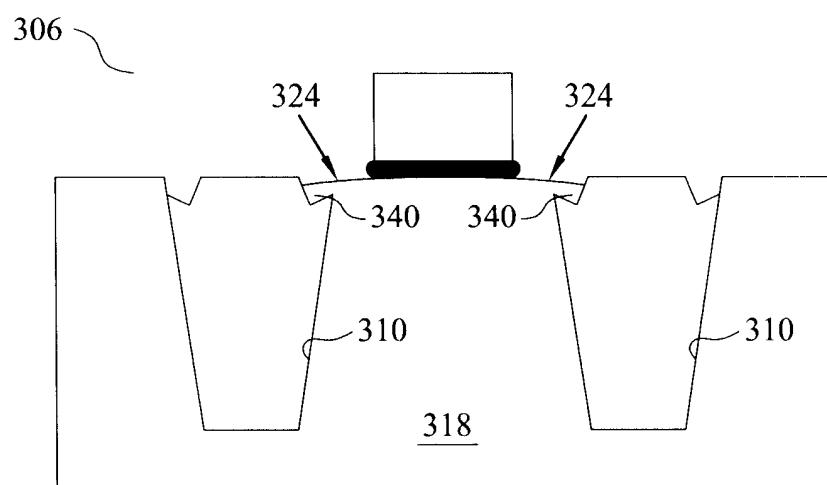


图 2C

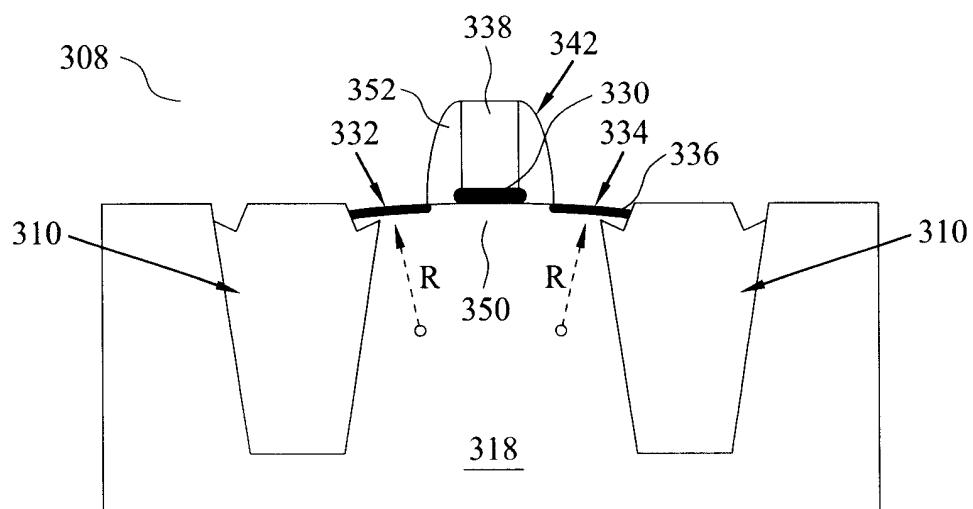


图 2D

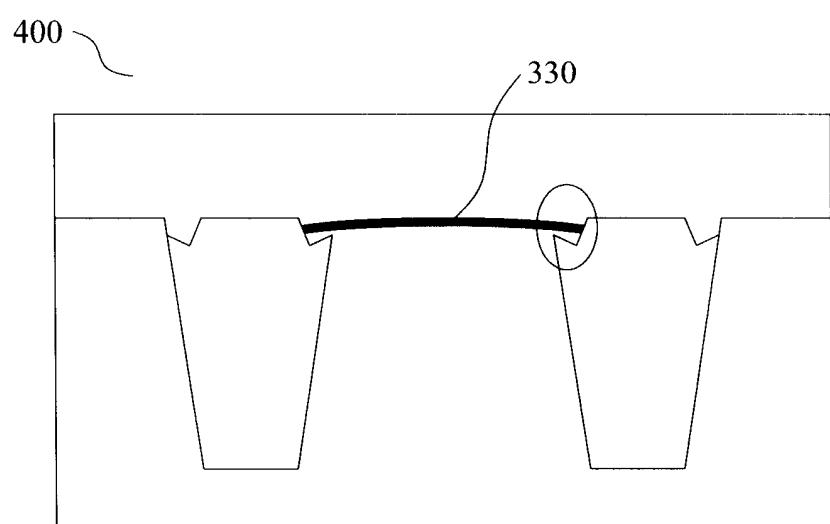


图 3