



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003803
(43) 공개일자 2012년01월11일

(51) Int. Cl.
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
H01L 51/50 (2006.01)
(21) 출원번호 10-2011-0059968
(22) 출원일자 2011년06월21일
심사청구일자 없음
(30) 우선권주장
JP-P-2010-152754 2010년07월05일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
모로사와 나리히로
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
최달용

전체 청구항 수 : 총 12 항

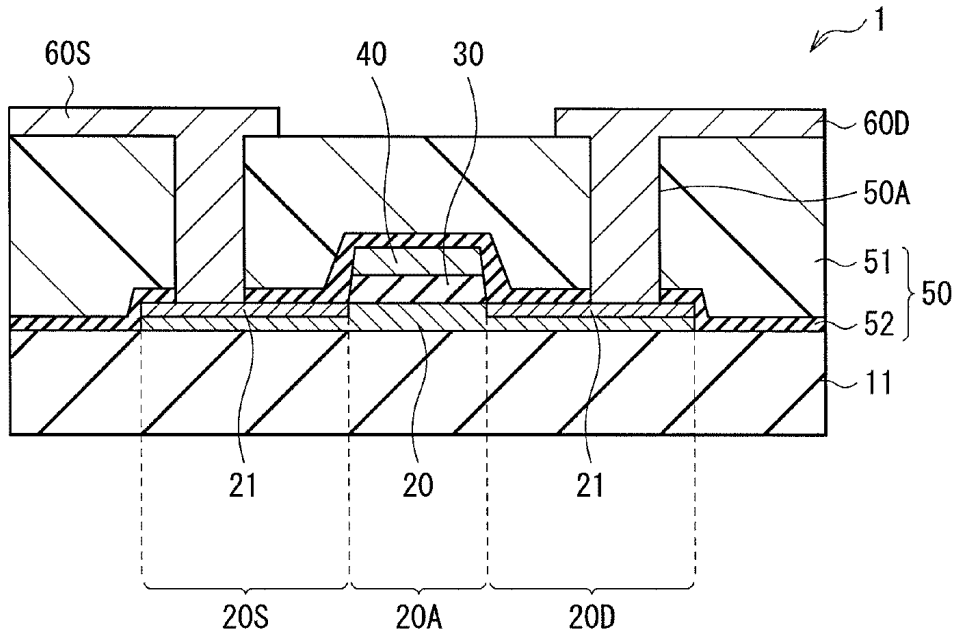
(54) 박막 트랜지스터 및 표시 장치

(57) 요약

층간 절연막에 기인하는 불량을 억제하고, 셀프얼라인 구조의 박막 트랜지스터의 신뢰성을 향상시키는 것이 가능한 박막 트랜지스터 및 이것을 구비한 표시 장치를 제공한다.

박막 트랜지스터는 게이트 전극과; 상기 게이트 전극에 대하여 채널 영역을 갖고 상기 채널 영역의 한쪽에 소스 영역, 다른 쪽에 드레인 영역을 갖는 산화물 반도체막과; 상기 산화물 반도체막에 접하여 마련된과 함께 접속 구멍을 가지며, 유기 수지막을 포함하는 층간 절연막과; 상기 접속 구멍을 통하여 상기 소스 영역 및 상기 드레인 영역에 각각 접속된 소스 전극 및 드레인 전극을 구비한다.

대표도



특허청구의 범위

청구항 1

게이트 전극과,

상기 게이트 전극에 대하여 채널 영역을 갖고 상기 채널 영역의 한쪽에 소스 영역, 다른 쪽에 드레인 영역을 갖는 산화물 반도체막과,

상기 산화물 반도체막에 접하여 마련됨과 함께 접속 구멍을 가지며, 유기 수지막을 포함하는 층간 절연막과,

상기 접속 구멍을 통하여 상기 소스 영역 및 상기 드레인 영역에 각각 접속된 소스 전극 및 드레인 전극을 구비한 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제 1항에 있어서,

상기 층간 절연막은, 제 1 무기 절연막 및 상기 유기 수지막의 적층 구조를 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제 2항에 있어서,

상기 층간 절연막, 상기 제 1 무기 절연막 및 상기 유기 수지막은 상기 산화물 반도체막이 마련된 측부터 이 순서대로 적층된 것을 특징으로 하는 것인 박막 트랜지스터.

청구항 4

제 3항에 있어서,

상기 제 1 무기 절연막은, 산화 알루미늄막, 산화 티탄막 또는 산화 인듐막에 의해 구성되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제 4항에 있어서,

상기 층간 절연막은, 상기 제 1 무기 절연막, 상기 유기 수지막 및 제 2 무기 절연막을 상기 산화물 반도체막의 측부터 이 순서대로 적층한 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제 5항에 있어서,

상기 산화물 반도체막은 기판상에 마련되고,

상기 산화물 반도체막의 상기 채널 영역상에 게이트 절연막 및 상기 게이트 전극이 이 순서대로 동일 형상으로 마련되고,

상기 산화물 반도체막, 상기 게이트 절연막 및 상기 게이트 전극 각각의 표면에 상기 층간 절연막이 마련되고,

상기 층간 절연막에 마련된 접속 구멍을 통하여 상기 소스 전극 및 상기 드레인 전극이 상기 소스 영역 및 상기 드레인 영역에 접속되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제 1항에 있어서,

상기 산화물 반도체막은, 윗면으로부터 깊이 방향에서 상기 소스 영역 및 상기 드레인 영역 각각의 적어도 일부에, 상기 채널 영역보다도 산소 농도가 낮은 저저항 영역을 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제 7항에 있어서,

상기 저저항 영역은, 윗면으로부터 깊이 방향에서 10nm 이내의 깊이에서, 상기 소스 영역 및 상기 드레인 영역에서의 영역인 것을 특징으로 하는 박막 트랜지스터.

청구항 9

제 1항에 있어서,

상기 산화물 반도체막은, 윗면으로부터 깊이 방향에서 상기 소스 영역 및 상기 드레인 영역의 적어도 일부에, 알루미늄을 도펀트로서 포함하는 저저항 영역을 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 10

제 1항에 있어서,

상기 산화물 반도체막은, 상기 기판이 마련된 측으로부터 비정질막 및 결정화막을 순서대로 적층한 구성을 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 11

제 10항에 있어서,

상기 결정화막은, 산화 아연, 산화 인듐아연 및 산화 인듐갈륨으로 이루어지는 균중의 적어도 1종에 의해 구성되어 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 12

박막 트랜지스터 및 화소를 구비하고,

상기 박막 트랜지스터는,

게이트 전극과,

상기 게이트 전극에 대향하여 채널 영역을 갖고 상기 채널 영역의 한쪽에 소스 영역, 다른 쪽에 드레인 영역을 갖는 산화물 반도체막과,

상기 산화물 반도체막에 접하여 마련됨과 함께 접촉 구멍을 가지며, 유기 수지막을 포함하는 층간 절연막과,

상기 접촉 구멍을 통하여 상기 소스 영역 및 상기 드레인 영역에 각각 접속된 소스 전극 및 드레인 전극을 구비한 것을 특징으로 하는 표시 장치.

명세서

기술분야

[0001] 본 발명은, 산화물 반도체를 이용한 박막 트랜지스터(TFT ; Thin Film Transistor) 및 이것을 구비한 표시 장치에 관한 것이다.

배경기술

[0002] 액티브 구동 방식의 액정 표시 장치 또는 유기 EL(Electroluminescence) 표시 장치에서는, 박막 트랜지스터를 구동 소자로서 이용함과 함께, 영상을 기록하기 위한 신호 전압에 대응하는 전하를 보존 용량에 보존시키고 있다. 그러나 박막 트랜지스터의 게이트 전극과 소스 전극 또는 드레인 전극과의 교차 영역에 생기는 기생 용량이 커지면, 신호 전압이 변동하여 버려, 화질의 악화를 일으킬 우려가 있다.

[0003] 특히 유기 EL 표시 장치에서는, 기생 용량이 큰 경우에는 보존 용량도 크게 할 필요가 있어서, 화소의 레이아웃에 있어서 배선 등이 차지하는 비율이 커진다. 그 결과, 배선 사이의 쇼트 등의 확률이 증가하고, 제조 수율이 저하되어 버린다는 문제가 생긴다.

[0004] 그래서, 종래에는, 예를 들면 산화 아연(ZnO) 또는 산화 인듐갈륨아연(IGZO) 등의 산화물 반도체를 채널에 이용

한 박막 트랜지스터에 관해, 게이트 전극과 소스 전극 또는 드레인 전극과의 교차 영역에 형성되는 기생 용량을 저감하는 시도가 이루어지고 있다.

[0005] 예를 들면 일본 특개2007-220817호 공보 및 문헌("Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors", Applied Physics Letters, American Institute of Physics, 2008년, 제 93권, 053501, J. Park, 외 11명)에서는, 산화물 반도체 박막층의 채널 영역상에, 게이트 전극 및 게이트 절연막을 동일 형상으로 형성한 후, 산화물 반도체 박막층의 게이트 전극 및 게이트 절연막에 덮여지지 않은 영역을 저저항화하여 소스·드레인 영역을 형성하는 셀프얼라인(자기정합(自己整合)) 톱 게이트 박막 트랜지스터가 기재되어 있다. 또한, 문헌("Improved Amorphous In-Ga-Zn-O TFTs", SID 08 DIGEST, 2008년, 42. 1, p. 621-624. R. Hayashi, 외 6명)에는, 게이트 전극을 마스크로 하는 이면 노광에 의해 산화물 반도체막에 소스 영역 및 드레인 영역을 형성하는 셀프얼라인 구조의 보텀 게이트 박막 트랜지스터가 기재되어 있다.

발명의 내용

[0006] 그러나 일본 특개2007-220817호 공보 및 문헌("Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors", Applied Physics Letters, American Institute of Physics, 2008년, 제 93권, 053501, J. Park, 외 11명)에서는, 게이트 전극 및 게이트 절연막을 에칭한 후에 층간 절연막을 형성하도록 하고 있기 때문에, 에칭 후에 게이트 전극 및 게이트 절연막의 합계 두께에 상당하는 큰 단차(段差)가 발생하고, 통상의 플라즈마 CVD법에 의해 형성한 절연막으로만 이루어지는 층간 절연막에 의해서는 단차를 완전히 피복할 수 없는 경우가 있다. 그 때문에, 계속해서 형성되는 소스 전극 및 드레인 전극의 단선 또는 단락 등의 불량을 일으키기 쉽다는 문제가 있다. 또한, 문헌("Improved Amorphous In-Ga-Zn-O TFTs", SID 08 DIGEST, 2008년, 42. 1, p. 621-624. R. Hayashi, 외 6명)에서는, 채널 보호막을 에칭한 후에 층간 절연막을 형성하고 있었기 때문에, 에칭 후에 채널 보호막의 두께에 상당하는 단차가 발생하고, 일본 특개2007-220817호 공보 및 문헌("Self-aligned top-gate amorphous gallium indium zinc oxide thin film transistors", Applied Physics Letters, American Institute of Physics, 2008년, 제 93권, 053501, J. Park, 외 11명)과 마찬가지로의 문제가 생기고 있다.

[0007] 본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 층간 절연막에 기인하는 불량을 억제하고, 셀프얼라인 구조의 신뢰성을 향상시키는 것이 가능한 박막 트랜지스터 및 이것을 구비한 표시 장치를 제공하는 것에 있다.

[0008] 본 발명에 의한 박막 트랜지스터는, 이하의 (A) 내지 (D)의 구성 요소를 구비한 것이다.

[0009] (A) 게이트 전극

[0010] (B) 게이트 전극에 대향하여 채널 영역을 갖음과 함께 채널 영역의 일방의 측에 소스 영역, 타방의 측에 드레인 영역을 갖는 산화물 반도체막

[0011] (C) 산화물 반도체막에 접하여 마련됨과 함께 접속 구멍을 가지며, 유기 수지막을 포함하는 층간 절연막

[0012] (D) 접속 구멍을 통하여 소스 영역 및 드레인 영역에 각각 접속된 소스 전극 및 드레인 전극

[0013] 본 발명의 박막 트랜지스터에서는, 층간 절연막이 유기 수지막을 포함하고 있기 때문에, 층간 절연막의 두께를 크게 하는 것이 가능해지고, 소스 전극 및 드레인 전극의 단선 또는 단락 등, 층간 절연막에 기인하는 불량이 억제된다.

[0014] 본 발명에 의한 표시 장치는, 박막 트랜지스터 및 화소를 구비하고, 박막 트랜지스터는, 상기 본 발명의 박막 트랜지스터에 의해 구성된 것이다.

[0015] 본 발명의 표시 장치에서는, 상기 본 발명의 박막 트랜지스터에 의해 화소가 구동되고, 화상 표시가 된다.

[0016] 본 발명의 박막 트랜지스터에 의하면, 층간 절연막이 유기 수지막을 포함하도록 하였기 때문에, 소스 전극 및 드레인 전극의 단선 또는 단락 등, 층간 절연막에 기인하는 불량을 억제하고, 셀프얼라인 구조의 신뢰성을 향상시키는 것이 가능해진다. 따라서, 이 박막 트랜지스터를 이용하여 표시 장치를 구성하면, 기생 용량이 작은 셀프얼라인 구조와 함께 높은 신뢰성을 갖는 본 발명의 박막 트랜지스터에 의해, 고품질의 표시가 가능해진다.

[0017] 전술한 일반적인 설명 및 이후의 상세한 설명은 모두 예시적인 것으로 이해해야 하며, 청구하는 기술의 설명을 위해 마련된 것이다.

도면의 간단한 설명

[0018]

- 도 1은 본 발명의 제 1의 실시의 형태에 관한 박막 트랜지스터의 구조를 도시하는 단면도.
- 도 2의 A 내지 C는 도 1에 도시한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 3의 A 내지 C는 도 2의 C에 계속된 공정을 도시하는 단면도.
- 도 4는 채널 영역 및 저저항 영역의 EDX 해석 결과를 도시하는 도면.
- 도 5의 A 및 B는 도 1에 도시한 박막 트랜지스터의 특성을 종래와 대비하여 도시하는 도면.
- 도 6의 A 내지 C는 변형예 1에 관한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 7은 도 6의 C에 계속된 공정을 도시하는 단면도.
- 도 8의 A 내지 C는 변형예 2에 관한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 9의 A 및 B는 변형예 3에 관한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 10는 변형예 4에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 11의 A 내지 D는 도 10에 도시한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 12의 A 내지 C는 도 11의 D에 계속된 공정을 도시하는 단면도.
- 도 13는 도 12에 계속된 공정을 도시하는 단면도.
- 도 14의 A 내지 E는 변형예 5에 관한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 15는 본 발명의 제 2의 실시의 형태에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 16의 A 및 B는 도 15에 도시한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 17는 본 발명의 제 3의 실시의 형태에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 18는 본 발명의 제 4의 실시의 형태에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 19의 A 내지 D는 도 18에 도시한 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 단면도.
- 도 20의 A 및 B는 도 19에 계속된 공정을 도시하는 단면도.
- 도 21는 본 발명의 제 5의 실시의 형태에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 22는 본 발명의 제 6의 실시의 형태에 관한 박막 트랜지스터의 구성을 도시하는 단면도.
- 도 23는 적용예 1에 관한 표시 장치의 회로 구성을 도시하는 도면.
- 도 24는 도 23에 도시한 화소 구동 회로의 한 예를 도시하는 등가 회로도.
- 도 25는 적용예 2의 외관을 도시하는 사시도.
- 도 26의 A는 적용예 3의 표측에서 본 외관을 도시하는 사시도, B는 이측에서 본 외관을 도시하는 사시도.
- 도 27는 적용예 4의 외관을 도시하는 사시도.
- 도 28는 적용예 5의 외관을 도시하는 사시도.
- 도 29의 A는 적용예 6의 연 상태의 정면도, B는 그 측면도, C는 닫은 상태의 정면도, D는 좌측면도, E는 우측면도, F는 상면도, G는 하면도.
- 도 30는 도 1에 도시한 박막 트랜지스터의 변형예를 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0019]

이하, 본 발명의 실시의 형태에 대해 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0020]

1. 제 1의 실시의 형태(톱 게이트 박막 트랜지스터 ; 층간 절연막을 제 1 무기 절연막 및 유기 수지막의 2층 구조로 하고, 제 1 무기 절연막을 금속막의 산화에 의해 형성한 예)

- [0021] 2. 변형예 1(제 1 무기 절연막을, 금속막 및 금속 산화막을 적층하고, 금속막을 산화시킴에 의해 형성한 예)
- [0022] 3. 변형예 2(저저항 영역을, 플라즈마를 이용하여 형성한 예)
- [0023] 4. 변형예 3(저저항 영역을, 실리콘 질화막으로부터의 수소의 확산에 의해 형성한 예)
- [0024] 5. 변형예 4(산화물 반도체막을, 비정질막 및 결정화막의 적층막을 형성하고, 이 적층막을 에칭에 의해 가공하는 예)
- [0025] 6. 변형예 5(산화물 반도체막을, 비정질막 및 미결정화막의 적층막을 형성하고, 이 적층막을 에칭에 의해 가공한 후에, 비정질막을 어닐하여 결정화막을 형성하는 예)
- [0026] 7. 제 2의 실시의 형태(톱 게이트 박막 트랜지스터 ; 층간 절연막을 유기 수지막만으로 구성하는 예)
- [0027] 8. 제 3의 실시의 형태(톱 게이트 박막 트랜지스터 ; 층간 절연막을 제 1 무기 절연막, 유기 수지막 및 제 2 무기 절연막의 3층 구조로 하고, 제 1의 무기 절연막을 금속막의 산화에 의해 형성한 예)
- [0028] 9. 제 4의 실시의 형태(금속막을 산화시킨 후 제거하고, 층간 절연막을 유기 수지막 및 제 2 무기 절연막의 2층 구조로 하는 예)
- [0029] 10. 제 5의 실시의 형태(보텀 게이트 박막 트랜지스터 ; 층간 절연막을 제 1 무기 절연막 및 유기 수지막의 2층 구조로 하고, 제 1 무기 절연막을 금속막의 산화에 의해 형성한 예)
- [0030] 11. 제 6의 실시의 형태(보텀 게이트 박막 트랜지스터 ; 층간 절연막을 유기 수지막만으로 구성하는 예)
- [0031] 12. 제 7의 실시의 형태(보텀 게이트 박막 트랜지스터 ; 층간 절연막을 제 1 무기 절연막, 유기 수지막 및 제 2 무기 절연막의 3층 구조로 하고, 제 1 무기 절연막을 금속막의 산화에 의해 형성한 예)
- [0032] 13. 제 8의 실시의 형태(금속막을 산화시킨 후 제거하고, 층간 절연막을 유기 수지막 및 제 2 무기 절연막의 2층 구조로 하는 예)
- [0033] 14. 적용예
- [0034] (제 1의 실시의 형태)
- [0035] 도 1은, 본 발명의 제 1의 실시의 형태에 관한 박막 트랜지스터(1)의 단면 구조를 도시하는 것이다. 박막 트랜지스터(1)는, 액정 디스플레이나 유기 EL 디스플레이 등의 구동 소자로서 이용되는 것이고, 예를 들면, 기판(11)에 산화물 반도체막(20), 게이트 절연막(30), 게이트 전극(40), 층간 절연막(50), 소스 전극(60S) 및 드레인 전극(60D)이 이 순서대로 적층된 톱 게이트형(스태거형)의 구성을 갖고 있다.
- [0036] 기판(11)은, 예를 들면, 유리 기판이나 플라스틱 필름 등에 의해 구성되어 있다. 플라스틱 재료로서는, 예를 들면 PET(폴리에틸렌테레프탈레이트), PEN(폴리에틸렌나프탈레이트) 등을 들 수 있다. 후술하는 스퍼터법에서, 기판(11)을 가열하는 일 없이 산화물 반도체막(20)을 성장하기 때문에, 염가의 플라스틱 필름을 이용할 수 있다. 또한, 기판(11)은, 목적에 응하여, 스테인리스강(SUS) 등의 금속 기판이라도 좋다.
- [0037] 산화물 반도체막(20)은, 기판(11)상에, 게이트 전극(40) 및 그 부근을 포함하는 섬형상(도상(島狀))으로 마련되고, 박막 트랜지스터(1)의 활성층으로서의 기능을 갖는 것이다. 산화물 반도체막(20)은, 예를 들면 두께가 50nm 정도이고, 게이트 전극(40)에 대향하여 채널 영역(20A)을 갖고 있다. 채널 영역(20A) 상에는, 게이트 절연막(30) 및 게이트 전극(40)이 이 순서대로 동일 형상으로 마련되어 있고, 채널 영역(20A)의 일방의 측에는 소스 영역(20S), 타방의 측에는 드레인 영역(20D)이 각각 마련되어 있다. 즉, 이 박막 트랜지스터(1)는, 셀프얼라인(자기정합) 구조를 갖는 것이다.
- [0038] 채널 영역(20A)은, 산화물 반도체에 의해 구성되어 있다. 여기서 산화물 반도체란, 인듐, 갈륨, 아연, 주석 등의 원소와, 산소를 포함하는 화합물이다. 구체적으로는, 비정질의 산화물 반도체로서는, 산화 인듐갈륨아연(IGZO)을 들 수 있고, 결정성의 산화물 반도체로서는, 산화 아연(ZnO), 산화 인듐아연(IZO(등록상표)), 산화 인듐갈륨(IGO), 산화 인듐주석(ITO), 산화 인듐(InO) 등을 들 수 있다.
- [0039] 소스 영역(20S) 및 드레인 영역(20D)은, 각각, 윗면부터 깊이 방향에서의 일부에 저저항 영역(21)을 갖고 있다.
- [0040] 저저항 영역(21)은, 예를 들면, 채널 영역(20A)보다도 산소 농도가 낮음에 의해 저저항화되어 있다. 저저항 영역(21)에 포함되는 산소 농도는, 30% 이하인 것이 바람직하다. 저저항 영역(21) 중의 산소 농도가 30%를 초과하

면, 저항이 높아져 버리기 때문이다.

- [0041] 또는, 저저항 영역(21)은, 알루미늄을 도펀트로서 포함하고 있음에 의해 저저항화되어 있다. 저저항 영역(21)에 포함되는 알루미늄 농도는, 채널 영역(20A)보다도 높은 것이 바람직하다.
- [0042] 또한, 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21) 이외의 영역은, 채널 영역(20A)과 마찬가지로 산화물 반도체에 의해 구성되어 있다. 저저항 영역(21)의 깊이에 관해서는 후술한다.
- [0043] 게이트 절연막(30)은, 예를 들면, 두께가 300nm 정도이고, 실리콘 산화막, 실리콘 질화막, 실리콘 질화 산화막 또는 산화 알루미늄막 등의 단층막 또는 적층막에 의해 구성되어 있다. 특히, 실리콘 산화막 또는 산화 알루미늄막은, 산화물 반도체막(20)을 환원시키기 어렵기 때문에 바람직하다.
- [0044] 게이트 전극(40)은, 박막 트랜지스터(1)에 게이트 전압을 인가하고, 이 게이트 전압에 의해 산화물 반도체막(20) 중의 전자 밀도를 제어하는 역할을 갖는 것이다. 게이트 전극(40)은, 기판(11)상의 선택적인 영역에 마련되고, 예를 들면, 두께가 10nm 내지 500nm, 구체적으로는 200nm 정도이고, 몰리브덴(Mo)에 의해 구성되어 있다. 게이트 전극(40)은 저저항인 것이 바람직하기 때문에, 그 구성 재료로서는, 예를 들면, 알루미늄(Al) 또는 구리(Cu) 등의 저저항 금속이 바람직하다. 또한, 알루미늄(Al) 또는 구리(Cu)로 이루어지는 저저항층과, 티탄(Ti) 또는 몰리브덴(Mo)으로 이루어지는 배리어층을 조합시킨 적층막도 바람직하다. 게이트 전극(40)의 저저항화가 가능해지기 때문이다.
- [0045] 층간 절연막(50)은, 산화물 반도체막(40)에 접하여 마련되고, 유기 수지막(51)을 포함하고 있다. 이에 의해, 이 박막 트랜지스터(1)는, 층간 절연막(50)에 기인하는 불량을 억제하고, 셀프얼라인 구조를 갖는 박막 트랜지스터(1)의 신뢰성을 향상시키는 것이 가능하게 되어 있다.
- [0046] 유기 수지막(51)은, 예를 들면, 두께가 2 μ m 내지 3 μ m 정도이고, 폴리이미드 등의 이미드계 수지, 아크릴계 수지 또는 노블락계 수지 등의 유기 수지막에 의해 구성되어 있다. 층간 절연막(50)이 유기 수지막(51)을 포함함에 의해, 층간 절연막(50)을 2 μ m 정도의 후막으로 하는 것이 가능해진다. 따라서, 게이트 절연막(30) 및 게이트 전극(40)의 단차를, 충분히 두꺼운 층간 절연막(50)에 의해 확실하게 피복하고, 소스 전극(60S) 및 드레인 전극(60D)의 단선 또는 단락 등, 층간 절연막(50)에 기인하는 불량을 저감하는 것이 가능해진다. 또한, 금속 배선에 의해 형성되는 배선 용량을 저감하는 것이 가능해지고, 액정 또는 유기 EL 디스플레이의 대형화 및 하이 프레임 레이트화에 충분히 대응하는 것이 가능해진다.
- [0047] 또한, 층간 절연막(50)은, 유기 수지막(51) 및 제 1 무기 절연막(52)의 적층 구조를 갖고 있는 것이 바람직하다. 산화물 반도체막(20)은 산소나 수분에 의해 전기특성이 변화하기 쉬운 것이지만, 산소나 수분 등에 대한 배리어성이 높은 제 1 무기 절연막(51)에 의해, 산화물 반도체막(20)에의 수분의 혼입이나 확산을 억제하고, 박막 트랜지스터(1)의 신뢰성을 향상시키는 것이 가능해진다.
- [0048] 층간 절연막(50)은, 제 1 무기 절연막(52) 및 유기 수지막(51)을 산화물 반도체막(40)의 측부터 이 순서대로 적층하는 것이 바람직하다. 배리어성이 높은 제 1 무기 절연막(52)에 의해, 산화물 반도체막(40)의 근처에서 보호하는 것이 가능해지기 때문에, 보다 높은 효과를 얻을 수 있기 때문이다.
- [0049] 제 1 무기 절연막(52)은, 예를 들면, 산화 알루미늄막, 산화 티탄막 또는 산화 인듐막에 의해 구성되어 있는 것이 바람직하다. 산화 티탄, 산화 알루미늄 또는 산화 인듐으로 이루어지는 제 1 무기 절연막(52)은, 외기에 대해 양호한 배리어성을 갖기 때문에, 산화물 반도체막(20)의 전기적 특성을 변화시키는 산소나 수분의 영향을 저감하고, 박막 트랜지스터(1)의 전기특성을 안정화시키는 것이 가능해진다. 제 1 무기 절연막(52)의 두께는, 예를 들면 20nm 이하이다.
- [0050] 소스 전극(60S) 및 드레인 전극(60D)은, 층간 절연막(50)에 마련된 접속 구멍(50A)을 통하여 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속되어 있다. 소스 전극(60S) 및 드레인 전극(60D)은, 예를 들면, 두께가 200nm 정도이고, 몰리브덴(Mo)에 의해 구성되어 있다. 또한, 소스 전극(60S) 및 드레인 전극(60D)은, 게이트 전극(40)과 마찬가지로, 알루미늄(Al) 또는 구리(Cu) 등의 저저항 금속 배선에 의해 구성되어 있는 것이 바람직하다. 또한, 알루미늄(Al) 또는 구리(Cu)로 이루어지는 저저항층과, 티탄(Ti) 또는 몰리브덴(Mo)으로 이루어지는 배리어층을 조합시킨 적층막도 바람직하다. 이와 같은 적층막을 이용함에 의해, 배선 지연이 적은 구동이 가능해진다.
- [0051] 또한, 소스 전극(60S) 및 드레인 전극(60D)은, 게이트 전극(40) 바로 위의 영역을 회피하여 마련되어 있는 것이 바람직하다. 게이트 전극(40)과 소스 전극(60S) 및 드레인 전극(60D)과의 교차 영역에 형성되는 기생 용량을 저

감하는 것이 가능해지기 때문이다.

- [0052] 이 박막 트랜지스터(1)는, 예를 들면 다음과 같이 하여 제조할 수 있다.
- [0053] 도 2 및 도 3은, 박막 트랜지스터(1)의 제조 방법을 공정순으로 도시한 것이다. 우선, 기판(11)의 전면(全面)에, 예를 들면 스퍼터링법에 의해, 상술한 재료로 이루어지는 산화물 반도체막(20)을, 50nm 정도의 두께로 형성한다. 그때, 타겟으로서는, 형성하려고 하는 산화물 반도체막(20)과 동일 조성의 세라믹 타겟을 이용한다. 또한, 산화물 반도체막(20)중의 캐리어 농도는 스퍼터링할 때의 산소 분압에 크게 의존하기 때문에, 소망하는 트랜지스터 특성을 얻을 수 있도록 산소 분압을 제어한다.
- [0054] 뒤이어, 도 2의 (A)에 도시한 바와 같이, 예를 들면 포토리소그래피 및 에칭에 의해 산화물 반도체막(20)을, 채널 영역(20A) 및 그 일방의 측에 소스 영역(20S), 타방의 측에 드레인 영역(20D)을 포함하는 섬형상으로 성형한다. 그때, 인산과 질산과 아세트산의 혼합액을 이용한 웨트 에칭에 의해 가공하는 것이 바람직하다. 인산과 질산과 아세트산의 혼합액은, 하지(下地)와의 선택비를 충분히 크게 하는 것이 가능하고, 비교적 용이하게 가공이 가능해진다.
- [0055] 계속해서, 도 2의 (B)에 도시한 바와 같이, 기판(11) 및 산화물 반도체막(20)의 전면(全面)에, 예를 들면 플라즈마 CVD(Chemical Vapor Deposition ; 화학 기상 성장)법 등에 의해, 실리콘 산화막 또는 산화 알루미늄막 등의 게이트 절연 재료막(30A)을, 300nm 정도의 두께로 형성한다. 실리콘 산화막은 플라즈마 CVD법 외에, 반응성 스퍼터링법에 의해 형성하는 것이 가능하다. 또한, 산화 알루미늄막은, 반응성 스퍼터링법, CVD법 또는 원자층 성장법에 의해 형성하는 것이 가능하다.
- [0056] 그 후, 마찬가지로 도 2의 (B)에 도시한 바와 같이, 게이트 절연 재료막(30A)의 전면(全面)에, 예를 들면 스퍼터링법에 의해, 몰리브덴(Mo), 티탄(Ti), 알루미늄(Al) 등의 단층막 또는 적층막으로 이루어지는 게이트 전극 재료막(40A)을, 200nm 정도의 두께로 형성한다.
- [0057] 게이트 전극 재료막(40A)을 형성한 후, 도 2의 (C)에 도시한 바와 같이, 예를 들면 포토리소그래피 및 에칭에 의해, 게이트 전극 재료막(40A)을 소망하는 형상으로 성형하여, 산화물 반도체막(20)의 채널 영역(20A) 상에 게이트 전극(40)을 형성한다.
- [0058] 계속해서, 마찬가지로 도 2의 (C)에 도시한 바와 같이, 게이트 전극(40)을 마스크로 하여 게이트 절연 재료막(30)을 에칭함에 의해 게이트 절연막(30)을 형성한다. 이때, 산화물 반도체막(20)을 ZnO, IZO, IGO 등의 결정화 재료에 의해 구성된 경우에는, 게이트 절연 재료막(30A)을 에칭할 때에, 불화수소산 등의 약액을 이용하여 매우 큰 에칭 선택비를 유지하여 용이하게 가공하는 것이 가능해진다. 이에 의해, 산화물 반도체막(20)의 채널 영역(20A)상에, 게이트 절연막(30) 및 게이트 전극(40)이 이 순서대로 동일 형상으로 형성된다.
- [0059] 게이트 절연막(30) 및 게이트 전극(40)을 형성한 후, 도 3(A)에 도시한 바와 같이, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 표면에, 예를 들면 스퍼터링법에 의해, 티탄(Ti), 알루미늄(Al) 또는 인듐(In) 등의 산소와 비교적 저온에서 반응하는 금속으로 이루어지는 금속막(52A)을, 예를 들면 10nm 이하, 구체적으로는 5nm 이상 10nm 이하의 두께로 형성한다.
- [0060] 금속막(52A)을 형성한 후, 열처리를 행함에 의해, 도 3(B)에 도시한 바와 같이, 금속막(50A)이 산화되어 제 1 무기 절연막(52)이 형성된다. 이 금속막(52A)의 산화 반응에는, 소스 영역(20S) 및 드레인 영역(20D)에 포함되는 산소의 일부가 이용된다. 그때문에, 금속막(52A)의 산화의 진행에 수반하여, 소스 영역(20S) 및 드레인 영역(20D)의 금속막(52A)과 접하는 윗면측부터, 소스 영역(20S) 및 드레인 영역(20D) 중의 산소 농도가 저하되어 간다. 이에 의해, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)이 형성된다.
- [0061] 도 4는, 상술한 제조 방법과 마찬가지로 하여, 금속막(52A)의 열처리를 행한 후, 채널 영역(20A), 및 소스 영역(20S) 및 드레인 영역(20D) 중의 산소 농도의 깊이 방향의 의존성을 EDX법(에너지 분산형 X선 분광법)을 이용하여 조사한 결과를 도시한 것이다. 그때, 산화물 반도체 박막(20)의 재료는 IGZO로 하고, 금속막(52A)은 두께 5nm의 알루미늄막으로 하고, 열처리는 300℃의 어닐에 의해 행하였다.
- [0062] 도 4에 도시한 바와 같이, 소스 영역(20S) 및 드레인 영역(20D) 중의 산소 농도는, 깊이 방향의 전체에 걸쳐서, 채널 영역(20A) 중의 산소 농도보다도 낮게 되어 있음을 알 수 있다. 그 중에서도 특히 깊이 10nm 이내의 영역에서는, 채널 영역(20A) 중의 산소 농도와, 소스 영역(20S) 및 드레인 영역(20D) 중의 산소 농도의 차가 극히 명료하게 되어 있다. 즉, 저저항 영역(21)은, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향의 일

부, 구체적으로는 10nm 이내의 영역인 것을 알 수 있다.

- [0063] 또한, 저저항 영역(21)을 형성하기 위해 금속막(52A)의 재료로서 알루미늄을 이용한 경우에는, 금속막(52A)의 열처리에 수반하여, 소스 영역(20S) 및 드레인 영역(20D)의 금속막(52A)과 접하는 윗면측부터, 소스 영역(20S) 및 드레인 영역(20) 중에 알루미늄이 확산한다. 이에 의해, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 알루미늄을 도펀트로서 포함하는 저저항 영역(21)이 형성된다. 이 저저항 영역(21)에 포함되는 알루미늄 농도는, 채널 영역(20A)보다도 높아진다. 즉, 저저항 영역(21)에 포함되는 알루미늄은, 도펀트로서 소스 영역(20S) 및 드레인 영역(20D)을 저저항화 시키는 기능도 갖고 있다.
- [0064] 금속막(52A)의 열처리로서는, 예를 들면, 상술한 바와 같이, 300℃ 정도의 온도로 어닐하는 것이 바람직하다. 그때, 산소 등을 포함하는 산화성의 가스 분위기로 어닐을 행함으로써, 저저항 영역(21)의 산소 농도가 너무 낮아지는 것을 억제하고, 채널이 되는 산화물 반도체막(20)에 충분한 산소를 공급하는 것이 가능해진다. 따라서, 후처리 공정에서 행하는 어닐 공정을 삭감하는 것이 가능해지고, 공정의 간략화가 가능해진다.
- [0065] 또한, 예를 들면, 도 3(A)에 도시한 금속막(52A)을 형성하는 공정에서 기판(11)의 온도를 200℃ 정도로 비교적 높은 온도로 함에 의해, 도 3(B)에 도시한 열처리를 행하지 않고 저저항 영역(21)을 형성하는 것도 가능하다. 이 경우에는, 채널이 되는 산화물 반도체막(20)의 캐리어 농도를 트랜지스터로서 필요한 레벨로 저감하는 것이 가능하다.
- [0066] 금속막(52A)은, 상술한 바와 같이 10nm 이하의 두께로 형성하는 것이 바람직하다. 금속막(52A)의 두께를 10nm 이하로 하면, 산화성의 가스 분위기중에서의 어닐을 행함에 의해, 산소 플라즈마중에서 금속막(52A)을 완전히 산화하는 것이 가능해지기 때문이다. 따라서, 완전히 산화되지 않은 금속막(52A)을 에칭에 의해 제거하는 공정이 불필요하게 되고, 제조 공정의 간략화가 가능해진다. 금속막(52A)을 10nm 이하의 두께로 형성한 경우, 제 1 무기 절연막(52)의 두께는 결과로서 20nm 이하가 된다.
- [0067] 그때, 금속막(52A)을 산화시키는 방법으로서, 열처리 외에, 수증기 분위기에서의 산화, 또는 플라즈마 산화 등의 방법에 의해 산화를 촉진시키는 것도 가능하다. 플라즈마 산화에서는, 예를 들면, 기판(11)의 온도를 200℃ 내지 400℃ 정도로 하여, 산소나 2질화 산소 등의 산소를 포함하는 가스 분위기중에서 플라즈마를 발생시켜서 처리하는 것이 바람직하다. 이에 의해, 상술한 바와 같은 외기에 대해 양호한 배리어성을 갖는 제 1 무기 절연막(52)을 형성하는 것이 가능해지기 때문이다.
- [0068] 또한, 제 1 무기 절연막(52)은, 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D) 이외에, 게이트 절연막(30) 또는 게이트 전극(40)상 등에도 형성된다. 그러나 제 1 무기 절연막(52)을 에칭에 의해 제거하지 않고 남겨 두어도 리크 전류의 원인이 되는 일은 없다.
- [0069] 여기서, 액정 디스플레이나 유기 EL 디스플레이 등의 응용에 있어서, 빛을 박막 트랜지스터(1)의 기판(11) 방향으로 투과할 필요가 있는 경우에는, 제 1 무기 절연막(52)을 남겨 둔 경우에는, 제 1 무기 절연막(52)의 투과율이 낮고, 휘도가 저하되어 버려 디스플레이로서의 표시 품질이 저하되는 경우가 있다. 이와 같은 경우에는, 산화물 반도체막(20)과 접하여 있는 제 1 무기 절연막(52) 이외의 영역을 포토리소그래피와 에칭 프로세스를 행함에 의해 제거하는 것도 가능하다. 이와 같은 프로세스 공정을 경유함으로써, 디스플레이의 투과율을 향상시키는 것이 가능해지기 때문에, 액정 디스플레이나 유기 EL의 응용에 있어서, 빛을 박막 트랜지스터(1)의 기판(11)을 통하여 투과하는 응용에 본 실시의 형태의 기술을 이용하는 것도 가능해진다.
- [0070] 저저항 영역(21)을 형성한 후, 도 3(C)에 도시한 바와 같이, 제 1 무기 절연막(52) 상에, 예를 들면 스핀 코터 또는 슬릿 코터를 이용하여 상술한 재료로 이루어지는 유기 수지를 상술한 두께로 도포하고, 노광 및 현상을 행함에 의해 소망하는 패턴을 형성한다. 계속해서 예를 들면 200℃ 내지 300℃ 정도의 온도로 어닐함에 의해, 도 3(C)에 도시한 바와 같이, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0071] 이와 같이 층간 절연막(50)이 유기 수지막(51)을 포함하도록 함에 의해, CVD 공정과 같은 진공 공정을 이용하는 일 없이 층간 절연막(50)을 형성하는 것이 가능해진다. 따라서, 산화물 반도체막(20)중의 산소의 이탈이나 CVD 공정으로 생기는 수소 등에 의한 환원 반응의 영향을 억제한 상태에서 박막 트랜지스터(1)를 형성하는 것이 가능해진다. 그 결과, 전기적 안정성이나 신뢰성에 우수한 박막 트랜지스터(1)를 형성하는 것이 가능해진다.
- [0072] 계속해서, 도 1에 도시한 바와 같이, 예를 들면 포토리소그래피 및 에칭에 의해, 층간 절연막(50)의 제 1 무기 절연막(52)에 접속 구멍(50A)을 형성한다. 그 후, 층간 절연막(50)의 위에, 예를 들면 스퍼터링법에 의해, 예를 들면 몰리브덴(Mo)막을 200nm의 두께로 형성하고, 포토리소그래피 및 에칭에 의해 소정의 형상으로 성형한다. 이에 의해, 도 1에 도시한 바와 같이, 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영

역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 도 1에 도시한 박막 트랜지스터(1)가 완성된다.

[0073] 이 박막 트랜지스터(1)에서는, 도시하지 않은 배선층을 통하여 게이트 전극(40)에 소정의 임계치 전압 이상의 전압(게이트 전압)이 인가되면, 산화물 반도체막(20)의 채널 영역(20A) 중에 전류(드레인 전류)가 생긴다. 여기서, 층간 절연막(50)이 유기 수지막(51)을 포함하고 있기 때문에, 층간 절연막(50)의 두께를 크게 하는 것이 가능하게 되어 있고, 게이트 절연막(30) 및 게이트 전극(40)의 단차가, 충분히 두꺼운 층간 절연막(50)에 의해 확실하게 피복되어 있다. 따라서, 소스 전극(60S) 및 드레인 전극(60D)의 단선 또는 단락 등, 층간 절연막(50)에 기인하는 불량률이 억제된다.

[0074] 또한, 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 적어도 일부에, 채널 영역(20A)보다도 산소 농도가 낮고, 및/또는 알루미늄을 도너로서 많이 포함하는 저저항 영역(21)이 마련되어 있기 때문에, 소자 특성이 안정된 것으로 된다.

[0075] 도 5의 (A)는, 실제로 상술한 제조 방법에 의해 층간 절연막(50)에 유기 수지막(51)을 포함하는 박막 트랜지스터(1)를 제작하고, 트랜지스터 특성을 조사한 결과를 도시한 것이다. 그때, 제 1 무기 절연막(52)으로서의 두께 10nm의 산화 알루미늄막, 유기 수지막(51)으로서의 두께 3 μ m의 폴리이미드막을 형성하였다. 또한, 박막 트랜지스터 제작의 최종 공정에는, 산소 농도 40%의 질소와 산소와의 가스 분위기중에서 300 $^{\circ}$ C, 1시간의 어닐을 행하였다.

[0076] 한편, 층간 절연막으로서 플라즈마 CVD법에 의해 실리콘 산화막을 200nm의 두께로 형성한 것을 제외하고는, 도 5의 (A)의 경우와 마찬가지로 하여 박막 트랜지스터를 제작하고, 트랜지스터 특성을 조사하였다. 박막 트랜지스터 제작의 최종 공정에는, 도 5의 (A)의 경우와 마찬가지로, 산소 농도 40%의 질소와 산소와의 가스 분위기중에서 300 $^{\circ}$ C, 1시간의 어닐을 행하였다. 얻어진 결과를 도 5의 (B)에 도시한다.

[0077] 도 5의 (A)로부터 알 수 있는 바와 같이, 층간 절연막(50)으로서 산화 알루미늄으로 이루어지는 제 1 무기 절연막(52) 및 폴리이미드막으로 이루어지는 유기 수지막(51)을 형성한 박막 트랜지스터(1)에서는, 오프 전류가 충분히 낮게 억제된 양호한 특성을 얻을 수 있다. 이에 대해, 층간 절연막에 실리콘 산화막을 이용한 경우에는, 도 5의 (B)로부터 알 수 있는 바와 같이, 게이트 전극에 마이너스 전압을 인가하여도 오프 상태가 되지 않았다.

[0078] 이 이유로서는, 층간 절연막(50)으로서 제 1 무기 절연막(52) 및 유기 수지막(51)의 적층 구조를 갖는 박막 트랜지스터(1)에서는, 게이트 전극(40) 및 게이트 절연막(30)의 가공 후에 형성된 단차가, 충분히 두꺼운 층간 절연막(50)으로 피복되고, 소스 전극(60S) 및 드레인 전극(60D)의 단선 또는 단락 등, 층간 절연막(50)에 기인하는 불량률이 저감되었기 때문이라고 생각된다. 또한, 박막 트랜지스터 제작의 최종 공정에서 산화성 가스 분위기중에서의 어닐 공정에 의해 산소의 확산이 촉진되고, 산화물 반도체막(20)중에 충분한 양의 산소를 공급하는 것이 가능해졌다는 것도 생각된다.

[0079] 한편, 층간 절연막으로서 실리콘 산화막을 이용한 경우에는, 층간 절연막의 두께가 얇고, 불량의 발생이 충분히 억제되지 않은 것에 더하여, 어닐 공정에서 충분한 산소를 공급하는 것이 곤란하였기 때문에, 오프 상태가 되지 않는 TFT 특성이 된 것이라고 생각된다. 이 경우에도, 산화성 가스 분위기에서의 어닐 시간을 10시간 정도로 하면, 오프 상태가 되는 TFT 특성을 얻을 수 있지만, 제조시간이 매우 길어져 버린다는 문제가 생긴다.

[0080] 즉, 층간 절연막(50)으로서 산화 알루미늄으로 이루어지는 제 1 무기 절연막(52) 및 폴리이미드로 이루어지는 유기 수지막(51)을 형성함에 의해, 셀프얼라인 구조에 의해 기생 용량을 저감함과 함께 소자 특성 및 신뢰성에 우수한 박막 트랜지스터(1)를 실현할 수 있음을 알 수 있다.

[0081] 이와 같이 본 실시의 형태의 박막 트랜지스터(1)에서는, 층간 절연막(50)이 유기 수지막(51)을 포함하도록 하였기 때문에, 소스 전극(60S) 및 드레인 전극(60D)의 단선 또는 단락 등, 층간 절연막(50)에 기인하는 불량을 억제하고, 셀프얼라인 구조의 틈 게이트 박막 트랜지스터(1)의 소자 특성 및 신뢰성을 향상시키는 것이 가능해진다. 따라서, 이 박막 트랜지스터(1)를 이용하여 액티브 구동 방식의 디스플레이를 구성하면, 기생 용량이 작은 셀프얼라인 구조와 함께 양호한 소자 특성 및 높은 신뢰성을 갖는 박막 트랜지스터(1)에 의해, 고품질의 표시가 가능해지고, 대화면화, 고정밀화, 하이 프레임 레이트화에 대응 가능해진다. 또한, 보존 용량이 작은 레이아웃을 적용하는 것이 가능해지고, 화소 레이아웃에 있어서의 배선이 차지하는 비율을 작게 하는 것이 가능해진다. 따라서, 배선 사이 쇼트에 의한 결함의 발생 확률을 작게 하고, 제조 수율을 높이는 것이 가능해진다.

[0082] (변형예 1)

- [0083] 도 6 및 도 7은, 본 발명의 변형예 1에 관한 박막 트랜지스터(1)의 제조 방법을 공정순으로 도시한 것이다. 이 제조 방법은, 제 1 무기 절연막(52)을, 금속막(52A) 및 금속 산화막(52B)을 적층하고, 금속막(52A)을 산화시킴에 의해 형성한 것에 있어서, 상기 제 1의 실시의 형태의 제조 방법과는 다른 것이다. 또한, 제 1의 실시의 형태와 제조 공정이 중복되는 부분에 관해서는, 도 2를 참조하여 설명한다.
- [0084] 우선, 제 1의 실시의 형태와 마찬가지로 하여, 도 2의 (A) 내지 도 2의 (C)에 도시한 공정에 의해, 기관(11)에, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)을 형성한다.
- [0085] 뒤이어, 도 6의 (A)에 도시한 바와 같이, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 표면에, 예를 들면 스퍼터링법에 의해, 티탄(Ti), 알루미늄(Al) 또는 인듐(In) 등의 산소와 비교적 저온에서 반응하는 금속으로 이루어지는 금속막(52A)을, 예를 들면 10nm 이하, 구체적으로는 5nm 이상 10nm 이하의 두께로 형성한다.
- [0086] 계속해서, 마찬가지로 도 6의 (A)에 도시한 바와 같이, 스퍼터 장치의 챔버(도시 생략) 내에서, 금속막(52A)에 연속하여, 금속막(52A)의 위에, 산화 알루미늄막, 산화 티탄막 또는 산화 인듐막으로 이루어지는 금속 산화막(52B)를, 예를 들면 10nm 내지 50nm의 두께로 형성한다.
- [0087] 금속막(52A) 및 금속 산화막(52B)를 형성한 후, 제 1의 실시의 형태와 마찬가지로 열처리를 행함에 의해, 도 6의 (B)에 도시한 바와 같이, 금속막(52A)이 산화되어 제 1 무기 절연막(52)이 형성된다. 제 1 무기 절연막(52)의 두께는, 금속막(52A)의 산화 후의 두께(금속막(52A)을 10nm 이하의 두께로 형성한 경우, 20nm 이하)와, 금속 산화막(52B)의 두께와의 합계 두께가 된다. 따라서, 제 1 무기 절연막(52)의 두께를 두껍게 하는 것이 가능해지고, 박막 트랜지스터(1)의 신뢰성을 더욱 향상시키는 것이 가능해진다.
- [0088] 또한, 제 1 무기 절연막(52)이 형성되는 동시에, 제 1의 실시의 형태와 마찬가지로 하여, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)이 형성된다.
- [0089] 금속막(52A)의 열처리로서는, 예를 들면, 제 1의 실시의 형태와 마찬가지로, 300℃ 정도의 온도로 어닐하는 것이 바람직하다. 그때, 산소 등을 포함하는 산화성의 가스 분위기로 어닐을 행함으로써, 저저항 영역(21)의 산소 농도가 너무 낮아지는 것을 억제하고, 채널이 되는 산화물 반도체막(20)에 충분한 산소를 공급하는 것이 가능해진다. 따라서, 후처리 공정에서 행하는 어닐 공정을 삭감하는 것이 가능해지고, 공정의 간략화가 가능해진다.
- [0090] 또한, 예를 들면, 도 6의 (A)에 도시한 금속막(52A)을 형성하는 공정에서 기관(11)의 온도를 200℃ 정도에 비교적 높은 온도로 함에 의해, 도 6의 (B)에 도시한 열처리를 행하지 않고 저저항 영역(21)을 형성하는 것도 가능하다. 이 경우에는, 채널이 되는 산화물 반도체막(20)의 캐리어 농도를 트랜지스터로서 필요한 레벨로 저감하는 것이 가능하다.
- [0091] 금속막(52A)은, 상술한 바와 같이 10nm 이하의 두께로 형성하는 것이 바람직하다. 금속막(52A)의 두께를 10nm 이하로 하면, 금속막(52A)과 금속 산화막(52B)를 연속적으로 형성함에 의해, 산소 플라즈마중에서 금속막(52A)을 완전히 산화하는 것이 가능해지기 때문이다. 따라서, 완전히 산화되지 않은 금속막(52A)을 에칭에 의해 제거하는 공정이 불필요하게 되고, 제조 공정의 간략화가 가능해진다.
- [0092] 그때, 금속막(52A)을 산화시키는 방법으로서, 제 1의 실시의 형태와 마찬가지로, 열처리 외에, 수증기 분위기에서의 산화, 또는 플라즈마 산화 등의 방법에 의해 산화를 촉진시키는 것도 가능하다. 특히 플라즈마 산화는, 변형예 2에서 후술하는 바와 같이, 후처리 공정에서 실리콘 산화막 등으로 이루어지는 제 1 층간 절연막(52)을 플라즈마 CVD법에 의해 형성하기 직전에 실시하는 것이 가능하고, 특히 공정을 늘릴 필요가 없다는 이점이 있다. 플라즈마 산화에서는, 예를 들면, 기관(11)의 온도를 200℃ 내지 400℃ 정도로 하여, 산소나 2절화 산소 등의 산소를 포함하는 가스 분위기중에서 플라즈마를 발생시켜서 처리하는 것이 바람직하다. 이에 의해, 상술한 바와 같은 외기에 대해 양호한 배리어성을 갖는 제 1 무기 절연막(52)을 형성하는 것이 가능해지기 때문이다.
- [0093] 또한, 제 1 무기 절연막(52)은, 제 1의 실시의 형태와 마찬가지로, 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D) 이외에, 게이트 절연막(30) 또는 게이트 전극(40)상 등에도 형성된다. 그러나, 제 1 무기 절연막(52)을 에칭에 의해 제거하지 않고 남겨 두어도 리크 전류의 원인이 되는 일은 없다.
- [0094] 저저항 영역(21)을 형성한 후, 도 6의 (C)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 제 1 무기 절연막(52) 상에, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0095] 계속해서, 도 7에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 층간 절연막(50)의 제 1 무기 절

연막(52)에 접속 구멍(50A)을 형성하고, 이 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 박막 트랜지스터(1)가 완성된다.

[0096] 본 변형예 1에서는, 제 1의 실시의 형태의 효과에 더하여, 제 1 무기 절연막(52)을, 금속막(52A) 및 금속 산화막(52B)를 적층하고, 금속막(52A)을 산화시킴에 의해 형성하도록 하였기 때문에, 제 1 무기 절연막(52)의 두께를 두껍게 하는 것이 가능해진다. 따라서, 박막 트랜지스터(1)의 신뢰성을 더욱 향상시키는 것이 가능해진다.

[0097] (변형예 2)

[0098] 도 8은, 본 발명의 변형예 2에 관한 박막 트랜지스터(1)의 제조 방법을 공정순으로 도시한 것이다. 이 제조 방법은, 저저항 영역(21)을, 플라즈마를 이용하여 형성한 것에 있어서, 상기 제 1의 실시의 형태의 제조 방법과는 다른 것이다. 또한, 제 1의 실시의 형태와 제조 공정이 중복되는 부분에 관해서는, 도 1 및 도 2를 참조하여 설명한다.

[0099] 우선, 제 1의 실시의 형태와 마찬가지로 하여, 도 2의 (A) 내지 도 2의 (C)에 도시한 공정에 의해, 기판(11)에, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)을 형성한다.

[0100] 뒤이어, 도 8의 (A)에 도시한 바와 같이, 플라즈마 CVD 장치(도시 생략) 내에서, 수소, 아르곤, 암모니아 가스 등의 플라즈마(P)를 발생시키고, 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D)을 플라즈마(P)에 폭로한다. 이에 의해, 도 8의 (B)에 도시한 바와 같이, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 예를 들면 1% 정도의 원자 농도의 수소가 도입되고, 저저항 영역(21)이 형성된다. 또한, 저저항 영역(21)은, 플라즈마 CVD법 등에 의한 수소 가스를 포함하는 플라즈마 처리 외에, 이온 도핑 또는 이온 주입에 의해 형성하는 것도 가능하다.

[0101] 계속해서, 도 8의 (C)에 도시한 바와 같이, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 위에 제 1 무기 절연막(52)을 형성한다. 제 1 무기 절연막(52)으로서는, 예를 들면 플라즈마 CVD법에 의해, 예를 들면 실리콘 산화막 또는 산화 알루미늄막, 또는 그들의 적층막을 형성하는 것이 바람직하다. 이와 같이 하면, 제 1 무기 절연막(52)을 플라즈마 CVD법에 의해 형성하기 직전에, 플라즈마(P)를 이용하여 저저항 영역(21)을 형성하는 것이 가능하고, 특히 공정을 늘릴 필요가 없다는 이점이 있다.

[0102] 실리콘 산화막은 플라즈마 CVD법에 의해 형성하는 것이 가능하다. 산화 알루미늄막은, 알루미늄을 타겟으로 한 DC 또는 AC 전원에 의한 반응성 스퍼터링법에 의해 형성하는 것이 바람직하다. 고속으로 성막하는 것이 가능해지기 때문이다. 제 1 무기 절연막(52)의 두께는, 예를 들면 스퍼터링법으로 산화 알루미늄막을 성막하는 경우, 예를 들면 50nm 이하로 두껍게 형성하는 것이 가능하다.

[0103] 그 후, 마찬가지로 도 8의 (C)에 도시한 바와 같이, 제 1 무기 절연막(52)상에, 제 1의 실시의 형태와 마찬가지로 하여, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.

[0104] 계속해서, 도 1에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 층간 절연막(50)의 제 1 무기 절연막(52)에 접속 구멍(50A)을 형성하고, 이 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 박막 트랜지스터(1)가 완성된다.

[0105] 본 변형예 2에서는, 층간 절연막(50)이 유기 수지막(51)을 포함하도록 하였기 때문에, 제 1의 실시의 형태와 같은 효과를 얻을 수 있다.

[0106] (변형예 3)

[0107] 도 9는, 본 발명의 변형예 3에 관한 박막 트랜지스터(1)의 제조 방법을 공정순으로 도시한 것이다. 이 제조 방법은, 저저항 영역(21)을, 실리콘 질화막으로부터의 수소의 확산에 의해 형성한 것에 있어서, 상기 제 1의 실시의 형태의 제조 방법과는 다른 것이다. 또한, 제 1의 실시의 형태와 제조 공정이 중복되는 부분에 관해서는, 도 1 및 도 2를 참조하여 설명한다.

[0108] 우선, 제 1의 실시의 형태와 마찬가지로 하여, 도 2의 (A) 내지 도 2의 (C)에 도시한 공정에 의해, 기판(11)에, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)을 형성한다.

[0109] 뒤이어, 도 9의 (A)에 도시한 바와 같이, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 표면에, 예를 들면 플라즈마 CVD법에 의해, 실리콘 질화막 등의 막 내에 수소를 많이 함유하는 절연막으로 이루어지

는 제 1 무기 절연막(52)을 형성한다. 이때, 제 1 무기 절연막(52)으로부터 소스 영역(20S) 및 드레인 영역(20D)에 수소가 확산함에 의해, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 예를 들면 1% 정도의 원자 농도의 수소가 도입되어, 저저항 영역(21)이 형성된다.

- [0110] 계속해서, 도 9의 (B)에 도시한 바와 같이, 제 1 무기 절연막(52)상에, 제 1의 실시의 형태와 마찬가지로 하여, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0111] 계속해서, 도 1에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 층간 절연막(50)의 제 1 무기 절연막(52)에 접속 구멍(50A)을 형성하고, 이 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 박막 트랜지스터(1)가 완성된다.
- [0112] 본 변형예 3에서는, 층간 절연막(50)이 유기 수지막(51)을 포함하도록 하였기 때문에, 제 1의 실시의 형태와 같은 효과를 얻을 수 있다.
- [0113] 또한, 본 변형예 3에서는, 제 1 무기 절연막(52)을 형성하기 전에, 변형예 2와 마찬가지로 하여, 도 8의 (A)에 도시한 공정에 의해, 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D)을 수소, 아르곤, 암모니아 가스 등의 플라즈마(P)에 폭로함에 의해, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에 저저항 영역(21)을 형성하도록 하여도 좋다.
- [0114] (변형예 4)
- [0115] 도 10은, 본 발명의 변형예 4에 관한 박막 트랜지스터(1A)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(1A)는, 산화물 반도체막(20)을 비정질막(22) 및 결정화막(23)의 적층 구조로 한 것을 제외하고는, 상기 제 1의 실시의 형태의 박막 트랜지스터(1)와 같은 구성을 가지며, 그 작용 및 효과도 마찬가지이다. 따라서, 대응하는 구성 요소에는 동일한 부호를 붙여서 설명한다.
- [0116] 기관(11), 게이트 절연막(30), 게이트 전극(40), 층간 절연막(50), 소스 전극(60S) 및 드레인 전극(60D)에 관해서는, 제 1의 실시의 형태와 마찬가지이다.
- [0117] 산화물 반도체막(20)은, 비정질막(22) 및 결정화막(23)의 적층 구조를 갖고 있다. 소스 전극(60S) 및 드레인 전극(60D)은, 결정화막(23)에 접하여 마련되어 있다. 구체적으로는, 산화물 반도체막(20)은, 기관(11)측부터 비정질막(22) 및 결정화막(23)을 이 순서대로 적층한 구조를 갖고 있다.
- [0118] 비정질막(22)은, 박막 트랜지스터(1)의 채널로서의 기능을 갖는 것이고, 산화물 반도체막(20)의 기관(11)측에 마련되어 있다. 비정질막(22)은, 예를 들면, 두께가 10nm 내지 50nm 정도이고, IGZO 등의 어모퍼스 상태의 산화물 반도체에 의해 구성되어 있다. 어모퍼스 상태의 산화물 반도체막을 채널에 이용한 TFT에서는, 균일성에 우수한 전기특성을 얻을 수 있다.
- [0119] 결정화막(23)은, 제조 공정에서 상층과의 에칭 선택비를 확보하기 위한 것이고, 산화물 반도체막(20)의 소스 전극(60S) 및 드레인 전극(60D)측에 마련되어 있다. 결정화막(23)은, 예를 들면, 두께가 10nm 내지 50nm 정도이고, 산화 아연, IZO, IGO 등의 결정화 상태의 산화물 반도체에 의해 구성되어 있다. 결정화 상태의 산화물 반도체는, 약액에 대한 내성이 높고, 제조 공정에서 상층을 에칭할 때에 산화물 반도체막(20)의 의도하지 않은 에칭을 억제하는 것이 가능해진다. 따라서, 산화물 반도체막(20)의 두께를 두껍게 할 필요가 없어지고, 양호한 전기특성을 얻을 수 있다.
- [0120] 또한, 산화물 반도체막(20)의 두께(비정질막(22) 및 결정화막(23)의 합계 두께)는, 제조 공정에서의 어닐에 의한 산소 공급 효율을 고려하면, 예를 들면 20nm 내지 100nm 정도인 것이 바람직하다.
- [0121] 산화물 반도체막(20)의 소스 영역(20S) 및 드레인 영역(20D)은, 제 1의 실시의 형태와 마찬가지로, 각각, 윗면부터 깊이 방향에서의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)을 갖고 있다. 또한, 도 10에서는, 저저항 영역(21)의 깊이와 결정막(23)의 두께가 동등하게 되어 있는 경우를 나타내고 있지만, 저저항 영역(21)은, 결정막(23)의 윗면부터 깊이 방향에서의 일부에 마련되어 있어도 좋다. 또한, 저저항 영역(21)은, 결정막(23)의 윗면부터 깊이 방향에서의 전부와, 비결정막(22)의 결정막(23)과의 계면부터 깊이 방향에서의 일부에 마련되어 있어도 좋다.
- [0122] 이 박막 트랜지스터(1A)는, 예를 들면 다음과 같이 하여 제조할 수 있다.
- [0123] 도 11 내지 도 13은, 이 박막 트랜지스터(1A)의 제조 방법을 공정순으로 도시한 것이다. 우선, 도 11의 (A)에

도시한 바와 같이, 기관(11)에, 예를 들면 스퍼터링법에 의해, 상술한 두께 및 재료로 이루어지는 비정질막(22)을 형성한다. 구체적으로는, 예를 들면 IGZO로 이루어지는 비정질막(22)을 형성하는 경우에는, IGZO막의 세라믹을 타겟으로 한 DC 스퍼터법을 이용하여, 아르곤과 산소와의 혼합 가스에 의한 플라즈마 방전으로 게이트 절연막(30)상에 비정질막(41)을 형성한다. 또한, 플라즈마 방전 전에 진공 용기(도시 생략) 내의 진공도가 1×10^{-4} Pa 이하가 될 때까지 배기한 후, 아르곤과 산소와의 혼합 가스를 도입한다.

- [0124] 이때, 채널이 되는 비정질막(22)중의 캐리어 농도는, 산화물 형성할 때의 아르곤과 산소와의 유량비를 변화시킴으로써 제어하는 것이 가능하다.
- [0125] 뒤이어, 마찬가지로 도 11의 (A)에 도시한 바와 같이, 예를 들면 스퍼터링법에 의해, 상술한 두께 및 재료로 이루어지는 결정화막(23)을 형성한다. 구체적으로는, 예를 들면 IZO로 이루어지는 결정화막(23)을 형성하는 경우에는, IZO막의 세라믹을 타겟으로 한 DC 스퍼터법을 이용한다. 이와 같이 하여, 비정질막(22) 및 결정화막(23)의 적층막(24)이 형성된다.
- [0126] 계속해서, 도 11의 (B)에 도시한 바와 같이, 예를 들면 포토리소그래피 및 에칭에 의해 적층막(24)을 소정의 형상, 예를 들면 게이트 전극(40) 및 그 부근을 포함하는 것이 가능한 섬형상으로 성형한다. 이에 의해, 비정질막(22) 및 결정화막(23)의 적층 구조를 갖는 산화물 반도체막(20)이 형성된다.
- [0127] 그 후, 도 11의 (C)에 도시한 바와 같이, 기관(11) 및 산화물 반도체막(20)의 전면에, 제 1의 실시의 형태와 마찬가지로 하여, 게이트 절연 재료막(30A) 및 게이트 전극 재료막(40A)을 이 순서대로 형성한다.
- [0128] 게이트 전극 재료막(40A)을 형성한 후, 도 11의 (D)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 예를 들면 포토리소그래피 및 에칭에 의해, 게이트 전극 재료막(40A)을 소망하는 형상으로 성형하고, 산화물 반도체막(20)의 채널 영역(20A)상에 게이트 전극(40)을 형성한다.
- [0129] 계속해서, 마찬가지로 도 11의 (D)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 게이트 전극(40)을 마스크로 하여 게이트 절연 재료막(30)을 에칭함에 의해 게이트 절연막(30)을 형성한다. 이때, 산화물 반도체막(20)이 기관(11)측부터 비정질막(22) 및 결정화막(23)을 이 순서대로 적층한 구조를 갖고 있기 때문에, 게이트 절연 재료막(30A)을 에칭할 때에, 불화수소산 등의 약액을 이용하여 매우 큰 에칭 선택비를 유지하여 용이하게 가공하는 것이 가능해진다. 이에 의해, 산화물 반도체막(20)의 채널 영역(20A)상에, 게이트 절연막(30) 및 게이트 전극(40)이 이 순서대로 동일 형상으로 형성된다.
- [0130] 게이트 절연막(30) 및 게이트 전극(40)을 형성한 후, 도 12의 (A)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 표면에, 예를 들면 스퍼터링법에 의해, 티탄(Ti), 알루미늄(Al) 또는 인듐(In) 등의 산소와 비교적 저온에서 반응하는 금속으로 이루어지는 금속막(52A)을, 예를 들면 10nm 이하, 구체적으로는 5nm 이상 10nm 이하의 두께로 형성한다.
- [0131] 금속막(52A)을 형성한 후, 제 1의 실시의 형태와 마찬가지로 하여, 열처리를 행함에 의해, 도 12의 (B)에 도시한 바와 같이, 금속막(50A)이 산화되어 제 1 무기 절연막(52)이 형성되는 동시에, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)이 형성된다.
- [0132] 저저항 영역(21)을 형성한 후, 도 12의 (C)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 제 1 무기 절연막(52)상에, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0133] 유기 수지막(51)을 형성한 후, 도 13에 도시한 바와 같이, 이 층간 절연막(50)의 제 1 무기 절연막(52)에 예를 들면 에칭에 의해 접속 구멍(50A)을 마련하고, 이 접속 구멍(50A) 내에 산화물 반도체막(20)의 결정화층(23)을 노출시킨다. 이때, 층간 절연막(50)의 제 1 무기 절연막(52)이 결정화막(23)의 위에 마련되어 있기 때문에, 결정화막(23)의 에칭 레이트가 층간 절연막(80) 및 게이트 절연막(30)에 비하여 충분히 낮아지고, 층간 절연막(50)의 제 1 무기 절연막(52)과 산화물 반도체막(20)과의 웨트 에칭 선택비가 높아진다. 따라서, 산화물 반도체막(20)의 에칭을 억제한 채로 층간 절연막(50)의 제 1 무기 절연막(52)을 선택적으로 에칭하여, 접속 구멍(50A)을 용이하게 형성하는 것이 가능해진다. 또한, 드라이 에칭에 의해 가공하기 어려운 산화 알루미늄막으로 이루어지는 제 1 무기 절연막(52)도 웨트 에칭에 의해 용이하게 가공하는 것이 가능해진다.
- [0134] 계속해서, 도 10에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 소스 전극(60S) 및 드레인 전극(60D)을 형성하고, 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인

영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 도 10에 도시한 박막 트랜지스터(1B)가 완성된다.

- [0135] 이와 같이 본 변형예 4에서는, 산화물 반도체막(20)을, 비정질막(22) 및 결정화막(23)의 적층 구조로 하였기 때문에, 비정질막(22)에 의해, 균일성이 높은 전기특성을 얻는 것이 가능해진다. 또한, 소스 전극(60S) 및 드레인 전극(60D)을 결정화막(23)에 접하여 마련하도록 하였기 때문에, 제조 공정에서 게이트 절연막(30) 또는 제 1 무기 절연막(52)을 에칭할 때에 산화물 반도체막(20)이 에칭되어 버리는 것을 억제하는 것이 가능해진다. 따라서, 산화물 반도체막(20)의 두께를 두껍게 할 필요가 없어지고, 양호한 전기특성을 얻음과 함께, 성막 시간의 단축 및 저비용화가 가능해진다.
- [0136] (변형예 5)
- [0137] 도 14는, 본 발명의 변형예 5에 관한 박막 트랜지스터(1A)의 제조 방법을 공정순으로 도시한 것이다. 이 제조 방법은, 비정질막(22) 및 비정질막(23A)의 적층막을 형성하고, 이 적층막을 에칭에 의해 가공한 후에, 비정질막(23A)을 어닐하여 결정화막을 형성하도록 한 것에 있어서, 상기 변형예 4의 제조 방법과는 다른 것이다. 또한, 변형예 4와 제조 공정이 중복되는 부분에 관해서는, 도 11 내지 도 13을 참조하여 설명한다.
- [0138] 우선, 도 14의 (A)에 도시한 바와 같이, 변형예 4와 마찬가지로 하여, 기판(11)에, 예를 들면 스퍼터링법에 의해, 상술한 두께 및 재료로 이루어지는 비정질막(22)을 형성한다.
- [0139] 뒤이어, 마찬가지로 도 14의 (A)에 도시한 바와 같이, 예를 들면 스퍼터링법에 의해, 비정질막(41)보다도 저융점의 산화물 반도체로 이루어지는 비정질막(23A)을 형성한다. 구체적으로는, 예를 들면 IZO로 이루어지는 비정질막(23A)을 형성하는 경우에는, IZO막의 세라믹을 타겟으로 한 DC 스퍼터링법을 이용하여, 스퍼터링 조건을 제어함에 의해 비정질 상태의 IZO로 이루어지는 비정질막(23A)을 형성한다. 이와 같이 하여, 비정질막(22) 및 비정질막(23A)의 적층막(24A)이 형성된다.
- [0140] 적층막(24A)을 형성한 후, 도 14의 (B)에 도시한 바와 같이, 예를 들면 포토리소그래피 및 에칭에 의해 적층막(24A)을 소정의 형상, 예를 들면 게이트 전극(20) 및 그 부근을 포함하는 것이 가능한 섬형상으로 성형한다. 이때, 비정질막(22) 및 비정질막(23A)은 모두 비정질 상태이므로, 인산, 질산 및 아세트산을 포함하는 혼합액 등에 의해 웨트 에칭함으로써 저비용화가 가능하다.
- [0141] 적층막(24A)을 성형한 후, 도 14의 (C)에 도시한 바와 같이, 비정질막(23A)에 대해 예를 들면 200℃ 내지 400℃ 정도의 어닐 처리(A)를 행함에 의해 결정화막(23)을 형성한다. 이에 의해, 비정질막(22) 및 결정화막(23)의 적층 구조를 갖는 산화물 반도체막(20)이 형성된다.
- [0142] 산화물 반도체막(20)을 형성한 후, 도 14의 (D)에 도시한 바와 같이, 변형예 4와 마찬가지로 하여, 기판(11) 및 산화물 반도체막(20)의 전면에, 게이트 절연 재료막(30A) 및 게이트 전극 재료막(40A)을 이 순서대로 형성한다.
- [0143] 게이트 전극 재료막(40A)을 형성한 후, 도 14의 (E)에 도시한 바와 같이, 변형예 4와 마찬가지로 하여, 예를 들면 포토리소그래피 및 에칭에 의해, 게이트 전극 재료막(40A)을 소망하는 형상으로 성형하고, 산화물 반도체막(20)의 채널 영역(20A)상에 게이트 전극(40)을 형성한다.
- [0144] 계속해서, 마찬가지로 도 14의 (E)에 도시한 바와 같이, 변형예 4와 마찬가지로 하여, 게이트 전극(40)을 마스크로 하여 게이트 절연 재료막(30)을 에칭함에 의해 게이트 절연막(30)을 형성한다. 이때, 산화물 반도체막(20)이 기판(11)측부터 비정질막(22) 및 결정화막(23)을 이 순서대로 적층한 구조를 갖고 있기 때문에, 게이트 절연 재료막(30A)을 에칭할 때에, 불화수소산 등의 약액을 이용하여 매우 큰 에칭 선택비를 유지하여 용이하게 가공하는 것이 가능해진다. 이에 의해, 산화물 반도체막(20)의 채널 영역(20A)상에, 게이트 절연막(30) 및 게이트 전극(40)이 이 순서대로 동일 형상으로 형성된다.
- [0145] 게이트 절연막(30) 및 게이트 전극(40)을 형성한 후, 변형예 4와 마찬가지로 하여, 도 12의 (A)에 도시한 공정에 의해, 산화물 반도체막(20), 게이트 절연막(30) 및 게이트 전극(40)의 표면에, 예를 들면 스퍼터링법에 의해, 티탄(Ti), 알루미늄(Al) 또는 인듐(In) 등의 산소와 비교적 저온에서 반응하는 금속으로 이루어지는 금속막(52A)을, 예를 들면 10nm 이하, 구체적으로는 5nm 이상 10nm 이하의 두께로 형성한다.
- [0146] 금속막(52A)을 형성한 후, 변형예 4와 마찬가지로 하여, 도 12의 (B)에 도시한 공정에 의해, 열처리를 행한다. 이에 의해, 금속막(50A)이 산화되어 제 1 무기 절연막(52)이 형성되는 동시에, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊어 방향에서의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)이 형성된다.

- [0147] 저저항 영역(21)을 형성한 후, 변형예 4와 마찬가지로 하여, 도 12의 (C)에 도시한 공정에 의해, 제 1 무기 절연막(52)상에, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0148] 유기 수지막(51)을 형성한 후, 변형예 4와 마찬가지로 하여, 도 13에 도시한 공정에 의해, 이 층간 절연막(50)의 제 1 무기 절연막(52)에 예를 들면 에칭에 의해 접속 구멍(50A)을 마련하고, 이 접속 구멍(50A) 내에 산화물 반도체막(20)의 결정화층(23)을 노출시킨다. 이때, 층간 절연막(50)의 제 1 무기 절연막(52)이 결정화막(23)의 위에 마련되어 있기 때문에, 결정화막(23)의 에칭 레이트가 층간 절연막(80) 및 게이트 절연막(30)에 비하여 충분히 낮아지고, 층간 절연막(50)의 제 1 무기 절연막(52)과 산화물 반도체막(20)과의 웨트 에칭 선택비가 높아진다. 따라서, 산화물 반도체막(20)의 에칭을 억제한 채로 층간 절연막(50)의 제 1 무기 절연막(52)을 선택적으로 에칭하여, 접속 구멍(50A)을 용이하게 형성하는 것이 가능해진다. 또한, 드라이 에칭에 의해 가공하기 어려운 산화 알루미늄막으로 이루어지는 제 1 무기 절연막(52)도 웨트 에칭에 의해 용이하게 가공하는 것이 가능해진다.
- [0149] 계속해서, 도 10에 도시한 바와 같이, 변형예 4와 마찬가지로 하여, 소스 전극(60S) 및 드레인 전극(60D)을 형성하고, 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 도 10에 도시한 박막 트랜지스터(1B)가 완성된다.
- [0150] 이와 같이 본 변형예 5에서는, 산화물 반도체로 이루어지는 비정질막(22) 및 비정질막(22)보다도 저융점의 산화물 반도체로 이루어지는 비정질막(23A)의 적층막(24A)을 형성한 후, 이 적층막(24A)을 에칭에 의해 성형하도록 하였기 때문에, 저비용의 웨트 에칭에 의해 적층막(24A)을 용이하게 소정의 형상으로 가공하는 것이 가능해진다. 또한, 비정질막(23A)을 어닐 처리함에 의해 결정화막(23)을 형성하고, 비정질막(22) 및 결정화막(23)의 적층 구조를 갖는 산화물 반도체막(20)을 형성하도록 하였기 때문에, 제조 공정에서 게이트 절연막(30) 또는 제 1 무기 절연막(52)과 산화물 반도체막(20)과의 웨트 에칭 선택비를 높이는 것이 가능해진다. 따라서, 변형예 4와 마찬가지로, 산화물 반도체막(20)의 두께를 두껍게 할 필요가 없어지고, 양호한 전기특성을 얻음과 함께, 성막 시간의 단축 및 저비용화가 가능해진다.
- [0151] (제 2의 실시의 형태)
- [0152] 도 15는, 본 발명의 제 2의 실시의 형태에 관한 박막 트랜지스터(2)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(2)는, 층간 절연막(50)을 유기 수지막(51)만으로 구성한 것을 제외하고는, 상기 제 1의 실시의 형태의 박막 트랜지스터(1)와 같은 구성을 가지며, 그 작용 및 효과도 마찬가지이다.
- [0153] 이 박막 트랜지스터(2)는, 예를 들면, 다음과 같이 하여 제조할 수 있다. 우선, 상기 제 1의 실시의 형태와 마찬가지로 하여, 도 2의 (A) 내지 도 3(B)에 도시한 공정에 의해, 기판(11)에, 산화물 반도체막(20), 게이트 절연막(30), 게이트 전극(40) 및 금속막(52A)을 형성하고, 금속막(52A)의 열처리에 의해 저저항 영역(21) 및 제 1 무기 절연막(52)을 형성한다.
- [0154] 뒤이어, 도 16의 (A)에 도시한 바와 같이, 에칭에 의해 제 1 무기 절연막(52)을 제거한다. 그때, 염소 등을 포함하는 가스를 이용한 드라이 에칭법에 의해, 제 1 무기 절연막(52) 및 완전히 산화되지 않은 금속막(52A)을 용이하게 제거하는 것이 가능하다.
- [0155] 계속해서, 도 16의 (B)에 도시한 바와 같이, 제 1 무기 절연막(52)상에, 제 1의 실시의 형태와 마찬가지로 하여, 접속 구멍(50A)을 갖는 유기 수지막(51)을 형성한다.
- [0156] 계속해서, 도 15에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 박막 트랜지스터(2)가 완성된다.
- [0157] 본 실시의 형태에서는, 에칭에 의해 제 1 무기 절연막(52) 및 완전히 산화되지 않은 금속막(52A)을 제거하고, 층간 절연막(50)을 유기 수지막(51)만으로 구성하도록 하였기 때문에, 제 1의 실시의 형태에 비하여 더욱 리크 전류를 저감하는 것이 가능해진다.
- [0158] 또한, 본 실시의 형태에서는 저저항 영역(21)을 금속막(52A)의 산화에 의해 형성하는 경우에 관해 설명하였지만, 저저항 영역(21)은, 변형예 2와 마찬가지로 플라즈마를 이용하여 형성하여도 좋다. 또한, 저저항 영역(21)은, 변형예 3과 마찬가지로, 질화 실리콘막으로부터의 수소의 확산을 이용하여 형성하여도 좋다.
- [0159] (제 3의 실시의 형태)

- [0160] 도 17은, 본 발명의 제 3의 실시의 형태에 관한 박막 트랜지스터(3)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(3)는, 층간 절연막(50)을 제 1 무기 절연막(52), 유기 수지막(51) 및 제 2 무기 절연막(53)을 산화물 반도체막(20)의 측부에서 이 순서대로 적층한 것으로 한 것을 제외하고는, 상기 제 1의 실시의 형태의 박막 트랜지스터(1)와 같은 구성을 갖고 있다.
- [0161] 제 2 무기 절연막(53)은, 제 1 무기 절연막(52)과 마찬가지로 산화물 반도체막(20)에의 수분의 혼입이나 확산을 억제하여, 박막 트랜지스터(3)의 신뢰성을 더욱 향상시키기 위한 것이다. 제 2 무기 절연막(53)은, 예를 들면, 두께가 10nm 내지 100nm 정도이고, 산화 알루미늄에 의해 구성되어 있는 것이 바람직하다.
- [0162] 이 박막 트랜지스터(3)는, 유기 수지막(51)을 형성한 후, 유기 수지막(51)의 위에, 예를 들면 스퍼터링법에 의해, 상술한 두께 및 재료로 이루어지는 제 2 무기 절연막(52)을 형성하고, 제 1 무기 절연막(52) 및 제 2 무기 절연막(53)에 접촉 구멍(50A)을 마련하고, 이 접촉 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접촉한 것을 제외하고는, 제 1의 실시의 형태라고 마찬가지로 하여 제조할 수 있다.
- [0163] 이와 같이 본 실시의 형태에서는, 층간 절연막(50)을 제 1 무기 절연막(52), 유기 수지막(51) 및 제 2 무기 절연막(53)을 산화물 반도체막(20)의 측부에서 이 순서대로 적층한 것으로 하였기 때문에, 박막 트랜지스터(3)의 신뢰성을 더욱 향상시키는 것이 가능해진다.
- [0164] (제 4의 실시의 형태)
- [0165] 도 18은, 본 발명의 제 4의 실시의 형태에 관한 박막 트랜지스터(4)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(4)는, 기판(11)상에 게이트 전극(40), 게이트 절연막(30) 및 산화물 반도체막(20), 채널 보호막(70), 층간 절연막(50)(제 1 무기 절연막(52) 및 유기 수지막(51)), 소스 전극(60S) 및 드레인 전극(60D)을 이 순서대로 적층한 보텀 게이트 박막 트랜지스터이다. 이것을 제외하고는, 이 박막 트랜지스터(4)는, 상기 제 1의 실시의 형태의 박막 트랜지스터(1)와 같은 구성을 갖고 있다. 따라서, 대응하는 구성 요소에는 동일한 부호를 붙여서 설명한다.
- [0166] 채널 보호막(70)은, 산화물 반도체막(20)의 채널 영역(20A)상에 마련되고, 예를 들면, 두께가 200nm 정도이고, 실리콘 산화막, 실리콘 질화막 또는 산화 알루미늄막의 단층막 또는 적층막에 의해 구성되어 있다.
- [0167] 이 박막 트랜지스터(4)는, 예를 들면 다음과 같이 하여 제조할 수 있다. 또한, 제 1의 실시의 형태와 동일한 공정에 관해서는 제 1의 실시의 형태를 참조하여 설명한다.
- [0168] 우선, 기판(11)상의 전면에 예를 들면 스퍼터링법이나 증착법을 이용하여, 게이트 전극(40)의 재료가 되는 몰리브덴(Mo)막을, 예를 들면 200nm 정도의 두께로 형성한다. 이 몰리브덴막을, 예를 들면 포토리소그래피법을 이용하여 패터닝함에 의해, 도 19의 (A)에 도시한 바와 같이, 게이트 전극(40)을 형성한다.
- [0169] 뒤이어, 마찬가지로 도 19의 (A)에 도시한 바와 같이, 게이트 전극(40)을 형성한 기판(11)의 전면에, 예를 들면 플라즈마 CVD법에 의해, 실리콘 산화막 또는 산화 알루미늄막 등의 게이트 절연막(30)을, 300nm 정도의 두께로 형성한다.
- [0170] 뒤이어, 도 19의 (B)에 도시한 바와 같이, 게이트 절연막(30)의 위에, 제 1의 실시의 형태와 마찬가지로 하여, 산화물 반도체막(20)을 형성한다.
- [0171] 계속해서, 산화물 반도체막(20) 및 게이트 절연막(30)상의 전면에, 실리콘 산화막, 실리콘 질화막 또는 산화 알루미늄막의 단층막 또는 적층막으로 이루어지는 채널 보호 재료막을, 200nm 정도의 두께로 형성한다. 그 후, 게이트 전극(40)을 마스크로 한 이면 노광에 의해, 도 19의 (C)에 도시한 바와 같이, 자기정합적으로 게이트 전극(40)과 가까운 위치에 채널 보호막(70)을 형성한다.
- [0172] 채널 보호막(70)을 형성한 후, 도 19의 (D)에 도시한 바와 같이, 산화물 반도체막(20) 및 채널 보호막(70)의 위에, 제 1의 실시의 형태와 마찬가지로 하여, 금속막(52A)을 형성한다.
- [0173] 계속해서, 도 20의 (A)에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 열처리에 의해, 금속막(52A)을 산화시켜서 제 1 무기 절연막(52)을 형성함과 함께, 소스 영역(20A) 및 드레인 영역(20D)의 윗면부터 깊이 방향의 일부에, 채널 영역(20A)보다도 산소 농도가 낮은 저저항 영역(21)을 형성한다.
- [0174] 저저항 영역(21) 및 제 1 무기 절연막(52)을 형성한 후, 도 20의 (B)에 도시한 바와 같이, 제 1의 실시의 형태

와 마찬가지로 하여, 제 1 무기 절연막(52)의 위에, 접속 구멍(50A)을 갖는 유기 재료막(51)을 형성한다.

[0175] 유기 재료막(51)을 형성한 후, 도 18에 도시한 바와 같이, 제 1의 실시의 형태와 마찬가지로 하여, 층간 절연막(50)의 제 1 무기 절연막(52)에 접속 구멍(50A)을 마련하고, 이 접속 구멍(50A)을 통하여 소스 전극(60S) 및 드레인 전극(60D)을 소스 영역(20S) 및 드레인 영역(20D)의 저저항 영역(21)에 접속한다. 이상에 의해, 도 18에 도시한 박막 트랜지스터(4)가 완성된다.

[0176] 이 박막 트랜지스터(4)에서는, 층간 절연막(50)이 유기 수지막(51)을 포함하고 있기 때문에, 층간 절연막(50)의 두께를 크게 하는 것이 가능하게 되어 있고, 채널 보호막(70)의 단차가, 충분히 두꺼운 층간 절연막(50)에 의해 확실하게 피복되어 있다. 따라서, 소스 전극(60S) 및 드레인 전극(60D)의 단선 또는 단락 등, 층간 절연막(50)에 기인하는 불량률이 억제된다. 따라서, 셀프얼라인 구조의 보텀 게이트 박막 트랜지스터(4)의 소자 특성 및 신뢰성을 향상시키는 것이 가능해진다.

[0177] (제 5의 실시의 형태)

[0178] 도 21은, 본 발명의 제 5의 실시의 형태에 관한 박막 트랜지스터(5)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(5)는, 층간 절연막(50)을 유기 수지막(51)만으로 구성한 것을 제외하고는, 제 4의 실시의 형태의 박막 트랜지스터(4)와 같은 구성을 가지며, 마찬가지로 하여 제조할 수 있다. 이 박막 트랜지스터(5)의 작용 및 효과는, 제 1, 제 2 및 제 4의 실시의 형태와 마찬가지이다.

[0179] (제 6의 실시의 형태)

[0180] 도 22는, 본 발명의 제 6의 실시의 형태에 관한 박막 트랜지스터(6)의 단면 구성을 도시한 것이다. 이 박막 트랜지스터(6)는, 층간 절연막(50)을 제 1 무기 절연막(52), 유기 수지막(51) 및 제 2 무기 절연막(53)을 산화물 반도체막(20)의 측부에서 순서대로 적층한 것으로 한 것을 제외하고는, 제 4의 실시의 형태의 박막 트랜지스터(4)와 같은 구성을 가지며, 마찬가지로 하여 제조할 수 있다. 이 박막 트랜지스터(6)의 작용 및 효과는, 제 1, 제 3 및 제 4의 실시의 형태와 마찬가지이다.

[0181] <적용예 1>

[0182] 도 23은, 이 박막 트랜지스터(1 내지 6, 1A, 1B)를 구동 소자로서 구비한 표시 장치의 회로 구성을 도시하는 것이다. 표시 장치(80)는, 예를 들면 액정 디스플레이나 유기 EL 디스플레이 등이고, 구동 패널(81)상에, 매트릭스형상으로 배설된 복수의 화소(10R, 10G, 10B)와, 이들의 화소(10R, 10G, 10B)를 구동하기 위한 각종 구동 회로가 형성된 것이다. 화소(10R, 10G, 10B)는 각각, 적색(R : Red), 녹색(G : Green) 및 청색(B : Blue)의 색광을 발하는 액정 표시 소자나 유기 EL 소자 등이다. 이들 3개의 화소(10R, 10G, 10B)를 하나의 픽셀로 하여, 복수의 픽셀에 의해 표시 영역(110)이 구성되어 있다. 구동 패널(91) 상에는, 구동 회로로서, 예를 들면 영상 표시용의 드라이버인 신호선 구동 회로(120) 및 주사선 구동 회로(130)와, 화소 구동 회로(150)가 배설되어 있다. 이 구동 패널(81)에는, 도시하지 않은 밀봉 패널이 접합되고, 이 밀봉 패널에 의해 화소(10R, 10G, 10B) 및 상기 구동 회로가 밀봉되어 있다.

[0183] 도 24는, 화소 구동 회로(150)의 등가 회로도이다. 화소 구동 회로(150)는, 상기 박막 트랜지스터(1 내지 6, 1A, 1B)로서, 트랜지스터(Tr1, Tr2)가 마련된 액티브 형의 구동 회로이다. 트랜지스터(Tr1, Tr2)의 사이에는 커패시터(Cs)가 마련되고, 제 1의 전원 라인(Vcc) 및 제 2의 전원 라인(GND)의 사이에서, 화소(10R)(또는 화소(10G, 10B))가 트랜지스터(Tr1)에 직렬로 접속되어 있다. 이와 같은 화소 구동 회로(150)에서는, 열방향으로 신호선(120A)이 복수 배치되고, 행방향으로 주사선(130A)이 복수 배치되어 있다. 각 신호선(120A)은, 신호선 구동 회로(120)에 접속되고, 이 신호선 구동 회로(120)로부터 신호선(120A)을 통하여 트랜지스터(Tr2)의 소스 전극에 화상 신호가 공급되게 되어 있다. 각 주사선(130A)은 주사선 구동 회로(130)에 접속되고, 이 주사선 구동 회로(130)로부터 주사선(130A)을 통하여 트랜지스터(Tr2)의 게이트 전극에 주사 신호가 순차적으로 공급되게 되어 있다. 이 표시 장치에서는, 트랜지스터(Tr1, Tr2)가, 상기 실시의 형태의 박막 트랜지스터(1, 1A 내지 1C)에 의해 구성되어 있기 때문에, 셀프얼라인 구조에 의해 기생 용량이 작게 되어 있음과 함께 소자 특성 및 신뢰성이 향상한 박막 트랜지스터(1 내지 6, 1A, 1B)에 의해, 고품질의 표시가 가능해진다. 이와 같은 표시 장치(80)는, 예를 들면 다음 적용예 2 내지 6에 나타낸 전자 기기에 탑재할 수 있다.

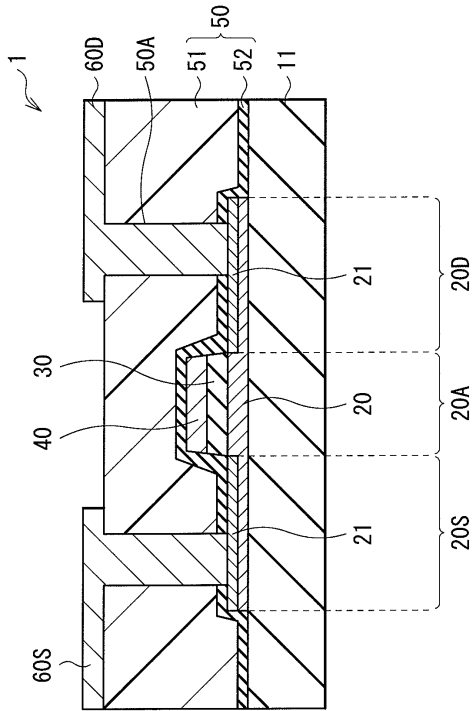
[0184] <적용예 2>

[0185] 도 25는, 텔레비전 장치의 외관을 도시한 것이다. 이 텔레비전 장치는, 예를 들면, 프런트 패널(310) 및 필터 유리(320)를 포함하는 영상 표시 화면부(300)를 갖고 있다.

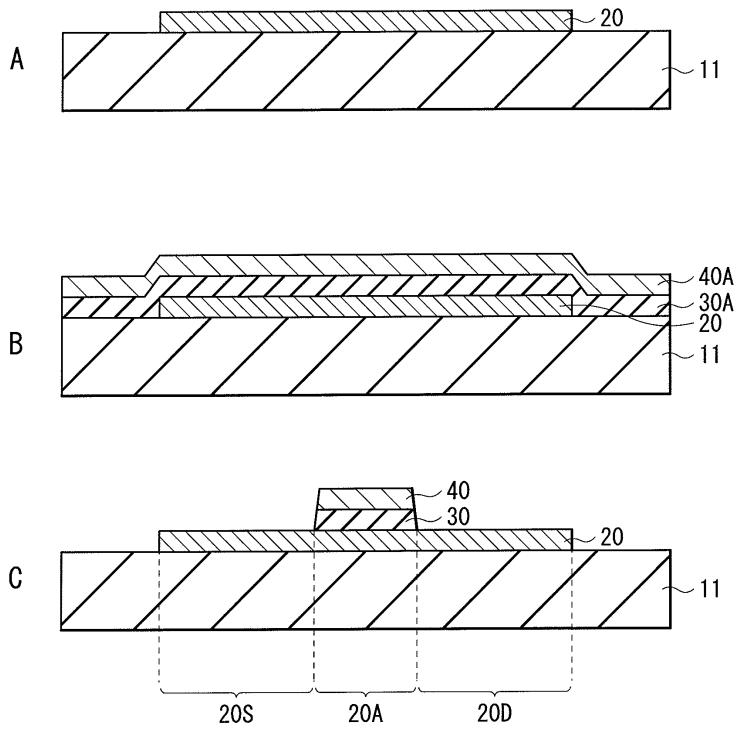
- [0186] <적용예 3>
- [0187] 도 26은, 디지털 카메라의 외관을 도시한 것이다. 이 디지털 스틸 카메라는, 예를 들면, 플래시용의 발광부(410), 표시부(420), 메뉴 스위치(430) 및 셔터 버튼(440)을 갖고 있다.
- [0188] <적용예 4>
- [0189] 도 27은, 노트북형 퍼스널 컴퓨터의 외관을 도시한 것이다. 이 노트북형 퍼스널 컴퓨터는, 예를 들면, 본체(510), 문자 등의 입력 조작을 위한 키보드(520) 및 화상을 표시하는 표시부(530)를 갖고 있다.
- [0190] <적용예 5>
- [0191] 도 28은, 비디오 카메라의 외관을 도시한 것이다. 이 비디오 카메라는, 예를 들면, 본체부(610), 이 본체부(610)의 전방 측면에 마련된 피사체 촬영용의 렌즈(620), 촬영시의 스타트/스톱 스위치(630) 및 표시부(640)를 갖고 있다.
- [0192] <적용예 6>
- [0193] 도 29는, 휴대 전화기의 외관을 도시한 것이다. 이 휴대 전화기는, 예를 들면, 상측 몸체(710)와 하측 몸체(720)를 연결부(хин지부)(730)로 연결한 것이고, 디스플레이(740), 서브 디스플레이(750), 픽처 라이트(760) 및 카메라(770)를 갖고 있다.
- [0194] 이상, 실시의 형태를 들어서 본 발명을 설명하였지만, 본 발명은 상기 실시의 형태로 한정되는 것이 아니고, 여러가지의 변형이 가능하다. 예를 들면, 상기 실시의 형태에서는, 저저항 영역(21)이 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 일부에 마련되어 있는 경우에 대해 설명하였지만, 저저항 영역(21)은, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 적어도 일부에 마련되어 있으면 좋다. 예를 들면, 저저항 영역(21)은, 도 30에 도시한 바와 같이, 소스 영역(20S) 및 드레인 영역(20D)의 윗면부터 깊이 방향에서의 전부에 마련되어 있어도 좋다.
- [0195] 또한, 예를 들면, 상기 실시의 형태에서는, 산화물 반도체막(20)이 기판(11)상에 직접 마련되어 있는 경우에 관해 설명하였지만, 산화물 반도체(20)는, 기판(11)상에, 실리콘 산화막, 실리콘 질화막 또는 산화 알루미늄막 등의 절연막을 사이에 두고 마련되어 있어도 좋다. 이에 의해, 기판(11)으로부터 산화물 반도체막(20)에 도펀트나 수분 등이 확산하는 것을 억제하는 것이 가능해진다.
- [0196] 또한, 예를 들면, 상기 실시의 형태에서 설명한 각 층의 재료 및 두께, 또는 성막 방법 및 성막 조건 등은 한정되는 것이 아니고, 다른 재료 및 두께로 하여도 좋고, 또는 다른 성막 방법 및 성막 조건으로 하여도 좋다.
- [0197] 더하여, 본 발명은, 액정 디스플레이 및 유기 EL 디스플레이 외에, 무기 선택트로루미네선스 소자, 또는 선택트로 디포지션형 또는 선택트로 크로믹형의 표시 소자 등의 다른 표시 소자를 이용한 표시 장치에도 적용 가능하다.
- [0198] 본 발명은 일본특허출원 JP2010-152754호(2010.07.05)의 우선권 주장 출원이다.
- [0199] 본 발명은 첨부된 청구범위의 범주 내에서 당업자에 의해 필요에 따라 다양하게 변경, 변형, 수정, 조합, 대체 등이 이루어질 수 있다.

도면

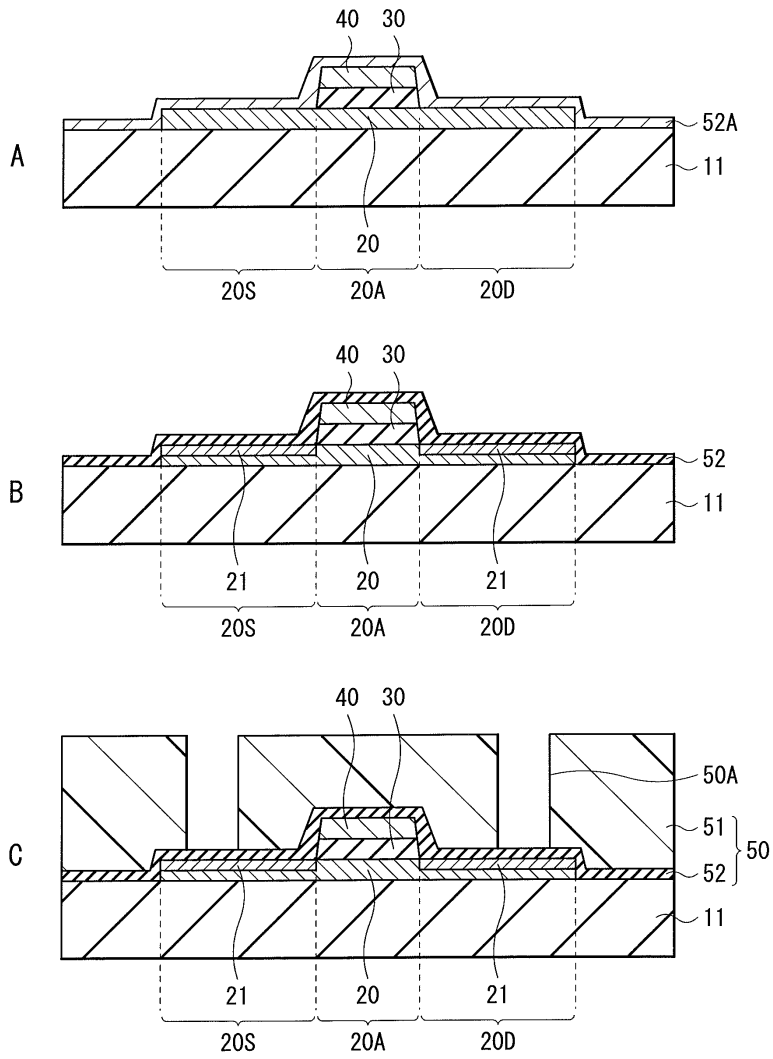
도면1



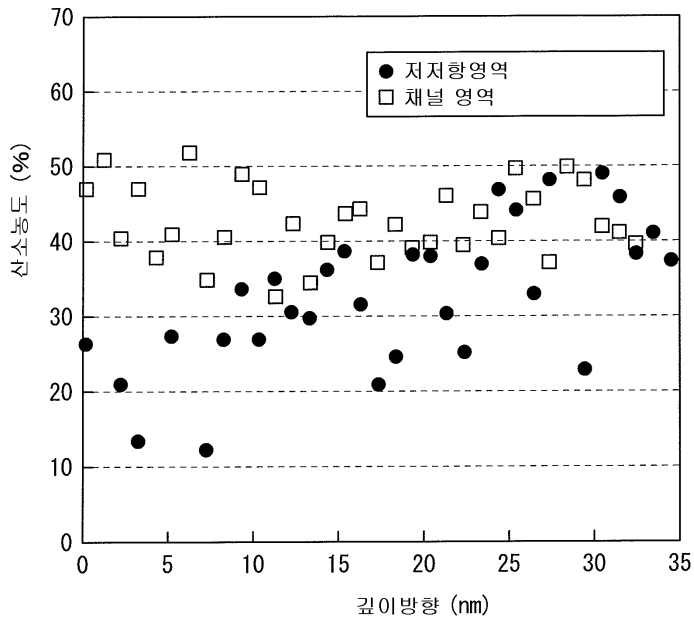
도면2



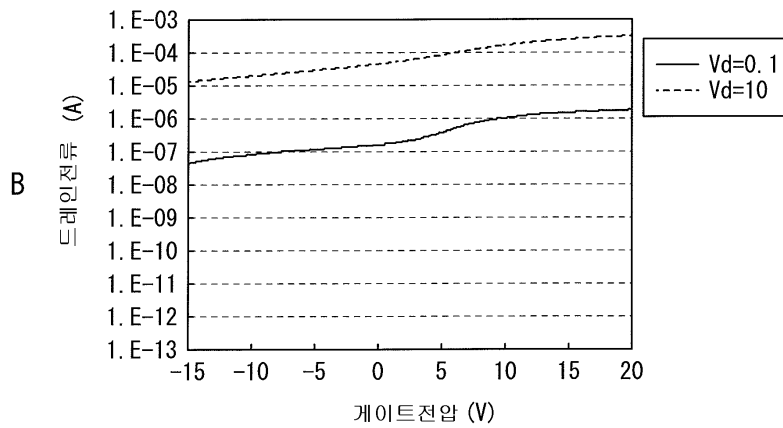
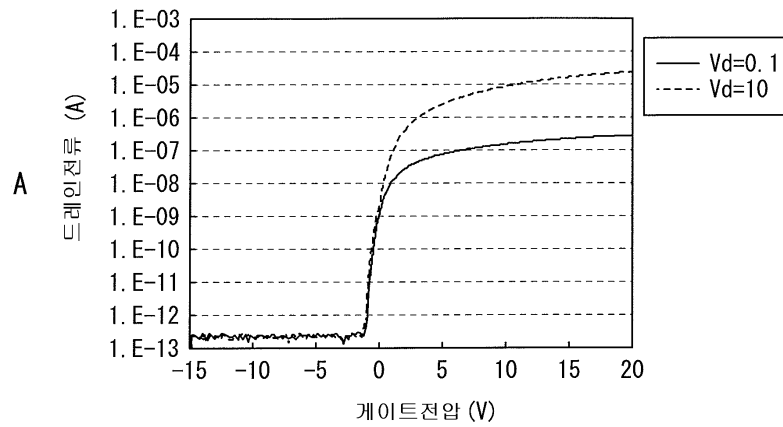
도면3



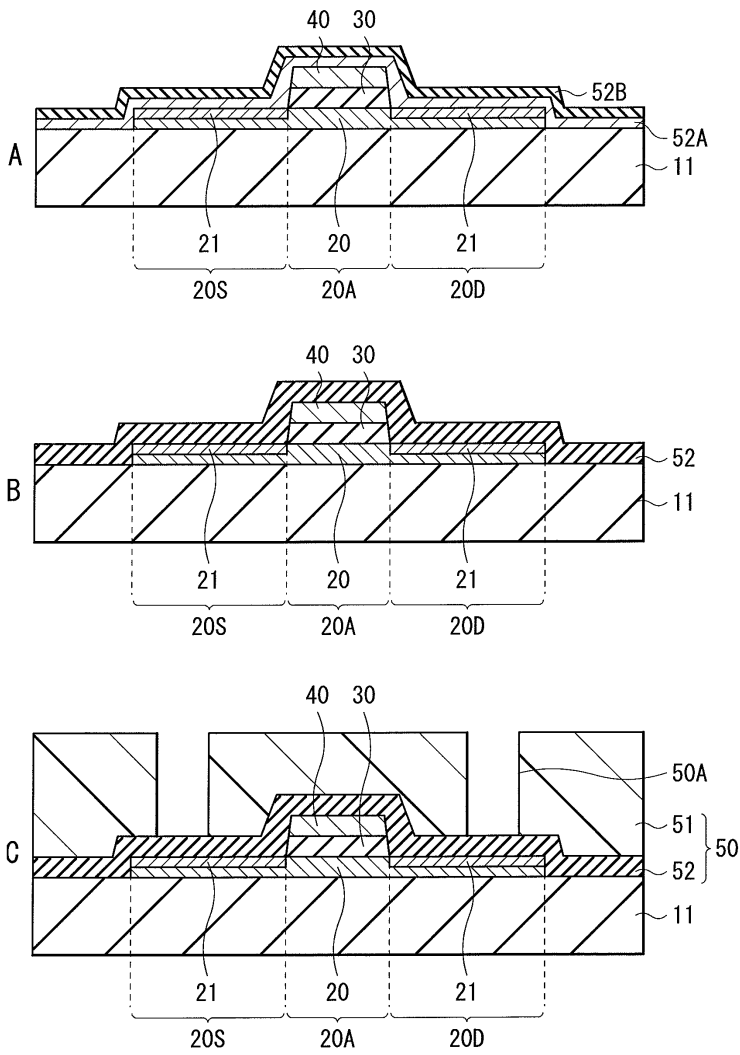
도면4



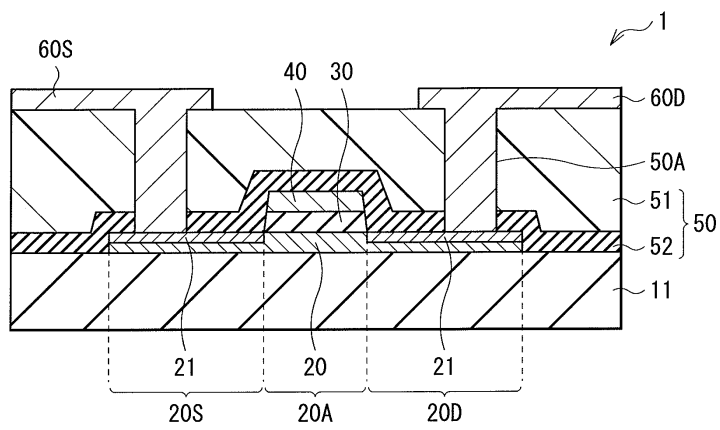
도면5



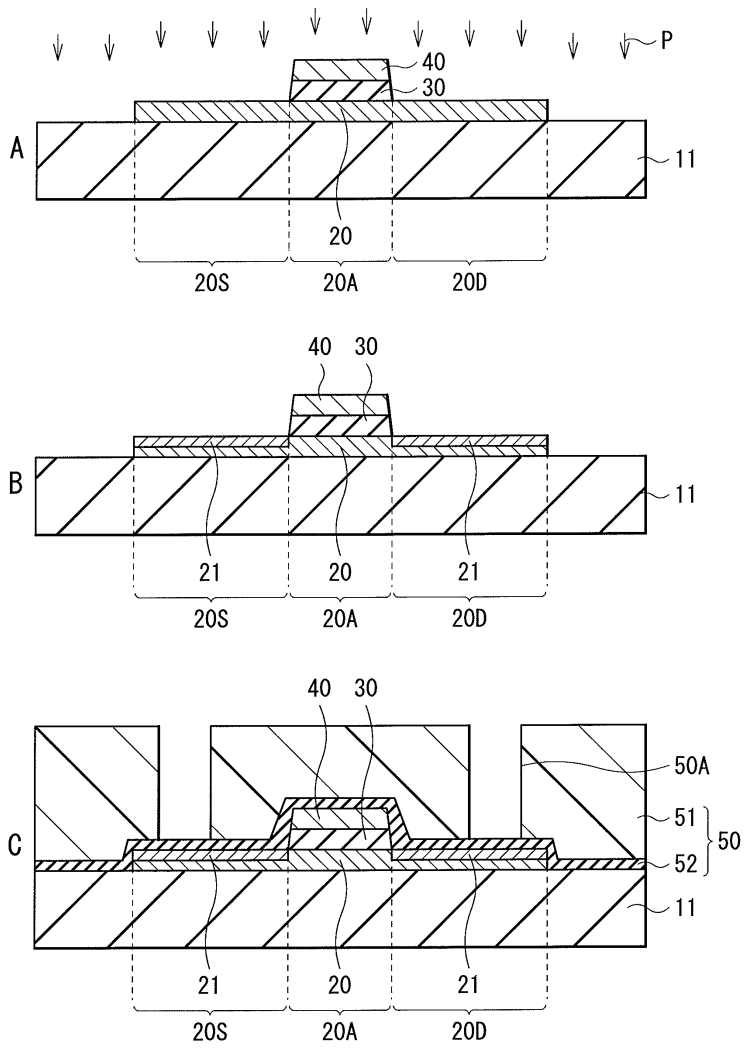
도면6



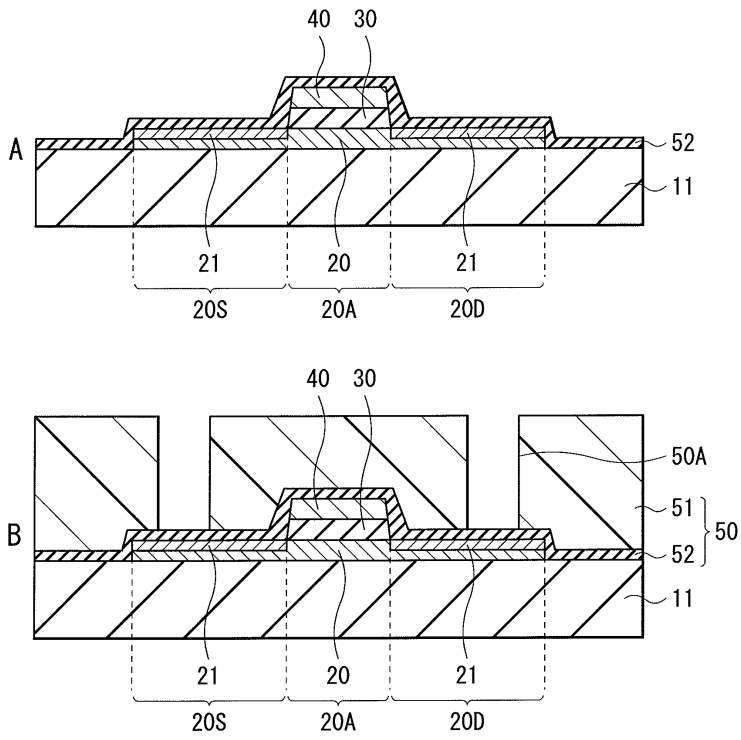
도면7



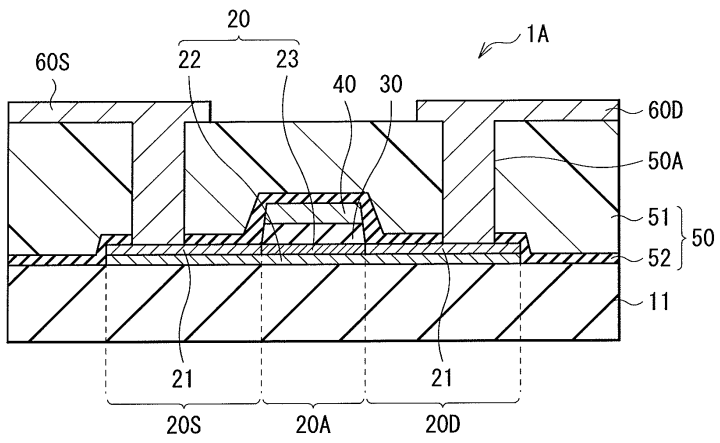
도면8



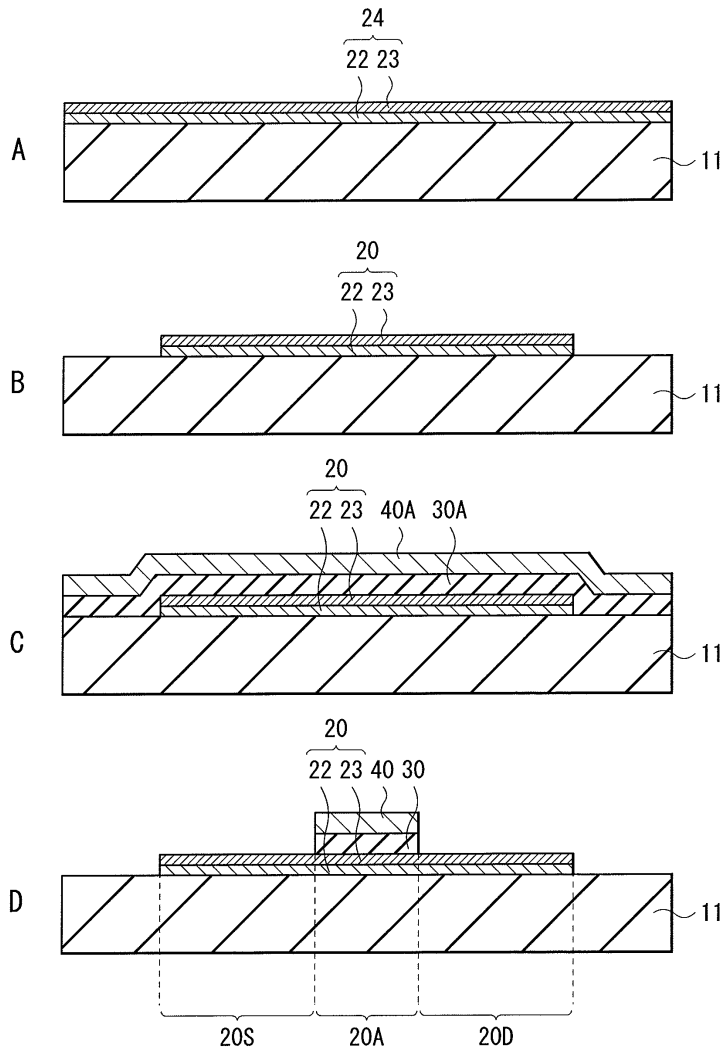
도면9



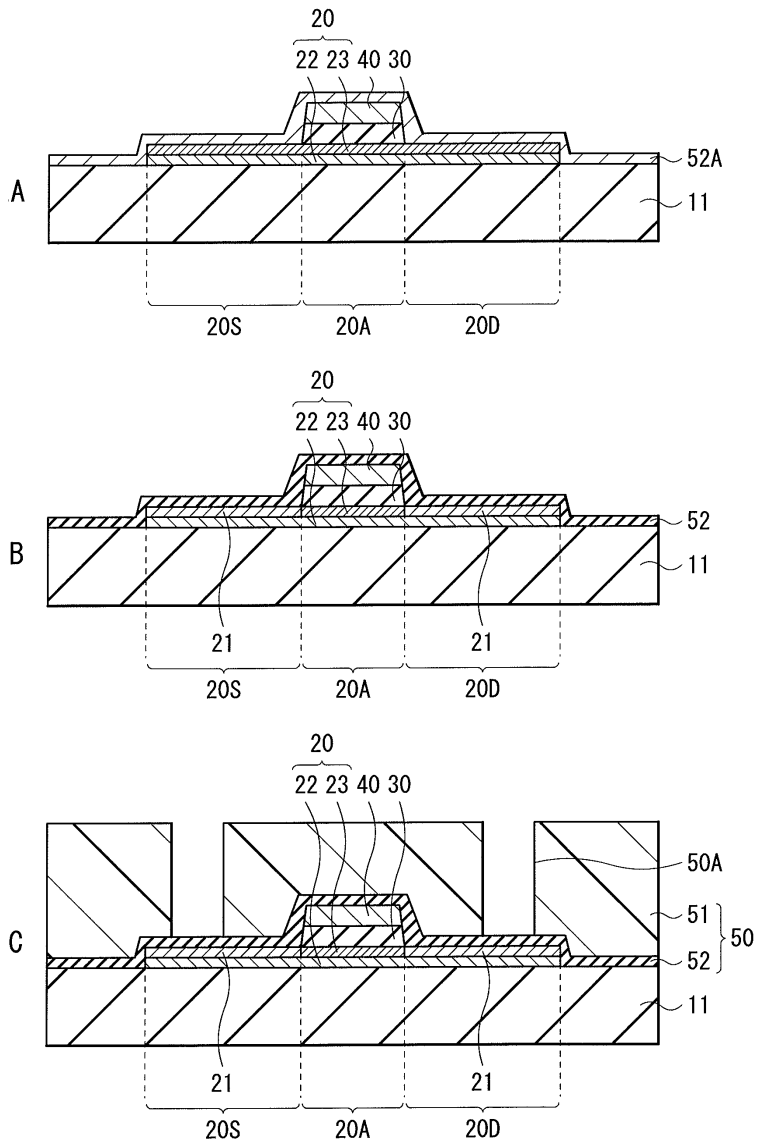
도면10



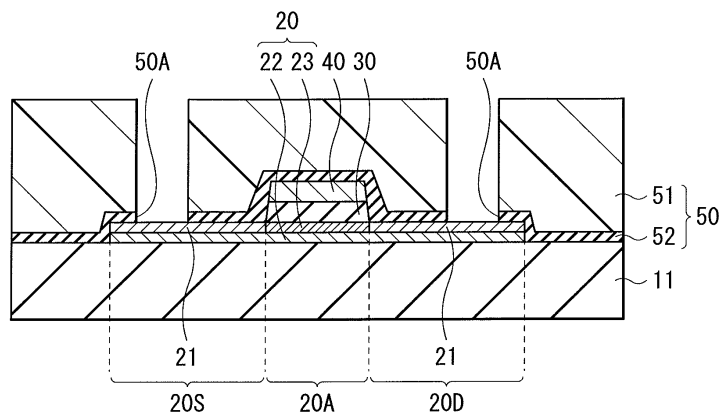
도면11



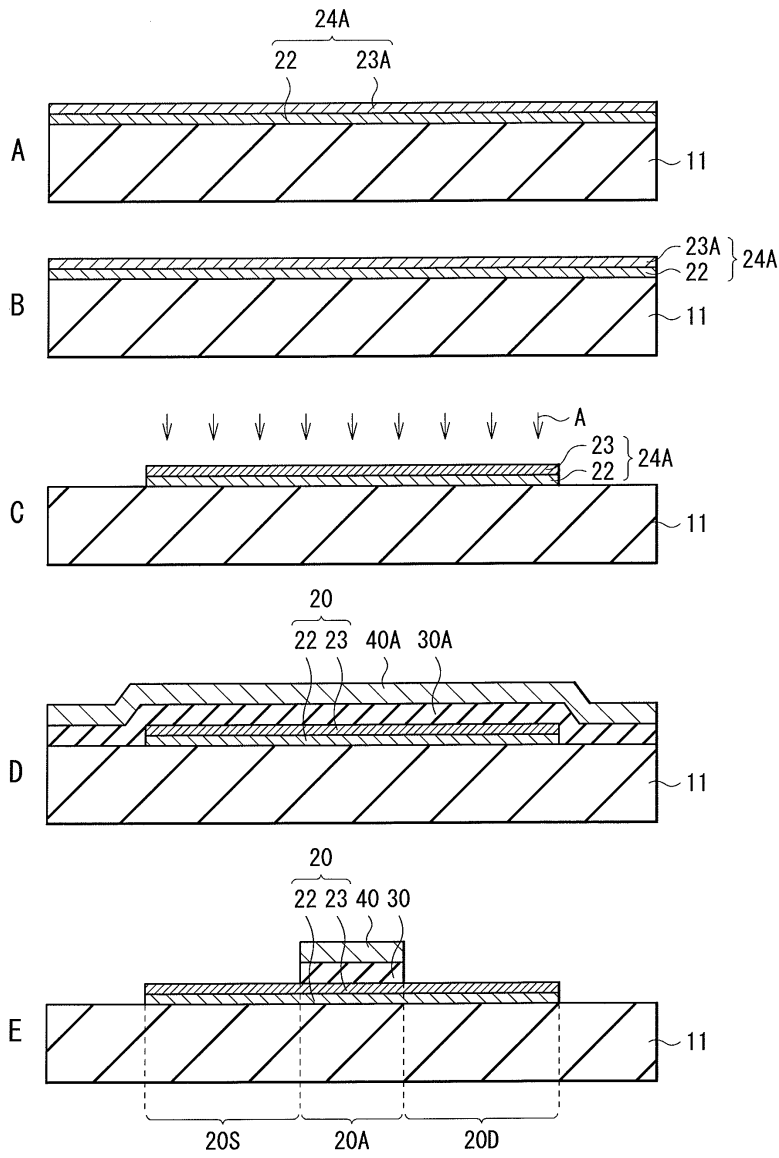
도면12



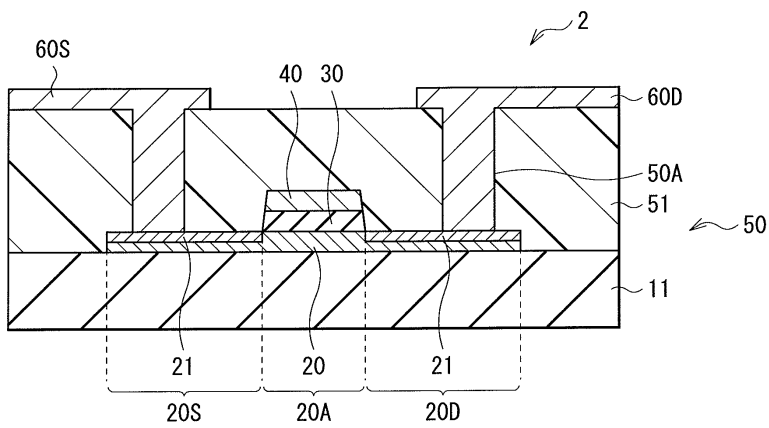
도면13



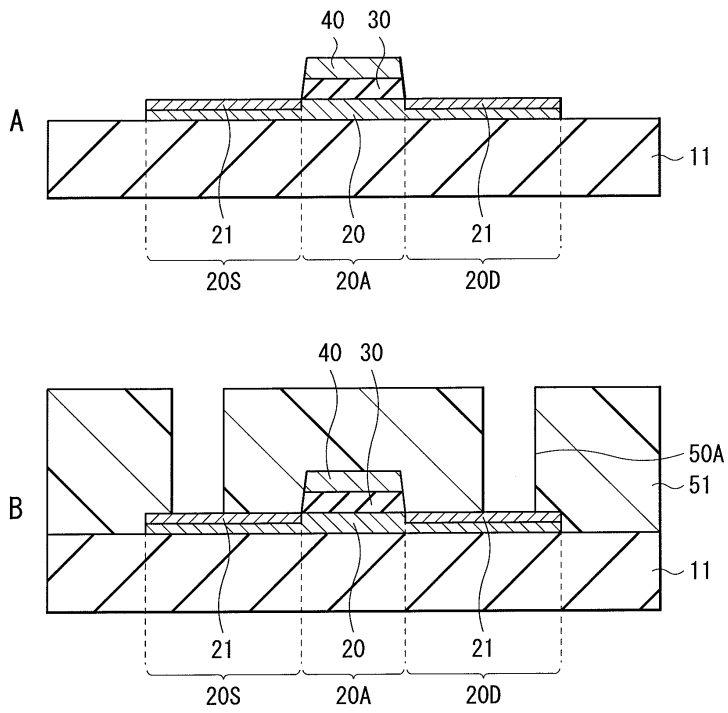
도면14



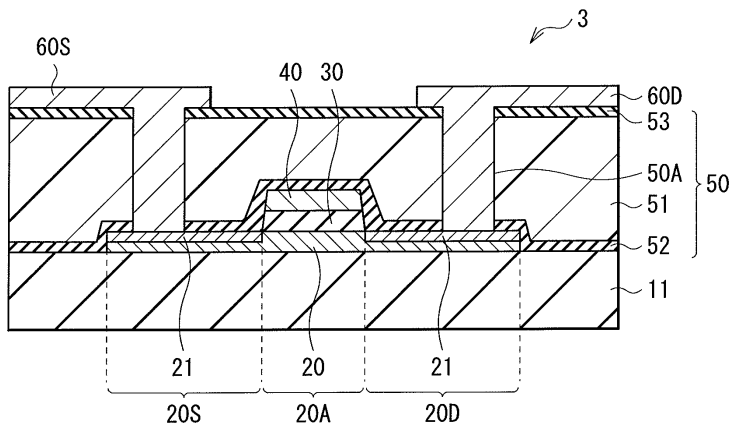
도면15



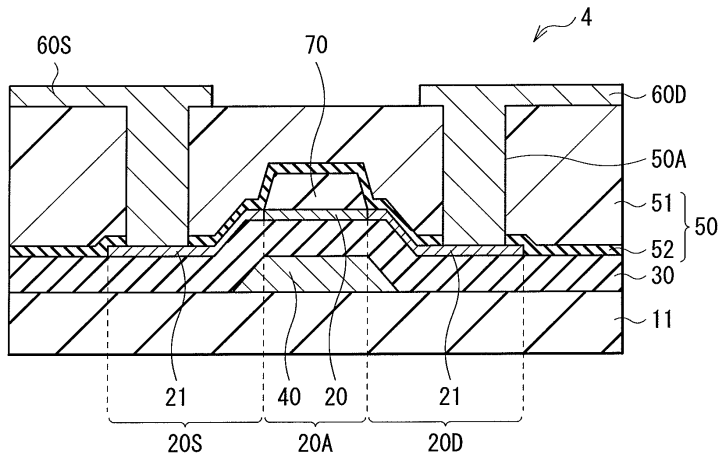
도면16



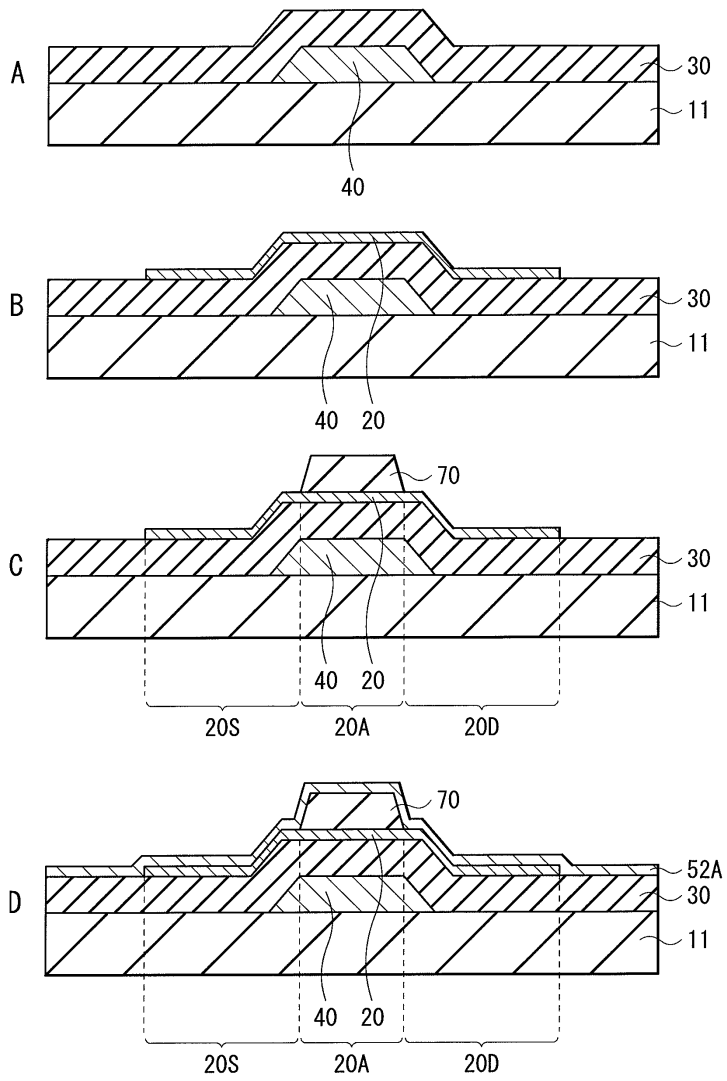
도면17



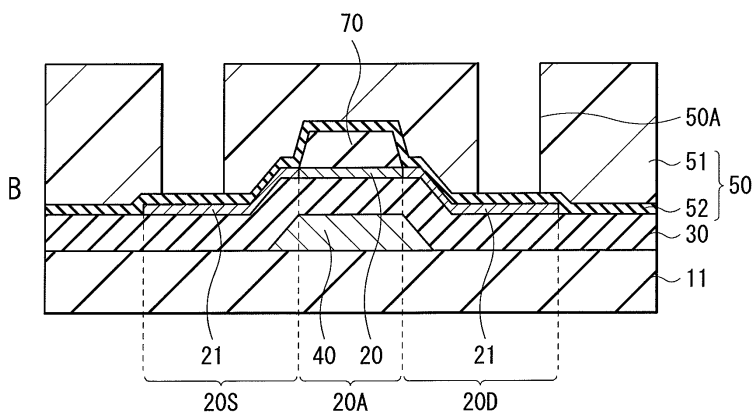
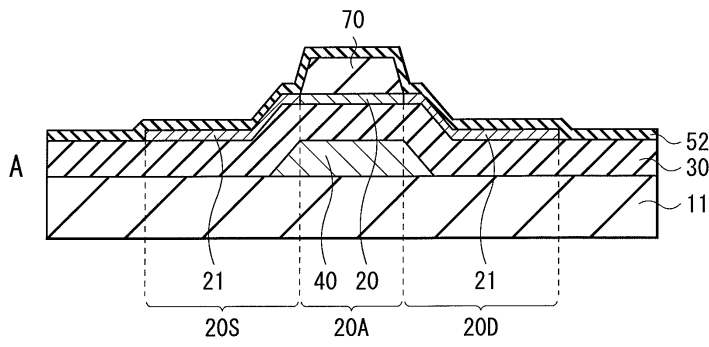
도면18



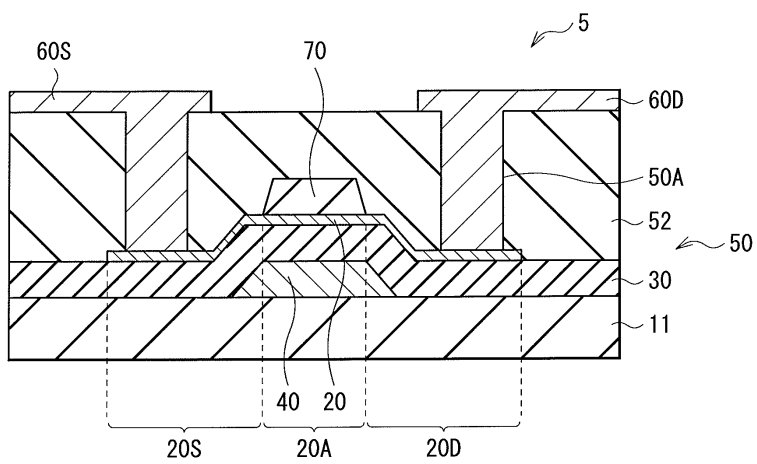
도면19



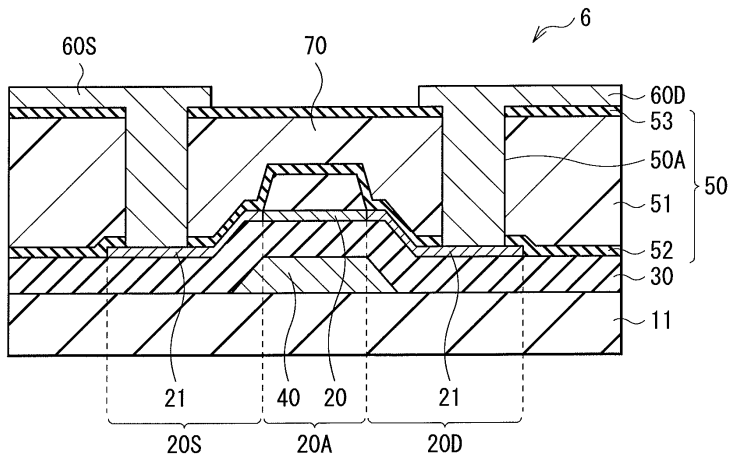
도면20



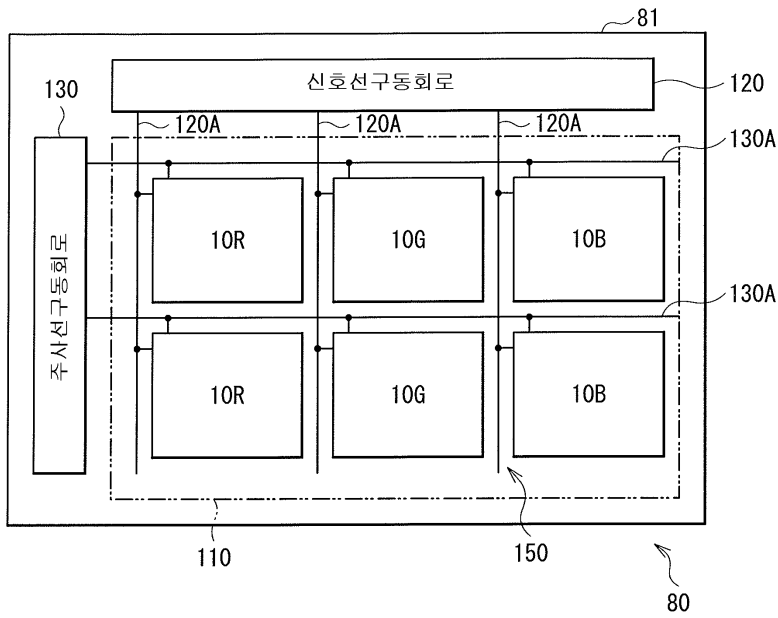
도면21



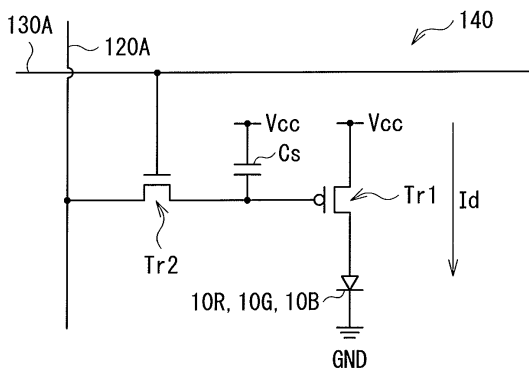
도면22



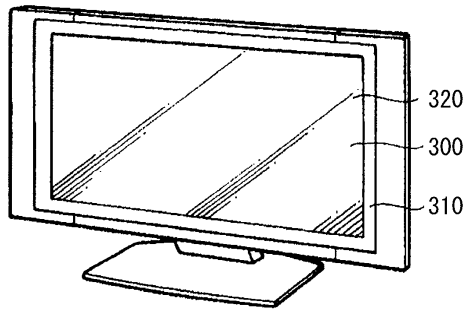
도면23



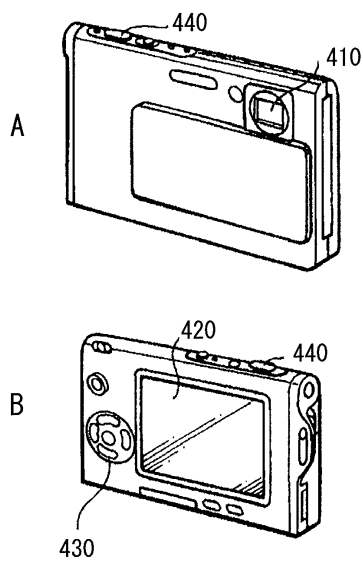
도면24



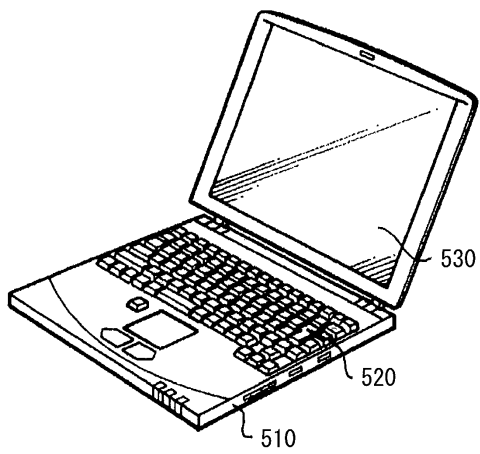
도면25



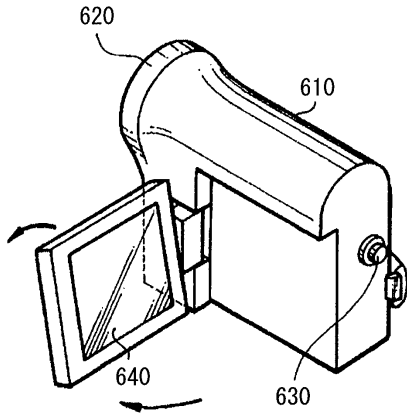
도면26



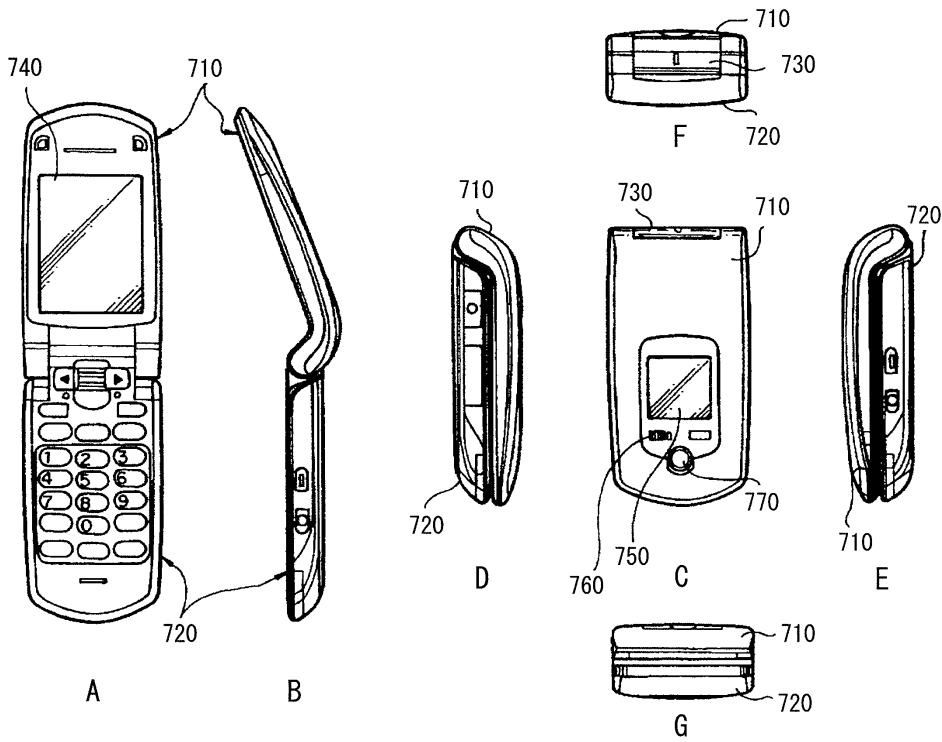
도면27



도면28



도면29



도면30

