

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3592870号
(P3592870)

(45) 発行日 平成16年11月24日(2004.11.24)

(24) 登録日 平成16年9月3日(2004.9.3)

(51) Int.CI.⁷

F 1

H 01 L 21/8242	H 01 L 27/10	6 8 1 B
H 01 L 21/3065	H 01 L 27/10	6 2 1 Z
H 01 L 21/768	H 01 L 21/302	1 0 5 B
H 01 L 27/108	H 01 L 21/90	C

請求項の数 7 (全 55 頁)

(21) 出願番号

特願平8-347509

(22) 出願日

平成8年12月26日(1996.12.26)

(65) 公開番号

特開平10-189901

(43) 公開日

平成10年7月21日(1998.7.21)

審査請求日

平成15年12月3日(2003.12.3)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 大野 吉和

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

- (a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、
 (b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、
 (c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、
 (d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、
 (e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、
 (f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、
 (g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と
 を備え、
 前記第3の絶縁膜は、前記第4の絶縁膜よりもエッティング速度が遅く、
前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、
 (x) 前記工程(d)と前記工程(e)との間に実行され、前記半導体基板の前記表面

10

20

のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置の上方に存在する前記第3の絶縁膜を除去する工程と、

(y) 前記工程(e)より後の工程において実行され、前記第2の位置の上方に存在する前記第4の絶縁膜及び前記第2の絶縁膜をこの順に連続してエッティングして、前記半導体基板の前記表面のうち前記第2の位置に存在する部分を露出する工程と、

(z) 前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、

(t) 前記工程(y)と前記工程(z)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と
を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。

【請求項2】

(a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、

(b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、

(c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、

(d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、

(e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、

(f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、

(g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と
を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッティング速度が遅く、

前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、

(y) 前記工程(g)より後の工程において実行され、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、

(z) 前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、

(t) 前記工程(y)と前記工程(z)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と
を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導

10

20

30

40

50

体装置の製造方法。**【請求項 3】**

- (a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、
 (b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、
 (c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、
 (d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、
 (e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、
 (f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、
 (g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と
を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッチング速度が遅く、
前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、

(y) 前記工程(f)とともに実行され、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、

(z) 前記工程(g)とともに実行され、前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

前記工程(g)及び(z)に引き続く、
 (h) 前記第2及び第3の導電性膜及び前記第4の絶縁膜を覆う第5の絶縁膜を形成する工程と、

(i) 前記第5の絶縁膜を選択的にエッチングして前記第3の導電性膜の上方において開口を設ける工程と、

(j) 前記第5の絶縁膜の前記開口を介して前記第3の導電性膜と電気的に接続される第4の導電性膜を設ける工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、

(t) 前記工程(y)と前記工程(z)との間に実行され、前記半導体基板の前記表面のうち前記第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と
を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。

【請求項 4】

- (a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、
 (b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、
 (c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、
 (d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、
 (e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、
 (f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形

10

20

30

40

50

成されていない第1の位置に存在する部分を露出する工程と、

(g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と

を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッティング速度が遅く、

前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、

(x) 前記工程(d)と前記工程(e)との間に実行され、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置の上方に存在する前記第3の絶縁膜を除去する工程と、

10

(y) 前記工程(e)より後の工程において実行され、前記第2の位置の上方に存在する前記第4の絶縁膜及び前記第2の絶縁膜をこの順に連続してエッティングして、前記半導体基板の前記表面のうち前記第2の位置に存在する部分を露出する工程と、

(z) 前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、

20

(t) 前記工程(s)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と

を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。

【請求項5】

(a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、

30

(b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、

(c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、

(d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、

(e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、

(f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、

(g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と

40

を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッティング速度が遅く、

前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、

(y) 前記工程(g)より後の工程において実行され、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、

50

(z) 前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、

(t) 前記工程(s)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と
を更に備え、

10

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。

【請求項6】

(a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、

(b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、

(c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、

(d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、

(e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、

20

(f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、

(g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と
を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッチング速度が遅く、

前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、

30

(y) 前記工程(f)とともに実行され、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、

(z) 前記工程(g)とともに実行され、前記第2の位置において前記半導体基板と電気的に接触する第3の導電性膜を形成する工程と、

前記工程(g)及び(z)に引き続く、

(h) 前記第2及び第3の導電性膜及び前記第4の絶縁膜を覆う第5の絶縁膜を形成する工程と、

(i) 前記第5の絶縁膜を選択的にエッチングして前記第3の導電性膜の上方において開口を設ける工程と、

40

(j) 前記第5の絶縁膜の前記開口を介して前記第3の導電性膜と電気的に接続される第4の導電性膜を設ける工程と、

(s) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、

(t) 前記工程(s)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち前記第1及び第2の位置に存在する部分から、前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と

50

を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。

【請求項7】

(a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、

(b) 前記第1の導電性膜上に、第1の絶縁膜を形成する工程と、

(c) 前記工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、

(d) 前記第2の絶縁膜上に、第3の絶縁膜を形成する工程と、 10

(e) 前記第3の絶縁膜上に、第4の絶縁膜を形成する工程と、

(f) 前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、

(g) 前記第1の位置において前記半導体基板と電気的に接触する第2の導電性膜を形成する工程と

を備え、

前記第3の絶縁膜は、前記第4の絶縁膜よりもエッティング速度が遅く、

前記第2の絶縁膜は、前記第1の導電性膜及び前記第1の絶縁膜のそれぞれの側壁である第1領域と、前記半導体基板の前記表面のうち前記第1の導電性膜が形成されていない第2領域とに存在し、前記第1領域に存在する前記第2の絶縁膜の幅は、前記第2領域に存在する前記第2の絶縁膜の膜厚よりも厚く、 20

(h) 前記工程(c)と前記工程(d)との間に実行され、前記半導体基板の前記表面のうち、前記第1の位置とは異なる、前記第1の導電性膜が形成されていない第3の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、

(i) 前記工程(d)と前記工程(e)との間に実行され、前記第3の位置の上方に存在する前記第3の絶縁膜を除去する工程と、

(j) 前記工程(i)と前記工程(e)との間に実行され、前記半導体基板の前記表面のうち前記第3の位置に存在する部分から、前記第2の絶縁膜を通して前記半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と、 30

(k) 前記工程(f)と同時に実行され、前記第3の位置の上方に存在する、前記第4の絶縁膜及び前記第2の絶縁膜をこの順に連続してエッティングして、前記半導体基板の前記表面のうち前記第3の位置に存在する部分を露出する工程と、

(l) 前記工程(g)と同時に実行され、前記第3の位置において前記半導体基板と電気的に接触する第4の導電性膜を形成する工程と

を更に備え、

前記第2の不純物領域は前記第1の不純物領域よりも広く、かつ、前記第2の不純物領域の不純物濃度は前記第1の不純物領域の不純物濃度よりも低いことを特徴とする、半導体装置の製造方法。 40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体基板の上方に形成される二層の配線層（ワード線及びビット線）と、上記配線層のさらに上方に形成されるキャパシタと、ビット線及びキャパシタを各々半導体基板に接続するための接続電極と、ワード線をゲート電極とするトランジスタとにより構成される半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

図111～図122は、従来の技術として半導体装置(DRAM)の製造工程の一例を順

に示す断面図である。まず、半導体（例えばSi）基板1上に素子分離絶縁膜2をLOCOS法により形成した後、素子分離絶縁膜2が形成されていない半導体基板1上にゲート酸化膜3、ゲート電極4、絶縁膜5の積層構造を選択的に形成する（図111）。ゲート電極4はDRAMのワード線として機能することとなる。次に、全面に、シリコン酸化膜6をCVD法により例えば数百nmの厚さに形成する（図112）。

【0003】

次に、半導体基板1に垂直な方向にエッチングレートの高い異方性の酸化膜エッチングを行うことにより、ゲート酸化膜3、ゲート電極4、絶縁膜5のそれぞれの側壁部にシリコン酸化膜6を残置させ、サイドウォール6a～6fを形成する。その後、絶縁膜5及びサイドウォール6a～6fをマスクとしてイオン注入を行い、半導体基板1内にソース／ドレイン領域261～263をそれぞれ形成する（図113）。

【0004】

次に、全面にシリコン酸化膜をCVD法により堆積して、層間絶縁膜8を例えば数百nmの厚さに形成する（図114）。次に、層間絶縁膜8上に、所定のパターンを呈するホトレジスト10を通常の転写プロセスにより形成し、このホトレジスト10をマスクとして層間絶縁膜8をエッチングして、コンタクトホール50を形成してソース／ドレイン領域262を露出させる。その後ホトレジスト10を除去する（図115）。

【0005】

次に、例えばWSi/polySi又はTiSi/polySiなどの構造を有する導電性膜9を、コンタクトホール50を介してソース／ドレイン領域262に接続せざるよう20に形成する（図116）。この導電性膜9はDRAMのビット線として機能することとなる。

【0006】

次に、全面に、例えばシリコン酸化膜をCVD法により堆積し、層間絶縁膜11を形成し（図117）、層間絶縁膜11上に、所定のパターンを呈するホトレジスト12を通常の転写プロセスにより形成する（図118）。

【0007】

次に、ホトレジスト12をマスクとして、層間絶縁膜11，8を同一のエッチャントを用いてエッチングすることにより、コンタクトホール51を形成してソース／ドレイン領域261を露出させる。その後ホトレジスト12を除去する（図119）。

【0008】

次に、コンタクトホール51を埋めるようにpolySiをCVD法により堆積してキャパシタ下部電極13を形成する。キャパシタ下部電極13はコンタクトホール51を介してソース／ドレイン領域261に接続される。その後、全面にSi₃N₄膜を堆積してキャパシタ誘電膜14を形成する。さらに、キャパシタ誘電膜14上にpolySiをCVD法により堆積してキャパシタ上部電極15を形成する（図120）。

【0009】

次に、キャパシタ上部電極15上に、例えばシリコン酸化膜からなる層間絶縁膜16をCVD法により形成し（図121）、層間絶縁膜16上に、例えばAlCu、AlSiCuからなる配線層17を選択的に形成する（図122）。

【0010】

【発明が解決しようとする課題】

しかし、このような従来の半導体装置の製造方法によれば、サイドウォール6a～6fを形成する際に数百nmという厚いシリコン酸化膜をエッチングする必要があるため、エッチングの制御が困難であり、半導体基板1の表面がオーバーエッチングによるダメージを受けていた。さらに、半導体基板1の表面はコンタクトホール50，51を形成する際においてもオーバーエッチングによるダメージを受ける。このようにしてソース／ドレイン領域261，262付近に結晶欠陥25が生じていたため（図113～図122）、これらはリーク電流を誘発する原因となり、デバイスの誤動作を引き起こすという問題があつた。

10

20

30

40

50

50

【0011】

例えば、DRAMにおいてはメモリセルに蓄積されたデータをある一定間隔で書き直す動作(リフレッシュ)を必要とするが、キャパシタ下部電極13が接続されるソース/ドレイン領域261付近に結晶欠陥25が存在すると、キャパシタ下部電極13に蓄積された電荷がリーク電流として半導体基板1へと流失してしまい、正しいデータを書き直すことができなくなるという問題があった。

【0012】

また、ホトレジスト10を形成する工程において、プロセスのばらつき等によりゲート電極4のパターンとホトレジスト10の重ね合せがずれた場合には、図116に示すようにビット線たる導電性膜9とワード線たるゲート電極4とが接触し、デバイスの動作不良を引き起こすという問題もあった。

10

【0013】

本発明はこのような問題を解決するためになされたものであり、ビット線をワード線と接触させることなく自己整合的に半導体基板に接続させ、かつリーク電流を誘発する原因となる半導体基板の結晶欠陥を生じないような半導体装置の製造方法を提供することを目的とする。

【0014】**【課題を解決するための手段】**

この発明のうち請求項1に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e)第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f)第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g)第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッティング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(x)工程(d)と工程(e)との間に実行され、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置の上方に存在する第3の絶縁膜を除去する工程と、(y)工程(e)より後の工程において実行され、第2の位置の上方に存在する第4の絶縁膜及び第2の絶縁膜をこの順に連続してエッティングして、半導体基板の表面のうち第2の位置に存在する部分を露出する工程と、(z)第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、(s)工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、(t)工程(y)と工程(z)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。

20

30

40

【0015】

また、この発明のうち請求項2に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e)第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f)第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表

50

面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g)第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッティング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(y)工程(g)より後の工程において実行され、第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、(z)第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、(s)工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、(t)工程(y)と工程(z)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。

【0016】

また、この発明のうち請求項3に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e)第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f)第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g)第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッティング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(y)工程(f)とともに実行され、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、(z)工程(g)とともに実行され、第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、工程(g)及び(z)に引き続く、(h)第2及び第3の導電性膜及び第4の絶縁膜を覆う第5の絶縁膜を形成する工程と、(i)第5の絶縁膜を選択的にエッティングして第3の導電性膜の上方において開口を設ける工程と、(j)第5の絶縁膜の開口を介して第3の導電性膜と電気的に接続される第4の導電性膜を設ける工程と、(s)工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、(t)工程(y)と工程(z)との間に実行され、半導体基板の表面のうち第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。

【0017】

また、この発明のうち請求項4に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e)第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f)第4の絶縁膜、第3の絶

10

20

30

40

50

縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g)第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッティング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(x)工程(d)と工程(e)との間に実行され、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置の上方に存在する第3の絶縁膜を除去する工程と、(y)工程(e)より後の工程において実行され、第2の位置の上方に存在する第4の絶縁膜及び第2の絶縁膜をこの順に連続してエッティングして、半導体基板の表面のうち第2の位置に存在する部分を露出する工程と、(z)第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、(s)工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、(t)工程(s)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。

10

20

【0018】

また、この発明のうち請求項5に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e)第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f)第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g)第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッティング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(y)工程(g)より後の工程において実行され、第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッティングして、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、(z)第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、(s)工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、(t)工程(s)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。

30

40

【0019】

また、この発明のうち請求項6に係る半導体装置の製造方法は、(a)半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b)第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c)工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d)第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(

50

e) 第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f) 第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g) 第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッチング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(y) 工程(f)とともに実行され、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第2の位置に存在する部分を露出する工程と、(z) 工程(g)とともに実行され、第2の位置において半導体基板と電気的に接触する第3の導電性膜を形成する工程と、工程(g)及び(z)に引き続く、(h) 第2及び第3の導電性膜及び第4の絶縁膜を覆う第5の絶縁膜を形成する工程と、(i) 第5の絶縁膜を選択的にエッチングして第3の導電性膜の上方において開口を設ける工程と、(j) 第5の絶縁膜の開口を介して第3の導電性膜と電気的に接続される第4の導電性膜を設ける工程と、(s) 工程(c)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域をそれぞれ形成する工程と、(t) 工程(s)と工程(d)との間に実行され、半導体基板の表面のうち第1及び第2の位置に存在する部分から、半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。
10

【0020】

また、この発明のうち請求項7に係る半導体装置の製造方法は、(a) 半導体基板の表面上に、第1の導電性膜を選択的に形成する工程と、(b) 第1の導電性膜上に、第1の絶縁膜を形成する工程と、(c) 工程(a)及び(b)によって得られる構造上に、第2の絶縁膜を形成する工程と、(d) 第2の絶縁膜上に、第3の絶縁膜を形成する工程と、(e) 第3の絶縁膜上に、第4の絶縁膜を形成する工程と、(f) 第4の絶縁膜、第3の絶縁膜、第2の絶縁膜を選択的に、かつ、この順に個別にエッチングして、半導体基板の表面のうち第1の導電性膜が形成されていない第1の位置に存在する部分を露出する工程と、(g) 第1の位置において半導体基板と電気的に接触する第2の導電性膜を形成する工程とを備え、第3の絶縁膜は、第4の絶縁膜よりもエッチング速度が遅く、第2の絶縁膜は、第1の導電性膜及び第1の絶縁膜のそれぞれの側壁である第1領域と、半導体基板の表面のうち第1の導電性膜が形成されていない第2領域とに存在し、第1領域に存在する第2の絶縁膜の幅は、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、(h) 工程(c)と工程(d)との間に実行され、半導体基板の表面のうち、第1の位置とは異なる、第1の導電性膜が形成されていない第3の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第1の不純物を導入して第1の不純物領域を形成する工程と、(i) 工程(d)と工程(e)との間に実行され、第3の位置の上方に存在する第3の絶縁膜を除去する工程と、(j) 工程(i)と工程(e)との間に実行され、半導体基板の表面のうち第3の位置に存在する部分から、第2の絶縁膜を通して半導体基板と反対の導電型を有する第2の不純物を導入して第2の不純物領域を形成する工程と、(k) 工程(f)と同時に実行され、第3の位置の上方に存在する、第4の絶縁膜及び第2の絶縁膜をこの順に連続してエッチングして、半導体基板の表面のうち第3の位置に存在する部分を露出する工程と、(l) 工程(g)と同時に実行され、第3の位置において半導体基板と電気的に接触する第4の導電性膜を形成する工程とを更に備え、第2の不純物領域は第1の不純物領域よりも広く、かつ、第2の不純物領域の不純物濃度は第1の不純物領域の不純物濃度よりも低いことを特徴とするものである。
20
30

【0025】

【発明の実施の形態】

実施の形態 1 .

図 1 ~ 図 15 は、本発明の実施の形態 1 に係る半導体装置の製造工程を順に示す断面図である。まず、半導体（例えば Si）基板 1 上に素子分離絶縁膜 2 を LOCOS 法により形成した後、素子分離絶縁膜 2 が形成されていない半導体基板 1 上にゲート酸化膜 3、ゲート電極 4、絶縁膜 5 の順に積層された構造を選択的に形成する（図 1）。このゲート電極 4 は DRAM のワード線として機能することとなる。なお、図 1 において素子分離絶縁膜 2 上に設けられたゲート電極 4 の下方にはゲート酸化膜 3 が設けられていないが、紙面垂直方向で素子分離絶縁膜 2 の後方に隠れて上述の積層構造が形成される。

【0026】

次に、全面に、シリコン酸化膜 6 を CVD 法により形成する（図 2）。次に、半導体基板 1 に垂直な方向にエッチングレートの高い異方性の酸化膜エッチングを行うことによりシリコン酸化膜 6 をエッチングし、ゲート酸化膜 3、ゲート電極 4、絶縁膜 5 のそれぞれの側壁部にシリコン酸化膜 6 を残置させ、サイドウォール 6a ~ 6f を形成する。但し、このエッチングの際には半導体基板 1 が露出しないよう、半導体基板 1 上に所定の膜厚のシリコン酸化膜 6 を残置させ、基板保護酸化膜 6g ~ 6i を形成する。ここで、基板保護酸化膜 6g ~ 6i の膜厚は、これらを異方性の酸化膜エッチングによって除去する際にそのエッチングを精度よく制御して半導体基板 1 がダメージを受けない範囲に設定される。例えば本実施の形態においては 5 ~ 20 nm とする。その後、基板保護酸化膜 6g ~ 6i を通して半導体基板 1 内に半導体基板 1 と反対の導電型のイオンを用いてイオン注入を行い、ソース / ドレイン領域 261 ~ 263 をそれぞれ形成する（図 3）。

【0027】

次に、全面に、例えば Si₃N₄ 又は SiON などからなる絶縁膜 7 を CVD 法により 5 ~ 100 nm の厚さに堆積する（図 4）。

【0028】

次に、全面に、例えばシリコン酸化膜を CVD 法により堆積して、層間絶縁膜 8 を形成する（図 5）。

【0029】

次に、層間絶縁膜 8 上に、ソース / ドレイン領域 262 の上方で開口を呈するホトレジスト 10 を通常の転写プロセスにより形成し、このホトレジスト 10 をマスクとして、例えば C₄F₈ ガスを用いた酸化膜エッチングプロセスによって層間絶縁膜 8 のみをエッチングして、コンタクトホール 50 を形成する（図 6）。この酸化膜エッチングプロセスにおいては、CVD 法により形成された Si₃N₄, SiON からなる絶縁膜 7 に対するエッチング速度が、CVD 法により形成されたシリコン酸化膜からなる層間絶縁膜 8 よりも遅いことから、絶縁膜 7 が露出した時点でエッチングを容易に停止することができる。

【0030】

次に、ホトレジスト 10 をマスクとして、例えば CF₄ ガスを用いたエッチングプロセスによって絶縁膜 7 を除去する（図 7）。さらに、ホトレジスト 10 をマスクとして、異方性の酸化膜エッチングを行うことにより基板保護酸化膜 6h を除去してソース / ドレイン領域 262 を露出させる。このときサイドウォール 6d, 6e も除去されるが、基板保護酸化膜 6h の膜厚分だけ除去されるにすぎない。その後ホトレジスト 10 を除去する（図 8）。

【0031】

次に、例えば WSi / polySi 又は TiSi / polySi などの構造を有する導電性膜 9 を、コンタクトホール 50 を介してソース / ドレイン領域 262 に接続せるように形成する（図 9）。この導電性膜 9 は DRAM のビット線として機能することとなる。

【0032】

次に、全面に、例えばシリコン酸化膜を CVD 法により堆積して、層間絶縁膜 11 を形成する（図 10）。さらに、層間絶縁膜 11 上に、ソース / ドレイン領域 261 の上方で開口を呈するホトレジスト 12 を、通常の転写プロセスにより形成する（図 11）。次に、

10

20

30

40

50

このホトレジスト 12 をマスクとして、層間絶縁膜 11, 8、絶縁膜 7、基板保護酸化膜 6 g をエッティングすることにより、コンタクトホール 51 を形成してソース / ドレイン領域 261 を露出させる。かかるエッティングは、公知の手法により、同一のエッチャントを用いて行うことができる。その後ホトレジスト 12 を除去する（図 12）。

【0033】

次に、コンタクトホール 51 を埋めるように poly Si を CVD 法により堆積してキャパシタ下部電極 13 を形成する。キャパシタ下部電極 13 はコンタクトホール 51 を介してソース / ドレイン領域 261 と接続される。その後、全面に Si₃N₄ 膜を堆積してキャパシタ誘電膜 14 を形成する。さらに、キャパシタ誘電膜 14 上に poly Si を CVD 法により堆積してキャパシタ上部電極 15 を形成する（図 13）。 10

【0034】

次に、キャパシタ上部電極 15 上に、例えばシリコン酸化膜を CVD 法により堆積して、層間絶縁膜 16 を形成し（図 14）、層間絶縁膜 16 上に、例えば AlCu、AlSiCu からなる配線層 17 を選択的に形成する（図 17）。

【0035】

このように本実施の形態 1 に係る半導体装置の製造方法によれば、コンタクトホール 50 を形成する際、一旦絶縁膜 7 をストップとして層間絶縁膜 8 をエッティングする。よってこの段階では基板保護酸化膜 6 h がエッティングされないので、層間絶縁膜 8 のエッティングがソース / ドレイン領域 262 にダメージを与えることはない。しかも、基板保護酸化膜 6 h は薄く、これをエッティングする際のエッティング量の制御は容易であるため、やはりソース / ドレイン領域 262 にダメージを与えない上、絶縁膜 5 やサイドウォール 6d, 6e が除去される量も各々における全体から見れば少ないので、コンタクトホール 50 がゲート電極 4 に接触することなく自己整合的に形成される。 20

【0036】

また、ソース / ドレイン領域 261 の状態に着目すると、従来の製造方法によればサイドウォール 6a ~ 6f 形成時及びコンタクトホール 51 形成時の 2 工程にわたって半導体基板 1 がオーバーエッティングされており、結晶欠陥 25 も大きかったのに対し、本実施の形態 1 に係る半導体装置の製造方法によれば、サイドウォール 6a ~ 6f を形成する際に基板保護酸化膜 6g を残置させるため、この際のエッティングにより半導体基板 1 がオーバーエッティングされることなく、結晶欠陥 25 が生じることもない。従って、ソース / ドレイン領域 261 付近の結晶欠陥 25 は従来の製造方法と比較して抑制されているため、これにコンタクトホール 51 を介してキャパシタ下部電極 13 を接続したときに、デバイスの誤動作を引き起こすリーク電流が誘発されることも抑制される。 30

【0037】

実施の形態 2。

実施の形態 1 では、絶縁膜 7 を形成した後の工程で層間絶縁膜 8 を形成したが、絶縁膜 7 を形成した後層間絶縁膜 8 を形成する前に、コンタクトホール 50 が形成される領域以外の絶縁膜 7 を除去してもよい。

【0038】

図 16 ~ 図 27 は、本発明の実施の形態 2 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 1 に係る工程と同様の工程を経て図 4 に示す構造と同様の構造を得る。その後、コンタクトホール 50 が形成される領域に、通常の転写プロセスによってホトレジスト 24a を形成する（図 16）。 40

【0039】

次に、ホトレジスト 24a に覆われていない領域の絶縁膜 7 を、例えば CF₄ ガスを用いたエッティングプロセスによって除去した後、ホトレジスト 24a を除去する（図 17）。

【0040】

以下、実施の形態 1 に係る工程と同様の工程を経て層間絶縁膜 11 まで形成する。即ち、全面に層間絶縁膜 8 を堆積し（図 18）、この上に形成したホトレジスト 27 をマスクとして、例えば C₄F₈ ガスを用いた酸化膜エッティングプロセスによって層間絶縁膜 8 のみ 50

をエッティングしてコンタクトホール50を形成する(図19)。さらにホトレジスト27をマスクとして絶縁膜7をエッティングし(図20)、基板保護酸化膜6hを除去した後ホトレジスト27を除去する(図21)。次に、導電性膜9をコンタクトホール50を介してソース／ドレイン領域262に接続し(図22)、全面に層間絶縁膜11を形成する(図23)。

【0041】

その後、層間絶縁膜11上に通常の転写プロセスによりホトレジスト12を形成し、このホトレジスト12をマスクとして層間絶縁膜11, 8、基板保護酸化膜6gを同一のエッチャントを用いてエッティングすることにより、コンタクトホール51を形成してソース／ドレイン領域261を露出させる(図24)。

10

【0042】

以下、実施の形態1に係る工程と同様の工程を経て配線層17まで形成する。即ち、キャパシタ下部電極13をコンタクトホール51を介してソース／ドレイン領域261に接続するように形成した後、全面に、キャパシタ誘電膜14、キャパシタ上部電極15をそれぞれ形成する(図25)。その後全面に層間絶縁膜16を形成し(図26)、この上に配線層17を選択的に形成する(図27)。

【0043】

コンタクトホール51はワード線たるゲート電極4及びビット線たる導電性膜9に接触しないように形成する必要があるため、必然的に微細なコンタクトホールを形成しなければならない。よって、微細なコンタクトホール51を形成する際に絶縁膜7のようなエッティング速度の遅い膜が存在することは望ましくない。本実施の形態2に係る半導体装置の製造方法によれば、コンタクトホール51を形成する際にエッティング速度の遅い絶縁膜7をエッティングする必要がないため、コンタクトホール51を容易に形成することが可能になる。

20

【0044】

実施の形態3。

実施の形態1では、層間絶縁膜11を形成した後、この上に通常の転写プロセスにより形成したホトレジスト12をマスクとして、層間絶縁膜11, 8、絶縁膜7、基板保護酸化膜6gを同一のエッチャントを用いた単一の工程によりエッティングしてコンタクトホール51を形成したが、複数の工程によりコンタクトホール51を形成してもよい。

30

【0045】

図28～図34は、本発明の実施の形態3に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態1に係る工程と同様の工程を経て図11に示す構造と同様の構造を得る(図28)。

【0046】

次に、ホトレジスト12をマスクとして例えばC₄F₈ガスを用いた酸化膜エッティングを行うことにより、層間絶縁膜11, 8のみをエッティングし、絶縁膜7が露出した時点でエッティングを停止する(図29)。かかる酸化膜エッティングプロセスでは、Si₃N₄やSiONからなる絶縁膜7に対するエッティング速度が、シリコン酸化膜からなる層間絶縁膜8, 11のそれよりも遅いため、絶縁膜7が露出した時点でエッティングを容易に停止することができることは、実施の形態1で述べたとおりである。

40

【0047】

次に、ホトレジスト12をマスクとして、例えばCF₄ガスを用いたエッティングプロセスにより絶縁膜7のみを除去する(図30)。さらに、ホトレジスト12をマスクとして異方性の酸化膜エッティングを行うことにより、基板保護酸化膜6gを除去してソース／ドレイン領域261を露出させる。その後ホトレジスト12を除去する(図31)。

【0048】

以下、実施の形態1に係る工程と同様の工程を経て配線層17まで形成する。即ち、キャパシタ下部電極13をコンタクトホール51を介してソース／ドレイン領域261に接続するように形成した後、キャパシタ誘電膜14、キャパシタ上部電極15を形成する(図

50

32)。その後全面に層間絶縁膜16を形成した後(図33)、この上に配線層17を選択的に形成する(図34)。

【0049】

このように本実施の形態3に係る半導体装置の製造方法によれば、コンタクトホール51を形成する際、エッティング速度の遅い絶縁膜7がストップとして機能し、実施の形態1におけるコンタクトホール50と同様、コンタクトホール51がゲート電極4に接触することなく自己整合的に形成される。

【0050】

また、実施の形態1ではコンタクトホール51を形成する際に、層間絶縁膜11, 8、基板保護酸化膜6gを同一のエッチャントを用いた单一の工程によりエッティングしていたため、除去すべき膜厚が厚く、エッティング量の制御は容易ではなかった。しかし、本実施の形態3に係る製造方法によれば、まず層間絶縁膜11, 8のみをエッティングした後、絶縁膜7のみをエッティングするため、ソース/ドレイン領域261には影響せず、さらにその後基板保護酸化膜6gのみをエッティングする工程においても除去すべき膜厚が薄く、エッティング量の制御も容易となる。従って、コンタクトホール51を形成する際のエッティングによる半導体基板1のオーバーエッティング量も減少させることができ、実施の形態1に示す方法よりも、ソース/ドレイン領域261における結晶欠陥25の発生をさらに抑制することができる。

【0051】

実施の形態4。

実施の形態1では、層間絶縁膜8を形成した後の工程において一旦ソース/ドレイン領域262のみを露出させていたが、ソース/ドレイン領域261を同時に露出させてもよい。

【0052】

図35～図44は、本発明の実施の形態4に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態1に係る工程と同様の工程を経て図5と同様の構造を得る。その後、層間絶縁膜8上に、ソース/ドレイン領域261, 262の上方に開口を呈するホトレジスト10aを通常の転写プロセスにより形成し、このホトレジスト10aをマスクとして、例えばC₄F₈ガスを用いた酸化膜エッティングを行うことにより層間絶縁膜8のみをエッティングして、コンタクトホール50, 52を形成する(図35)。

【0053】

次に、ホトレジスト10aをマスクとして、例えばC₄F₈ガスを用いたエッティングプロセスによって絶縁膜7のみを除去する(図36)。さらに、ホトレジスト10aをマスクとして、異方性の酸化膜エッティングを行うことにより基板保護酸化膜6g, 6hを除去してソース/ドレイン領域261, 262を露出させる。その後ホトレジスト10aを除去する(図37)。

【0054】

次に、ピット線たる導電性膜9をコンタクトホール50を介してソース/ドレイン領域262に接続せしめるように形成すると同時に、導電性膜9と同様の構造を呈する導電性膜19をコンタクトホール52を介してソース/ドレイン領域261に接続せしめるように形成する(図38)。この導電性膜19は、キャパシタ下部電極13とソース/ドレイン領域261とを接続するための接続電極として機能することとなる。

【0055】

次に、全面に、例えばシリコン酸化膜をCVD法により堆積し、層間絶縁膜11を形成する(図39)。次に、層間絶縁膜11上に、ソース/ドレイン領域261の上方に開口を呈するホトレジスト12を通常の転写プロセスにより形成する(図40)。

【0056】

その後、このホトレジスト12をマスクとして層間絶縁膜11をエッティングすることにより、コンタクトホール53を形成して導電性膜19を露出させる。その後ホトレジスト12を除去する(図41)。

10

20

30

40

50

【0057】

以下、実施の形態1に係る工程と同様の工程を経て配線層17まで形成する。即ち、キャパシタ下部電極13をコンタクトホール53を介して導電性膜19に接続するように形成した後、全面に、キャパシタ誘電膜14、キャパシタ上部電極15を形成する(図42)。次に、全面に層間絶縁膜16を形成した後(図43)、この上に配線層17を選択的に形成する(図44)。

【0058】

このように本実施の形態4に係る半導体装置の製造方法によれば、コンタクトホール50, 52を形成する際、エッチング速度の早い絶縁膜7が層間絶縁膜8をエッチングする際のストップとして機能するため、コンタクトホール50, 52がゲート電極4に接触することなく自己整合的に形成される。

10

【0059】

また、実施の形態3ではコンタクトホール51を形成する工程で絶縁膜7を露出する際に、層間絶縁膜11, 8を同一のエッチャントを用いた単一の工程によってエッチングしていたため、除去すべき膜厚が厚くエッチングの制御は容易ではなかった。従って、層間絶縁膜11, 8をエッチングする際のオーバーエッチングが過大になると、本来このエッチングのストップとして機能すべき絶縁膜7が突き破られ、さらにその下の基板保護酸化膜6gはシリコン酸化膜であり容易にエッチングされることから、このエッチングがソース/ドレイン領域261の表面をもオーバーエッチングしてしまうおそれも考えられる。

【0060】

20

しかし、本実施の形態4に係る半導体装置の製造方法によれば、絶縁膜7を露出するにあたって層間絶縁膜11, 8を単一の工程によってエッチングするのではなく、層間絶縁膜11を形成する前の工程において一旦層間絶縁膜8のみをエッチングして絶縁膜7を露出させ、その後別の工程において層間絶縁膜11のみをエッチングするため、それぞれの工程において除去すべき膜厚が薄く、容易にエッチング量を制御することができる。よって、ソース/ドレイン領域261のオーバーエッチングをより一層回避しやすい。

【0061】

実施の形態5。

実施の形態1では、サイドウォール6a～6f、及び基板保護酸化膜6g～6i上に絶縁膜7及び層間絶縁膜8を形成していたが、絶縁膜7及び層間絶縁膜8の代わりにシリコン酸化膜6よりもエッチング速度の早い絶縁膜を形成してもよい。

30

【0062】

図45～図57は、本発明の実施の形態5に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態1に係る工程と同様の工程を経て図3と同様の構造を得る。即ち、半導体基板1上に素子分離絶縁膜2をLOCOS法により形成した後、素子分離絶縁膜2が形成されていない半導体基板1上にゲート酸化膜3、ゲート電極4、絶縁膜5の順に積層された構造を選択的に形成する(図45)。

【0063】

次に、全面にシリコン酸化膜6をCVD法により形成し(図46)、その後半導体基板1に垂直な方向にエッチングレートの高い異方性の酸化膜エッチングを行うことによりシリコン酸化膜6をエッチングしてサイドウォール6a～6fを形成するとともに、基板保護酸化膜6g～6iを形成する。その後、ソース/ドレイン領域261～263をそれぞれ形成する(図47)。

40

【0064】

次に、全面に、シリコン酸化膜6よりもエッチング速度の早い層間絶縁膜(例えば、ボロンやリンなどの不純物を含むシリコン酸化膜)81を形成する(図48)。

【0065】

次に、層間絶縁膜81上に、ソース/ドレイン領域262の上方に開口を呈するホトレジスト10を通常の転写プロセスにより形成する。その後、このホトレジスト10をマスクとしてエッチングプロセスを行うことにより、層間絶縁膜81のみをエッチングする。こ

50

のときのエッチャントとしては、例えば CHF_3 又は CF_4 、或いはこれらの混合ガスを、低密度のプラズマ ($10^{10} / \text{cm}^2$ 程度) として用いる。この際、エッチング速度の差で、シリコン酸化膜 6 (特にサイドウォール 6 d, 6 e 及び基板保護酸化膜 6 h) がエッチャントのストップとして機能するため、サイドウォール 6 d, 6 e 及び基板保護酸化膜 6 h を露出させるためのコンタクトホール 5 0 が形成される (図 4 9)。

【0066】

次に、ホトレジスト 1 0 をマスクとして異方性の酸化膜エッチャングを行うことにより、基板保護酸化膜 6 h を除去してソース / ドレイン領域 2 6 2 を露出させる。このときサイドウォール 6 d, 6 e も除去されるが、基板保護酸化膜 6 h の膜厚分だけ除去されるにすぎない。その後ホトレジスト 1 0 を除去する (図 5 0)。

10

【0067】

次に、導電性膜 9 を、コンタクトホール 5 0 を介してソース / ドレイン領域 2 6 2 に接続するように形成し (図 5 1)、その後全面に層間絶縁膜 1 1 を形成する (図 5 2)。

【0068】

次に、層間絶縁膜 1 1 上に、ソース / ドレイン領域 2 6 1 の上方に開口を呈するホトレジスト 1 2 を通常の転写プロセスにより形成する (図 5 3)。その後、このホトレジスト 1 2 をマスクとして、層間絶縁膜 1 1, 8 1、基板保護酸化膜 6 g を同一のエッチャントを用いてエッチャングすることによりコンタクトホール 5 1 を形成し、ソース / ドレイン領域 2 6 1 を露出させる (図 5 4)。

【0069】

以下、実施の形態 1 に係る工程と同様の工程を経て配線層 1 7 まで形成する。即ち、キャパシタ下部電極 1 3 をコンタクトホール 5 1 を介してソース / ドレイン領域 2 6 1 に接続するように形成した後、全面に、キャパシタ誘電膜 1 4 及びキャパシタ上部電極 1 5 を形成する (図 5 5)。その後全面に層間絶縁膜 1 6 を形成した後 (図 5 6)、この上に配線層 1 7 を選択的に形成する (図 5 7)。

20

【0070】

このように本実施の形態 5 に係る半導体装置の製造方法によれば、コンタクトホール 5 0 を形成する際に、層間絶縁膜 8 1 のみをエッチャングして一旦サイドウォール 6 d, 6 e 及び基板保護酸化膜 6 h を露出させるため、実施の形態 1 と同様の理由でコンタクトホール 5 0 がゲート電極 4 に接触することなく自己整合的に形成され、かつ結晶欠陥 2 5 の発生も抑制される。また、実施の形態 1 に示す方法のように、エッチャング速度の遅い絶縁膜 7 をエッチャングする必要がないため、コンタクトホール 5 0, 5 1 を形成する際のエッチャング量の制御が容易となる。

30

【0071】

実施の形態 6 。

実施の形態 5 では、層間絶縁膜 1 1 を形成した後、通常の転写プロセスにより形成したホトレジスト 1 2 をマスクとして、層間絶縁膜 1 1, 8 1、基板保護酸化膜 6 g を同一のエッチャントを用いた単一の工程によりエッチャングしてコンタクトホール 5 1 を形成したが、複数の工程によりコンタクトホール 5 1 を形成してもよい。

40

【0072】

図 5 8 ~ 図 6 4 は、本発明の実施の形態 6 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 5 に係る工程と同様の工程を経て図 5 3 に示す構造と同様の構造を得る (図 5 8)。

【0073】

次に、ホトレジスト 1 2 をマスクとして異方性の酸化膜エッチャングを行うことにより、層間絶縁膜 1 1 をエッチャングする。この際、層間絶縁膜 8 1 のエッチャング速度が層間絶縁膜 1 1 のそれよりも速いので、層間絶縁膜 1 1 をエッチャングする際のオーバーエッチャングにより層間絶縁膜 8 1 の上部も幾分エッチャングされる (図 5 9)。

【0074】

次に、ホトレジスト 1 2 をマスクとして層間絶縁膜 8 1 のみをエッチャングする (図 6 0) 50

。この際、シリコン酸化膜 6 のエッティング速度が層間絶縁膜 8 1 のそれよりも遅いので、サイドウォール 6 b , 6 c 及び基板保護酸化膜 6 g に施されるオーバーエッティング量は小さい。

【 0 0 7 5 】

次に、ホトレジスト 1 2 をマスクとして異方性の酸化膜エッティングを行うことにより、基板保護酸化膜 6 g を除去してソース / ドレイン領域 2 6 1 を露出させる。その後ホトレジスト 1 2 を除去する(図 6 1)。

【 0 0 7 6 】

以下、実施の形態 1 に係る工程と同様の工程を経て配線層 1 7 まで形成する。即ち、キャパシタ下部電極 1 3 をコンタクトホール 5 1 を介してソース / ドレイン領域 2 6 1 に接続するように形成した後、キャパシタ誘電膜 1 4 、キャパシタ上部電極 1 5 を形成する(図 6 2)。その後全面に層間絶縁膜 1 6 を形成した後(図 6 3)、この上に配線層 1 7 を選択的に形成する(図 6 4)。

【 0 0 7 7 】

このように本実施の形態 6 に係る半導体装置の製造方法によれば、コンタクトホール 5 1 を形成する際に、一旦層間絶縁膜 8 1 のみをエッティングしてサイドウォール 6 b , 6 c 及び基板保護酸化膜 6 g を露出させるため、実施の形態 5 と同様の理由でコンタクトホール 5 1 がゲート電極 4 に接触することなく自己整合的に形成され、かつ結晶欠陥 2 5 の発生も抑制される。

【 0 0 7 8 】

また、実施の形態 5 ではコンタクトホール 5 1 を形成する際に、層間絶縁膜 1 1 , 8 1 、基板保護酸化膜 6 g を同一のエッチャントを用いた単一の工程によりエッティングしていたため、除去すべき膜厚が厚く、エッティングの制御は容易ではなかった。しかし、本実施の形態 6 に係る製造方法によれば、まず層間絶縁膜 1 1 のみをエッティングした後層間絶縁膜 8 1 のみをエッティングし、さらにその後基板保護酸化膜 6 g のみをエッティングするため、それぞれの工程において除去すべき膜厚が薄く、特に基板保護酸化膜 6 g のエッティング量の制御が容易となる。従って、コンタクトホール 5 1 を形成する際のエッティングによる半導体基板 1 のオーバーエッティング量も減少させることができ、実施の形態 5 に示す方法よりも、ソース / ドレイン領域 2 6 1 の結晶欠陥 2 5 の発生をさらに抑制することができる。

【 0 0 7 9 】

実施の形態 7 。

実施の形態 5 では、層間絶縁膜 8 1 を形成した後の工程において一旦ソース / ドレイン領域 2 6 2 のみを露出させていたが、ソース / ドレイン領域 2 6 1 を同時に露出させてもよい。

【 0 0 8 0 】

図 6 5 ~ 7 3 は、本発明の実施の形態 7 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 5 に係る工程と同様の工程を経て図 4 8 と同様の構造を得る。その後、層間絶縁膜 8 1 上に、ソース / ドレイン領域 2 6 1 , 2 6 2 の上方に開口を呈するホトレジスト 1 0 a を通常の転写プロセスにより形成し、このホトレジスト 1 0 a をマスクとして、実施の形態 5 と同様のエッチャントを用いたエッティングプロセスによって層間絶縁膜 8 1 のみをエッティングして、コンタクトホール 5 2 , 5 0 をそれぞれ形成する(図 6 5)。この際、シリコン酸化膜 6 のエッティング速度は層間絶縁膜 8 1 のそれよりも遅いので、サイドウォール 6 b , 6 c , 6 d , 6 e 、及び基板保護酸化膜 6 g , 6 h に施されるオーバーエッティング量は小さい。

【 0 0 8 1 】

次に、ホトレジスト 1 0 a をマスクとして、異方性の酸化膜エッティングを行うことにより基板保護酸化膜 6 g , 6 h を除去してソース / ドレイン領域 2 6 1 , 2 6 2 をそれぞれ露出させる。その後ホトレジスト 1 0 a を除去する(図 6 6)。

【 0 0 8 2 】

10

20

30

40

50

次に、ピット線たる導電性膜 9 をコンタクトホール 5 0 を介してソース / ドレイン領域 2 6 2 に接続せしる様に形成すると同時に、導電性膜 9 と同様の構造を呈する導電性膜 1 9 をコンタクトホール 5 2 を介してソース / ドレイン領域 2 6 1 に接続せしる様に形成する(図 6 7)。既述のごとく、この電極 1 9 はキャパシタ下部電極 1 3 とソース / ドレイン領域 2 6 1 とを接続するための接続電極として機能することとなる。

【0083】

次に、全面に、例えはシリコン酸化膜を CVD 法により堆積して、層間絶縁膜 1 1 を形成し(図 6 8)、この上に、ソース / ドレイン領域 2 6 1 の上方に開口を呈するホトレジスト 1 2 を通常の転写プロセスにより形成する(図 6 9)。

【0084】

その後、このホトレジスト 1 2 をマスクとして層間絶縁膜 1 1 をエッチングすることにより、コンタクトホール 5 3 を形成して導電性膜 1 9 を露出させる。その後ホトレジスト 1 2 を除去する(図 7 0)。

【0085】

以下、実施の形態 1 に係る工程と同様の工程を経て配線層 1 7 まで形成する。即ち、キャパシタ下部電極 1 3 をコンタクトホール 5 3 を介して導電性膜 1 9 に接続する様に形成した後、全面に、キャパシタ誘電膜 1 4 、キャパシタ上部電極 1 5 を形成する(図 7 1)。次に、全面に層間絶縁膜 1 6 を形成した後(図 7 2)、この上に配線層 1 7 を選択的に形成する(図 7 3)。

【0086】

このように本実施の形態 7 に係る半導体装置の製造方法によれば、コンタクトホール 5 0 , 5 2 を形成する際に、酸化膜エッチングプロセスにより層間絶縁膜 8 1 のみをエッチングして一旦サイドウォール 6 b , 6 c , 6 d , 6 e 及び基板保護酸化膜 6 g , 6 h を露出させるため、実施の形態 5 と同様の理由でコンタクトホール 5 0 , 5 2 がゲート電極 4 に接触することなく自己整合的に形成され、かつ結晶欠陥 2 5 の発生も抑制される。

【0087】

また、実施の形態 6 ではコンタクトホール 5 1 を形成する工程で、層間絶縁膜 1 1 をエッチングする際のオーバーエッチングにより層間絶縁膜 8 1 の上部も幾分エッチングされていた。従って、次の工程で層間絶縁膜 8 1 をエッチングするにあたっては、その上部がオーバーエッチングによりエッチングされた量を考慮する必要があり、しかも層間絶縁膜 1 1 と層間絶縁膜 8 1 のエッチング速度は互いに異なるため、層間絶縁膜 8 1 をエッチングすべき量を精度よく制御する必要があった。

【0088】

しかし、本実施の形態 7 に係る半導体装置の製造方法によれば、層間絶縁膜 1 1 をエッチングしてから層間絶縁膜 8 1 をエッチングするのではなく、層間絶縁膜 1 1 を形成する前の工程において一旦層間絶縁膜 8 1 をエッチングして基板保護酸化膜 6 g を露出させ、その後別の工程において層間絶縁膜 1 1 のみをエッチングするため、層間絶縁膜 8 1 をエッチングするにあたってその上部はエッチングされておらず、エッチング量を容易に制御することができる。

【0089】

実施の形態 8 。

実施の形態 1 では、コンタクトホール 5 1 を形成した後の工程で、すぐにキャパシタ下部電極 1 3 を形成したが、コンタクトホール 5 1 を形成した後キャパシタ下部電極 1 3 を形成する前に、半導体基板 1 内に不純物拡散層を形成する工程を追加してもよい。

【0090】

図 7 4 ~ 図 7 7 は、本発明の実施の形態 8 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 1 に係る工程と同様の工程を経て図 1 1 に示す構造と同様の構造を得る。その後、ホトレジスト 1 2 をマスクとして、半導体基板 1 と反対の導電型を有する不純物(半導体基板 1 の導電型が p 型ならリン、ヒ素など / n 型ならボロンなど)をコンタクトホール 5 1 を介して半導体基板 1 内にイオン注入法により導入し、不純物拡散

10

20

30

40

50

層 1 8 をソース / ドレイン領域 2 6 1 よりも広く、かつ濃度を小さく形成する（図 7 4）。

【 0 0 9 1 】

以下、実施の形態 1 に係る工程と同様の工程を経て配線層 1 7 まで形成する。即ち、キャパシタ下部電極 1 3 をコンタクトホール 5 1 を介してソース / ドレイン領域 2 6 1 に接続するように形成した後、全面に、キャパシタ誘電膜 1 4 、キャパシタ上部電極 1 5 を形成する（図 7 5）。次に、全面に層間絶縁膜 1 6 を形成した後（図 7 6）、この上に配線層 1 7 を選択的に形成する（図 7 7）。

【 0 0 9 2 】

このように本実施の形態 8 に係る半導体装置の製造方法によれば、ソース / ドレイン領域 2 6 1 の外側に、半導体基板 1 と反対の導電型を有する不純物拡散層 1 8 を追加して形成するため、キャパシタ下部電極 1 3 と半導体基板 1 との接触抵抗が低減される。また、ソース / ドレイン領域 2 6 1 と半導体基板 1 との間での不純物濃度勾配が緩やかになり、キャパシタ下部電極 1 3 下の半導体基板 1 内の電界が緩和されるため、キャパシタ下部電極 1 3 から半導体基板 1 へ流れ出すリーク電流を低減することができる。

【 0 0 9 3 】

なお、以上実施の形態 8 については実施の形態 1 を基礎としてその効果を述べたが、実施の形態 5 に係る製造方法を基礎としてもこれと同様の効果が得られることはいうまでもない。

【 0 0 9 4 】

実施の形態 9 。

実施の形態 1 では、シリコン酸化膜 6 を途中までエッティングして基板保護酸化膜 6 g ~ 6 i を形成した後の工程で、すぐに絶縁膜 7 を形成したが、絶縁膜 7 を形成する前に、半導体基板 1 内に不純物拡散層を形成する工程を追加してもよい。

【 0 0 9 5 】

図 7 8 ~ 図 9 0 は、本発明の実施の形態 9 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 1 に係る工程と同様の工程を経て図 3 に示す構造と同様の構造を得る。その後、半導体基板 1 と反対の導電型を有する不純物を、基板保護酸化膜 6 g ~ 6 i を通して半導体基板 1 にイオン注入法により導入し、不純物拡散層 2 0 をソース / ドレイン領域 2 6 1 , 2 6 2 よりも広く、かつ濃度を小さく形成する（図 7 8）。

【 0 0 9 6 】

以下、実施の形態 1 に係る工程と同様の工程を経て配線層 1 7 まで形成する。即ち、全面に絶縁膜 7 を形成した後（図 7 9）、絶縁膜 7 上に層間絶縁膜 8 を形成し（図 8 0）、その上に形成したホトレジスト 1 0 をマスクとして、例えば C₄F₈ ガスを用いた酸化膜エッティングプロセスによって層間絶縁膜 8 をエッティングして、コンタクトホール 5 0 を形成する（図 8 1）。さらにホトレジスト 1 0 をマスクとして絶縁膜 7 をエッティングし（図 8 2）、その後基板保護酸化膜 6 h を除去する（図 8 3）。次に、導電性膜 9 をコンタクトホール 5 0 を介してソース / ドレイン領域 2 6 2 に接続するように形成し（図 8 4）、全面に層間絶縁膜 1 1 を形成する（図 8 5）。次に、層間絶縁膜 1 1 上にホトレジスト 1 2 を形成し（図 8 6）、これをマスクとして、層間絶縁膜 1 1 , 8 、絶縁膜 7 、基板保護酸化膜 6 g をエッティングしてコンタクトホール 5 1 を形成し、ソース / ドレイン領域 2 6 1 を露出させる（図 8 7）。その後キャパシタ下部電極 1 3 をコンタクトホール 5 1 を介してソース / ドレイン領域 2 6 1 に接続するように形成し、全面に、キャパシタ誘電膜 1 4 、キャパシタ上部電極 1 5 を形成する（図 8 8）。さらに全面に層間絶縁膜 1 6 を形成し（図 8 9）、この上に配線層 1 7 を選択的に形成する（図 9 0）。

【 0 0 9 7 】

このように本実施の形態 9 に係る半導体装置の製造方法によれば、ソース / ドレイン領域 2 6 1 , 2 6 2 の外側に、半導体基板 1 と反対の導電型を有する不純物拡散層 2 0 を追加して形成するため、キャパシタ下部電極 1 3 及び導電性膜 9 と半導体基板 1 との接触抵抗が低減される。また、実施の形態 8 における効果と同様に、キャパシタ下部電極 1 3 から

10

20

30

40

50

半導体基板1へ流れ出すリーク電流を低減することができる。さらに、不純物拡散層20を形成するためのイオン注入の際に半導体基板1が露出されることはないため、半導体基板1にダメージを与えることもない。

【0098】

なお、以上実施の形態9については実施の形態1を基礎としてその効果を述べたが、実施の形態5に係る製造方法を基礎としてもこれと同様の効果が得られることはいうまでもない。

【0099】

実施の形態10。

図91～図108は、本発明の実施の形態10に係る半導体装置の製造工程を順に示す断面図である。まず、半導体（例えばSi）基板1上に素子分離絶縁膜2をLOCOS法により形成した後、素子分離絶縁膜2が形成されていない半導体基板1上に、ゲート酸化膜3、ゲート電極4、絶縁膜5の順に積層された構造を選択的に形成する（図91）。なお、半導体基板1は、図中に示すように周辺回路領域とメモリセル領域とに区分される。ここで、図91において素子分離絶縁膜2上に設けられたゲート電極4の下方にはゲート酸化膜3が設けられていないが、紙面垂直方向で素子分離絶縁膜2の後方に隠れて上述の積層構造が形成される。

【0100】

次に、全面に、シリコン酸化膜6をCVD法により形成する（図92）。次に、半導体基板1に垂直な方向にエッチングレートの高い異方性の酸化膜エッチングを行うことによりシリコン酸化膜6をエッチングして、ゲート酸化膜3、ゲート電極4、絶縁膜5のそれぞれの側壁部にシリコン酸化膜6を残置させ、サイドウォール6j～6qを形成する。但し、このエッチングの際には半導体基板1が露出しないよう、半導体基板1上に所定の膜厚のシリコン酸化膜6を残置させ、基板保護酸化膜6r～6vを形成する。ここで、基板保護酸化膜6r～6vの膜厚は異方性の酸化膜エッチングによって半導体基板1がダメージを受けない範囲に設定される。例えば本実施の形態においては5～20nmとする。その後、基板保護酸化膜6r～6vを通して半導体基板1内にイオン注入を行い、ソース／ドレイン領域264～268をそれぞれ形成する（図93）。

【0101】

次に、全面に、例えばSi₃N₄又はSiONなどからなる絶縁膜7をCVD法により5～100nmの厚さに堆積する（図94）。

【0102】

次に、メモリセル領域にある絶縁膜7上に、通常の転写プロセスによってホトレジスト21を形成した後、このホトレジスト21に覆われていない領域の絶縁膜7及び基板保護酸化膜6r，6sを除去する。その後、ソース／ドレイン領域264，265よりも広く、半導体基板1と反対の導電型を有する不純物（半導体基板の導電型がp型ならリン、ヒ素など／n型ならボロンなど）をイオン注入法によりそれぞれ導入し、不純物拡散層22を形成する（図95）。その後ホトレジスト21を除去する（図96）。

【0103】

次に、全面にシリコン酸化膜をCVD法により堆積して、層間絶縁膜8を形成する（図97）。さらに層間絶縁膜8上に、ソース／ドレイン領域265，267の上方に開口を呈するホトレジスト10bを通常の転写プロセスにより形成し、このホトレジスト10bをマスクとして、絶縁膜7に対してエッチング速度の速い酸化膜エッチングプロセスによって、絶縁膜8をエッチングしてコンタクトホール53，50を形成する（図98）。この際、エッチング速度の差により、コンタクトホール50のエッチングは絶縁膜7が露呈した段階で停止することができる。

【0104】

次に、例えばCF₄ガスを用いたエッチングプロセスによってコンタクトホール50内の絶縁膜7のみを除去する（図99）。

【0105】

10

20

30

40

50

さらに、ホトレジスト 10 b をマスクとして異方性の酸化膜エッチングを行うことにより、基板保護酸化膜 6 u を除去してソース / ドレイン領域 267 を露出させるまでコンタクトホール 50 を掘り進める。その後ホトレジスト 10 b を除去する（図 100）。

【0106】

次に、ピット線たる導電性膜 9 をコンタクトホール 50 を介してソース / ドレイン領域 267 に接続するように形成すると同時に、導電性膜 9 と同様の構造を呈する配線層 23 を、コンタクトホール 53 を介してソース / ドレイン領域 265 に接続するように形成する（図 101）。

【0107】

次に、全面に、例えシリコン酸化膜を CVD 法により堆積して層間絶縁膜 11 を形成し（図 102）、この層間絶縁膜 11 上に、ソース / ドレイン領域 266 の上方に開口を呈するホトレジスト 12 a を通常の転写プロセスにより形成する。その後、このホトレジスト 12 a をマスクとして層間絶縁膜 11, 8、絶縁膜 7、基板保護酸化膜 6 t を同一のエッチャントを用いてエッチングすることによりコンタクトホール 51 を形成してソース / ドレイン領域 266 を露出させる（図 103）。その後ホトレジスト 12 a を除去する（図 104）。

【0108】

次に、コンタクトホール 51 を埋めるように polySi を CVD 法により堆積してキャパシタ下部電極 13 を形成する。その後、メモリセル領域のみに Si₃N₄ 膜を堆積してキャパシタ誘電膜 14 を形成する。さらに、キャパシタ誘電膜 14 上に polySi を CVD 法により堆積してキャパシタ上部電極 15 を形成する（図 105）。

【0109】

次に、全面に、例えシリコン酸化膜を CVD 法により堆積して層間絶縁膜 16 を形成し（図 106）、この層間絶縁膜 16 上に、ソースドレイン領域 264 の上方に開口を呈するホトレジスト 24 b を通常の転写プロセスにより形成する。その後、このホトレジスト 24 b をマスクとして層間絶縁膜 16, 11, 8 をエッチングすることによりコンタクトホール 54 を形成してソース / ドレイン領域 264 を露出させる（図 107）。その後ホトレジスト 24 b を除去する。

【0110】

次に、層間絶縁膜 16 上に配線層 17 を選択的に形成する。その内の一つはコンタクトホール 54 を介してソース / ドレイン領域 264 に接続するように形成される（図 108）。

【0111】

このように本実施の形態 10 に係る半導体装置の製造方法によれば、コンタクトホール 50 を形成する際、一旦絶縁膜 7 をストップとして層間絶縁膜 8 のみをエッチングする。よってこの段階では基板保護酸化膜 6 u がエッチングされないので、層間絶縁膜 8 のエッチングがソース / ドレイン領域 267 にダメージを与えることはない。しかも、基板保護酸化膜 6 u は薄いため、これをエッチングする際のエッチング量の制御は容易であり、やはりソース / ドレイン領域 267 にダメージを与えない。さらに絶縁膜 5 やサイドウォール 6 o, 6 p が除去される量も、各々における全体から見れば少ないので、コンタクトホール 50 がゲート電極 4 に接触することなく自己整合的に形成される。

【0112】

また、コンタクトホール 53, 54 を形成する際にエッチング速度の遅い絶縁膜 7 をエッチングする必要がないため、コンタクトホール 53, 54 を形成する際のエッチング量の制御が容易である。

【0113】

さらに、ソース / ドレイン領域 264, 265 よりも広く、半導体基板 1 と反対の導電型を有する不純物拡散層 22 を追加して形成するため、配線層 17, 23 のそれぞれと半導体基板 1 との接触抵抗が低減される。

【0114】

実施の形態 11 .

実施の形態 10 では、周辺回路領域の絶縁膜 7 及び基板保護酸化膜 6 r , 6 s をエッティングした後、不純物拡散層 2 2 を形成したが、絶縁膜 7 のみをエッティングして、基板保護酸化膜 6 r , 6 s を通して不純物を導入することにより不純物拡散層 2 2 を形成してもよい。

【 0 1 1 5 】

図 109 , 110 は本発明の実施の形態 11 に係る半導体装置の製造工程を順に示す断面図である。まず、実施の形態 10 に係る工程と同様の工程を経て図 94 に示す構造と同様の構造を得る。次に、メモリセル領域にある絶縁膜 7 上に通常の転写プロセスによってホトレジスト 2 1 を形成した後、このホトレジスト 2 1 をマスクとして、例えば CF_4 ガスを用いたエッティングプロセスによって絶縁膜 7 のみをエッティングする。その後、ソース / ドレイン領域 264 , 265 よりも広く、半導体基板 1 とは反対の導電型を有する不純物を基板保護酸化膜 6 r , 6 s を通してイオン注入法によりそれぞれ導入して、不純物拡散層 2 2 を形成する(図 109)。

【 0 1 1 6 】

以下、実施の形態 10 に係る工程と同様の工程を経て配線層 17 まで形成する(図 110)。

【 0 1 1 7 】

ここで、ソース / ドレイン領域 264 , 265 の状態に着目すると、実施の形態 10 に係る製造方法によれば不純物拡散層 2 2 の形成時及びコンタクトホール 53 , 54 の形成時の 2 工程にわたって半導体基板 1 がオーバーエッティングされており、表面の結晶欠陥 25 も大きかったのに対し、本実施の形態 11 に係る製造方法によれば、不純物拡散層 2 2 を形成する際に基板保護酸化膜 6 r , 6 s を残置させるため、この際のエッティングにより半導体基板 1 がオーバーエッティングされることなく、表面付近に結晶欠陥 25 が生じることもない。従って、ソース / ドレイン領域 264 , 265 付近の結晶欠陥 25 は実施の形態 10 に係る製造方法と比較して抑制されているため、配線層 23 , 17 をそれぞれコンタクトホール 53 , 54 を介してソース / ドレイン領域 264 , 265 に接続したときに、デバイスの誤動作を引き起こすリーク電流が誘発されることも抑制される。

【 0 1 1 8 】

【 発明の効果 】

この発明のうち請求項 1 に係る発明によれば、第 2 の絶縁膜のエッティングが第 4 の絶縁膜に連続してなされるのではなく、第 3 の絶縁膜が第 4 の絶縁膜をエッティングする際のストップとして機能し、その後に第 2 の絶縁膜のエッティングが別途に行われる所以、第 2 の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

【 0 1 1 9 】

従って、工程 (g) において第 2 の導電性膜を形成する際に、第 2 の導電性膜と半導体基板との接触において不要なリーク電流の発生を回避することができる。

また、第 1 領域に存在する第 2 の絶縁膜の幅の方が、第 2 領域に存在する第 2 の絶縁膜の膜厚よりも厚く、また第 1 の導電性膜上には第 1 の絶縁膜が存在するため、工程 (f) において半導体基板の表面を選択的に露出する際に、第 1 の位置の設定精度が高くなくても、第 1 の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程 (g) において第 2 の導電性膜を形成する際に、第 2 の導電性膜が第 1 の導電性膜と短絡することを回避することができる。

また、工程 (y) において第 2 の位置に存在する半導体基板の表面を露出する際に、第 2 の位置の上方においてはエッティング速度の遅い第 3 の絶縁膜をエッティングする必要がないので、容易に半導体基板の表面を露出することができる。

また、第 1 の不純物領域よりも広く第 2 の不純物領域を形成するため、工程 (z) において形成される第 3 の導電性膜と半導体基板との接触抵抗が低減される。また、第 3 の導

10

20

30

40

50

電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーケ電流の発生を一層抑制することができる。

【0120】

また、この発明のうち請求項2に係る発明によれば、第2の絶縁膜のエッティングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッティングする際のストップとして機能し、その後に第2の絶縁膜のエッティングが別途に行われる所以、第2の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

10

従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーケ電流の発生を回避することができる。

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程(f)において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなても、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

また、第2の絶縁膜のエッティングが第4の絶縁膜のエッティングに連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッティングする際のストップとして機能するため、第2の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板の表面に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。従って、工程(z)において第3の導電性膜を形成する際に、第3の導電性膜と半導体基板との接触において不要なリーケ電流の発生を回避する事ができる。

20

また、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程(z)において形成される第3の導電性膜と半導体基板との接触抵抗が低減される。また、第3の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーケ電流の発生を一層抑制することができる。

【0121】

30

また、この発明のうち請求項3に係る発明によれば、第2の絶縁膜のエッティングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッティングする際のストップとして機能し、その後に第2の絶縁膜のエッティングが別途に行われる所以、第2の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーケ電流の発生を回避することができる。

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程(f)において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなても、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

40

また、第2の導電性膜とは第5の絶縁膜を介して層が異なる第4の導電性膜は、第2の位置に存在する半導体基板と第3の導電性膜を介して電気的に接続される。即ち、第5の絶縁膜に開口を設けるべくこれをエッティングする工程(i)と、第2の位置に存在する半導体基板の表面を露出すべく第4の絶縁膜をエッティングする工程(f)とは連続して行われない。従って、各工程においてエッティングすべき膜厚は、第4及び第5の絶縁膜を連続してエッティングする場合と比較して薄く、従ってエッティング量の制御が容易であり、第3

50

の絶縁膜をオーバーエッチングする事を回避することができる。

また、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程(z)において形成される第3の導電性膜と半導体基板との接触抵抗が低減される。また、第3の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーク電流の発生を一層抑制することができる。

【0122】

また、この発明のうち請求項4に係る発明によれば、第2の絶縁膜のエッチングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッチングする際のストップとして機能し、その後に第2の絶縁膜のエッチングが別途に行われる所以、第2の絶縁膜のエッチング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッチングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーク電流の発生を回避することができる。

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程(f)において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなても、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

10

また、工程(y)において第2の位置に存在する半導体基板の表面を露出する際に、第2の位置の上方においてはエッチング速度の遅い第3の絶縁膜をエッチングする必要がないので、容易に半導体基板の表面を露出することができる。

また、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程(z)において形成される第3の導電性膜と半導体基板との接触抵抗が低減される。また、第3の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーク電流の発生を一層抑制することができる。

さらに、第1及び第2の不純物領域を形成するにあたって、ともに半導体基板が露出されないため、半導体基板にダメージを与えることなく第1及び第2の不純物領域を形成することができる。

30

【0123】

また、この発明のうち請求項5に係る発明によれば、第2の絶縁膜のエッチングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッチングする際のストップとして機能し、その後に第2の絶縁膜のエッチングが別途に行われる所以、第2の絶縁膜のエッチング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッチングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーク電流の発生を回避することができる。

40

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程(f)において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなても、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

また、第2の絶縁膜のエッチングが第4の絶縁膜のエッチングに連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッチングする際のストップとして機能するため、第2の絶縁膜のエッチング量を精度良く制御することができ、露出した半導体基板の表

50

面に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。従って、工程 (z) において第3の導電性膜を形成する際に、第3の導電性膜と半導体基板との接触において不要なリーケ电流の発生を回避する事ができる。

また、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程 (z) において形成される第3の導電性膜と半導体基板との接触抵抗が低減される。また、第3の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーケ电流の発生を一層抑制することができる。

さらに、第1及び第2の不純物領域を形成するにあたって、ともに半導体基板が露出されないため、半導体基板にダメージを与えることなく第1及び第2の不純物領域を形成することができる。

10

【0124】

また、この発明のうち請求項6に係る発明によれば、第2の絶縁膜のエッティングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッティングする際のストップとして機能し、その後に第2の絶縁膜のエッティングが別途に行われる所以、第2の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

従って、工程 (g) において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーケ电流の発生を回避することができる。

20

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程 (f) において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなても、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程 (g) において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

また、第2の導電性膜とは第5の絶縁膜を介して層が異なる第4の導電性膜は、第2の位置に存在する半導体基板と第3の導電性膜を介して電気的に接続される。即ち、第5の絶縁膜に開口を設けるべくこれをエッティングする工程 (i) と、第2の位置に存在する半導体基板の表面を露出すべく第4の絶縁膜をエッティングする工程 (f) とは連続して行われない。従って、各工程においてエッティングすべき膜厚は、第4及び第5の絶縁膜を連続してエッティングする場合と比較して薄く、従ってエッティング量の制御が容易であり、第3の絶縁膜をオーバーエッティングする事を回避することができる。

30

また、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程 (z) において形成される第3の導電性膜と半導体基板との接触抵抗が低減される。また、第3の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第3の導電性膜が形成される半導体基板内での電界が緩和される。従って、第3の導電性膜から半導体基板へ流れ出す不要なリーケ电流の発生を一層抑制することができる。

さらに、第1及び第2の不純物領域を形成するにあたって、ともに半導体基板が露出されないため、半導体基板にダメージを与えることなく第1及び第2の不純物領域を形成することができる。

40

【0125】

また、この発明のうち請求項7に係る発明によれば、第2の絶縁膜のエッティングが第4の絶縁膜に連続してなされるのではなく、第3の絶縁膜が第4の絶縁膜をエッティングする際のストップとして機能し、その後に第2の絶縁膜のエッティングが別途に行われる所以、第2の絶縁膜のエッティング量を精度良く制御することができ、露出した半導体基板に対するオーバーエッティングを、ひいては半導体基板内における結晶欠陥の発生を抑制することができる。

従って、工程 (g) において第2の導電性膜を形成する際に、第2の導電性膜と半導体基板との接触において不要なリーケ电流の発生を回避することができる。

50

また、第1領域に存在する第2の絶縁膜の幅の方が、第2領域に存在する第2の絶縁膜の膜厚よりも厚く、また第1の導電性膜上には第1の絶縁膜が存在するため、工程(f)において半導体基板の表面を選択的に露出する際に、第1の位置の設定精度が高くなくとも、第1の導電性膜を露出させることなく半導体基板の表面のみを自己整合的に露出することができる。従って、工程(g)において第2の導電性膜を形成する際に、第2の導電性膜が第1の導電性膜と短絡することを回避することができる。

また、工程(k)において第3の位置に存在する半導体基板の表面を露出する際に、第3の位置の上方においてはエッティング速度の遅い第3の絶縁膜をエッティングする必要がないので、容易に半導体基板の表面を露出することができる。

さらに、第1の不純物領域よりも広く第2の不純物領域を形成するため、工程(k)において形成される第4の導電性膜と半導体基板との接触抵抗が低減される。また、第4の導電性膜と半導体基板との間での不純物濃度勾配が緩やかになるので、第4の導電性膜が形成される半導体基板内での電界が緩和される。従って、第4の導電性膜から半導体基板へ流れ出す不要なりーク電流の発生を一層抑制することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図2】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図3】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図4】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図5】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図6】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図7】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図8】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図9】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図10】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図11】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図12】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図13】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図14】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図15】本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。

【図16】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図17】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図18】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図19】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図20】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図21】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図22】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図23】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図24】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図25】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図26】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図27】本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

【図28】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図29】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図30】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図31】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図32】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図33】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図34】本発明の実施の形態3に係る半導体装置の製造工程を示す断面図である。

【図35】本発明の実施の形態4に係る半導体装置の製造工程を示す断面図である。

10

20

30

40

50

10

20

30

40

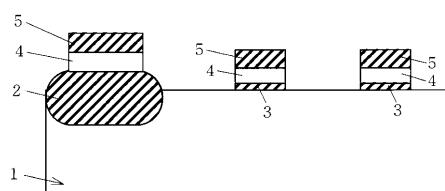
50

- 【図 8 6】本発明の実施の形態 9 に係る半導体装置の製造工程を示す断面図である。
【図 8 7】本発明の実施の形態 9 に係る半導体装置の製造工程を示す断面図である。
【図 8 8】本発明の実施の形態 9 に係る半導体装置の製造工程を示す断面図である。
【図 8 9】本発明の実施の形態 9 に係る半導体装置の製造工程を示す断面図である。
【図 9 0】本発明の実施の形態 9 に係る半導体装置の製造工程を示す断面図である。
【図 9 1】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 2】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 3】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 4】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 5】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。 10
【図 9 6】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 7】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 8】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 9 9】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 0】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 1】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 2】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 3】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 4】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 5】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。 20
【図 1 0 6】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 7】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 8】本発明の実施の形態 10 に係る半導体装置の製造工程を示す断面図である。
【図 1 0 9】本発明の実施の形態 11 に係る半導体装置の製造工程を示す断面図である。
【図 1 1 0】本発明の実施の形態 11 に係る半導体装置の製造工程を示す断面図である。
【図 1 1 1】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 2】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 3】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 4】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 5】従来の半導体装置の製造工程を示す断面図である。 30
【図 1 1 6】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 7】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 8】従来の半導体装置の製造工程を示す断面図である。
【図 1 1 9】従来の半導体装置の製造工程を示す断面図である。
【図 1 2 0】従来の半導体装置の製造工程を示す断面図である。
【図 1 2 1】従来の半導体装置の製造工程を示す断面図である。
【図 1 2 2】従来の半導体装置の製造工程を示す断面図である。

【符号の説明】

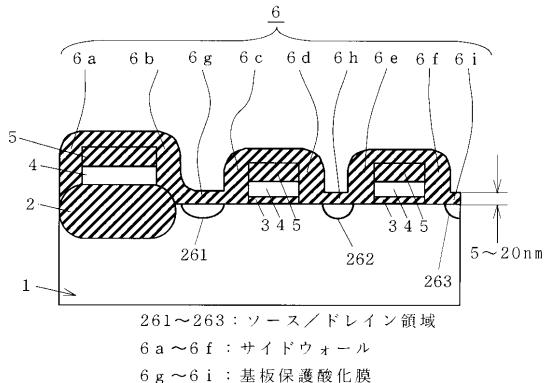
1 半導体基板、 4 ゲート電極、 6 シリコン酸化膜、 6 a ~ 6 f , 6 j ~ 6 q サイドウォール、 6 g ~ 6 i , 6 r ~ 6 v 基板保護酸化膜、 2 6 1 ~ 2 6 8 ソース / ドレイン領域、 7 絶縁膜、 8 , 1 1 , 1 6 層間絶縁膜、 5 0 ~ 5 3 コンタクトホール、 9 , 1 9 導電性膜、 1 3 キャパシタ下部電極、 1 4 キャパシタ誘電膜、 1 5 キャパシタ上部電極、 1 8 , 2 0 , 2 2 不純物拡散層、 2 3 配線層。 40

【図1】

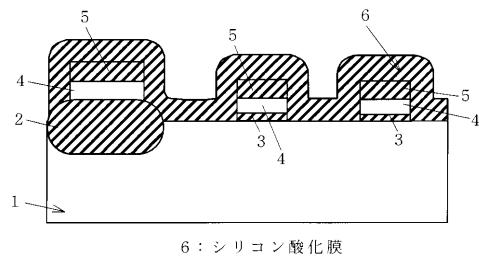


1: 半導体基板
2: 素子分離絶縁膜
3: ゲート酸化膜
4: ゲート電極（ワード線）
5: 絶縁膜

【図3】

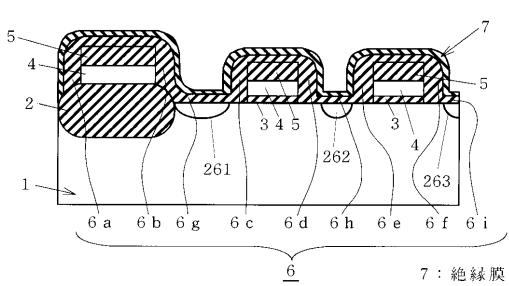


【図2】



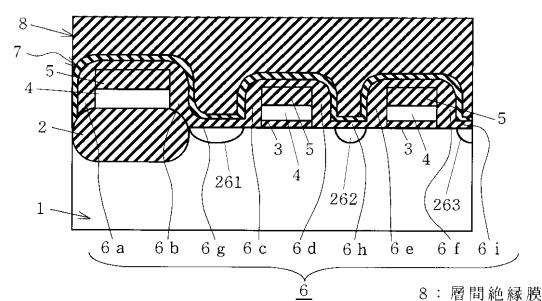
6: シリコン酸化膜

【図4】



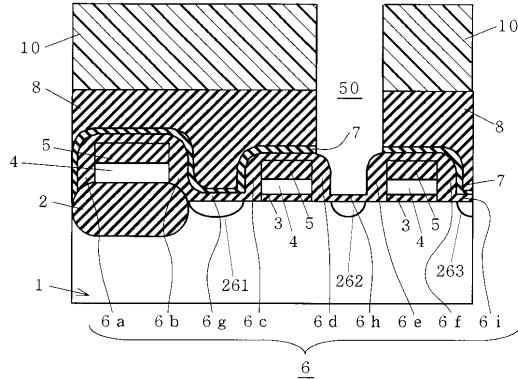
7: 絶縁膜

【図5】



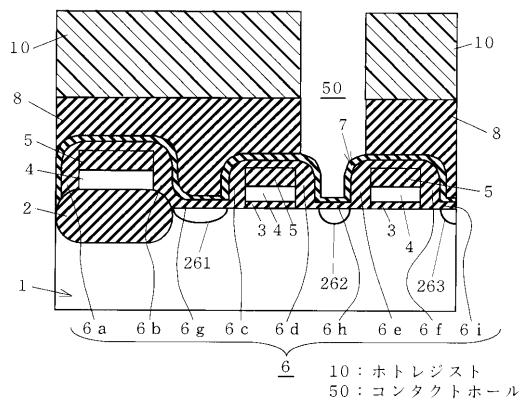
8: 層間絶縁膜

【図7】



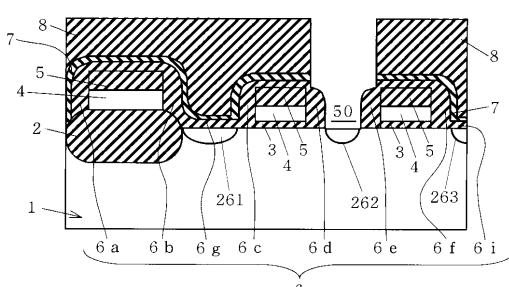
6

【図6】



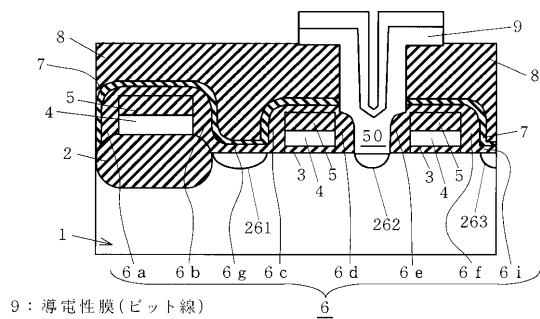
10: ホトレジスト
50: コンタクトホール

【図8】

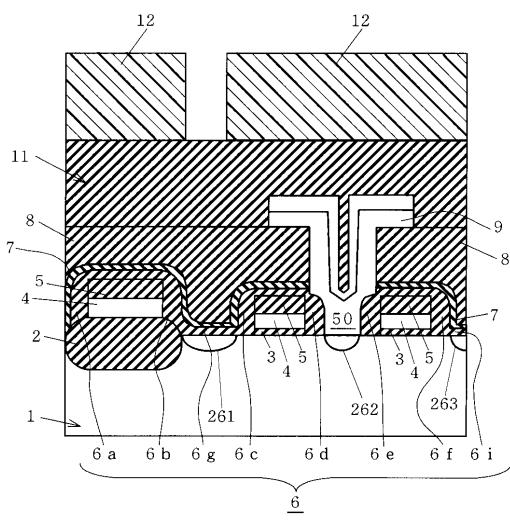


6

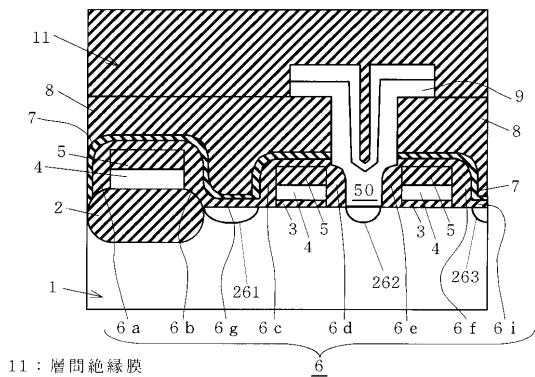
【図9】



【図11】

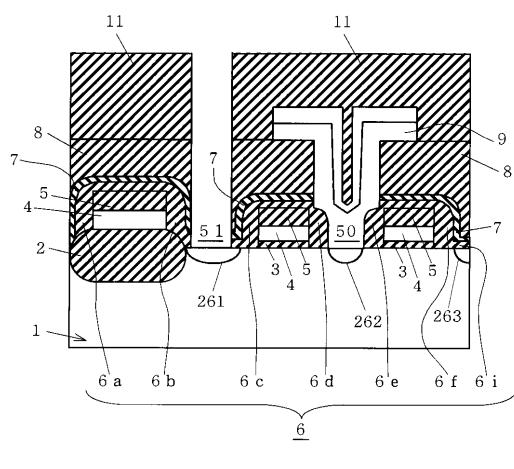


【図10】



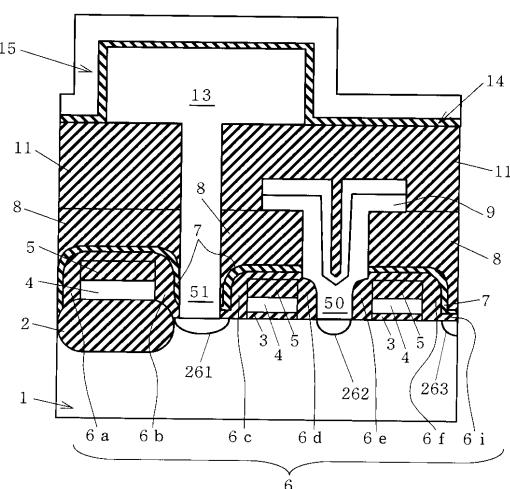
12 : ホトレジスト

【図12】



51 : コンタクトホール

【図13】

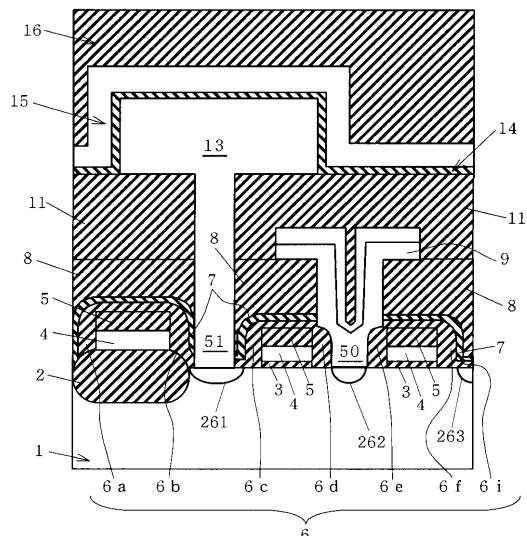


13 : キャパシタ下部電極

14 : キャパシタ誘電膜

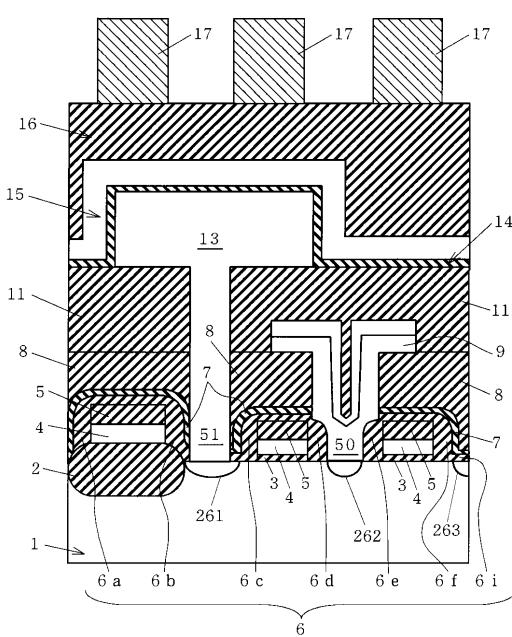
15 : キャパシタ上部電極

【図14】



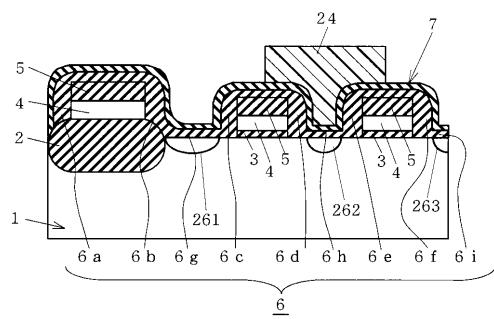
16：層間絶縁膜

【図15】



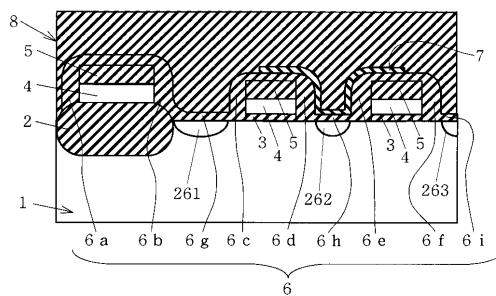
17：配線層

【図16】

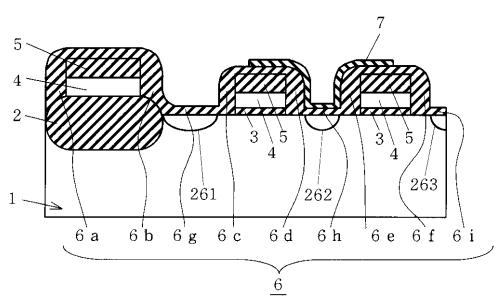


24：ホトレジスト

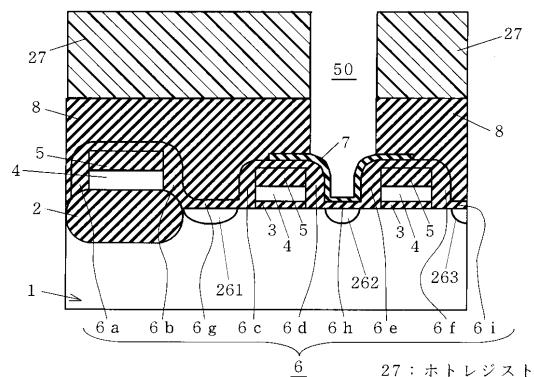
【図18】



【図17】

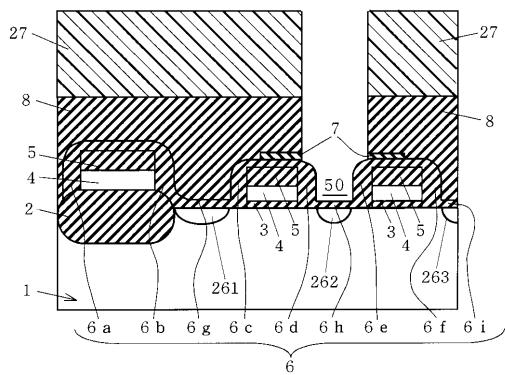


【図19】

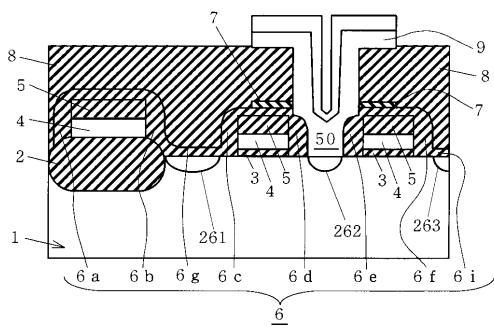


27：ホトレジスト

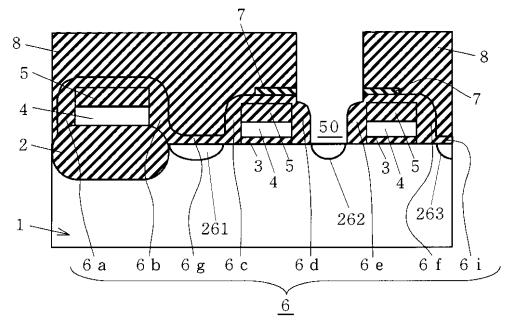
【図20】



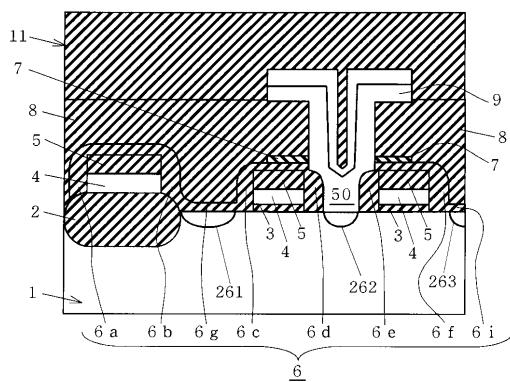
【図22】



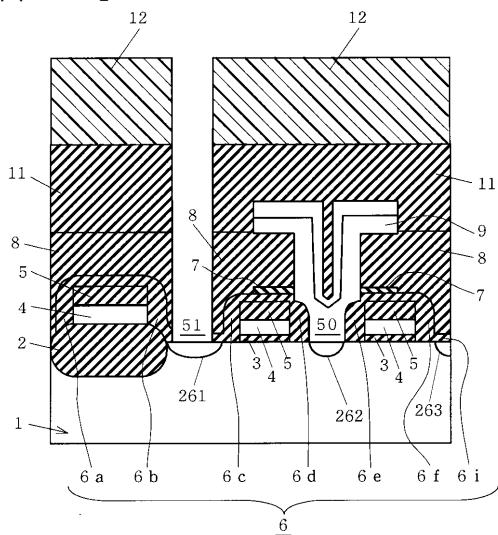
【図21】



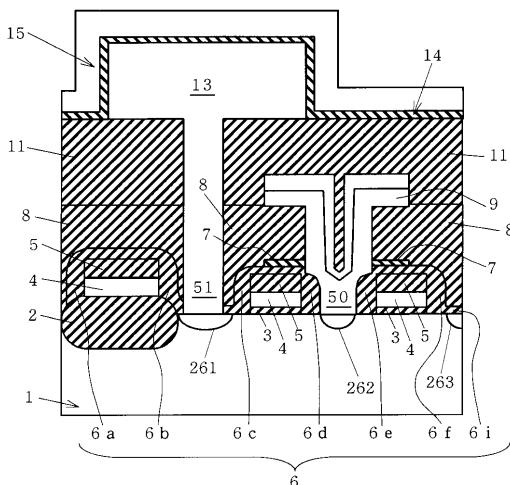
【図23】



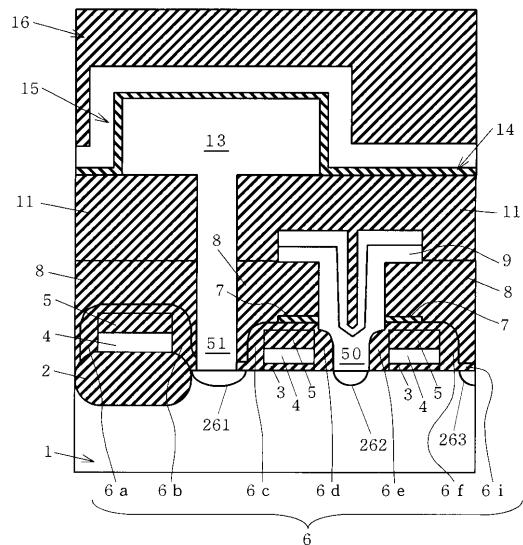
【図24】



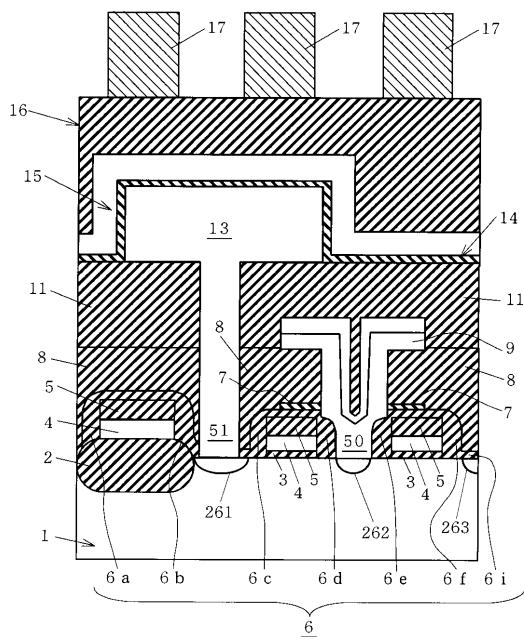
【図25】



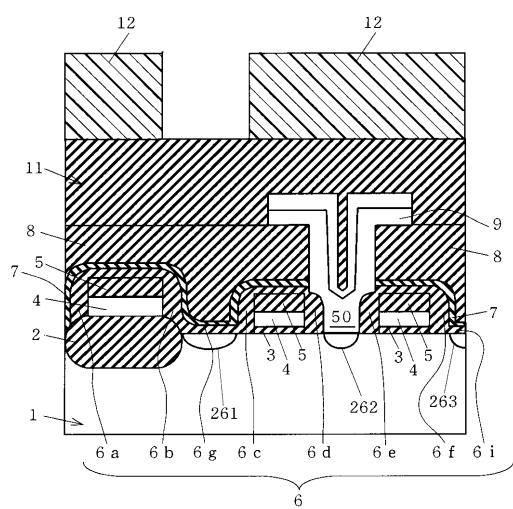
【図26】



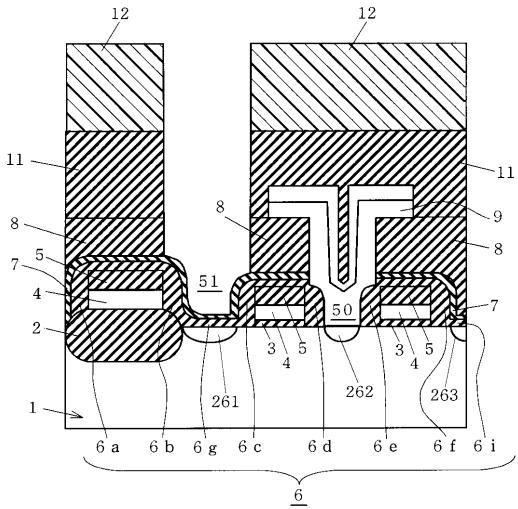
【図27】



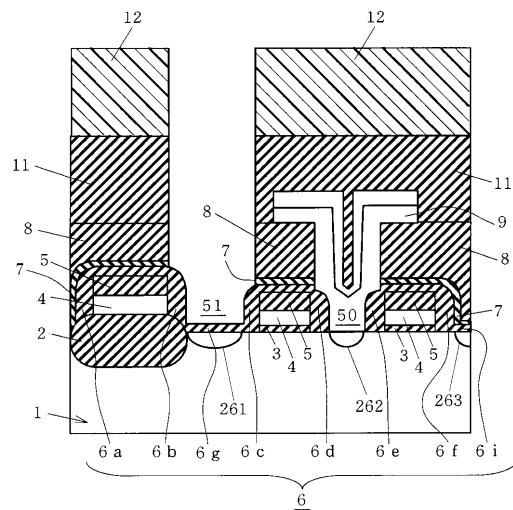
【図28】



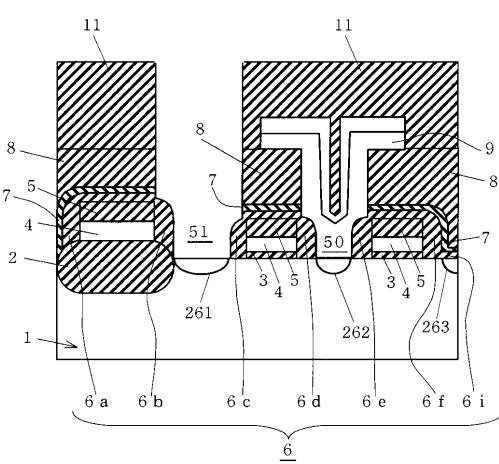
【図29】



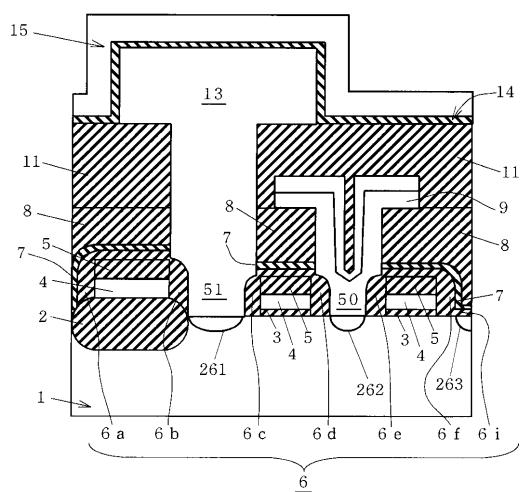
【図30】



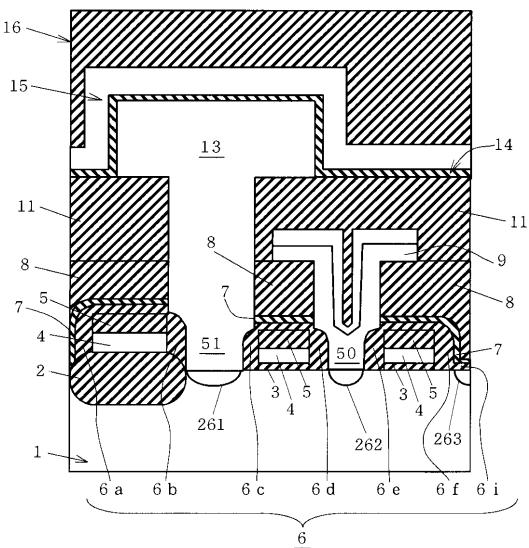
【図31】



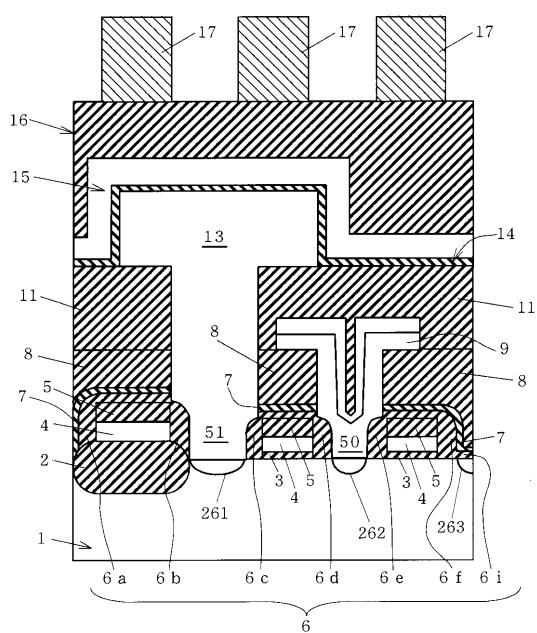
【図32】



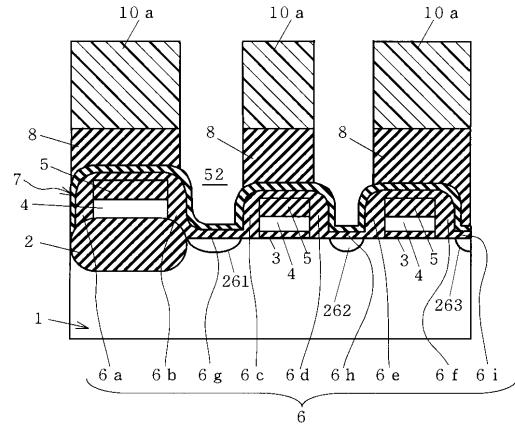
【図33】



【図34】

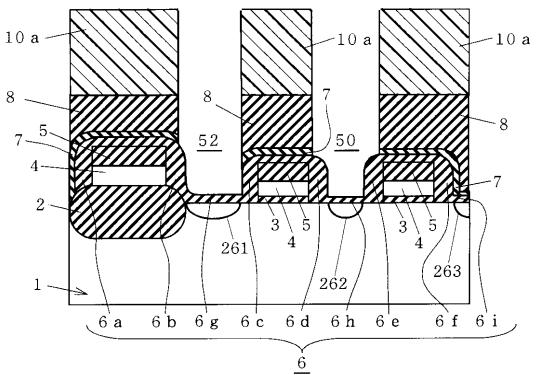


【図35】

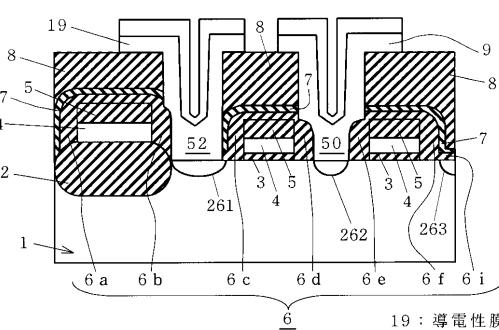


52: コンタクトホール
10a: ホトレジスト

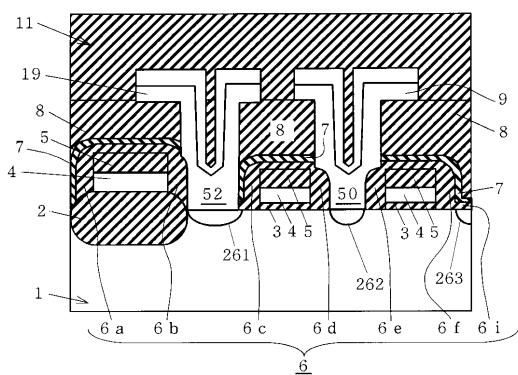
【図36】



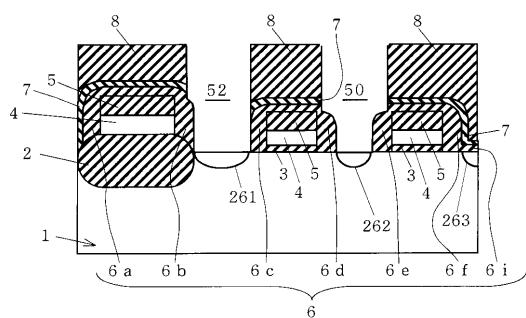
【図38】



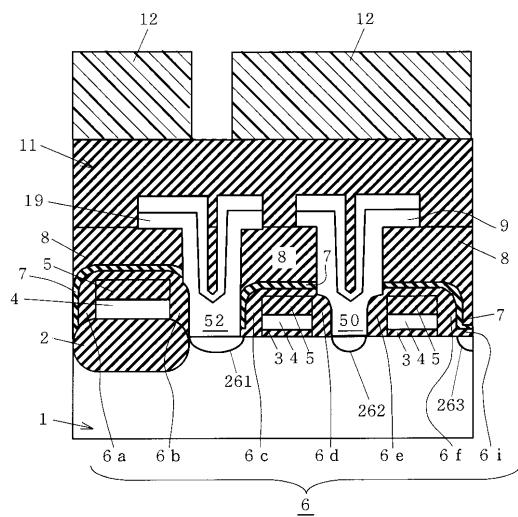
【図39】



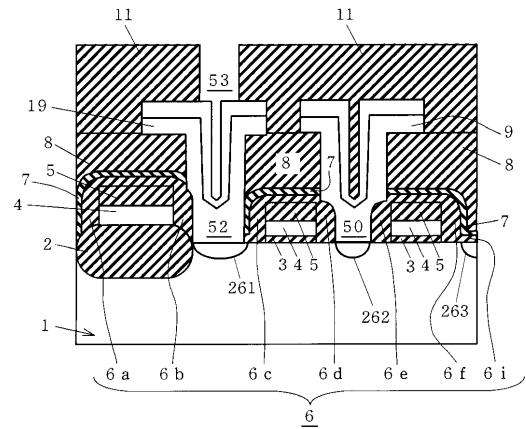
【図37】



【図40】

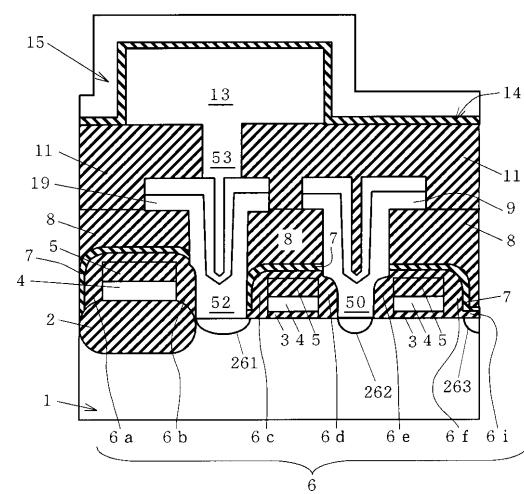


【図41】

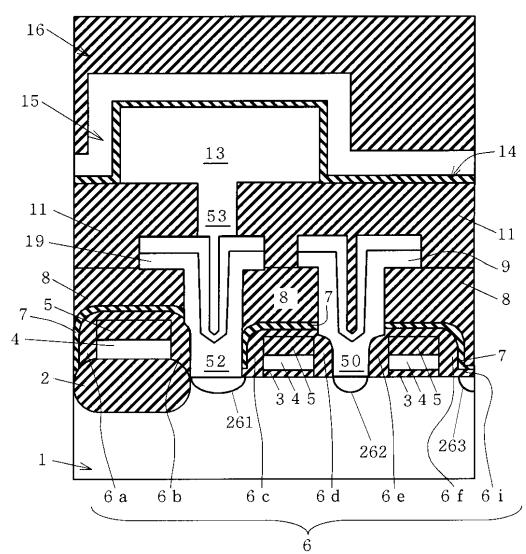


53 : コンタクトホール

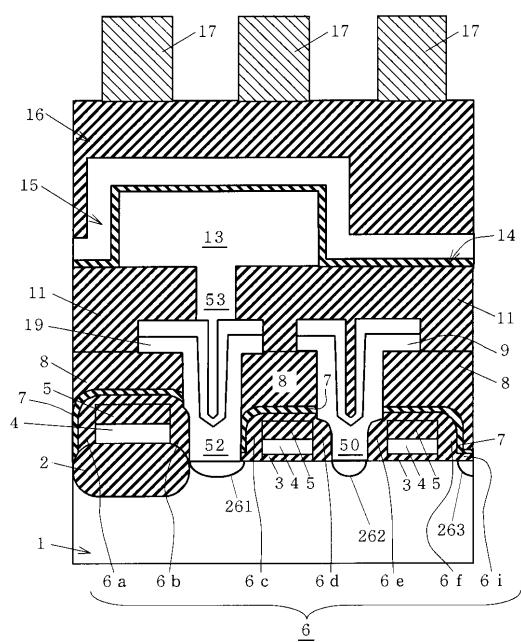
【図42】



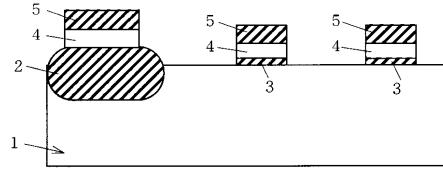
【図43】



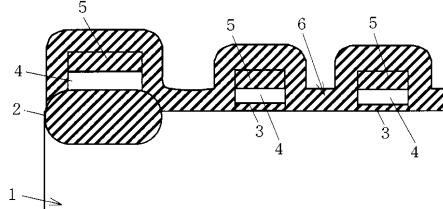
【図44】



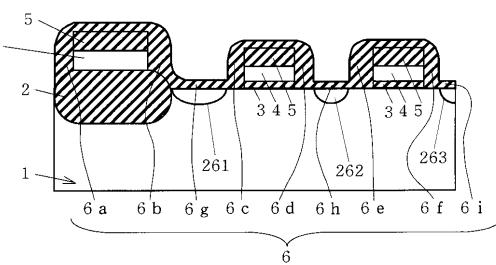
【図45】



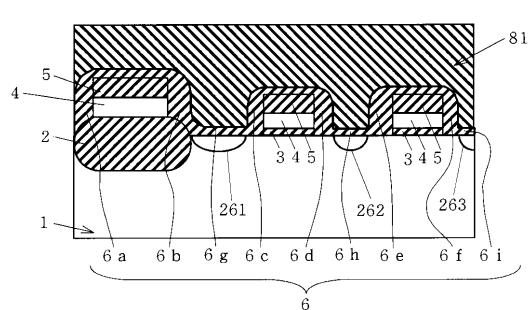
【図46】



【図47】

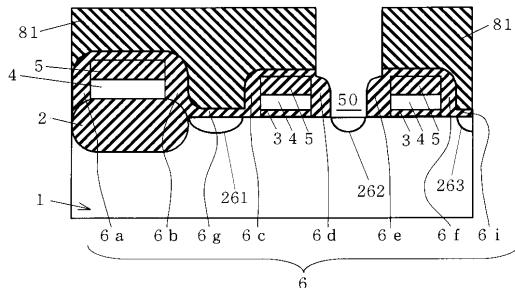


【図48】

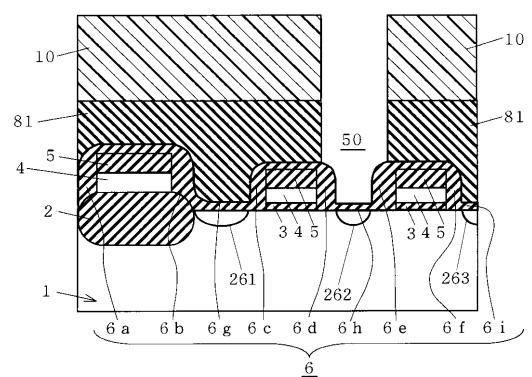


81：層間絶縁膜

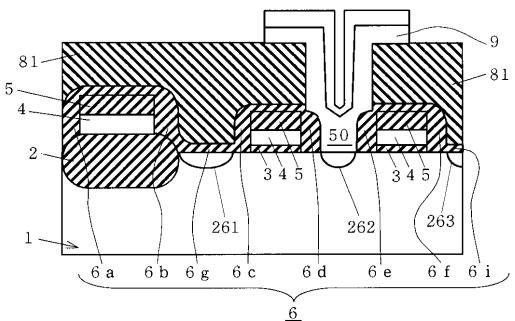
【図50】



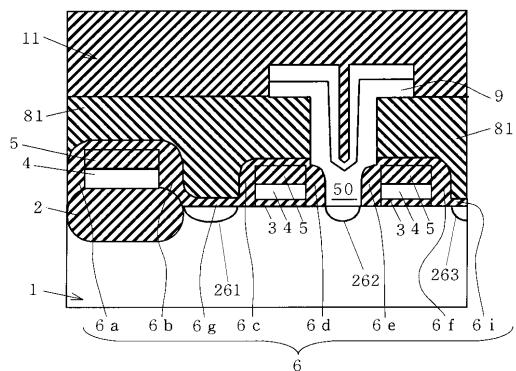
【図49】



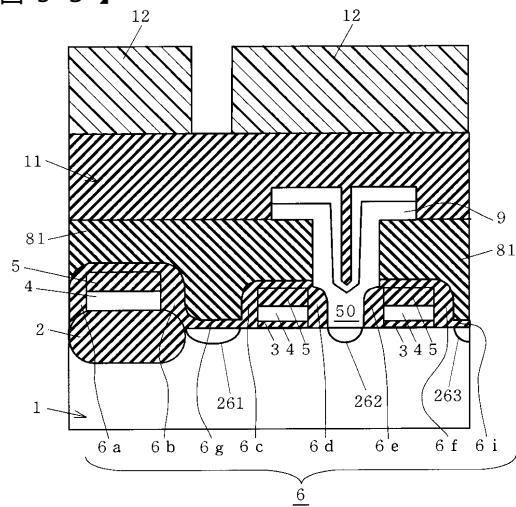
【図51】



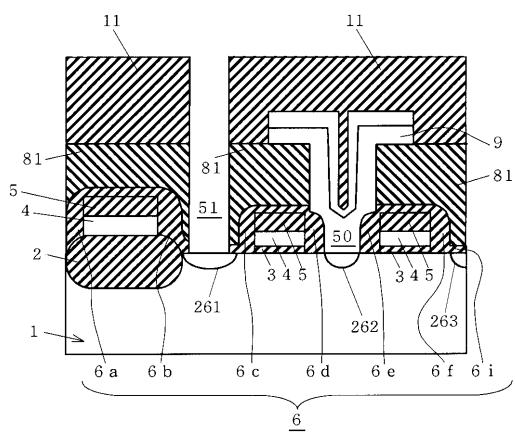
【図52】



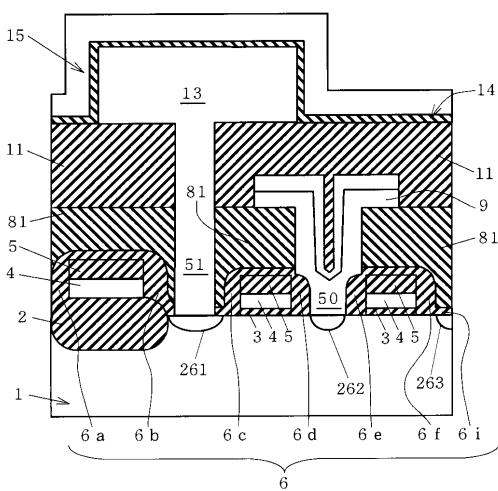
【図53】



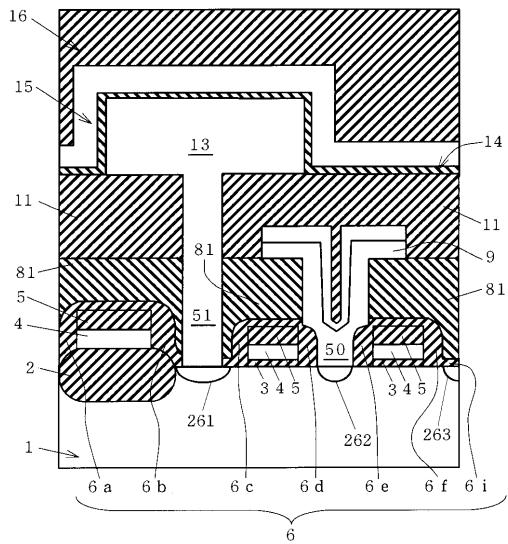
【図54】



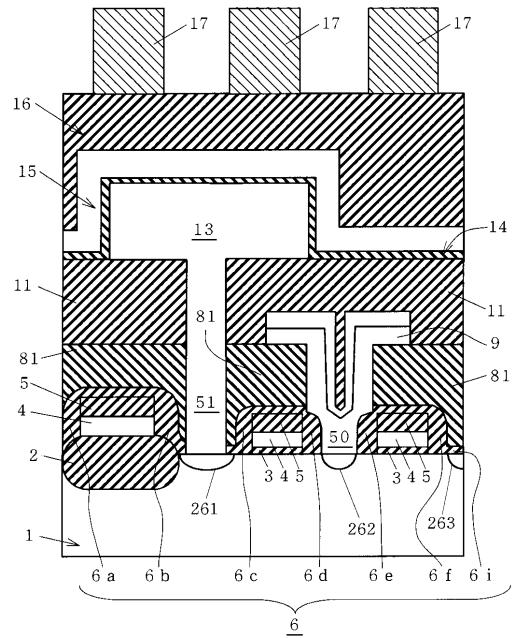
【図55】



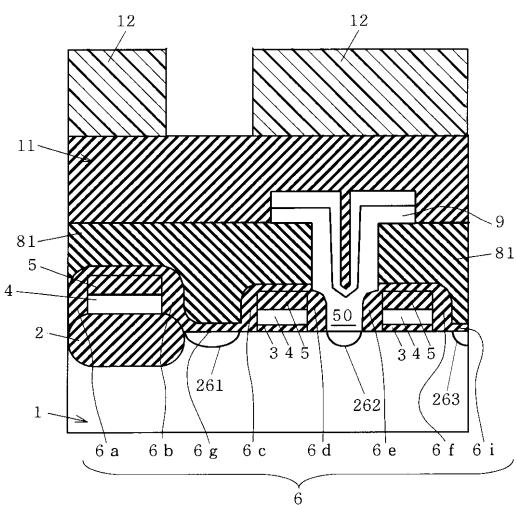
【図56】



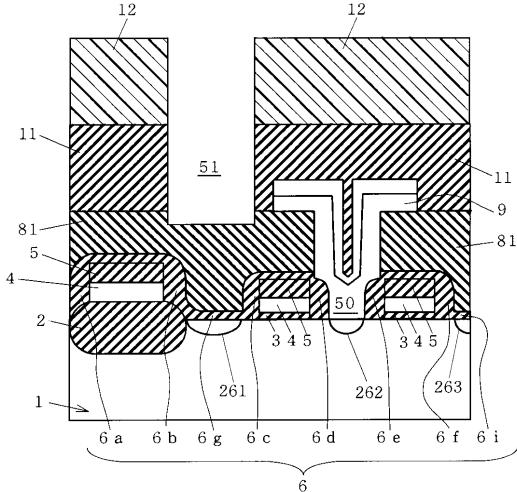
【図57】



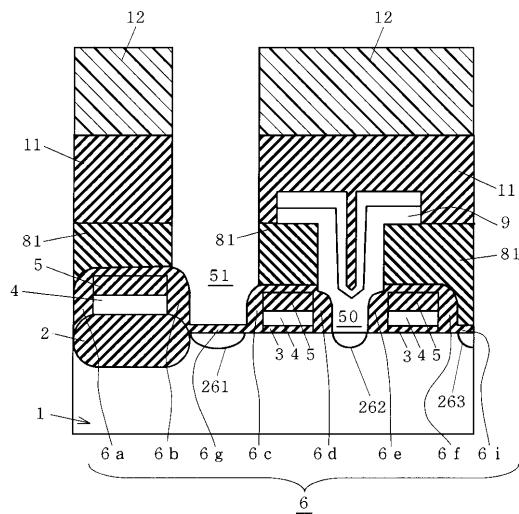
【図58】



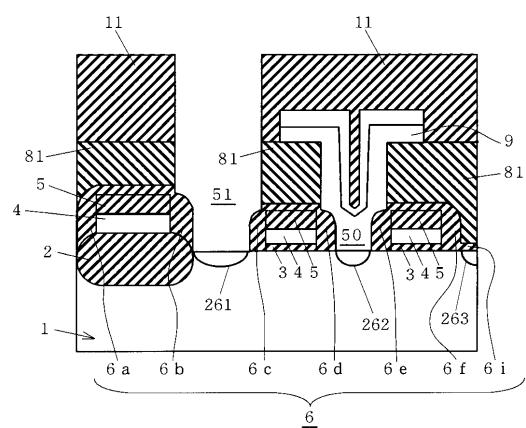
【図59】



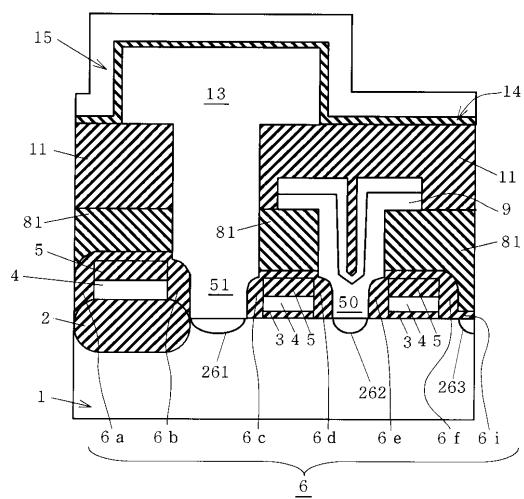
【図60】



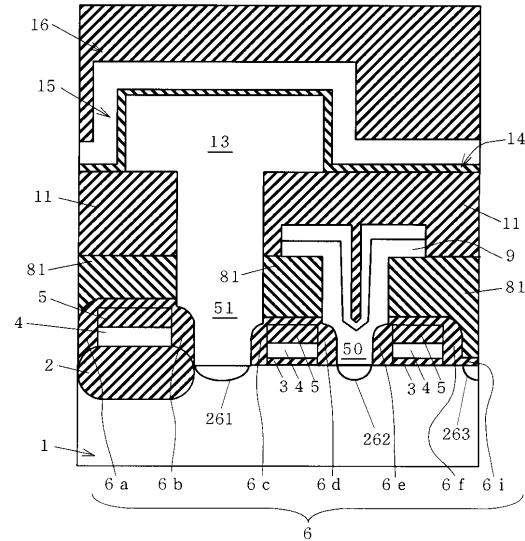
【図61】



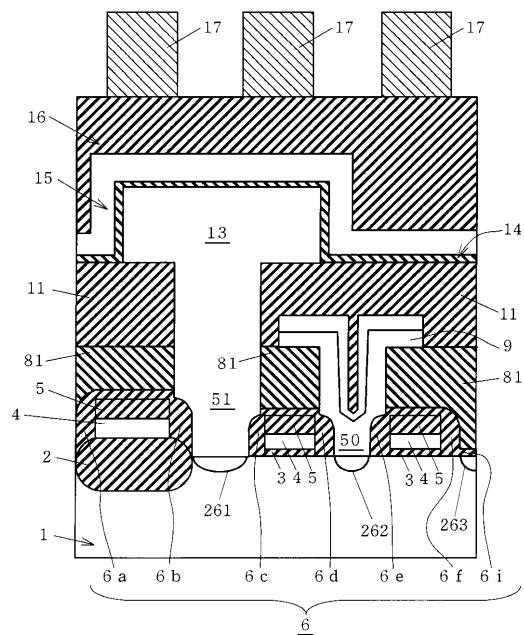
【図62】



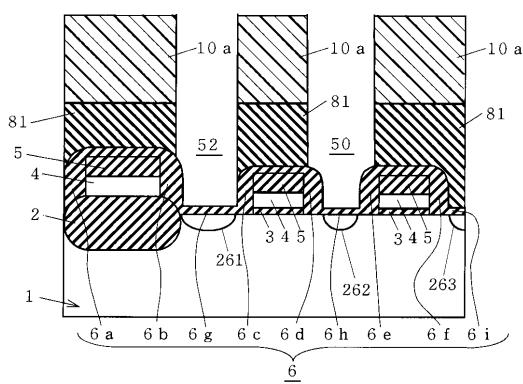
【図63】



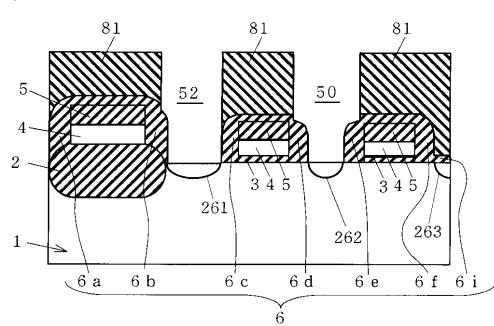
【図64】



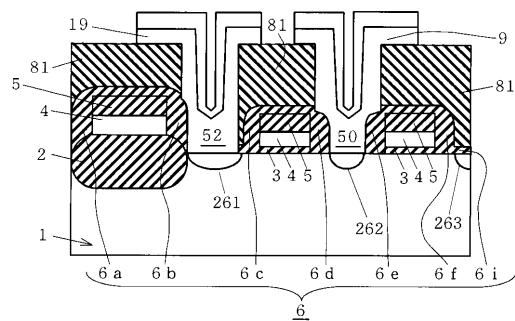
【図65】



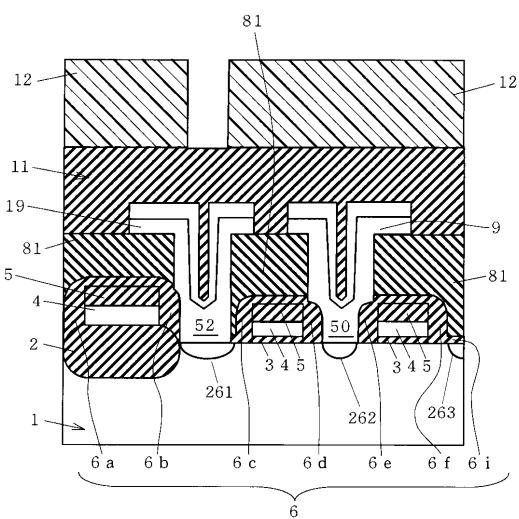
【図66】



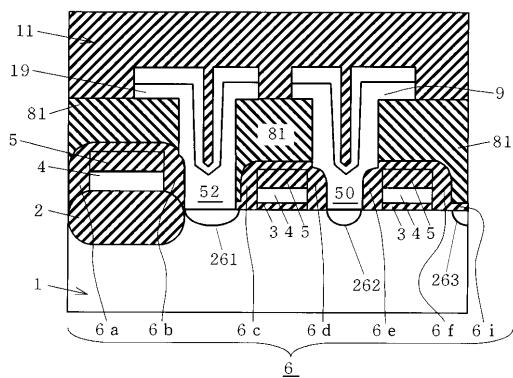
【図67】



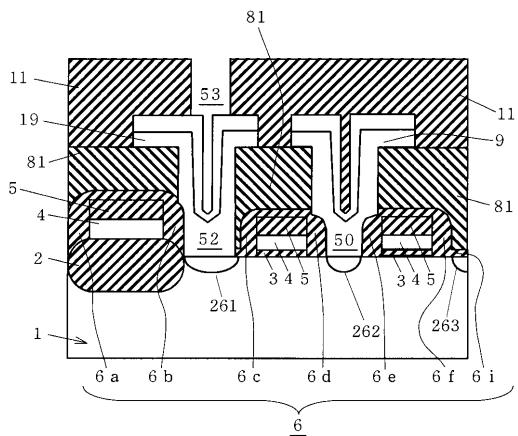
【図69】



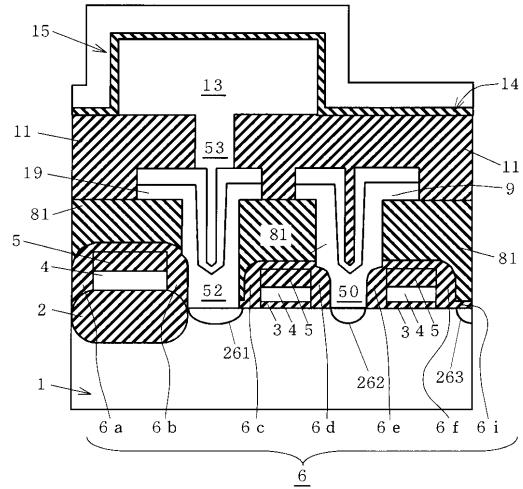
【図68】



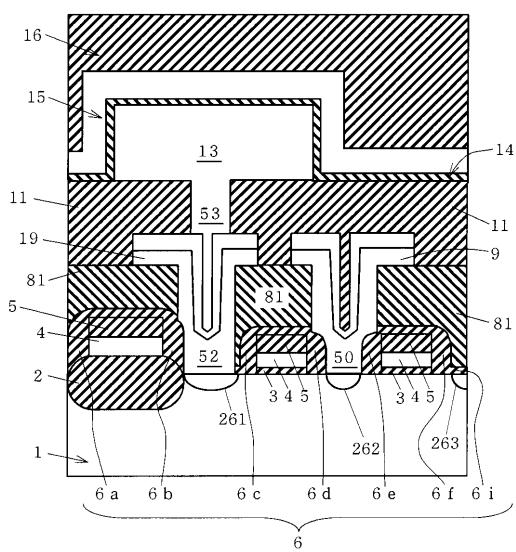
【図70】



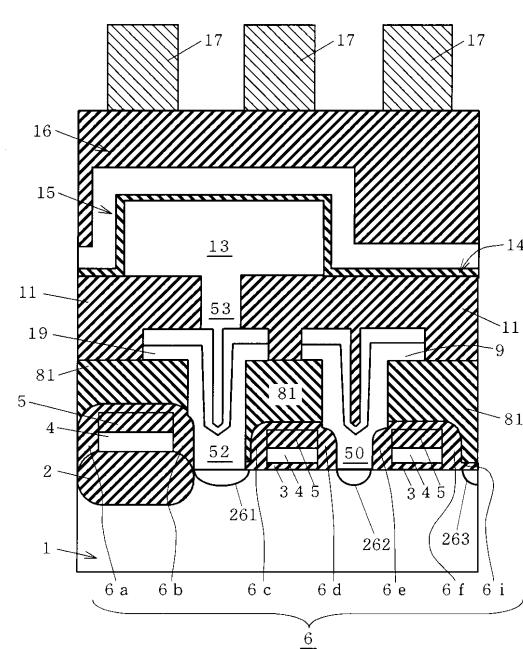
【図71】



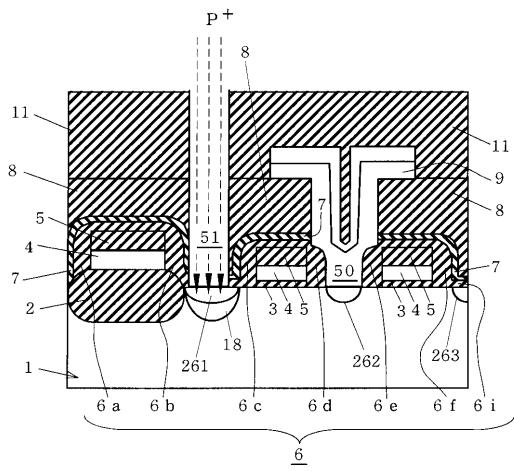
【図72】



【図73】

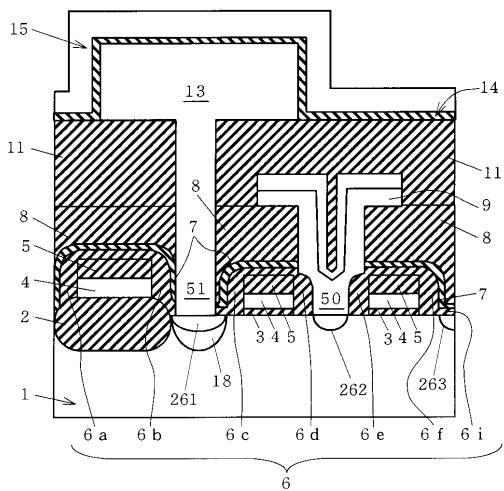


【図74】

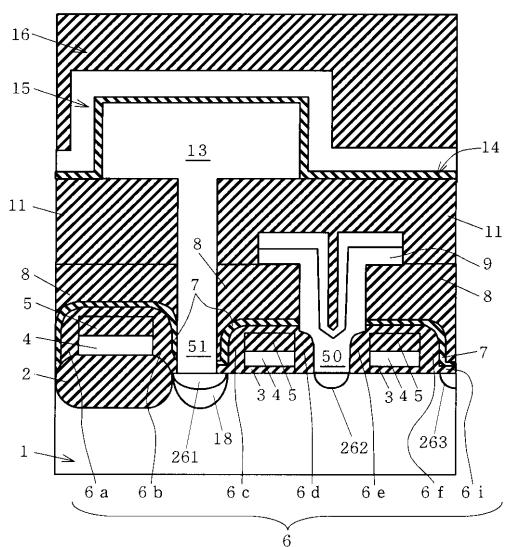


18 : 不純物拡散層

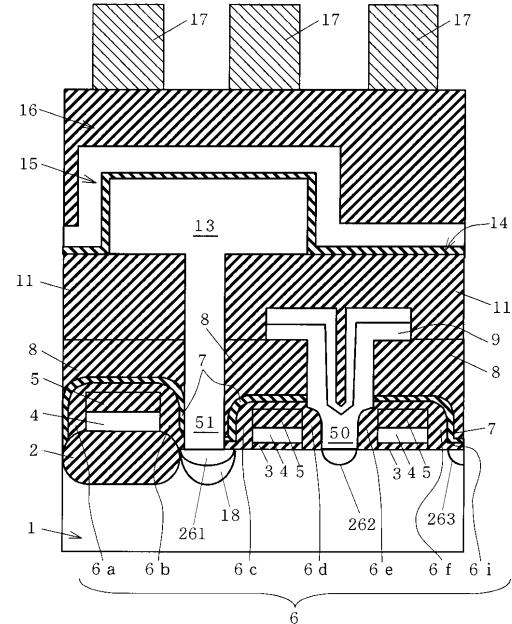
【図75】



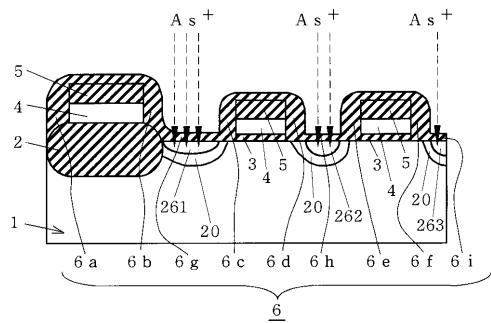
【図76】



【図77】

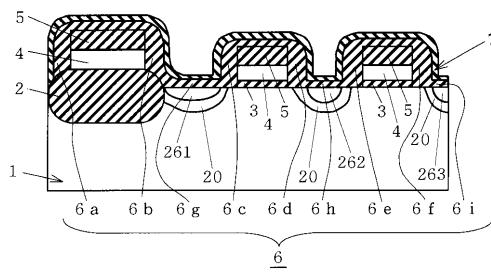


【図 7 8】

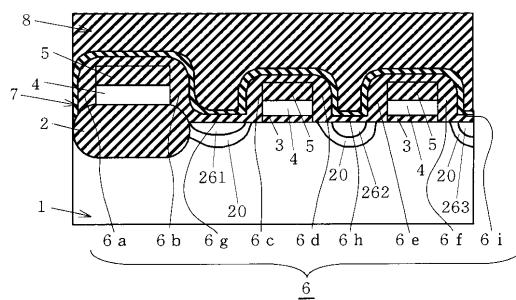


20 : 不純物拡散層

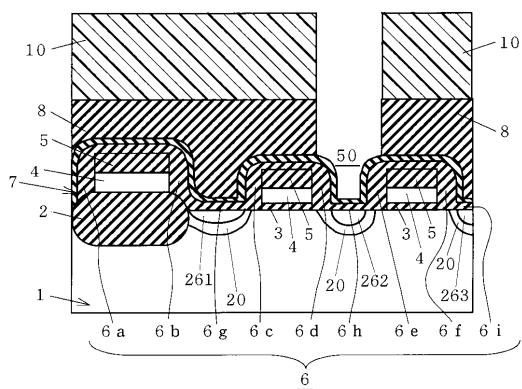
【図 7 9】



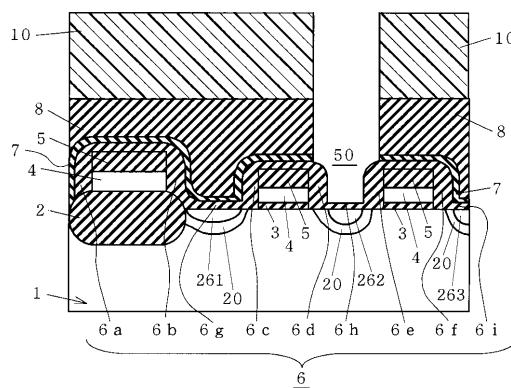
【図 8 0】



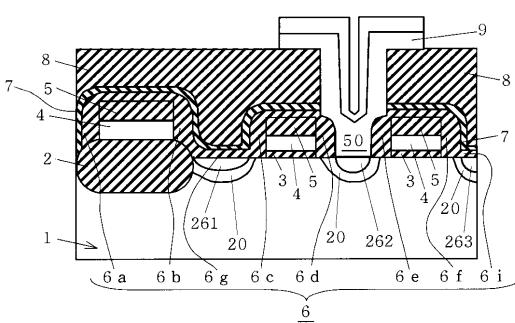
【図 8 1】



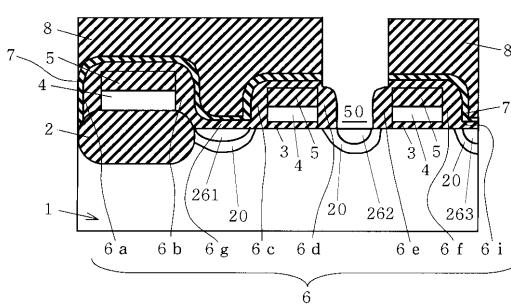
【図 8 2】



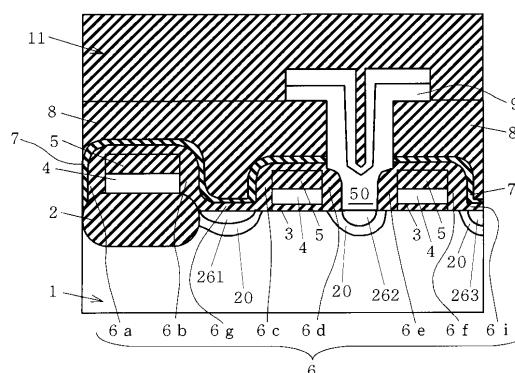
【図 8 4】



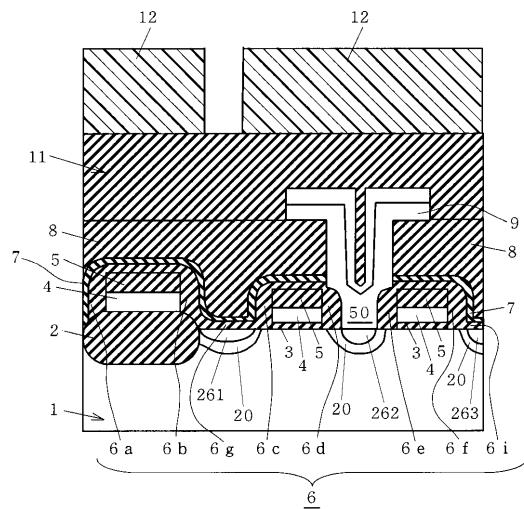
【図 8 3】



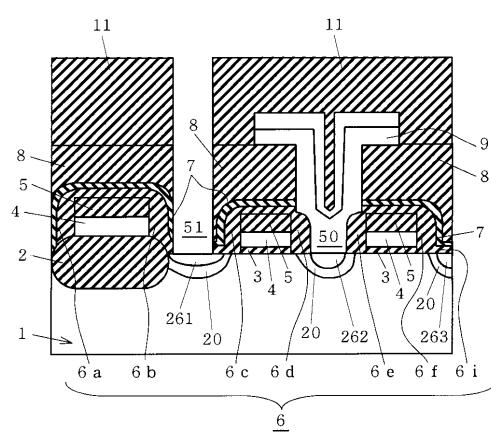
【図 8 5】



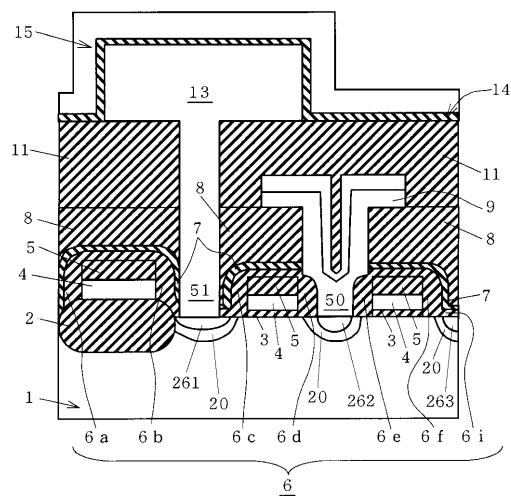
【図86】



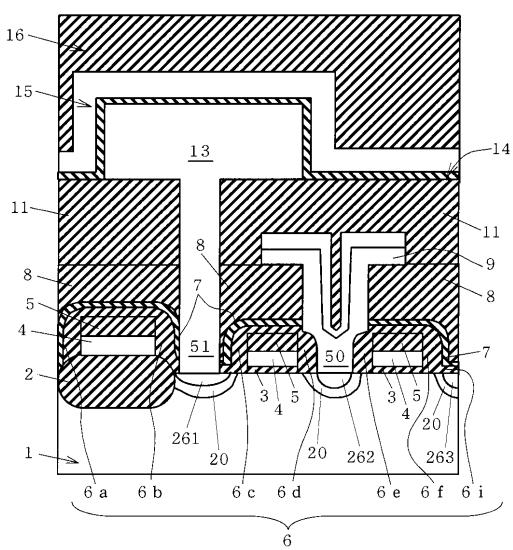
【図87】



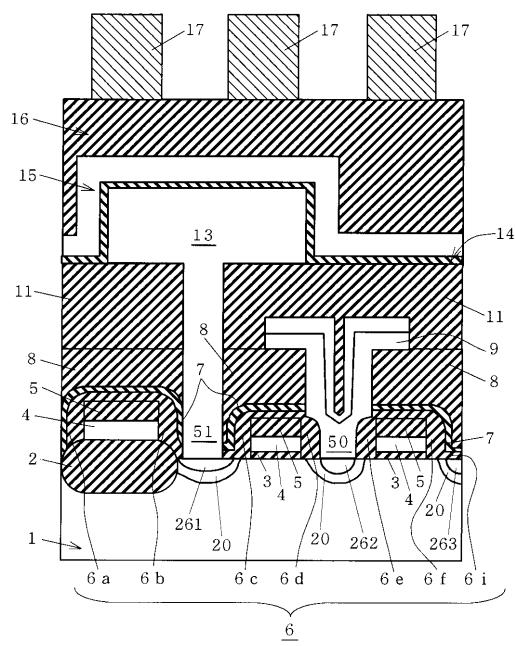
【図88】



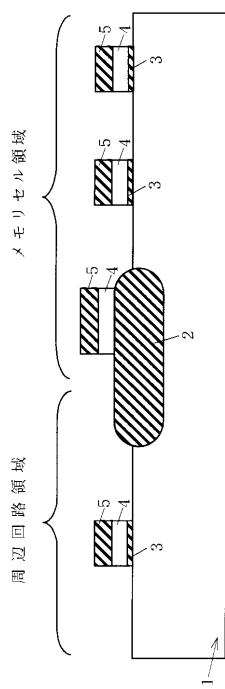
【図89】



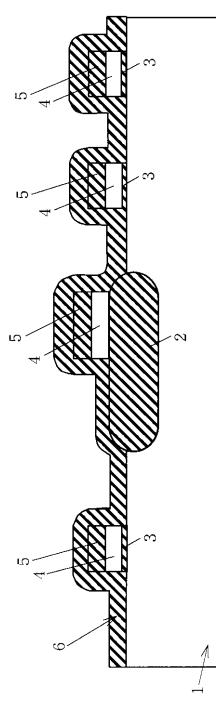
【図90】



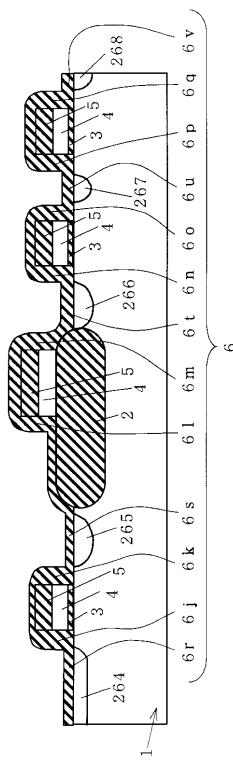
【図91】



【図92】

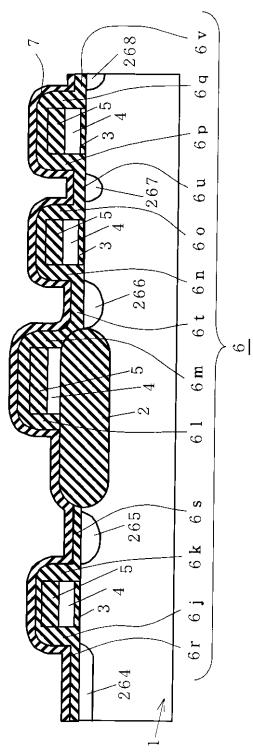


【図93】

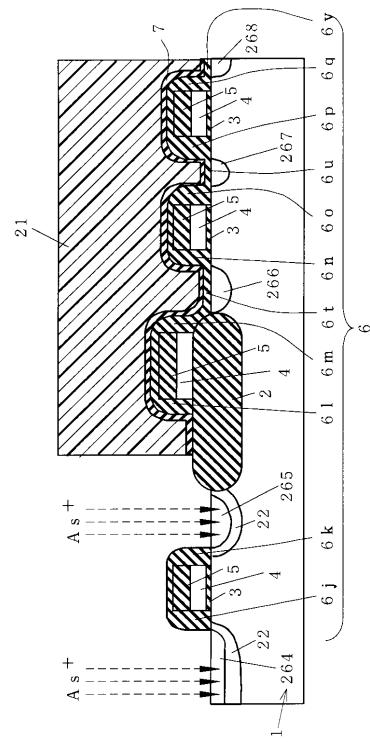
 $6\text{ j} \sim 6\text{ g}$: サイドウォール $6\text{ r} \sim 6\text{ v}$: 基板保護酸化膜

264 ~ 268 : ネース / ドレイン領域

【図94】

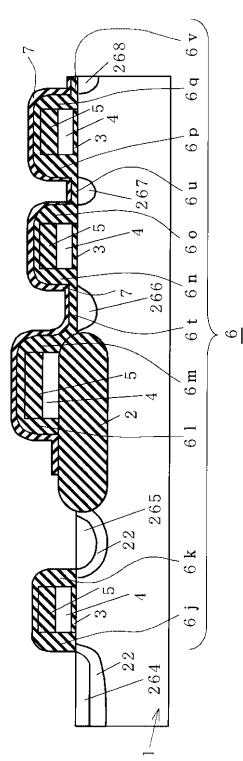


【図95】

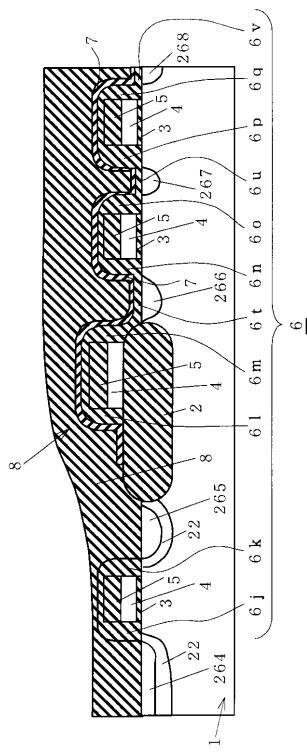


21 : ホトレジスト
22 : 不純物拡散層

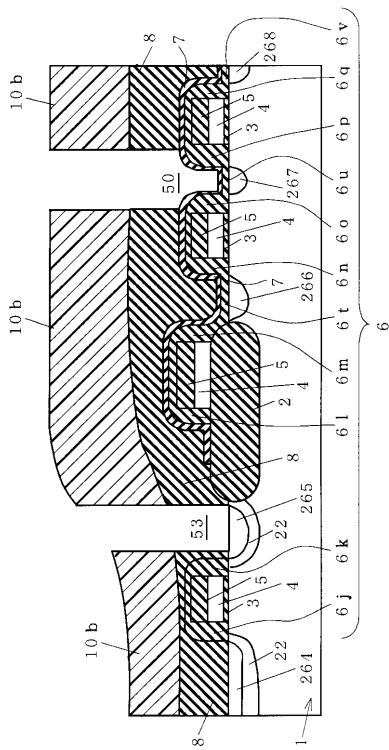
【図96】



【図97】

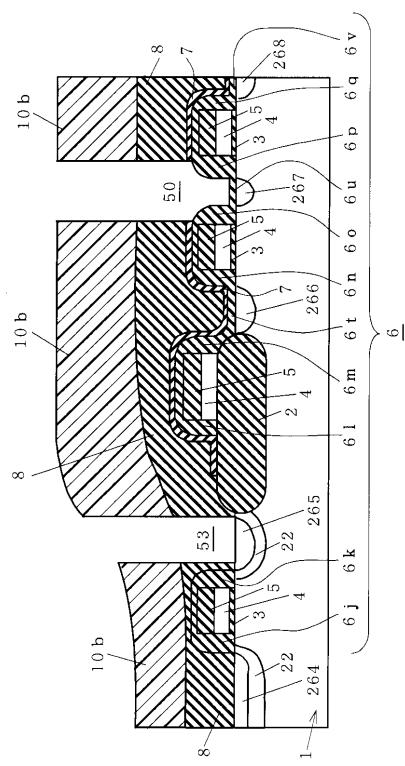


【図 9 8】



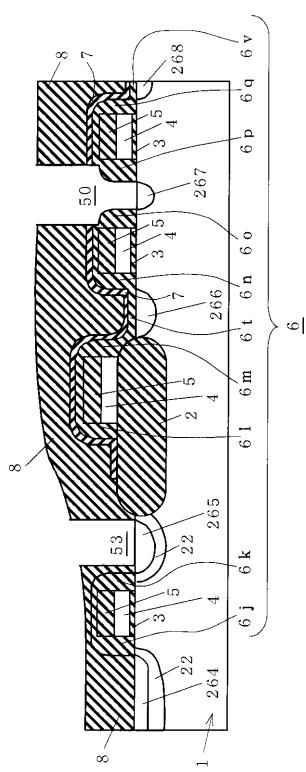
10 b : ホトレジスト

【図 9 9】

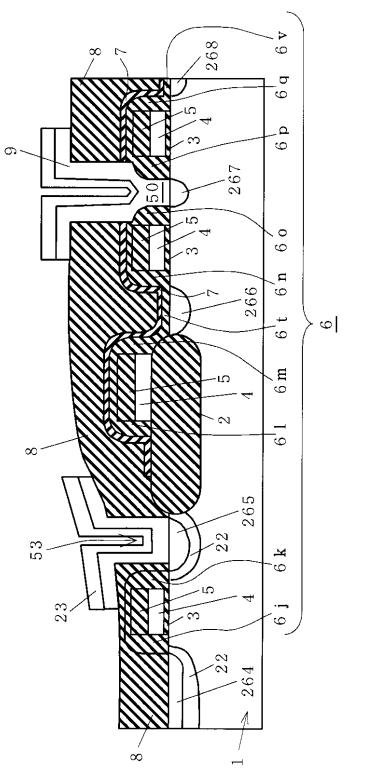


10 b : ホトレジスト

【図 1 0 0】

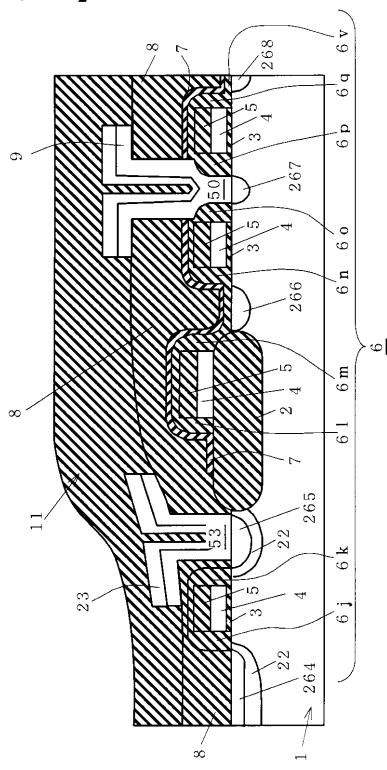


【図 1 0 1】

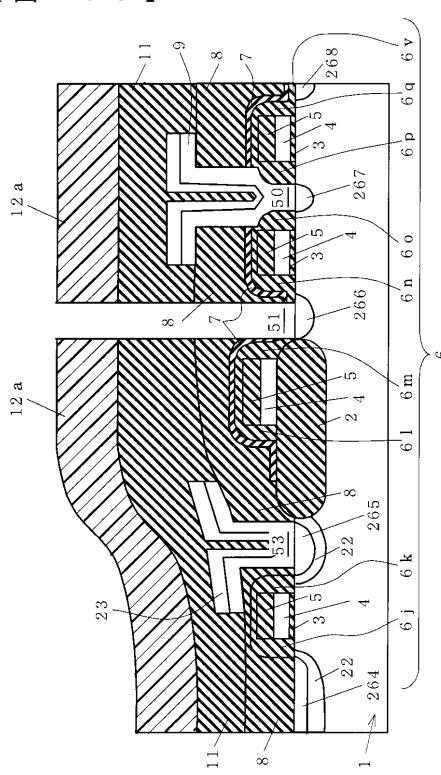


23 : 配線層

【図102】

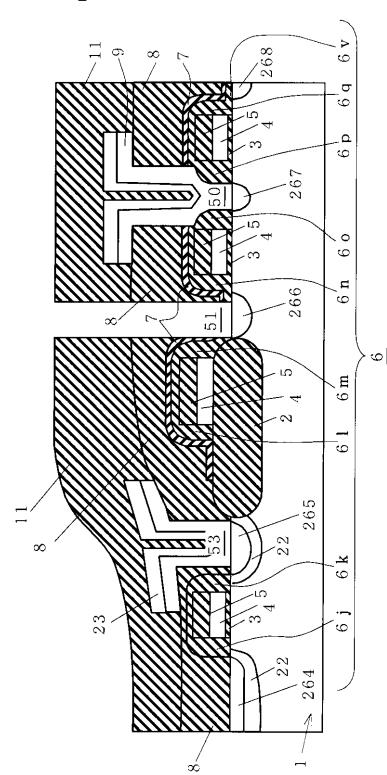


【図103】

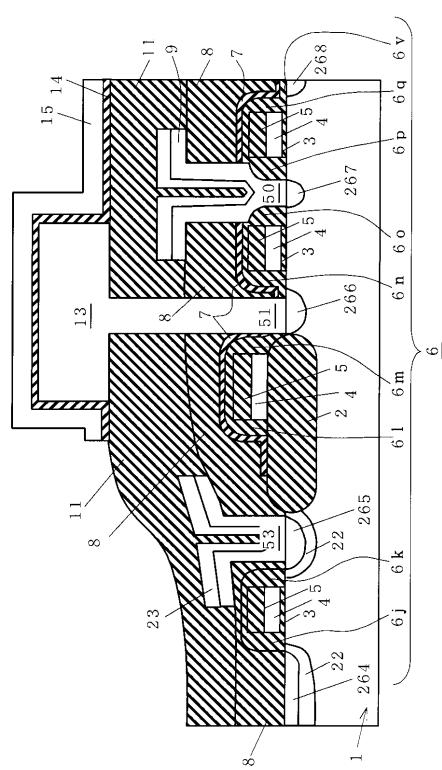


12a : ホトレジスト

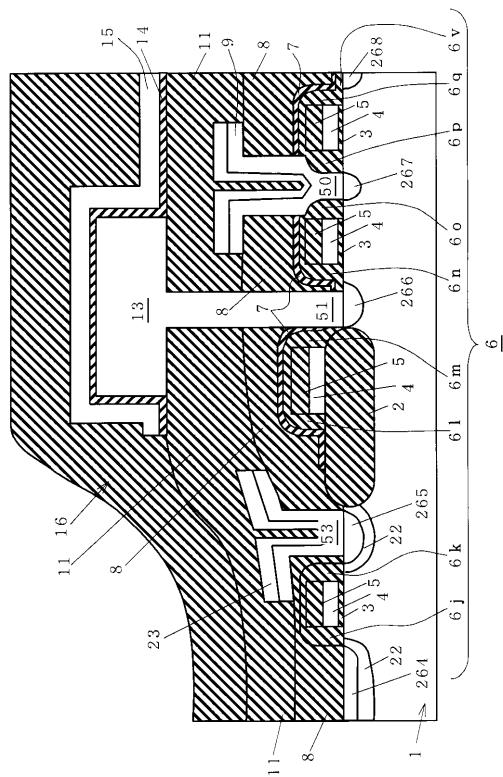
【図104】



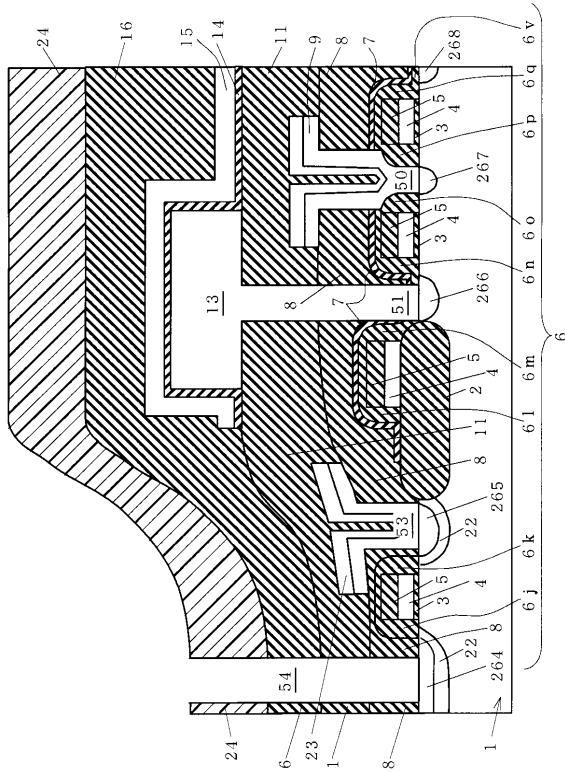
【図105】



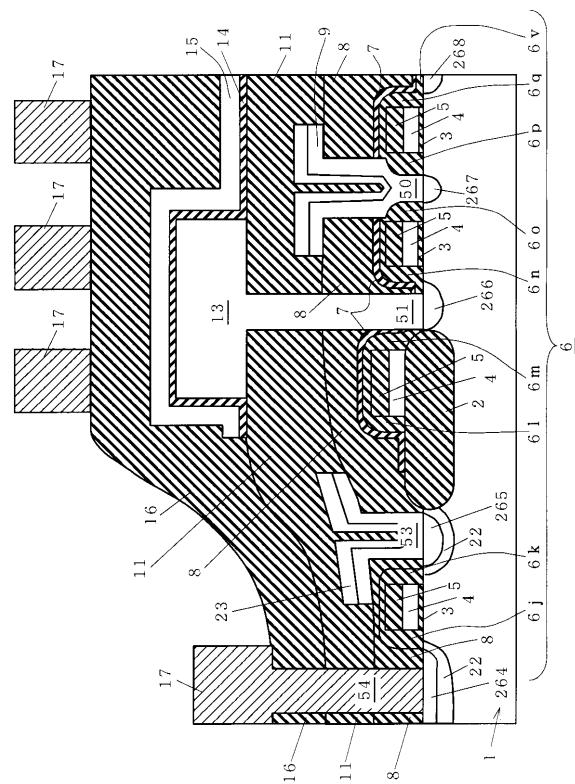
【図106】



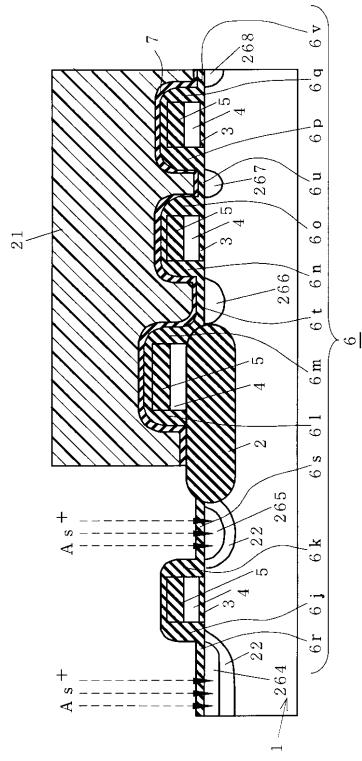
【図107】



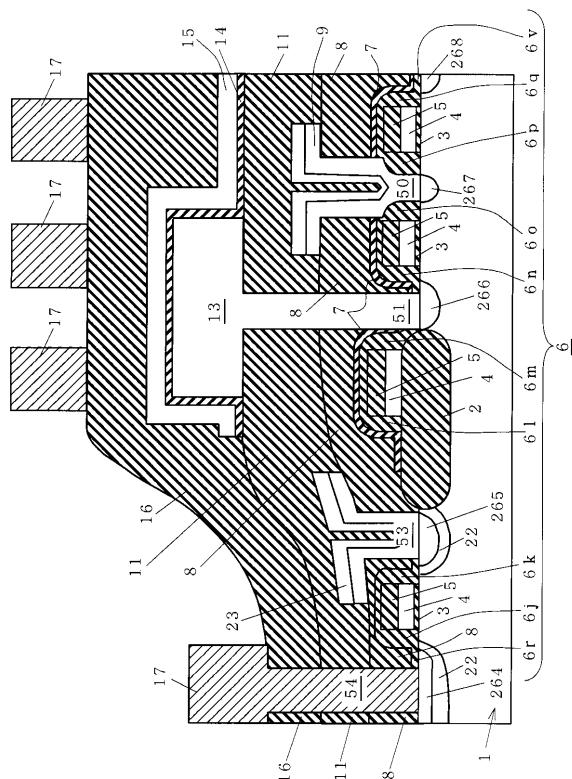
【 义 1 0 8 】



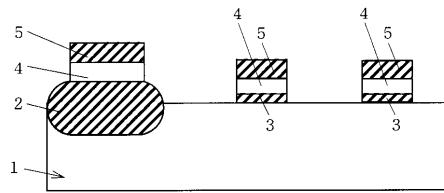
【 四 1 0 9 】



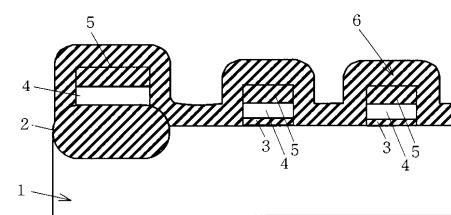
【図110】



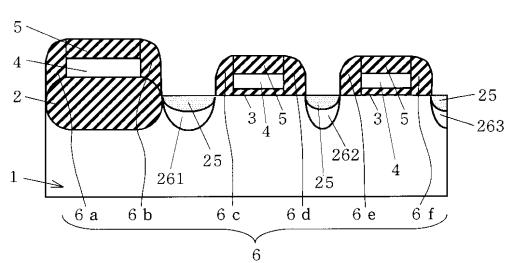
【図111】



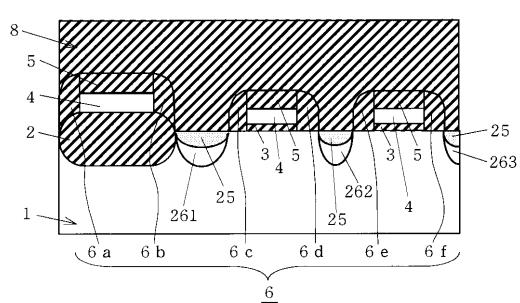
【図112】



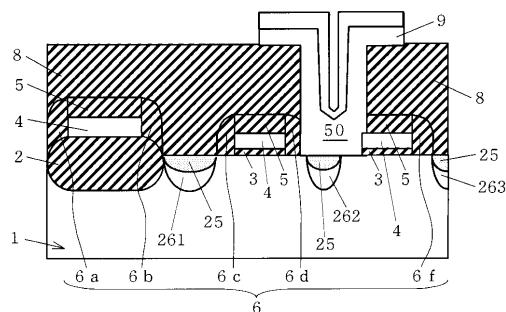
【図113】



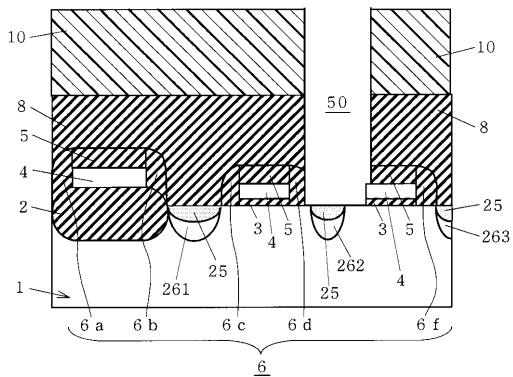
【図114】



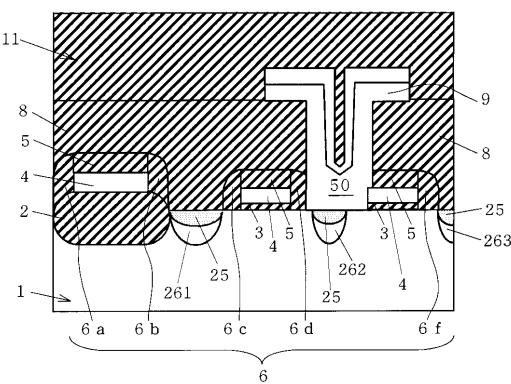
【図116】



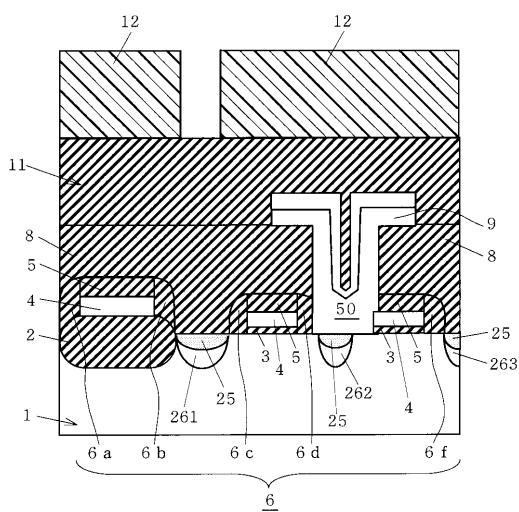
【図115】



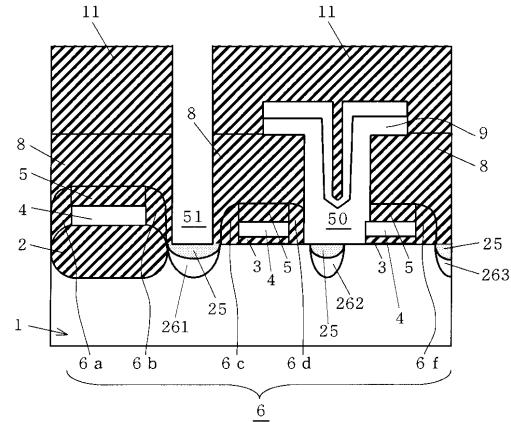
【図117】



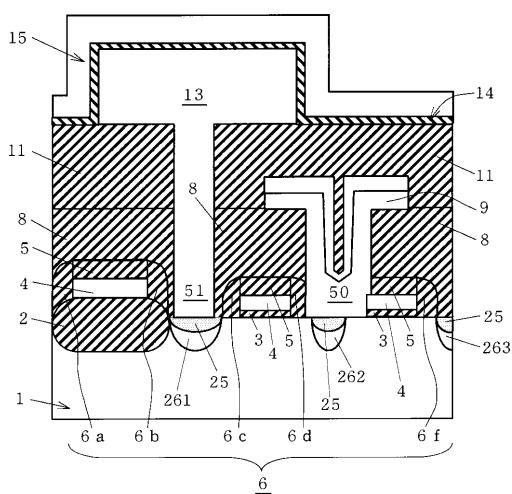
【図118】



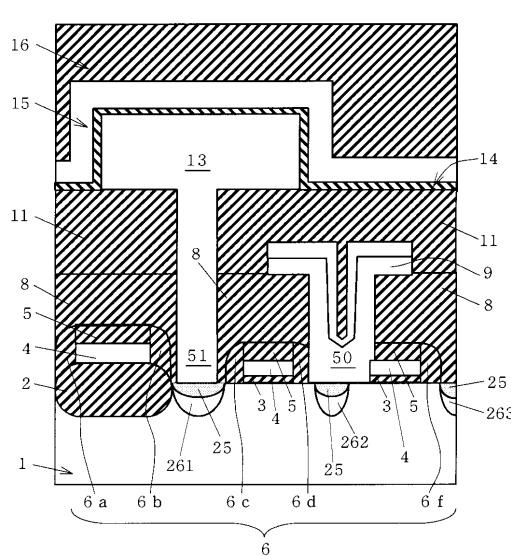
【図119】



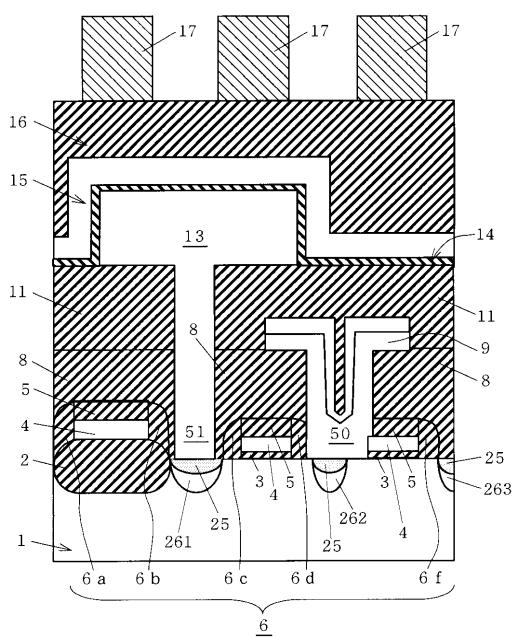
【図120】



【図121】



【図122】



フロントページの続き

(56)参考文献 特開平08-083843(JP,A)
特開平08-070043(JP,A)
特開平08-125141(JP,A)
特開平06-177348(JP,A)
特開平04-130722(JP,A)
特開平06-260442(JP,A)
特開平03-174766(JP,A)
特開平08-236713(JP,A)
特開平08-316429(JP,A)
特開平04-356958(JP,A)
特開平05-259407(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/108

H01L 21/8242

H01L 21/3065

H01L 21/768