



(12) 发明专利申请

(10) 申请公布号 CN 118020158 A

(43) 申请公布日 2024. 05. 10

(21) 申请号 202280063884.8

(22) 申请日 2022.09.08

(30) 优先权数据

2021-173793 2021.10.25 JP

(85) PCT国际申请进入国家阶段日

2024.03.21

(86) PCT国际申请的申请数据

PCT/JP2022/033692 2022.09.08

(87) PCT国际申请的公布数据

W02023/074137 JA 2023.05.04

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 北田友嗣

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静

(51) Int.Cl.

H01L 27/04 (2006.01)

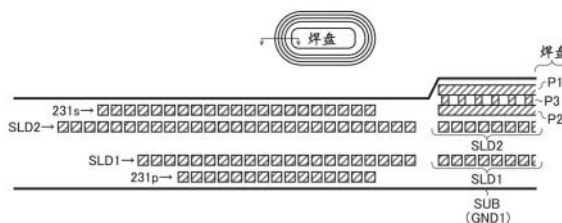
权利要求书1页 说明书41页 附图33页

(54) 发明名称

变压器芯片和信号传输装置

(57) 摘要

形成信号传输装置的变压器芯片例如具有：初级绕组 (231p)，其形成于第一配线层；次级绕组 (231s)，其以与初级绕组 (231p) 磁耦合的方式形成于第二配线层；焊盘 (PAD)，其与次级绕组 (231s) 的信号端连接；基板 (SUB)，其与初级绕组 (231p) 的接地端 (GND1) 成为相同电位；以及，屏蔽电极 (SLD1和SLD2)，它们形成为介于基板 (SUB) 与焊盘 (PAD) 之间。



1. 一种变压器芯片,包括:
第一配线层;
与所述第一配线层不同的第二配线层;
形成于所述第一配线层的初级绕组;
以与所述初级绕组磁耦合的方式形成于所述第二配线层的次级绕组;
连接有所述次级绕组的信号端的焊盘;
与所述初级绕组的第一接地端成为相同电位的基板;以及,
以介于所述基板与所述焊盘之间的方式形成的屏蔽电极。
2. 根据权利要求1所述的变压器芯片,其中,所述屏蔽电极在俯视时与所述焊盘重合的位置处,以同心圆状或同心环状形成有所述屏蔽电极的多个部分,或者形成为螺旋形状。
3. 根据权利要求2所述的变压器芯片,其中,所述屏蔽电极具有构成为阻碍涡电流的产生的开放端。
4. 根据权利要求1至3中任一项所述的变压器芯片,其中,所述次级绕组被铺设为包围所述焊盘的螺旋形状。
5. 根据权利要求1至4中任一项所述的变压器芯片,其中,所述屏蔽电极形成为还介于所述初级绕组与所述次级绕组之间。
6. 根据权利要求5所述的变压器芯片,其中,所述屏蔽电极在俯视时与所述初级绕组或所述次级绕组重合的位置处,以描画所述初级绕组或所述次级绕组的形式铺设。
7. 根据权利要求1至6中任一项所述的变压器芯片,其中,所述焊盘包括:
电极,至少一部分露出;
岛状的内部配线,与所述电极相对;以及,
多个通孔,将所述电极与所述内部配线之间电连接。
8. 根据权利要求1至7中任一项所述的变压器芯片,其中,所述屏蔽电极包括:
第一屏蔽电极,与所述初级绕组的所述第一接地端连接;以及,
第二屏蔽电极,与所述次级绕组的第二接地端连接。
9. 根据权利要求8所述的变压器芯片,其中,从所述基板侧观察,所述初级绕组、所述次级绕组、所述第一屏蔽电极以及所述第二屏蔽电极按照所述初级绕组、所述第一屏蔽电极、所述第二屏蔽电极以及所述次级绕组的顺序层叠形成。
10. 一种信号传输装置,包括:
控制器芯片;
驱动器芯片;以及,
在所述控制器芯片与所述驱动器芯片之间绝缘并传递脉冲信号的权利要求1至9中任一项所述的变压器芯片。

变压器芯片和信号传输装置

技术领域

[0001] 本说明书中公开的发明涉及变压器芯片以及信号传输装置。

背景技术

[0002] 以往,将输入输出之间绝缘并传递脉冲信号的信号传输装置用于各种应用(电源装置或电动机驱动装置等)。

[0003] 此外,作为与上述相关的现有技术的一个例子,能够举出本申请申请人的专利文献1。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2018-011108号公报

发明内容

[0007] 发明所要解决的课题

[0008] 然而,在现有的信号传输装置中,对于分别重叠于向次级侧的脉冲接收电路并联输入的接收脉冲信号的瞬时过渡同相噪声(所谓的共模噪声)的降低处理,存在进一步改善的余地。

[0009] 鉴于由本申请的发明人发现的上述课题,本说明书中公开的发明的目的在于,提供不易受到共模噪声的影响的信号传输装置以及用于该信号传输装置的变压器芯片。

[0010] 用于解决课题的手段

[0011] 本说明书中公开的变压器芯片例如具有:第一配线层;与所述第一配线层不同的第二配线层;形成于所述第一配线层的初级绕组;以及与所述初级绕组磁耦合的方式形成于所述第二配线层的次级绕组;连接有所述次级绕组的信号端的焊盘;与所述初级绕组的第一接地端成为相同电位的基板;以及,以介于所述基板与所述焊盘之间的方式形成的屏蔽电极。

[0012] 此外,关于其他的特征、要素、步骤、优点以及特性,根据以下的用于实施发明的方式以及与其相关的附图,变得更加明确。

[0013] 发明效果

[0014] 根据本说明书中公开的发明,能够提供不易受到共模噪声的影响的信号传输装置。

附图说明

[0015] 图1是表示信号传输装置的基本结构的图。

[0016] 图2是表示在GND1-GND2间产生电位变动的情况的图。

[0017] 图3是表示由共模噪声引起的误动作的一个例子的图。

[0018] 图4是表示信号传递异常的发生原理的图(理想的变压器、输入常规信号时)。

- [0019] 图5是表示信号传递异常的发生原理的图(理想的变压器、CM噪声输入时)。
- [0020] 图6是表示信号传递异常的发生原理的图(实际的变压器、输入常规信号时)。
- [0021] 图7是表示信号传递异常的发生原理的图(实际的变压器、CM噪声输入时)。
- [0022] 图8是示出噪声消除器的引入示例的图。
- [0023] 图9是表示噪声消除动作的一例的图。
- [0024] 图10是表示变压器芯片的基本结构的图。
- [0025] 图11是用作双沟道型的变压器芯片的半导体装置的立体图。
- [0026] 图12是图11所示的半导体装置的俯视图。
- [0027] 图13是表示在图11的半导体装置中形成有低电位线圈的层的俯视图。
- [0028] 图14是表示在图11的半导体装置中形成有高电位线圈的层的俯视图。
- [0029] 图15是沿着图14所示的VIII-VIII线的剖视图。
- [0030] 图16是沿着图14所示的IX-IX线的剖视图。
- [0031] 图17是图14所示的区域X的放大图。
- [0032] 图18是图14所示的区域XI的放大图。
- [0033] 图19是图14所示的区域XII的放大图。
- [0034] 图20是图15所示的区域XIII的放大图,是表示分离构造的图。
- [0035] 图21是示意性地表示变压器芯片的布局例的图。
- [0036] 图22是表示屏蔽电极的导入例的图。
- [0037] 图23是表示具备屏蔽电极的变压器芯片的纵向构造的图。
- [0038] 图24是示出由屏蔽电极的导入带来的噪声降低效果的图。
- [0039] 图25是表示屏蔽电极的布局与信号传输能力之间的关系的关系的图(整面)。
- [0040] 图26是示出屏蔽电极的布局与信号传输能力之间的关系的关系的图(O型)。
- [0041] 图27是示出屏蔽电极的布局与信号传输能力之间的关系的关系的图(C型)。
- [0042] 图28是表示屏蔽电极的第一平面布局例(C型)的图。
- [0043] 图29是表示屏蔽电极的第二平面布局例(C型的尺寸变更)的图。
- [0044] 图30是表示屏蔽电极的第三平面布局例(O型)的图。
- [0045] 图31是表示屏蔽电极的第四平面布局例(一笔型)的图。
- [0046] 图32是示出初级绕组、次级绕组和屏蔽电极的第一截面结构示例的图。
- [0047] 图33是示出初级绕组、次级绕组和屏蔽电极的第二截面结构示例的图。
- [0048] 图34是示出初级绕组、次级绕组和屏蔽电极的第三截面结构示例的图。
- [0049] 图35是示出初级绕组、次级绕组和屏蔽电极的第四截面结构示例的图。
- [0050] 图36是示出初级绕组、次级绕组和屏蔽电极的第五截面结构示例的图。
- [0051] 图37是表示屏蔽电极的有无以及形状与线圈间电容的关系的图。
- [0052] 图38是示出焊盘和线圈的平面布局的图。
- [0053] 图39是示出与图38当中的线圈重叠的屏蔽电极的第一平面布局的图。
- [0054] 图40是重叠了图38和图39的图。
- [0055] 图41是示出与图38当中的线圈重叠的屏蔽电极的第二平面布局的图。
- [0056] 图42是重叠了图38和图41的图。
- [0057] 图43是表示基板-焊盘间电容的存在的图。

- [0058] 图44是表示基板-焊盘间电容未被屏蔽的情况的图。
- [0059] 图45是示出与焊盘重叠的区域中的屏蔽电极的第一平面布局的图。
- [0060] 图46是表示初级绕组、次级绕组、焊盘以及屏蔽电极的纵向构造的图。
- [0061] 图47是表示基板-焊盘间电容已屏蔽的情况的图。
- [0062] 图48是示出与焊盘重叠的区域中的屏蔽电极的第二平面布局的图。

具体实施方式

[0063] <信号传输装置(基本结构)>

[0064] 图1是表示信号传输装置的基本结构的图。本结构例的信号传输装置200是将初级电路系统200p(VCC1-GND1系统)与次级电路系统200s(VCC2-GND2系统)之间绝缘,并且从初级电路系统200p向次级电路系统200s传递脉冲信号,对设置于次级电路系统200s的开关元件(未图示)的栅极进行驱动的半导体集成电路装置(所谓的绝缘栅极驱动器IC)。例如,信号传输装置200是将控制器芯片210、驱动器芯片220、变压器芯片230密封为单一的封装件而成。

[0065] 控制器芯片210是接受电源电压VCC1(例如以GND1为基准最大为7V)的供给而动作的半导体芯片。在控制器芯片210中,例如集成有脉冲发送电路211、缓冲器212及213。

[0066] 脉冲发送电路211是根据输入脉冲信号IN生成发送脉冲信号S11和S21的脉冲发生器。更具体而言,脉冲发送电路211在通知输入脉冲信号IN为高电平时,进行发送脉冲信号S11的脉冲驱动(单发或多发的发送脉冲输出),在通知输入脉冲信号IN为低电平时,进行发送脉冲信号S21的脉冲驱动。即,脉冲发送电路211根据输入脉冲信号IN的逻辑电平,对发送脉冲信号S11和S21中的任一方进行脉冲驱动。

[0067] 缓冲器212从脉冲发送电路211接受发送脉冲信号S11的输入,对变压器芯片230(具体而言变压器231)进行脉冲驱动。

[0068] 缓冲器213从脉冲发送电路211接受发送脉冲信号S21的输入,对变压器芯片230(具体而言变压器232)进行脉冲驱动。

[0069] 驱动器芯片220是接受电源电压VCC2(例如以GND2为基准最大为30V)的供给而动作的半导体芯片。在驱动器芯片220中例如集成有缓冲器221及222、脉冲接收电路223、以及驱动器224。

[0070] 缓冲器221对在变压器芯片230(具体而言变压器231)中感应的接收脉冲信号S12进行波形整形并输出到脉冲接收电路223。

[0071] 缓冲器222对在变压器芯片230(具体而言变压器232)中感应的接收脉冲信号S22进行波形整形并输出到脉冲接收电路223。

[0072] 脉冲接收电路223根据经由缓冲器221和222输入的接收脉冲信号S12和S22对驱动器224进行驱动,由此生成输出脉冲信号OUT。更具体而言,脉冲接收电路223以如下方式对驱动器224进行驱动:接受接收脉冲信号S12的脉冲驱动而使输出脉冲信号OUT上升为高电平,另一方面,接受接收脉冲信号S22的脉冲驱动而使输出脉冲信号OUT下降为低电平。即,脉冲接收电路223根据输入脉冲信号IN的逻辑电平切换输出脉冲信号OUT的逻辑电平。此外,作为脉冲接收电路223,例如能够适当地使用RS触发器。

[0073] 驱动器224根据脉冲接收电路223的驱动控制生成输出脉冲信号OUT。

[0074] 变压器芯片230使用变压器231及232将控制器芯片210与驱动器芯片220之间直流地绝缘,并且将从脉冲发送电路211输入的发送脉冲信号S11及S21分别作为接收脉冲信号S12及S22而输出至脉冲接收电路223。此外,在本说明书中,“直流地绝缘”是指应绝缘的两个对象物未通过导体连接。

[0075] 更具体而言,变压器231根据输入到初级侧线圈231p的发送脉冲信号S11,从次级侧线圈231s输出接收脉冲信号S12。另一方面,变压器232根据输入到初级侧线圈232p的发送脉冲信号S21,从次级侧线圈232s输出接收脉冲信号S22。

[0076] 这样,由于用于绝缘间通信的螺旋线圈的特性,输入脉冲信号IN被分离为两个发送脉冲信号S11及S21(相当于上升信号及下降信号)之后,经由两个变压器231及232从初级电路系统200p传递到次级电路系统200s。

[0077] 此外,关于本构成例的信号传输装置200,与控制器芯片210及驱动器芯片220不同,独立地具有仅搭载变压器231及232的变压器芯片230,将这3个芯片密封为单一的封装件而成。

[0078] 通过设为这样的结构,关于控制器芯片210及驱动器芯片220,均能够以一般的低耐压~中耐压工艺(几伏特至几十伏特耐压)形成,因此,不需要使用专用的高耐压工艺(几千伏特耐压),能够降低制造成本。

[0079] 此外,信号传输装置200例如能够适当地利用于搭载于车辆的车载设备的电源装置或电动机驱动装置等。在上述的车辆中除了发动机车以外,还包含电动车(BEV[纯电动汽车]、HEV[混合动力汽车]、PHEV/PHV[插电式混合动力汽车]、或者FCEV/FCV[燃料电池电动汽车]等xEV)。

[0080] 另外,关于控制器芯片210及驱动器芯片220,均可通过具有实绩的现有工艺来制作,无需重新进行可靠性试验,因此可有助于缩短开发期间及降低开发成本。

[0081] 另外,即使在使用变压器以外的直流绝缘元件(例如光电耦合器)的情况下,通过仅更换变压器芯片230,也能够容易地应对,因此无需重新开发控制器芯片210及驱动器芯片220,能够有助于缩短开发期间及降低开发成本。

[0082] <关于共模噪声的考察>

[0083] 图2是表示在GND1-GND2间产生电位变动的情况的图。如本图所示,若在初级电路系统200p的接地电位GND1与次级电路系统200s的接地电位GND2之间产生电位变动 $\Delta V/\Delta t$ (即噪声),则有可能在变压器芯片230的次级侧出现噪声而对信号传递产生障碍。

[0084] 图3是表示由共模噪声引起的误动作的一个例子的图,从上依次描绘输入脉冲信号IN、接收脉冲信号S12以及S22、以及输出脉冲信号OUT。

[0085] 首先,简单说明正常的脉冲信号传递动作。在时刻t11,输入脉冲信号IN上升为高电平时,变压器231被脉冲驱动,因此接收脉冲信号S12中正常脉冲上升。其结果,输出脉冲信号OUT上升为高电平。另外,在时刻t12,若输入脉冲信号IN下降为低电平,则变压器232被脉冲驱动,因此接收脉冲信号S22中正常脉冲上升。其结果,输出脉冲信号OUT下降为低电平。

[0086] 另一方面,由共模噪声引起的误信号在变压器231以及232双方同时产生。若产生这样的误信号,则输出脉冲信号OUT切换为不希望的逻辑电平。在本图中,尽管输入脉冲信号IN维持为低电平,但输出脉冲信号OUT上升为高电平。

[0087] 图4至图7分别是表示由上述共模噪声引起的信号传递异常的产生原理的图。

[0088] 首先,参照图4以及图5,考虑使用了理想的变压器(在初级绕组与次级绕组之间不存在线圈间电容的变压器)的信号传递。如图4所示,当向变压器的初级绕组(相当于初级侧线圈)输入常规的发送脉冲信号(励磁电压VL1)时,在次级绕组(相当于次级侧线圈)产生感应电压VL2。如果该感应电压VL2超过缓冲器的阈值电压Vth,则生成常规的接收脉冲信号(输出电压Vout)。另一方面,如图5所示,即使在初级电路系统与次级电路系统之间产生共模噪声VCM,也不会向次级电路系统传递误信号。

[0089] 接下来,参照图6以及图7,考虑使用了实际的变压器(在初级绕组与次级绕组之间存在线圈间电容C的变压器)的信号传递。如图6所示,即使在使用实际的变压器的情况下,若向变压器的初级绕组输入常规的发送脉冲信号(励磁电压VL1),则在次级绕组产生感应电压VL2。如果该感应电压VL2超过缓冲器的阈值电压Vth,则生成常规的接收脉冲信号(输出电压Vout)。即,关于常规信号的传递动作,与使用理想的变压器的情况没有特别的变化。另一方面,如图7所示,若在初级电路系统与次级电路系统之间产生共模噪声VCM,则与使用理想的变压器的情况不同,会经由线圈间电容C向次级电路系统传递误信号。

[0090] 此外,若产生由共模噪声引起的信号传递异常,则有可能导致应用的误动作或者故障。因此,对信号传输装置200要求较高的共模过渡性(所谓的CMTI[common mode transient immunity])。

[0091] <一般的噪声对策(噪声消除器的导入)>

[0092] 图8是表示信号传输装置200中的噪声消除器(噪声屏蔽电路)的导入例的图。在本结构例的信号传输装置200中,在驱动器芯片220中,在脉冲接收电路223的前级导入有噪声消除器225。

[0093] 本结构例的噪声消除器225包括缓冲器BUF1~BUF4、延迟部DLY1~DLY4、逻辑与门AND1和AND2。

[0094] 缓冲器BUF1在接收脉冲信号S12变得高于阈值电压Vth1时使输出信号上升为高电平,在接收脉冲信号S12变得低于阈值电压Vth1时使输出信号下降为低电平。

[0095] 缓冲器BUF2在接收脉冲信号S12变得比阈值电压Vth2(<Vth1)高时将输出信号上升为高电平,在接收脉冲信号S12变得比阈值电压Vth2低时将输出信号下降为低电平。

[0096] 缓冲器BUF3在接收脉冲信号S22变得高于阈值电压Vth1时使输出信号上升为高电平,在接收脉冲信号S22变得低于阈值电压Vth1时使输出信号下降为低电平。

[0097] 缓冲器BUF4在接收脉冲信号S22变得比阈值电压Vth2(<Vth1)高时将输出信号上升为高电平,在接收脉冲信号S22变得比阈值电压Vth2低时将输出信号下降为低电平。

[0098] 延迟部DLY1通过对缓冲器BUF1的输出信号赋予规定的延迟来生成主信号A1。

[0099] 延迟部DLY2通过对缓冲器BUF2的输出信号赋予规定的延迟来生成屏蔽信号B2。例如,屏蔽信号B2在缓冲器BUF2的输出信号上升为高电平的时刻无延迟地下降为低电平,在经过了规定的屏蔽期间的时刻上升为高电平。

[0100] 延迟部DLY3通过对缓冲器BUF3的输出信号赋予规定的延迟来生成主信号B1。

[0101] 延迟部DLY4通过对缓冲器BUF4的输出信号赋予规定的延迟来生成屏蔽信号A2。例如,屏蔽信号A2在缓冲器BUF4的输出信号上升为高电平的时刻无延迟地下降为低电平,在经过了规定的屏蔽期间的时刻上升为高电平。

[0102] 逻辑与门AND1通过主信号A1与屏蔽信号A2的逻辑与运算,生成脉冲接收电路223(例如RS触发器)的置位信号A。因此,如果 $A2=L$ (屏蔽时的逻辑电平),则 $A=L$ (固定值),如果 $A2=H$ (屏蔽解除时的逻辑电平),则 $A=A1$ 。

[0103] 逻辑与门AND2通过主信号B1与屏蔽信号B2的逻辑与运算,生成脉冲接收电路223(例如RS触发器)的复位信号B。因此,如果 $B2=L$ (屏蔽时的逻辑电平),则 $B=L$ (固定值),如果 $B2=H$ (屏蔽解除时的逻辑电平),则 $B=B1$ 。

[0104] 脉冲接收电路223例如在置位信号A上升为高电平时将输出脉冲信号OUT置位为高电平,在复位信号B上升为高电平时将输出脉冲信号OUT复位为低电平。

[0105] 图9是表示噪声消除动作的一例的图,从上依次描绘输入脉冲信号IN、接收脉冲信号S12、主信号A1、屏蔽信号A2、置位信号A、接收脉冲信号S22、主信号B1、屏蔽信号B2、复位信号B以及输出脉冲信号OUT。

[0106] 首先,考虑输入脉冲信号IN的上升时。在时刻 t_{21} ,当输入脉冲信号IN上升为高电平时,在接收脉冲信号S12中生成正常脉冲,因此在接下来的时刻 t_{22} ,在主信号A1中生成脉冲。另一方面,即使输入脉冲信号IN上升为高电平,在接收脉冲信号S22中也不生成脉冲,因此屏蔽信号A2保持高电平。其结果,主信号A1作为置位信号A而被直通输出,因此输出脉冲信号OUT被置位为高电平。

[0107] 此外,在时刻 t_{21} ,若在接收脉冲信号S12中生成常规脉冲,则屏蔽信号B2下降为低电平,因此复位信号B被固定为低电平。但是,在输入脉冲信号IN的上升时,复位信号B原本应该维持为低电平,因此不会产生任何不匹配。

[0108] 接着,考虑输入脉冲信号IN的下降时。在时刻 t_{23} ,若输入脉冲信号IN下降为低电平,则在接收脉冲信号S22中生成正常脉冲,因此在接下来的时刻 t_{24} ,在主信号B1中生成脉冲。另一方面,即使输入脉冲信号IN下降到低电平,在接收脉冲信号S12中也不生成脉冲,因此屏蔽信号B2保持高电平。其结果,主信号B1作为复位信号B而被直通输出,因此输出脉冲信号OUT被复位为低电平。

[0109] 此外,在时刻 t_{23} ,若在接收脉冲信号S22中生成常规脉冲,则屏蔽信号A2下降为低电平,因此置位信号A被固定为低电平。但是,在输入脉冲信号IN的下降时,置位信号A原本应该维持为低电平,因此不会产生任何不匹配。

[0110] 接下来,考虑共模噪声叠加在接收脉冲信号S12和S22两者上的情况。在时刻 t_{25} ,在接收脉冲信号S12以及S22双方中噪声脉冲上升,当超过缓冲器BUF1-BUF4各自的阈值电压 V_{th1} 以及 V_{th2} 时,在主信号A1以及B1和屏蔽信号A2以及B2各自中生成脉冲。

[0111] 在此,在屏蔽信号A2为低电平时,无论主信号A1的逻辑电平如何,置位信号A都被固定为低电平。同样地,在屏蔽信号B2为低电平时,无论主信号B1的逻辑电平如何,复位信号B都被固定为低电平。因此,能够适当地除去与接收脉冲信号S12以及S22双方重叠的共模噪声,所以能够抑制输出脉冲信号OUT的误动作。

[0112] 但是,如时刻 t_{26} 所示,例如,若在接收脉冲信号S12的脉冲驱动中(正常脉冲的接收中)共模噪声重叠,则有可能用屏蔽信号A2屏蔽主信号A1的正常脉冲,无法将输出脉冲信号OUT正确地上升为高电平。

[0113] 另外,虽然未重新图示,但若在接收脉冲信号S22的脉冲驱动中叠加共模噪声,则有可能用屏蔽信号B2屏蔽主信号B1的正常脉冲,无法使输出脉冲信号OUT正确地下降为低

电平。

[0114] 以下,提出不依赖于噪声消除器225而能够有效地抑制共模噪声本身产生的变压器芯片230的新构造。

[0115] <变压器芯片(基本构造)>

[0116] 首先,对变压器芯片230的基本构造进行说明。图10是表示变压器芯片230的基本构造的图。在本图的变压器芯片230中,变压器231包含沿上下方向对置的初级侧线圈231p和次级侧线圈231s。变压器232包含沿上下方向对置的初级侧线圈232p和次级侧线圈232s。

[0117] 初级侧线圈231p及232p均形成于变压器芯片230的第一配线层(下层)230a。次级侧线圈231s及232s均形成于变压器芯片230的第二配线层(本图中为上层)230b。此外,次级侧线圈231s配置在初级侧线圈231p的正上方,与初级侧线圈231p对置。另外,次级侧线圈232s配置在初级侧线圈232p的正上方,与初级侧线圈232p对置。

[0118] 初级侧线圈231p以与内部端子X21连接的第一端为起点,以顺时针包围内部端子X21的周围的方式呈螺旋状铺设,相当于其终点的第二端与内部端子X22连接。另一方面,初级侧线圈232p以与内部端子X23连接的第一端为起点,以逆时针包围内部端子X23的周围的方式呈螺旋状铺设,相当于其终点的第二端与内部端子X22连接。内部端子X21、X22以及X23按照图示的顺序直线地排列。

[0119] 内部端子X21经由导电性的配线Y21和通孔Z21与第二层230b的外部端子T21连接。内部端子X22经由导电性的配线Y22和通孔Z22与第二层230b的外部端子T22连接。内部端子X23经由导电性的配线Y23和通孔Z23与第二层230b的外部端子T23连接。此外,外部端子T21~T23直线地排列配置,用于与控制器芯片210的线接合。

[0120] 次级侧线圈231s以与外部端子T24连接的第一端为起点,以逆时针包围外部端子T24的周围的方式呈螺旋状铺设,相当于其终点的第二端与外部端子T25连接。另一方面,次级侧线圈232s以与外部端子T26连接的第一端为起点,以顺时针包围外部端子T26的周围的方式呈螺旋状铺设,相当于其终点的第二端与外部端子T25连接。此外,外部端子T24、T25及T26按照图示的顺序直线地排列配置,用于与驱动器芯片220的线接合。

[0121] 次级侧线圈231s及232s分别通过磁耦合与初级侧线圈231p和232p交流连接,并且与初级侧线圈231p及232p直流绝缘。即,驱动器芯片220经由变压器芯片230与控制器芯片210交流连接,并且通过变压器芯片230与控制器芯片210直流绝缘。

[0122] <变压器芯片(双沟道型)>

[0123] 图11是表示作为双沟道型的变压器芯片使用的半导体装置5的立体图。图12是图11所示的半导体装置5的俯视图。图13是表示在图11所示的半导体装置5中形成有低电位线圈22(相当于变压器的初级侧线圈)的层的俯视图。图14是表示在图11所示的半导体装置5中形成有高电位线圈23(相当于变压器的次级侧线圈)的层的俯视图。图15是沿着图14所示的VIII-VIII线的剖视图。图16是沿着图14所示的IX-IX线的剖视图。图17是图14所示的区域X的放大图。图18是图14所示的区域XI的放大图。图19是图14所示的区域XII的放大图。图20是图15所示的区域XIII的放大图,是表示分离构造130的图。

[0124] 参照图11~图15,半导体装置5包含长方体形状的半导体芯片41。半导体芯片41包含硅、宽带隙半导体以及化合物半导体中的至少一个。

[0125] 宽带隙半导体由超过硅的带隙(约1.12eV)的半导体构成。宽带隙半导体的带隙优

选为2.0eV以上。宽带隙半导体也可以是SiC(碳化硅)。化合物半导体可以是III-V族化合物半导体。化合物半导体也可以包含AlN(氮化铝)、InN(氮化铟)、GaN(氮化镓)和GaAs(砷化镓)中的至少一个。

[0126] 在本实施方式中,半导体芯片41包含硅制的半导体基板。半导体芯片41也可以是具有包含硅制的半导体基板及硅制的外延层的层叠构造的外延基板。半导体基板的导电型可以是n型或p型。外延层可以是n型或p型。

[0127] 半导体芯片41具有:一侧的第一主面42、另一侧的第二主面43、以及连接第一主面42和第二主面43的芯片侧壁44A~44D。第一主面42及第二主面43在从它们的法线方向Z观察的俯视观察时(以下,简称为“俯视图”)中,形成为四边形状(在本实施方式中为长方形状)。

[0128] 芯片侧壁44A~44D包含:第一芯片侧壁44A、第二芯片侧壁44B、第三芯片侧壁44C以及第四芯片侧壁44D。第一芯片侧壁44A及第二芯片侧壁44B形成半导体芯片41的长边。第一芯片侧壁44A及第二芯片侧壁44B沿着第一方向X延伸,沿第二方向Y对置。第三芯片侧壁44C及第四芯片侧壁44D形成半导体芯片41的短边。第三芯片侧壁44C及第四芯片侧壁44D沿第二方向Y延伸,沿第一方向X对置。芯片侧壁44A~44D由磨削面构成。

[0129] 半导体装置5还包含形成在半导体芯片41的第一主面42之上的绝缘层51。绝缘层51具有绝缘主面52及绝缘侧壁53A~53D。绝缘主面52在俯视图中形成为与第一主面42匹配的四边形状(在本实施方式中为长方形状)。绝缘主面52相对于第一主面42平行地延伸。

[0130] 绝缘侧壁53A~53D包含:第一绝缘侧壁53A、第二绝缘侧壁53B、第三绝缘侧壁53C以及第四绝缘侧壁53D。绝缘侧壁53A~53D从绝缘主面52的周缘朝向半导体芯片41延伸,与芯片侧壁44A~44D相连。具体而言,绝缘侧壁53A~53D形成为与芯片侧壁44A~44D齐平。绝缘侧壁53A~53D形成与芯片侧壁44A~44D齐平的磨削面。

[0131] 绝缘层51由包含最下绝缘层55、最上绝缘层56以及多个(在本实施方式中为11层)层间绝缘层57的多层绝缘层叠构造构成。最下绝缘层55是直接覆盖第一主面42的绝缘层。最上绝缘层56是形成绝缘主面52的绝缘层。多个层间绝缘层57是介于最下绝缘层55及最上绝缘层56之间的绝缘层。在本实施方式中,最下绝缘层55具有包含氧化硅的单层构造。在本实施方式中,最上绝缘层56具有包含氧化硅的单层构造。最下绝缘层55的厚度及最上绝缘层56的厚度可以分别为1 μ m以上且3 μ m以下(例如2 μ m左右)。

[0132] 多个层间绝缘层57分别具有包含最下绝缘层55侧的第一绝缘层58及最上绝缘层56侧的第二绝缘层59的层叠构造。第一绝缘层58也可以包含氮化硅。第一绝缘层58形成为相对于第二绝缘层59的蚀刻停止层。第一绝缘层58的厚度可以为0.1 μ m以上且1 μ m以下(例如0.3 μ m左右)。

[0133] 第二绝缘层59形成在第一绝缘层58之上。包含与第一绝缘层58不同的绝缘材料。第二绝缘层59也可以包含氧化硅。第二绝缘层59的厚度可以为1 μ m以上且3 μ m以下(例如2 μ m左右)。第二绝缘层59的厚度优选超过第一绝缘层58的厚度。

[0134] 绝缘层51的总厚度DT可以为5 μ m以上且50 μ m以下。绝缘层51的总厚度DT及层间绝缘层57的层叠数是任意的,根据应实现的绝缘耐压(绝缘破坏耐量)来调整。另外,最下绝缘层55、最上绝缘层56及层间绝缘层57的绝缘材料是任意的,并不限定于特定的绝缘材料。

[0135] 半导体装置5包含形成于绝缘层51的第一功能器件45。第一功能器件45包含一个

或多个(在本实施方式中为多个)变压器21(相当于之前的变压器)。即,半导体装置5是包含多个变压器21的多通道型器件。多个变压器21与绝缘侧壁53A~53D隔开间隔地形成于绝缘层51的内部。多个变压器21沿第一方向X隔开间隔地形成。

[0136] 具体而言,多个变压器21在俯视图中包含从绝缘侧壁53C侧朝向绝缘侧壁53D侧依次形成的第一变压器21A、第二变压器21B、第三变压器21C以及第四变压器21D。多个变压器21A~21D分别具有同样的构造。以下,以第一变压器21A的构造为例进行说明。关于第二变压器21B、第三变压器21C以及第四变压器21D的构造的说明,适用第一变压器21A的构造的说明被省略。

[0137] 参照图13至图16,第一变压器21A包含低电位线圈22和高电位线圈23。低电位线圈22形成在绝缘层51内。高电位线圈23以沿法线方向Z与低电位线圈22对置的方式形成在绝缘层51内。在本实施方式中,低电位线圈22及高电位线圈23形成于被最下绝缘层55和最上绝缘层56夹着的区域(即多个层间绝缘层57)。

[0138] 低电位线圈22在绝缘层51内形成于最下绝缘层55(半导体芯片41)侧,高电位线圈23在绝缘层51内相对于低电位线圈22形成于最上绝缘层56(绝缘主面52)侧。即,高电位线圈23隔着低电位线圈22与半导体芯片41对置。低电位线圈22及高电位线圈23的配置位置是任意的。另外,高电位线圈23只要隔着一层以上的层间绝缘层57与低电位线圈22对置即可。

[0139] 低电位线圈22及高电位线圈23之间的距离(即层间绝缘层57的层叠数)根据低电位线圈22及高电位线圈23之间的绝缘耐压及电场强度而适当调整。在本实施方式中,低电位线圈22形成于从最下绝缘层55侧起第三层的层间绝缘层57。在本实施方式中,高电位线圈23形成于从最上绝缘层56侧起第一层的层间绝缘层57。

[0140] 低电位线圈22在层间绝缘层57中贯通第一绝缘层58及第二绝缘层59而被嵌入。低电位线圈22包含:第一内侧末端24、第一外侧末端25、以及在第一内侧末端24及第一外侧末端25之间呈螺旋状引绕的第一螺旋部26。第一螺旋部26在俯视图中呈以椭圆形状(长圆形状)延伸的螺旋状引绕。第一螺旋部26的形成最内周缘的部分在俯视图中划分出椭圆形状的第一内侧区域66。

[0141] 第一螺旋部26的卷绕数也可以是5以上且30以下。第一螺旋部26的宽度也可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一螺旋部26的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第一螺旋部26的宽度由与螺旋方向正交的方向的宽度定义。第一螺旋部26的第一卷绕间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一卷绕间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第一卷绕间距由在第一螺旋部26中沿与螺旋方向正交的方向相邻的两个部分之间的距离定义。

[0142] 第一螺旋部26的卷绕形状和第一内侧区域66的平面形状是任意的,不限于图13等所示的方式。第一螺旋部26在俯视图中也可以卷绕成三边形状、四边形状等多边形状或者圆形状。第一内侧区域66也可以根据第一螺旋部26的卷绕形状,在俯视图中划分为三边形状、四边形状等多边形状或者圆形状。

[0143] 低电位线圈22也可以包含钛、氮化钛、铜、铝以及钨中的至少一个。低电位线圈22也可以具有包含阻挡层及主体层的层叠构造。阻挡层在层间绝缘层57内划分凹槽空间。主体层埋设于由阻挡层划分出的凹陷空间。阻挡层可以包含钛和氮化钛中的至少一个。主体层可以包含铜、铝和钨中的至少一个。

[0144] 高电位线圈23在层间绝缘层57中贯通第一绝缘层58及第二绝缘层59而被嵌入。高

电位线圈23包含:第二内侧末端27、第二外侧末端28、以及在第二内侧末端27及第二外侧末端28之间呈螺旋状引绕的第二螺旋部29。第二螺旋部29在俯视图中呈以椭圆形状(长圆形状)延伸的螺旋状引绕。在本实施方式中,第二螺旋部29的形成最内周缘的部分在俯视图中划分出椭圆形状的第二内侧区域67。第二螺旋部29的第二内侧区域67沿法线方向Z与第一螺旋部26的第一内侧区域66对置。

[0145] 第二螺旋部29的卷绕数也可以是5以上且30以下。相对于第一螺旋部26的卷绕数的第二螺旋部29的卷绕数根据应升压的电压值进行调整。第二螺旋部29的卷绕数优选超过第一螺旋部26的卷绕数。当然,第二螺旋部29的卷绕数可以小于第一螺旋部26的卷绕数,也可以与第一螺旋部26的卷绕数相等。

[0146] 第二螺旋部29的宽度也可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二螺旋部29的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第二螺旋部29的宽度由与螺旋方向正交的方向的宽度定义。第二螺旋部29的宽度优选与第一螺旋部26的宽度相等。

[0147] 第二螺旋部29的第二卷绕间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二卷绕间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第二卷绕间距由在第二螺旋部29中沿与螺旋方向正交的方向相邻的两个部分之间的距离定义。第二卷绕间距优选与第一螺旋部26的第一卷绕间距相等。

[0148] 第二螺旋部29的卷绕形状和第二内侧区域67的平面形状是任意的,不限于图14等所示的方式。第二螺旋部29在俯视图中也可以卷绕成三边形状、四边形状等多边形状或者圆形状。第二内侧区域67也可以根据第二螺旋部29的卷绕形状,在俯视图中划分为三边形状、四边形状等多边形状或圆形状。

[0149] 高电位线圈23优选由与低电位线圈22相同的导电材料形成。即,高电位线圈23优选与低电位线圈22同样地包含阻挡层和主体层。

[0150] 参照图12,半导体装置5包含多个(在本图中为12个)低电位端子11以及多个(在本图中为12个)高电位端子12。多个低电位端子11分别与对应的变压器21A~21D的低电位线圈22电连接。多个高电位端子12分别与对应的变压器21A~21D的高电位线圈23电连接。

[0151] 多个低电位端子11形成在绝缘层51的绝缘主面52之上。具体而言,多个低电位端子11沿第二方向Y与多个变压器21A~21D隔开间隔地形成于绝缘侧壁53B侧的区域,沿第一方向X隔开间隔地排列。

[0152] 多个低电位端子11包含:第一低电位端子11A、第二低电位端子11B、第三低电位端子11C、第四低电位端子11D、第五低电位端子11E以及第六低电位端子11F。在本实施方式中,多个低电位端子11A~11F各形成有两个。多个低电位端子11A~11F的个数是任意的。

[0153] 第一低电位端子11A在俯视图中沿第二方向Y与第一变压器21A对置。第二低电位端子11B在俯视图中沿第二方向Y与第二变压器21B对置。第三低电位端子11C在俯视图中沿第二方向Y与第三变压器21C对置。第四低电位端子11D在俯视图中沿第二方向Y与第四变压器21D对置。第五低电位端子11E在俯视图中形成于第一低电位端子11A与第二低电位端子11B之间的区域。第六低电位端子11F在俯视图中形成于第三低电位端子11C与第四低电位端子11D之间的区域。

[0154] 第一低电位端子11A与第一变压器21A(低电位线圈22)的第一内侧末端24电连接。第二低电位端子11B与第二变压器21B(低电位线圈22)的第一内侧末端24电连接。第三低电位端子11C与第三变压器21C(低电位线圈22)的第一内侧末端24电连接。第四低电位端子

11D与第四变压器21D(低电位线圈22)的第一内侧末端24电连接。

[0155] 第五低电位端子11E与第一变压器21A(低电位线圈22)的第一外侧末端25以及第二变压器21B(低电位线圈22)的第一外侧末端25电连接。第六低电位端子11F与第三变压器21C(低电位线圈22)的第一外侧末端25以及第四变压器21D(低电位线圈22)的第一外侧末端25电连接。

[0156] 多个高电位端子12与多个低电位端子11隔开间隔地形成在绝缘层51的绝缘主面52之上。具体而言,多个高电位端子12沿第二方向Y与多个低电位端子11隔开间隔地形成于绝缘侧壁53A侧的区域,沿第一方向X隔开间隔地排列。

[0157] 多个高电位端子12在俯视图中分别形成于与对应的变压器21A~21D接近的区域。高电位端子12与变压器21A~21D接近是指在俯视图中高电位端子12及变压器21之间的距离小于低电位端子11及高电位端子12之间的距离。

[0158] 具体而言,多个高电位端子12在俯视图中以沿着第一方向X与多个变压器21A~21D对置的方式沿着第一方向X隔开间隔地形成。更具体而言,多个高电位端子12在俯视图中以位于高电位线圈23的第二内侧区域67及相邻的高电位线圈23之间的区域的方式沿着第一方向X隔开间隔地形成。由此,多个高电位端子12在俯视图中沿第一方向X与多个变压器21A~21D呈一列地并排排列。

[0159] 多个高电位端子12包含:第一高电位端子12A、第二高电位端子12B、第三高电位端子12C、第四高电位端子12D、第五高电位端子12E以及第六高电位端子12F。在本实施方式中,多个高电位端子12A~12F各形成有两个。多个高电位端子12A~12F的个数是任意的。

[0160] 第一高电位端子12A在俯视图中形成于第一变压器21A(高电位线圈23)的第二内侧区域67。第二高电位端子12B在俯视图中形成于第二变压器21B(高电位线圈23)的第二内侧区域67。第三高电位端子12C在俯视图中形成于第三变压器21C(高电位线圈23)的第二内侧区域67。第四高电位端子12D在俯视图中形成于第四变压器21D(高电位线圈23)的第二内侧区域67。第五高电位端子12E在俯视图中形成于第一变压器21A及第二变压器21B之间的区域。第六高电位端子12F在俯视图中形成于第三变压器21C及第四变压器21D之间的区域。

[0161] 第一高电位端子12A与第一变压器21A(高电位线圈23)的第二内侧末端27电连接。第二高电位端子12B与第二变压器21B(高电位线圈23)的第二内侧末端27电连接。第三高电位端子12C与第三变压器21C(高电位线圈23)的第二内侧末端27电连接。第四高电位端子12D与第四变压器21D(高电位线圈23)的第二内侧末端27电连接。

[0162] 第五高电位端子12E与第一变压器21A(高电位线圈23)的第二外侧末端28及第二变压器21B(高电位线圈23)的第二外侧末端28电连接。第六高电位端子12F与第三变压器21C(高电位线圈23)的第二外侧末端28及第四变压器21D(高电位线圈23)的第二外侧末端28电连接。

[0163] 参照图13~图16,半导体装置5包含分别形成在绝缘层51内的第一低电位配线31、第二低电位配线32、第一高电位配线33以及第二高电位配线34。在本实施方式中,形成有多个第一低电位配线31、多个第二低电位配线32、多个第一高电位配线33以及多个第二高电位配线34。

[0164] 第一低电位配线31及第二低电位配线32将第一变压器21A的低电位线圈22以及第二变压器21B的低电位线圈22固定为相同电位。另外,第一低电位配线31及第二低电位配线

32将第三变压器21C的低电位线圈22及第四变压器21D的低电位线圈22固定为相同电位。在本实施方式中,第一低电位配线31及第二低电位配线32将变压器21A~21D的全部的低电位线圈22固定为相同电位。

[0165] 第一高电位配线33以及第二高电位配线34将第一变压器21A的高电位线圈23及第二变压器21B的高电位线圈23固定为相同电位。另外,第一高电位配线33及第二高电位配线34将第三变压器21C的高电位线圈23及第四变压器21D的高电位线圈23固定为相同电位。在本实施方式中,第一高电位配线33及第二高电位配线34将变压器21A~21D的全部的高电位线圈23固定为相同电位。

[0166] 多个第一低电位配线31分别与对应的低电位端子11A~11D以及对应的变压器21A~21D(低电位线圈22)的第一内侧末端24电连接。多个第一低电位配线31具有一样的构造。以下,以与第一低电位端子11A及第一变压器21A连接的第一低电位配线31的构造为例进行说明。关于其他的第一低电位配线31的构造的说明,适用与第一变压器21A连接的第一低电位配线31的构造的说明被省略。

[0167] 第一低电位配线31包含:贯通配线71、低电位连接配线72、引出配线73、第一连接插塞电极74、第二连接插塞电极75、一个或多个(在本实施方式中为多个)焊盘插塞电极76、以及一个或多个(在本实施方式中为多个)基板插塞电极77。

[0168] 贯通配线71、低电位连接配线72、引出配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76以及基板插塞电极77优选分别由与低电位线圈22等相同的导电材料形成。即,贯通配线71、低电位连接配线72、引出配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76以及基板插塞电极77优选与低电位线圈22等一样,分别包含阻挡层以及主体层。

[0169] 贯通配线71在绝缘层51中贯通多个层间绝缘层57,呈沿着法线方向Z延伸的柱状延伸。在本实施方式中,贯通配线71在绝缘层51中形成于最下绝缘层55及最上绝缘层56之间的区域。贯通配线71具有最上绝缘层56侧的上端部以及最下绝缘层55侧的下端部。贯通配线71的上端部形成于与高电位线圈23相同的层间绝缘层57,由最上绝缘层56覆盖。贯通配线71的下端部形成于与低电位线圈22相同的层间绝缘层57。

[0170] 在本实施方式中,贯通配线71包含:第一电极层78、第二电极层79以及多个配线插塞电极80。在贯通配线71中,第一电极层78、第二电极层79以及配线插塞电极80分别由与低电位线圈22等相同的导电材料形成。即,第一电极层78、第二电极层79以及配线插塞电极80与低电位线圈22等一样,分别包含阻挡层以及主体层。

[0171] 第一电极层78形成贯通配线71的上端部。第二电极层79形成贯通配线71的下端部。第一电极层78形成为岛状,沿法线方向Z与低电位端子11(第一低电位端子11A)对置。第二电极层79形成为岛状,沿法线方向Z与第一电极层78对置。

[0172] 多个配线插塞电极80分别埋设在位于第一电极层78及第二电极层79之间的区域的多个层间绝缘层57。多个配线插塞电极80以相互电连接的方式从最下绝缘层55朝向最上绝缘层56层叠,且将第一电极层78及第二电极层79电连接。多个配线插塞电极80分别具有小于第一电极层78的平面面积及第二电极层79的平面面积的平面面积。

[0173] 此外,多个配线插塞电极80的层叠数与多个层间绝缘层57的层叠数一致。在本实施方式中,6个配线插塞电极80埋设在各层间绝缘层57内,但埋设在各层间绝缘层57内的配

线插塞电极80的个数是任意的。当然,也可以形成贯通多个层间绝缘层57的一个或多个配线插塞电极80。

[0174] 低电位连接配线72在与低电位线圈22相同的层间绝缘层57内形成于第一变压器21A(低电位线圈22)的第一内侧区域66。低电位连接配线72形成为岛状,沿法线方向Z与高电位端子12(第一高电位端子12A)对置。低电位连接配线72优选具有超过配线插塞电极80的平面面积的平面面积。低电位连接配线72与低电位线圈22的第一内侧末端24电连接。

[0175] 引出配线73在层间绝缘层57内形成于半导体芯片41及贯通配线71之间的区域。在本实施方式中,引出配线73形成于从最下绝缘层55起第一层的层间绝缘层57内。引出配线73包含:一侧的第一端部、另一侧的第二端部、以及连接第一端部和第二端部的配线部。引出配线73的第一端部位于半导体芯片41及贯通配线71的下端部之间的区域。引出配线73的第二端部位于半导体芯片41及低电位连接配线72之间的区域。配线部沿着半导体芯片41的第一主面42延伸,在第一端部及第二端部之间的区域呈带状延伸。

[0176] 第一连接插塞电极74在层间绝缘层57内形成于贯通配线71及引出配线73之间的区域,与贯通配线71及引出配线73的第一端部电连接。第二连接插塞电极75在层间绝缘层57内形成于低电位连接配线72及引出配线73之间的区域,与低电位连接配线72及引出配线73的第二端部电连接。

[0177] 多个焊盘插塞电极76在最上绝缘层56内形成于低电位端子11(第一低电位端子11A)和贯通配线71之间的区域,分别与低电位端子11和贯通配线71的上端部电连接。多个基板插塞电极77在最下绝缘层55内形成于半导体芯片41及引出配线73之间的区域。在本实施方式中,基板插塞电极77形成于半导体芯片41和引出配线73的第一端部之间的区域,分别与半导体芯片41和引出配线73的第一端部电连接。

[0178] 参照图16,多个第二低电位配线32分别与对应的低电位端子11E、11F以及对应的变压器21A~21D的低电位线圈22的第一外侧末端25电连接。多个第二低电位配线32分别具有相同的结构。以下,以与第五低电位端子11E以及第一变压器21A(第二变压器21B)连接的第二低电位配线32的构造为例进行说明。关于其他的第二低电位配线32的构造的说明,适用与第一变压器21A(第二变压器21B)连接的第二低电位配线32的构造的说明并被省略。

[0179] 第二低电位配线32与第一低电位配线31同样地包含贯通配线71、低电位连接配线72、引出配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76以及基板插塞电极77。第二低电位配线32除了低电位连接配线72与第一变压器21A(低电位线圈22)的第一外侧末端25以及第二变压器21B(低电位线圈22)的第一外侧末端25电连接这一点以外,具有与第一低电位配线31同样的构造。

[0180] 第二低电位配线32的低电位连接配线72在与低电位线圈22相同的层间绝缘层57内形成于低电位线圈22的周围。具体而言,低电位连接配线72形成于在俯视时相邻的两个低电位线圈22之间的区域。焊盘插塞电极76在最上绝缘层56内形成于低电位端子11(第五低电位端子11E)和低电位连接配线72之间的区域,与低电位端子11和低电位连接配线72电连接。

[0181] 参照图15,多个第一高电位配线33分别与对应的高电位端子12A~12D及对应的变压器21A~21D(高电位线圈23)的第二内侧末端27电连接。多个第一高电位配线33分别具有一样的构造。以下,以与第一高电位端子12A及第一变压器21A连接的第一高电位配线33的

构造为例进行说明。关于其他第一高电位配线33的构造的说明,适用与第一变压器21A连接的第一高电位配线33的构造的说明被省略。

[0182] 第一高电位配线33包含高电位连接配线81以及一个或多个(在本实施方式中为多个)焊盘插塞电极82。高电位连接配线81及焊盘插塞电极82优选由与低电位线圈22等相同的导电材料形成。即,高电位连接配线81及焊盘插塞电极82优选与低电位线圈22等一样,包含阻挡层及主体层。

[0183] 高电位连接配线81在与高电位线圈23相同的层间绝缘层57内形成于高电位线圈23的第二内侧区域67。高电位连接配线81形成为岛状,沿法线方向Z与高电位端子12(第一高电位端子12A)对置。高电位连接配线81与高电位线圈23的第二内侧末端27电连接。高电位连接配线81在俯视图中与低电位连接配线72隔开间隔而形成,未沿法线方向Z与低电位连接配线72对置。由此,低电位连接配线72与高电位连接配线81之间的绝缘距离增加,绝缘层51的绝缘耐压提高。

[0184] 多个焊盘插塞电极82在最上绝缘层56内形成于高电位端子12(第一高电位端子12A)和高电位连接配线81之间的区域,分别与高电位端子12及高电位连接配线81电连接。多个焊盘插塞电极82在俯视图中分别具有小于高电位连接配线81的平面面积的平面面积。

[0185] 参照图16,多个第二高电位配线34分别与对应的高电位端子12E、12F以及对应的变压器21A~21D(高电位线圈23)的第二外侧末端28电连接。多个第二高电位配线34分别具有相同的结构。以下,以与第五高电位端子12E以及第一变压器21A(第二变压器21B)连接的第二高电位配线34的构造为例进行说明。关于其他的第二高电位配线34的构造的说明,适用与第一变压器21A(第二变压器21B)连接的第二高电位配线34的构造的说明并被省略。

[0186] 第二高电位配线34与第一高电位配线33同样地包含高电位连接配线81及焊盘插塞电极82。第二高电位配线34除了高电位连接配线81与第一变压器21A(高电位线圈23)的第二外侧末端28以及第二变压器21B(高电位线圈23)的第二外侧末端28电连接这一点以外,具有与第一高电位配线33同样的构造。

[0187] 第二高电位配线34的高电位连接配线81在与高电位线圈23相同的层间绝缘层57内形成于高电位线圈23的周围。高电位连接配线81形成于在俯视时相邻的两个高电位线圈23之间的区域,在法线方向Z上与高电位端子12(第五高电位端子12E)对置。高电位连接配线81在俯视观察时与低电位连接配线72隔开间隔而形成,且在法线方向Z上不与低电位连接配线72对置。

[0188] 多个焊盘插塞电极82在最上绝缘层56内形成于高电位端子12(第五高电位端子12E)和高电位连接配线81之间的区域,分别与高电位端子12和高电位连接配线81电连接。

[0189] 参照图15以及图16,优选低电位端子11以及高电位端子12之间的距离D1超过低电位线圈22以及高电位线圈23之间的距离D2($D2 < D1$)。距离D1优选超过多个层间绝缘层57的总厚度DT($DT < D1$)。距离D2与距离D1之比 $D2/D1$ 可以为0.01以上且0.1以下。距离D1优选为100 μm 以上500 μm 以下。距离D2可以为1 μm 以上且50 μm 以下。距离D2优选为5 μm 以上且25 μm 以下。距离D1以及距离D2的值是任意的,根据应实现的绝缘耐压而适当调整。

[0190] 参照图14至图19,半导体装置5包括以在俯视时位于变压器21A~21D的周围的方式埋设于绝缘层51内的虚设图案85。在图17-图19中,用阴影线表示虚拟图案85。虚设图案85包含导体。虚设图案85优选由与低电位线圈22等相同的导电材料形成。即,虚设图案85

优选与低电位线圈22等同样地包含阻挡层和主体层。

[0191] 虚设图案85由与高电位线圈23及低电位线圈22不同的图案(不连续的图案)形成,独立于变压器21A~21D。即,虚设图案85不作为变压器21A~21D发挥功能。虚设图案85作为屏蔽导体层而形成,该屏蔽导体层在变压器21A~21D中屏蔽低电位线圈22与高电位线圈23之间的电场,抑制对高电位线圈23的电场集中。

[0192] 在该实施方式中,虚设图案85以在俯视时部分地覆盖一个或多个高电位线圈23的周围的区域且部分地露出一个或多个高电位线圈23的周围的区域的方式被拉回成密集的线状。在该实施方式中,虚设图案85在每单位面积中以与高电位线圈23的线密度相等的线密度被引绕。虚设图案85的线密度与高电位线圈23的线密度相等是指虚设图案85的线密度收敛于高电位线圈23的线密度的 $\pm 20\%$ 的范围内。

[0193] 虚设图案85优选形成于在俯视时相对于低电位端子11接近高电位线圈23的区域。在俯视时虚设图案85接近高电位线圈23是指虚设图案85与高电位线圈23之间的距离小于虚设图案85与低电位端子11之间的距离。

[0194] 绝缘层51的内部的虚设图案85的深度位置是任意的,根据应缓和的电场强度来调整。虚设图案85优选形成于在法线方向Z上相对于低电位线圈22接近高电位线圈23的区域。此外,所谓在法线方向Z上虚设图案85接近高电位线圈23,是指在法线方向Z上虚设图案85与高电位线圈23之间的距离小于虚设图案85与低电位线圈22之间的距离。

[0195] 在该情况下,能够适当地抑制对高电位线圈23的电场集中。在法线方向Z上,虚设图案85与高电位线圈23之间的距离越小,越能够抑制对高电位线圈23的电场集中。虚设图案85优选形成在与高电位线圈23相同的层间绝缘层57内。在该情况下,能够进一步适当地抑制对高电位线圈23的电场集中。

[0196] 虚设图案85优选以介于俯视时相邻的多个高电位线圈23之间的区域的方式形成于多个高电位线圈23的周围。在该情况下,利用相邻的多个高电位线圈23之间的区域,能够抑制对多个高电位线圈23的不期望的电场集中。

[0197] 虚设图案85优选在俯视时介于低电位端子11与高电位线圈23之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位线圈23之间的不期望的导通。虚设图案85优选在俯视时介于低电位端子11与高电位端子12之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位端子12之间的不期望的导通。

[0198] 在该实施方式中,虚设图案85在俯视时沿着多个高电位线圈23形成,介于相邻的多个高电位线圈23之间的区域。另外,虚设图案85在俯视时一并包围包含多个高电位线圈23以及多个高电位端子12的区域。另外,虚设图案85在俯视时介于多个低电位端子11A~11F以及多个高电位线圈23之间的区域。另外,虚设图案85在俯视时介于多个低电位端子11A~11F以及多个高电位端子12A~12F之间的区域。

[0199] 参照图14至图19,虚设图案85包含电状态不同的多个虚设图案。虚设图案85包含高电位虚设图案86。高电位虚设图案86以在俯视时位于变压器21A~21D的周围的方式形成在绝缘层51内。高电位虚设图案86由与高电位线圈23及低电位线圈22不同的图案(不连续的图案)形成,独立于变压器21A~21D。即,高电位虚设图案86不作为变压器21A~21D发挥功能。

[0200] 在该实施方式中,高电位虚设图案86以在俯视时局部地覆盖高电位线圈23的周围的区域且局部地露出高电位线圈23的周围的区域的方式被拉回成密集的线状。在该实施方式中,高电位虚设图案86以每单位面积与高电位线圈23的线密度相等的线密度被引绕。高电位虚设图案86的线密度与高电位线圈23的线密度相等是指高电位虚设图案86的线密度收敛于高电位线圈23的线密度的 $\pm 20\%$ 的范围内。

[0201] 高电位虚设图案86在变压器21A~21D中屏蔽低电位线圈22与高电位线圈23之间的电场,抑制对高电位线圈23的电场集中。具体而言,高电位虚设图案86通过屏蔽低电位线圈22与高电位线圈23之间的电场,使向高电位线圈23的上侧漏出的电场远离高电位线圈23。由此,抑制了由向高电位线圈23的上侧漏出的电场引起的高电位线圈23的电场集中。

[0202] 对高电位虚设图案86施加超过对低电位线圈22施加的电压的电压。由此,能够抑制高电位线圈23与高电位虚设图案86之间的电压下降,因此能够抑制对高电位线圈23的电场集中。优选对高电位虚设图案86施加向高电位线圈23所施加的电压。即,高电位虚设图案86优选固定为与高电位线圈23相同的电位。由此,能够可靠地抑制高电位线圈23与高电位虚设图案86之间的电压降,因此能够适当地抑制对高电位线圈23的电场集中。

[0203] 绝缘层51的内部的高电位虚设图案86的深度位置是任意的,根据应缓和的电场强度来调整。高电位虚设图案86优选形成于在法线方向Z上相对于低电位线圈22接近高电位线圈23的区域。在法线方向Z上高电位虚设图案86接近高电位线圈23是指在法线方向Z上高电位虚设图案86与高电位线圈23之间的距离小于高电位虚设图案86与低电位线圈22之间的距离。

[0204] 在该情况下,能够适当地抑制对高电位线圈23的电场集中。在法线方向Z上,越减小高电位虚设图案86与高电位线圈23之间的距离,越能够抑制对高电位线圈23的电场集中。高电位虚设图案86优选形成在与高电位线圈23相同的层间绝缘层57内。在该情况下,能够进一步适当地抑制对高电位线圈23的电场集中。

[0205] 高电位虚设图案86优选形成于在俯视时相对于低电位端子11接近高电位线圈23的区域。在俯视时高电位虚设图案86接近高电位线圈23是指高电位虚设图案86与高电位线圈23之间的距离小于高电位虚设图案86与低电位端子11之间的距离。

[0206] 高电位虚设图案86优选以介于俯视时相邻的多个高电位线圈23之间的区域的方式形成于多个高电位线圈23的周围。在该情况下,利用相邻的多个高电位线圈23之间的区域,能够抑制对多个高电位线圈23的不期望的电场集中。

[0207] 高电位虚设图案86优选在俯视时介于低电位端子11与高电位线圈23之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位线圈23之间的不期望的导通。高电位虚设图案86优选在俯视时介于低电位端子11与高电位端子12之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位端子12之间的不期望的导通。

[0208] 在该实施方式中,高电位虚设图案86在俯视时沿着多个高电位线圈23形成,介于相邻的多个高电位线圈23之间的区域。另外,高电位虚设图案86在俯视时一并包围包含多个高电位线圈23以及多个高电位端子12的区域。另外,高电位虚设图案86在俯视时介于多个低电位端子11A~11F以及多个高电位线圈23之间的区域。另外,高电位虚设图案86在俯视时介于多个低电位端子11A~11F以及多个高电位端子12A~12F之间的区域。

[0209] 高电位虚设图案86以在俯视观察时相邻的多个高电位线圈23之间的区域中使高电位端子12E、12F的正下方的区域露出的方式被引绕到高电位端子12E、12F的周围。高电位虚设图案86的一部分也可以在法线方向Z上与高电位端子12A~12F对置。在该情况下,高电位端子12E、12F与高电位虚设图案86同样地,通过屏蔽电场来抑制向高电位线圈23的上侧漏出的电场。即,高电位端子12E、12F与高电位虚设图案86一起形成为抑制对高电位线圈23的电场集中的屏蔽导体层。

[0210] 高电位虚设图案86优选形成为有端状。在该情况下,能够抑制电流的环路电路(闭合电路)形成于高电位虚设图案86。由此,抑制了由流过高电位虚设图案86的电流引起的噪声。其结果,能够抑制由噪声引起的不期望的电场集中,同时能够抑制变压器21A~21D的电特性的变动。

[0211] 具体而言,高电位虚设图案86包括第一高电位虚设图案87以及第二高电位虚设图案88。第一高电位虚设图案87形成于在俯视时相邻的多个变压器21A~21D(多个高电位线圈23)之间的区域。第二高电位虚设图案88形成于在俯视时相邻的多个变压器21A~21D(多个高电位线圈23)之间的区域外的区域。

[0212] 以下,相邻的第一变压器21A(高电位线圈23)以及第二变压器21B(高电位线圈23)之间的区域被称为第一区域89。另外,第二变压器21B(高电位线圈23)与第三变压器21C(高电位线圈23)之间的区域被称为第二区域90。另外,第三变压器21C(高电位线圈23)与第四变压器21D(高电位线圈23)之间的区域被称为第三区域91。

[0213] 在该实施方式中,第一高电位虚设图案87经由第一高电位配线33而与高电位端子12(第五高电位端子12E)电连接。具体而言,第一高电位虚设图案87包含与第一高电位配线33连接的第一连接部92。第一连接部92的位置是任意的。由此,第一高电位虚设图案87被固定为与多个高电位线圈23相同的电位。

[0214] 具体而言,第一高电位虚设图案87包含形成于第一区域89的第一图案93、形成于第二区域90的第二图案94以及形成于第三区域91的第三图案95。由此,第一高电位虚设图案87在第一区域89、第二区域90以及第三区域91中抑制向高电位线圈23的上侧漏出的电场,抑制针对相邻的多个高电位线圈23的电场集中。

[0215] 在该实施方式中,第一图案93、第二图案94以及第三图案95一体地形成,被固定为相同电位。第一图案93、第二图案94以及第三图案95只要固定为相同电位,则也可以分离。

[0216] 参照图14和图17,第一图案93经由第一连接部92与第一高电位配线33连接。第一图案93以在俯视时遮盖第一区域89的一部分区域的方式被拉回成密集的线状。第一图案93在俯视时与高电位端子12(第五高电位端子12E)隔开间隔地形成于第一区域89,在法线方向Z上不与高电位端子12对置。另外,第一图案93在俯视时与低电位连接配线72隔开间隔地形成,在法线方向Z上不与低电位连接配线72对置。由此,第一图案93与低电位连接配线72之间的绝缘距离增加,绝缘层51的绝缘耐压提高。

[0217] 第一图案93包括第一外周线96、第二外周线97以及多条第一中间线98。第一外周线96沿着第一变压器21A的高电位线圈23的周围呈带状延伸。在该实施方式中,第一外周线96形成为在俯视时在第一区域89具有开放端的环形状。第一外周线96的开放端的宽度小于高电位线圈23的沿着第二方向Y的宽度。

[0218] 第一外周线96的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一外周线96的宽度优选为 $1\mu\text{m}$

m以上且 $3\mu\text{m}$ 以下。第一外周线96的宽度由与第一外周线96延伸的方向正交的方向的宽度定义。第一外周线96的宽度优选与高电位线圈23的宽度相等。第一外周线96的宽度与高电位线圈23的宽度相等是指第一外周线96的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0219] 第一外周线96与高电位线圈23(第一变压器21A)之间的第一间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第一间距优选与高电位线圈23的第二卷绕间距相等。所谓第一间距与第一卷绕间距相等,是指第一间距收敛于第一卷绕间距的 $\pm 20\%$ 以内的范围。

[0220] 第二外周线97沿着第二变压器21B的高电位线圈23的周围呈带状延伸。在该实施方式中,第二外周线97形成为在俯视时在第一区域89具有开放端的环形状。第二外周线97的开放端的宽度小于高电位线圈23的沿着第二方向Y的宽度。第二外周线97的开放端沿着第一方向X与第一外周线96的开放端对置。

[0221] 第二外周线97的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二外周线97的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第二外周线97的宽度由与第二外周线97延伸的方向正交的方向的宽度定义。第二外周线97的宽度优选与高电位线圈23的宽度相等。第二外周线97的宽度与高电位线圈23的宽度相等是指第二外周线97的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0222] 第二外周线97与高电位线圈23(第二变压器21B)之间的第二间距也可以是 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第二间距优选与高电位线圈23的第二卷绕间距相等。所谓第二间距与第二卷绕间距相等,是指第二间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0223] 多个第一中间线98在第一区域89中在第一外周线96与第二外周线97之间的区域呈带状延伸。多个第一中间线98包括将第一外周线96和第二外周线97电连接的至少一个(在该实施方式中为一个)第一连接线99。

[0224] 从防止电流的环路电路的形成的观点出发,多个第一中间线98优选仅包含一个第一连接线99。第一连接线99的位置是任意的。在多个第一中间线98中的至少一个中,形成有切断电流的环路电路的狭缝100。狭缝100的位置根据多个第一中间线98的设计而适当调整。

[0225] 多个第一中间线98优选形成为沿着多个高电位线圈23的对置方向延伸的带状。在该实施方式中,多个第一中间线98分别形成为沿第一方向X延伸的带状,并在第二方向Y上隔开间隔地形成。多个第一中间线98在俯视时整体形成为沿第一方向X延伸的条纹状。

[0226] 具体而言,多个第一中间线98包含多个第一引出部101及多个第二引出部102。多个第一引出部101从第一外周线96朝向第二外周线97呈条纹状引出。多个第一引出部101的前端部从第一外周线96向第二外周线97侧隔开间隔地形成。

[0227] 多个第二引出部102从第二外周线97朝向第一外周线96呈条纹状引出。多个第二引出部102的前端部从第二外周线97向第一外周线96侧隔开间隔地形成。在该实施方式中,多个第二引出部102以夹着一个第一引出部101的方式在第二方向Y上与多个第一引出部101交替地隔开间隔地形成。

[0228] 另外,多个第二引出部102也可以夹入多个第一引出部101。另外,包含多个第二引

出部102的组也可以形成为与包含多个第一引出部101的组相邻。狭缝100、多个第一引出部101以及多个第二引出部102抑制第一图案93中的电流的环路电路的形成。

[0229] 在第二方向Y上,第一中间线98的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一中间线98的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第一中间线98的宽度优选与高电位线圈23的宽度相等。第一中间线98的宽度与高电位线圈23的宽度相等是指第一中间线98的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0230] 相邻的两个第一中间线98的第三间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第三间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第三间距由在第二方向Y上相邻的多个第一中间线98之间的距离定义。优选第三间距彼此相等。第三间距彼此相等是指第三间距收敛于该第三间距的 $\pm 20\%$ 以内的范围。第三间距优选与高电位线圈23的第二卷绕间距相等。第三间距与第二卷绕间距相等是指第三间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0231] 参照图14和图18,第二图案94经由第一高电位配线33与高电位端子12电连接。在该实施方式中,第二图案94经由第一图案93的第二外周线97而与第一高电位配线33(第五高电位端子12E)电连接。第二图案94以遮盖第二区域90的方式被拉回成密集的线状。

[0232] 第二图案94包括上述的第二外周线97、第三外周线103以及多个第二中间线104。第三外周线103沿着第三变压器21C的高电位线圈23的周围呈带状延伸。在该实施方式中,第三外周线103形成为在俯视时在第三区域91具有开放端的环形状。第三外周线103的开放端的宽度小于第三变压器21C的高电位线圈23的沿着第二方向Y的宽度。

[0233] 第三外周线103的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第三外周线103的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第三外周线103的宽度由与第三外周线103延伸的方向正交的方向的宽度定义。第三外周线103的宽度优选与高电位线圈23的宽度相等。第三外周线103的宽度与高电位线圈23的宽度相等是指第三外周线103的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0234] 第三外周线103与高电位线圈23(第三变压器21C)之间的第四间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第四间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第四间距优选与高电位线圈23的第二卷绕间距相等。第四间距与第二卷绕间距相等是指第四间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0235] 多个第二中间线104在第二区域90中在第二外周线97与第三外周线103之间的区域呈带状延伸。多个第二中间线104包括将第二外周线97和第三外周线103电连接的至少一个(在该实施方式中为一个)第二连接线105。

[0236] 从防止电流的环路电路的形成的观点出发,多个第二中间线104优选仅包含一个第二连接线105。第二连接线105也可以具有超过其他第二中间线104的宽度的宽度。第二连接线105的位置是任意的。在多个第二中间线104中的至少一个中,形成有切断电流的环路电路的狭缝106。狭缝106的位置根据多个第二中间线104的设计而适当调整。

[0237] 多个第二中间线104优选形成为沿着多个高电位线圈23的对置方向延伸的带状。在该实施方式中,多个第二中间线104分别形成为沿第一方向X延伸的带状,并在第二方向Y上隔开间隔地形成。多个第二中间线104在俯视时整体形成为沿第一方向X延伸的条纹状。

[0238] 具体而言,多个第二中间线104包含多个第三引出部107及多个第四引出部108。多个第三引出部107从第二外周线97朝向第三外周线103呈条纹状引出。多个第三引出部107

的前端部从第三外周线103向第二外周线97侧隔开间隔地形成。

[0239] 多个第四引出部108从第三外周线103朝向第二外周线97呈条纹状引出。多个第四引出部108的前端部从第二外周线97向第三外周线103侧隔开间隔地形成。在该实施方式中,多个第四引出部108以夹着一个第三引出部107的方式在第二方向Y上与多个第三引出部107交替地隔开间隔地形成。

[0240] 另外,多个第四引出部108也可以夹入多个第三引出部107。另外,包含多个第四引出部108的组也可以形成为与包含多个第三引出部107的组相邻。狭缝106、多个第三引出部107以及多个第四引出部108抑制第二图案94中的电流的环路电路的形成。

[0241] 在第二方向Y上,第二中间线104的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二中间线104的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第二中间线104的宽度优选与高电位线圈23的宽度相等。第二中间线104的宽度与高电位线圈23的宽度相等是指第二中间线104的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0242] 相邻的两个第二中间线104的第五间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第五间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第五间距由在第二方向Y上相邻的多个第二中间线104之间的距离定义。优选第五间距彼此相等。第五间距彼此相等是指第五间距收敛于该第五间距的 $\pm 20\%$ 以内的范围。第五间距优选与高电位线圈23的第二卷绕间距相等。第五间距与第二卷绕间距相等是指第五间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0243] 参照图14和图19,第三图案95与第一高电位配线33电连接。在该实施方式中,第三图案95经由第二图案94和第一图案93与第一高电位配线33电连接。第三图案95以遮盖第三区域91的一部分区域的方式被拉回成密集的线状。第三图案95在俯视时与高电位端子12(第六高电位端子12F)隔开间隔地形成于第三区域91,在法线方向Z上不和高电位端子12对置。

[0244] 第三图案95在俯视时与低电位连接配线72隔开间隔地形成,在法线方向Z上不和低电位连接配线72对置。由此,在法线方向Z上,第三图案95与低电位连接配线72之间的绝缘距离增加,绝缘层51的绝缘耐压提高。

[0245] 第三图案95包括上述的第三外周线103、第四外周线109以及多条第三中间线110。第四外周线109沿着第四变压器21D的高电位线圈23的周围呈带状延伸。在该实施方式中,第四外周线109形成为在俯视时在第三区域91具有开放端的环状。第四外周线109的开放端的宽度小于第四变压器21D的高电位线圈23的沿着第二方向Y的宽度。第四外周线109的开放端沿着第一方向X与第三外周线103的开放端相对。

[0246] 第四外周线109的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第四外周线109的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第四外周线109的宽度由与第四外周线109延伸的方向正交的方向的宽度定义。第四外周线109的宽度优选与高电位线圈23的宽度相等。第四外周线109的宽度与高电位线圈23的宽度相等是指第四外周线109的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0247] 第四外周线109与高电位线圈23(第四变压器21D)之间的第六间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第六间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第六间距是指与高电位线圈23的第二卷绕间距相等。第六间距与第二卷绕间距相等是指第六间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0248] 多个第三中间线110在第三区域91中在第三外周线103与第四外周线109之间的区域呈带状延伸。多个第三中间线110包括将第三外周线103和第四外周线109电连接的至少一个(在该实施方式中为一个)第三连接线111。

[0249] 从防止电流的环路电路的形成的观点出发,多个第三中间线110优选仅包含一个第三连接线111。第三连接线111的位置是任意的。在多个第三中间线110中的至少一个中,形成有切断电流的环路电路的狭缝112。狭缝112的位置根据多个第三中间线110的设计而适当调整。

[0250] 多个第三中间线110优选形成为沿着多个高电位线圈23的对置方向延伸的带状。在该实施方式中,多个第三中间线110分别形成为沿第一方向X延伸的带状,并在第二方向Y上隔开间隔地形成。多个第三中间线110在俯视时整体形成为条纹状。

[0251] 在该实施方式中,多个第三中间线110包括多个第五引出部113和多个第六引出部114。多个第五引出部113从第三外周线103朝向第四外周线109呈条纹状引出。多个第五引出部113的前端部从第四外周线109向第三外周线103侧隔开间隔地形成。

[0252] 多个第六引出部114从第四外周线109朝向第三外周线103呈条纹状引出。多个第六引出部114的前端部从第三外周线103向第四外周线109侧隔开间隔地形成。在该实施方式中,多个第六引出部114以夹着一个第五引出部113的方式在第二方向Y上与多个第五引出部113交替地隔开间隔地形成。

[0253] 另外,多个第六引出部114也可以夹入多个第五引出部113。另外,包含多个第六引出部114的组也可以形成为与包含多个第五引出部113的组相邻。狭缝112、多个第五引出部113以及多个第六引出部114抑制第三图案95中的电流的环路电路的形成。

[0254] 在第二方向Y上,第三中间线110的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第三中间线110的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第三中间线110的宽度优选与高电位线圈23的宽度相等。第三中间线110的宽度与高电位线圈23的宽度相等是指第三中间线110的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0255] 相邻的两个第三中间线110的第七间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第七间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第七间距由在第二方向Y上相邻的多个第三中间线110之间的距离定义。第七间距优选彼此相等。第七间距彼此相等是指第七间距收敛于该第七间距的 $\pm 20\%$ 以内的范围。第七间距优选与高电位线圈23的第二卷绕间距相等。第七间距与第二卷绕间距相等是指第七间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。

[0256] 参照图14至图19,在该实施方式中,第二高电位虚设图案88经由第一高电位虚设图案87与高电位端子12电连接。具体而言,第二高电位虚设图案88包括与第一高电位虚设图案87连接的第二连接部115。第二连接部115的位置是任意的。由此,第二高电位虚设图案88被固定为与多个高电位线圈23相同的电位。

[0257] 第二高电位虚设图案88在第一区域89、第二区域90以及第三区域91外的区域中,抑制向高电位线圈23的上侧漏出的电场,抑制针对多个高电位线圈23的电场集中。在该实施方式中,第二高电位虚设图案88在俯视时一并包围包含多个高电位线圈23和多个高电位端子12A~12F的区域。在该实施方式中,第二高电位虚设图案88在俯视观察时被形成为长圆环状(椭圆环状)。

[0258] 由此,第二高电位虚设图案88在俯视时介于多个低电位端子11A~11F以及多个高

电位线圈23之间的区域。另外,第二高电位虚设图案88在俯视时介于多个低电位端子11A~11F以及多个高电位端子12A~12F之间的区域。

[0259] 另外,第二高电位虚设图案88包含多个(在该实施方式中为6个)高电位线116A、116B、116C、116D、116E、116F。高电位线的个数根据应缓和的电场来调整。多个高电位线116A~116F在远离多个高电位线圈23的方向上依次隔开间隔而形成。

[0260] 多个高电位线116A~116F在俯视时一并包围多个高电位线圈23。具体而言,多个高电位线116A~116F在俯视时一并包围包含多个高电位线圈23以及多个高电位端子12A~12F的区域。在该实施方式中,多个高电位线116A~116F在俯视时形成为长圆环状(椭圆环状)。

[0261] 多个高电位线116A~116F分别包括切断电流的环路电路的狭缝117。狭缝117的位置根据多个高电位线116A~116F的设计而适当调整。

[0262] 高电位线116A~116F的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。高电位线116A~116F的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。高电位线116A~116F的宽度由与高电位线116A~116F延伸的方向正交的方向的宽度定义。高电位线116A~116F的宽度优选与高电位线圈23的宽度相等。高电位线116A~116F的宽度与高电位线圈23的宽度相等是指高电位线116A~116F的宽度收敛于高电位线圈23的宽度的 $\pm 20\%$ 以内的范围。

[0263] 相邻的两个高电位线116A~116F的第八间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第八间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第八间距优选彼此相等。第八间距彼此相等是指第八间距收敛于该第八间距的 $\pm 20\%$ 以内的范围。

[0264] 相邻的第一高电位虚设图案87与第二高电位虚设图案88之间的第九间距也可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第九间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。第九间距优选与高电位线圈23的第二卷绕间距相等。第九间距与第二卷绕间距相等是指第九间距收敛于第二卷绕间距的 $\pm 20\%$ 以内的范围。多个高电位线116A~116F的个数、宽度、间距等是任意的,根据应缓和的电场来调整。

[0265] 参照图14至图19,虚设图案85包括以在俯视时位于变压器21A~21D的周围的方式在绝缘层51内形成为电悬浮状态的悬浮虚设图案121。悬浮虚设图案121由与高电位线圈23及低电位线圈22不同的图案(不连续的图案)形成,独立于变压器21A~21D。即,悬浮虚设图案121不作为变压器21A~21D发挥功能。

[0266] 在该实施方式中,悬浮虚设图案121以在俯视时部分地覆盖高电位线圈23的周围的区域且部分地露出高电位线圈23的周围的区域的方式被拉回成密集的线状。悬浮虚设图案121可以形成为有端状,也可以形成为环状。

[0267] 悬浮虚设图案121在每单位面积中以与高电位线圈23的线密度相等的线密度被引绕。悬浮虚设图案121的线密度与高电位线圈23的线密度相等是指,悬浮虚设图案121的线密度收敛于高电位线圈23的线密度的 $\pm 20\%$ 的范围内。

[0268] 另外,悬浮虚设图案121在每单位面积中以与高电位虚设图案86的线密度相等的线密度被引绕。悬浮虚设图案121的线密度与高电位虚设图案86的线密度相等是指,悬浮虚设图案121的线密度收敛于高电位虚设图案86的线密度的 $\pm 20\%$ 的范围内。

[0269] 悬浮虚设图案121在变压器21A~21D中屏蔽低电位线圈22与高电位线圈23之间的电场,抑制对高电位线圈23的电场集中。具体而言,悬浮虚设图案121使向高电位线圈23的

上侧漏出的电场向远离高电位线圈23的方向分散。由此,能够抑制对高电位线圈23的电场集中。

[0270] 另外,悬浮虚设图案121使在高电位虚设图案86的周围向高电位虚设图案86的上侧漏出的电场向远离高电位线圈23以及高电位虚设图案86的方向分散。由此,能够抑制对高电位虚设图案86的电场集中,同时能够适当地抑制对高电位线圈23的电场集中。

[0271] 绝缘层51的内部的悬浮虚设图案121的深度位置是任意的,根据应缓和的电场强度来调整。优选悬浮虚设图案121形成于在法线方向Z上相对于低电位线圈22接近高电位线圈23的区域。所谓在法线方向Z上悬浮虚设图案121接近高电位线圈23,是指在法线方向Z上悬浮虚设图案121与高电位线圈23之间的距离小于悬浮虚设图案121与低电位线圈22之间的距离。

[0272] 在该情况下,能够适当地抑制对高电位线圈23的电场集中。在法线方向Z上,越减小悬浮虚设图案121与高电位线圈23之间的距离,越能够抑制对高电位线圈23的电场集中。优选悬浮虚设图案121形成在与高电位线圈23相同的层间绝缘层57内。在该情况下,能够进一步适当地抑制对高电位线圈23的电场集中。

[0273] 优选悬浮虚设图案121在俯视时介于低电位端子11与高电位线圈23之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位线圈23之间的不期望的导通。优选悬浮虚设图案121在俯视时介于低电位端子11与高电位端子12之间的区域。在该情况下,能够抑制由高电位线圈23的电场集中引起的低电位端子11与高电位端子12之间的不期望的导通。

[0274] 在该实施方式中,悬浮虚设图案121在俯视时沿着多个高电位线圈23形成。具体而言,悬浮虚设图案121在俯视时一并包围包含多个高电位线圈23以及多个高电位端子12的区域。在该实施方式中,悬浮虚设图案121在俯视时夹着高电位虚设图案86(第二高电位虚设图案88)而一并包围包含多个高电位线圈23以及多个高电位端子12的区域。

[0275] 由此,悬浮虚设图案121在俯视时介于多个低电位端子11A~11F以及多个高电位线圈23之间的区域。另外,悬浮虚设图案121在俯视时介于多个低电位端子11A~11F以及多个高电位端子12A~12F之间的区域。

[0276] 悬浮线的个数是任意的,根据应缓和的电场来调整。在该实施方式中,悬浮虚设图案121包括多个(在本图中为6个)悬浮线路122A、122B、122C、122D、122E、122F。多个悬浮线122A~122F在远离多个高电位线圈23的方向上依次隔开间隔而形成。

[0277] 多个悬浮线122A~122F在俯视时一并包围多个高电位线圈23。具体而言,多个悬浮线122A~122F在俯视时隔着高电位虚设图案86一并包围包含多个高电位线圈23以及多个高电位端子12A~12F的区域。在该实施方式中,多个悬浮线122A~122F在俯视时形成为长圆环状(椭圆环状)。

[0278] 悬浮线122A~122F的宽度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。悬浮线122A~122F的宽度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。悬浮线122A~122F的宽度由与悬浮线122A~122F延伸的方向正交的方向的宽度定义。

[0279] 相邻的两个悬浮线122A~122F之间的第十间距可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第十间距优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。悬浮线122A~122F的宽度优选与高电位线圈23的宽度相等。悬浮线122A~122F的宽度与高电位线圈23的宽度相等是指悬浮线122A~122F的宽度收

敛于高电位线圈23的宽度的±20%以内的范围。

[0280] 悬浮虚设图案121与高电位虚设图案86(第二高电位虚设图案88)之间的第十一间距可以为0.1 μm 以上且5 μm 以下。第十一间距优选为1 μm 以上且3 μm 以下。第十一间距优选彼此相等。第十一间距彼此相等是指第十一间距收敛于该第十一间距的±20%以内的范围。

[0281] 第十一间距优选与高电位线圈23的第二卷绕间距相等。悬浮线122A~122F之间的第十一间距与第二卷绕间距相等是指第十一间距收敛于第二卷绕间距的±20%以内的范围。另外,在图12至图14中,为了明确化,示出了第十一间距超过第二卷绕间距的例子。

[0282] 优选悬浮虚设图案121与高电位虚设图案86之间的第十二间距与第二卷绕间距相等。第十二间距与第二卷绕间距相等是指第十二间距收敛于第二卷绕间距的±20%以内的范围。多个悬浮线122A~122F的个数、宽度、间距等根据应缓和的电场来调整,并不限定于特定的值。

[0283] 参照图15和图16,半导体装置5包含在器件区域62中形成于半导体芯片41的第一主面42的第二功能器件60。第二功能器件60利用半导体芯片41的第一主面42的表层部和/或半导体芯片41的第一主面42之上的区域而形成,由绝缘层51(最下绝缘层55)覆盖。在图11中,第二功能器件60通过第一主面42的表层部所示的虚线而简化示出。

[0284] 第二功能器件60经由低电位配线与低电位端子11电连接,经由高电位配线与高电位端子12电连接。低电位配线除了以与第二功能器件60连接的方式引绕至绝缘层51内这一点之外,具有与第一低电位配线31(第二低电位配线32)一样的构造。高电位配线除了以与第二功能器件60连接的方式引绕至绝缘层51内这一点之外,具有与第一高电位配线33(第二高电位配线34)一样的构造。省略第二功能器件60的低电位配线以及高电位配线的具体的说明。

[0285] 第二功能器件60也可以包含无源器件、半导体整流器件以及半导体开关器件中的至少一个。在无源器件中,第二功能器件60也可以包含选择性地组合无源器件、半导体整流器件以及半导体开关器件中的任意两种以上的器件而成的电路网。电路网也可以形成集成电路的一部分或全部。

[0286] 无源器件可以包含半导体无源器件。无源器件也可以包含电阻和电容器中的任一方或双方。半导体整流器件也可以包含pn结二极管、PIN二极管、齐纳二极管、肖特基势垒二极管以及快速恢复二极管中的至少一个。半导体开关器件也可以包含BJT[双极结型晶体管]、MISFET[金属绝缘体场效应晶体管]、IGBT[绝缘栅双极结晶体管]以及JFET[结型场效应晶体管]中的至少一个。

[0287] 参照图15和图16,半导体装置5还包含埋设于绝缘层51内的密封导体61。密封导体61在俯视图中与绝缘侧壁53A~53D隔开间隔地呈壁状埋设于绝缘层51内,将绝缘层51划分为器件区域62和外侧区域63。密封导体61抑制从外侧区域63向器件区域62的水分的进入以及裂纹的形成。

[0288] 器件区域62是包含以下部分的区域:第一功能器件45(多个变压器21)、第二功能器件60、多个低电位端子11、多个高电位端子12、第一低电位配线31、第二低电位配线32、第一高电位配线33、第二高电位配线34以及虚设图案85。外侧区域63是器件区域62外的区域。

[0289] 密封导体61与器件区域62电隔离。具体而言,密封导体61与第一功能器件45(多个变压器21)、第二功能器件60、多个低电位端子11、多个高电位端子12、第一低电位配线31、

第二低电位配线32、第一高电位配线33、第二高电位配线34以及虚设图案85电隔离。更具体而言,密封导体61被固定为电悬浮状态。密封导体61不形成与器件区域62相连的电流路径。

[0290] 密封导体61在俯视图中形成为沿着绝缘侧壁53A~53D的带状。在本实施方式中,密封导体61在俯视图中形成为四边环状(具体而言为长方形环状)。由此,密封导体61在俯视图中划分出四边环状(具体而言为长方形状)的器件区域62。另外,密封导体61在俯视图中划分出包围器件区域62的四边环状(具体而言为长方形环状)的外侧区域63。

[0291] 具体而言,密封导体61具有:绝缘主面52侧的上端部、半导体芯片41侧的下端部、以及在上端部与下端部之间呈壁状延伸的壁部。在本实施方式中,密封导体61的上端部从绝缘主面52向半导体芯片41侧隔开间隔地形成,并位于绝缘层51内。在本实施方式中,密封导体61的上端部被最上绝缘层56覆盖。密封导体61的上端部也可以被一个或多个层间绝缘层57覆盖。密封导体61的上端部也可以从最上绝缘层56露出。密封导体61的下端部从半导体芯片41向上端部侧隔开间隔地形成。

[0292] 这样,在本实施方式中,密封导体61以相对于多个低电位端子11和多个高电位端子12位于半导体芯片41侧的方式埋设于绝缘层51内。另外,密封导体61在绝缘层51内与第一功能器件45(多个变压器21)、第一低电位配线31、第二低电位配线32、第一高电位配线33、第二高电位配线34以及虚设图案85沿与绝缘主面52平行的方向对置。密封导体61也可以在绝缘层51内,沿与绝缘主面52平行的方向与第二功能器件60的一部分对置。

[0293] 密封导体61包含多个密封插塞导体64以及一个或多个(在本实施方式中为多个)密封通孔导体65。密封通孔导体65的个数是任意的。多个密封插塞导体64中的最上的密封插塞导体64形成密封导体61的上端部。多个密封通孔导体65分别形成密封导体61的下端部。密封插塞导体64及密封通孔导体65优选由与低电位线圈22相同的导电材料形成。即,密封插塞导体64和密封通孔导体65优选与低电位线圈22等一样,包含阻挡层和主体层。

[0294] 多个密封插塞导体64分别嵌入到多个层间绝缘层57,在俯视图中分别形成为包围器件区域62的四边环状(具体而言为长方形环状)。多个密封插塞导体64以相互连接的方式从最下绝缘层55朝向最上绝缘层56层叠。多个密封插塞导体64的层叠数与多个层间绝缘层57的层叠数一致。当然,也可以形成贯通多个层间绝缘层57的一个或多个密封插塞导体64。

[0295] 如果由多个密封插塞导体64的集合体形成一个环状的密封导体61,则不需要多个密封插塞导体64全部形成为环状。例如,多个密封插塞导体64的至少一个也可以形成为有端状。另外,多个密封插塞导体64的至少一个也可以被分割成多个有端带状部分。但是,鉴于器件区域62内的水分进入和裂纹形成的风险,优选多个密封插塞导体64形成为无端状(环状)。

[0296] 多个密封通孔导体65在最下绝缘层55中分别形成于半导体芯片41与密封插塞导体64之间的区域。多个密封通孔导体65与半导体芯片41隔开间隔地形成,并与密封插塞导体64连接。多个密封通孔导体65具有小于密封插塞导体64的平面面积的平面面积。在形成有单一的密封通孔导体65的情况下,单一的密封通孔导体65也可以具有密封插塞导体64的平面面积以上的平面面积。

[0297] 密封导体61的宽度可以为 $0.1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。密封导体61的宽度优选为 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。密封导体61的宽度由与密封导体61延伸的方向正交的方向的宽度定义。

[0298] 参照图15、图16以及图20,半导体装置5还包含介于半导体芯片41以及密封导体61

之间,将密封导体61从半导体芯片41电隔离的分离构造130。分离构造130优选包含绝缘体。在本实施方式中,分离构造130由形成于半导体芯片41的第一主面42的场绝缘膜131构成。

[0299] 场绝缘膜131包含氧化膜(氧化硅膜)及氮化膜(氮化硅膜)中的至少一方。场绝缘膜131优选由作为通过半导体芯片41的第一主面42的氧化而形成的氧化膜的一例的LOCOS(硅局部选择氧化)膜构成。场绝缘膜131的厚度只要能够使半导体芯片41和密封导体61绝缘即可,场绝缘膜131的厚度是任意的。场绝缘膜131的厚度可以为 $0.1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

[0300] 分离构造130形成于半导体芯片41的第一主面42,在俯视图中呈沿着密封导体61的带状延伸。在本实施方式中,分离构造130在俯视图中形成为四边环状(具体而言为长方形环状)。分离构造130具有与密封导体61的下端部(密封通孔导体65)连接的连接部132。连接部132也可以形成密封导体61的下端部(密封通孔导体65)朝向半导体芯片41侧陷入的锚定部。当然,连接部132也可以形成为与分离构造130的主面齐平。

[0301] 分离构造130包含:器件区域62侧的内端部130A、外侧区域63侧的外端部130B、以及内端部130A与外端部130B之间的主体部130C。内端部130A在俯视图中划分出形成有第二功能器件60的区域(即,器件区域62)。内端部130A也可以与形成于半导体芯片41的第一主面42的绝缘膜(未图示)一体地形成。

[0302] 外端部130B从半导体芯片41的芯片侧壁44A~44D露出,并且与半导体芯片41的芯片侧壁44A~44D相连。更具体而言,外端部130B形成为与半导体芯片41的芯片侧壁44A~44D齐平。外端部130B在与半导体芯片41的芯片侧壁44A~44D以及绝缘层51的绝缘侧壁53A~53D之间形成齐平的磨削面。当然,在其他实施方式中,外端部130B也可以与芯片侧壁44A~44D隔开间隔地形成于第一主面42内。

[0303] 主体部130C具有相对于半导体芯片41的第一主面42大致平行地延伸的平坦面。主体部130C具有与密封导体61的下端部(密封通孔导体65)连接的连接部132。连接部132在主体部130C中形成于与内端部130A以及外端部130B隔开间隔的部分。分离构造130除了场绝缘膜131以外,还能够采用各种方式实现。

[0304] 参照图15和图16,半导体装置5还包含以覆盖密封导体61的方式形成在绝缘层51的绝缘主面52之上的无机绝缘层140。无机绝缘层140也可以称为钝化层。无机绝缘层140从绝缘主面52之上保护绝缘层51及半导体芯片41。

[0305] 在本实施方式中,无机绝缘层140具有包含第一无机绝缘层141和第二无机绝缘层142的层叠构造。第一无机绝缘层141也可以包含氧化硅。第一无机绝缘层141优选包含无杂质添加的氧化硅即USG(未掺杂的硅玻璃)。第一无机绝缘层141的厚度可以为 50nm 以上且 5000nm 以下。第二无机绝缘层142也可以包含氮化硅。第二无机绝缘层142的厚度可以为 500nm 以上且 5000nm 以下。通过增大无机绝缘层140的总厚度,能够提高高电位线圈23上的绝缘耐压。

[0306] 在第一无机绝缘层141由USG构成,第二无机绝缘层142由氮化硅构成的情况下,USG的绝缘击穿电压(V/cm)超过氮化硅的绝缘击穿电压(V/cm)。因此,在使无机绝缘层140变厚的情况下,优选形成比第二无机绝缘层142厚的第一无机绝缘层141。

[0307] 第一无机绝缘层141也可以包含作为氧化硅的一例的BPSG(硼硅酸盐玻璃)和PSG(磷硅玻璃)中的至少一方。但是,该情况下,在氧化硅内含有杂质(硼或磷),因此,在提高高电位线圈23上的绝缘耐压方面,特别优选形成由USG构成的第一无机绝缘层141。当然,无机

绝缘层140也可以具有由第一无机绝缘层141和第二无机绝缘层142中的任一方构成的单层构造。

[0308] 无机绝缘层140覆盖密封导体61的整个区域,具有形成于密封导体61外的区域的多个低电位焊盘开口143和多个高电位焊盘开口144。多个低电位焊盘开口143使多个低电位端子11分别露出。多个高电位焊盘开口144使多个高电位端子12分别露出。无机绝缘层140也可以具有搭在低电位端子11的周缘部的重叠部。无机绝缘层140也可以具有搭在高电位端子12的周缘部的重叠部。

[0309] 半导体装置5还包含形成在无机绝缘层140之上的有机绝缘层145。有机绝缘层145也可以包含感光性树脂。有机绝缘层145也可以包含聚酰亚胺、聚酰胺和聚苯并噁唑中的至少一个。在本实施方式中,有机绝缘层145包含聚酰亚胺。有机绝缘层145的厚度可以为1 μm 以上且50 μm 以下。

[0310] 有机绝缘层145的厚度优选超过无机绝缘层140的总厚度。并且,无机绝缘层140和有机绝缘层145的总厚度优选为大于低电位线圈22和高电位线圈23之间的距离D2。该情况下,无机绝缘层140的总厚度优选为2 μm 以上且10 μm 以下。另外,有机绝缘层145的厚度优选为5 μm 以上且50 μm 以下。根据这些构造,能够抑制无机绝缘层140以及有机绝缘层145的厚化,同时能够通过无机绝缘层140以及有机绝缘层145的层叠膜适当地提高高电位线圈23上的绝缘耐压。

[0311] 有机绝缘层145包含覆盖低电位侧的区域的第一部分146和覆盖高电位侧的区域的第二部分147。第一部分146隔着无机绝缘层140覆盖密封导体61。第一部分146在密封导体61外的区域具有使多个低电位端子11(低电位焊盘开口143)分别露出的多个低电位端子开口148。第一部分146也可以具有搭在低电位焊盘开口143的周缘(重叠部)的重叠部。

[0312] 第二部分147与第一部分146隔开间隔地形成,使无机绝缘层140从第一部分146和第二部分147之间露出。第二部分147具有使多个高电位端子12(高电位焊盘开口144)分别露出的多个高电位端子开口149。第二部分147也可以具有搭在高电位焊盘开口144的周缘(重叠部)的重叠部。

[0313] 第二部分147一并覆盖变压器21A~21D以及虚设图案85。具体而言,第二部分147一并覆盖多个高电位线圈23、多个高电位端子12、第一高电位虚设图案87、第二高电位虚设图案88以及悬浮虚设图案121。

[0314] 在未形成有机绝缘层145的情况下,有时因封装主体(模制树脂)所含有的填料而对多个高电位线圈23、多个高电位端子12、密封导体61、第一高电位虚设图案87、第二高电位虚设图案88以及悬浮虚设图案121产生损伤。这种损伤被称为填料腐蚀(filler corrosion)。

[0315] 有机绝缘层145保护多个高电位线圈23、多个高电位端子12、密封导体61、第一高电位虚设图案87、第二高电位虚设图案88以及悬浮虚设图案121免受封装主体(模制树脂)所含有的填料的影响。第一部分146和第二部分147之间的狭缝作为针对封装主体(模制树脂)的锚定部发挥功能。

[0316] 封装主体(模制树脂)的一部分进入第一部分146和第二部分147之间的狭缝,与无机绝缘层140连接。由此,封装主体(模制树脂)相对于半导体装置5的紧贴力提高。当然,第一部分146以及第二部分147也可以一体地形成。另外,有机绝缘层145也可以仅包含第一部

分146和第二部分147中的任意一方。但是,在该情况下,需要注意填料腐蚀。

[0317] 本发明的实施方式还能够以其他方式实施。在所述的实施方式中,对形成有第一功能器件45以及第二功能器件60的例子进行了说明。但是,也可以采用不具有第一功能器件45而仅具有第二功能器件60的方式。该情况下,也可以去除虚设图案85。根据该构造,对于第二功能器件60,能够获得与在第一实施方式中叙述的效果(除了虚设图案85的效果)一样的效果。

[0318] 即,在经由低电位端子11以及高电位端子12向第二功能器件60施加了电压的情况下,能够抑制高电位端子12以及密封导体61之间的不期望的导通。另外,在经由低电位端子11以及高电位端子12向第二功能器件60施加了电压的情况下,能够抑制低电位端子11以及密封导体61之间的不期望的导通。

[0319] 另外,在所述的实施方式中,对形成有第二功能器件60的例子进行了说明。但是,第二功能器件60不是必须的,也可以去除。

[0320] 另外,在所述的实施方式中,对形成有虚设图案85的例子进行了说明。但是,虚设图案85不是必须的,也可以去除。

[0321] 另外,在所述的实施方式中,对第一功能器件45由包含多个变压器21的多通道型构成的例子进行了说明。但是,也可以采用由包含单一的变压器21的单通道型构成的第一功能器件45。

[0322] <变压器排列>

[0323] 图21是示意性地表示双沟道型的变压器芯片300(相当于先前的半导体装置5)中的变压器排列的一例的俯视图(上视图)。本图的变压器芯片300具有:第一变压器301、第二变压器302、第三变压器303、第四变压器304、第一保护环305、第二保护环306、焊盘a1~a8、焊盘b1~b8、焊盘c1~c4以及焊盘d1~d4。

[0324] 在变压器芯片300中,在形成第一变压器301的次级侧线圈L1s的一端连接焊盘a1和b1,在次级侧线圈L1s的另一端连接焊盘c1和d1。在形成第二变压器302的次级侧线圈L2s的一端连接焊盘a2和b2,在次级侧线圈L2s的另一端连接焊盘c1和d1。

[0325] 另外,在形成第三变压器303的次级侧线圈L3s的一端连接焊盘a3和b3,在次级侧线圈L3s的另一端连接焊盘c2和d2。在形成第四变压器304的次级侧线圈L4s的一端连接焊盘a4和b4,在次级侧线圈L4s的另一端连接焊盘c2和d2。

[0326] 此外,形成第一变压器301的初级侧线圈L1p、形成第二变压器302的初级侧线圈L2p、形成第三变压器303的初级侧线圈L3p、以及形成第四变压器304的初级侧线圈L4p均未明示在图21中。但是,初级侧线圈L1p至L4p分别具有基本上与次级侧线圈L1s~L4s一样的结构,以与次级侧线圈L1s~L4s分别对置的形式配置在次级侧线圈L1s~L4s各自的正下方。

[0327] 即,在形成第一变压器301的初级侧线圈L1p的一端连接焊盘a5和b5,在初级侧线圈L1p的另一端连接焊盘c3和d3。另外,在形成第二变压器302的初级侧线圈L2p的一端连接焊盘a6和b6,在初级侧线圈L2p的另一端连接焊盘c3和d3。

[0328] 另外,在形成第三变压器303的初级侧线圈L3p的一端连接焊盘a7和b7,在初级侧线圈L3p的另一端连接焊盘c4和d4。另外,在形成第四变压器304的初级侧线圈L4p的一端连接焊盘a8和b8,在初级侧线圈L4p的另一端连接焊盘c4和d4。

[0329] 但是,关于上述焊盘a5~a8、焊盘b5~b8、焊盘c3和c4、以及焊盘d3和d4,经由未图示的通孔从变压器芯片300的内部引出到表面。

[0330] 上述多个焊盘中的、焊盘a1~a8分别相当于第一电流供给用焊盘,焊盘b1~b8分别相当于第一电压测定用焊盘。另外,焊盘c1~c4分别相当于第二电流供给用焊盘,焊盘d1~d4分别相当于第二电压测定用焊盘。

[0331] 因此,如果是本结构例的变压器芯片300,则能够在其不合格品检查时准确地测定各线圈的串联电阻成分。因此,不仅拒绝产生了各线圈的断线的不合格品,对于产生了各线圈的电阻值异常(例如,线圈彼此的中途短路)的不合格品,也能够适当地拒绝该不合格品,进而能够将不合格品的市场流出防患于未然。

[0332] 此外,关于通过了上述不合格品检查的变压器芯片300,只要将上述多个焊盘用作与初级侧芯片及次级侧芯片(例如先前的控制器芯片210及驱动器芯片220)的连接单元即可。

[0333] 具体而言,焊盘a1及b1、焊盘a2及b2、焊盘a3及b3、以及焊盘a4及b4分别与次级侧芯片的信号输入端或信号输出端连接即可。另外,焊盘c1及d1、以及焊盘c2及d2分别与次级侧芯片的公共电压施加端子(GND2)连接即可。

[0334] 另一方面,焊盘a5及b5、焊盘a6及b6、焊盘a7及b7、以及焊盘a8及b8分别与初级侧芯片的信号输入端或信号输出端连接即可。另外,焊盘c3及d3、以及焊盘c4及d4分别与初级侧芯片的公共电压施加端子(GND1)连接即可。

[0335] 在此,如图13所示,第一变压器301~第四变压器304按各个信号传递方向耦合排列。若结合本图进行叙述,则例如从初级侧芯片向次级侧芯片传递信号的第一变压器301和第二变压器302通过第一保护环305而成为第一对。另外,例如从次级侧芯片向初级侧芯片传递信号的第三变压器303和第四变压器304通过第二保护环306而成为第二对。

[0336] 进行这样的耦合的理由是,在将分别形成第一变压器301~第四变压器304的初级侧线圈和次级侧线圈以在变压器芯片300的基板上下方向上层叠的形式层叠构成的情况下,在初级侧线圈与次级侧线圈之间确保耐压。但是,关于第一保护环305以及第二保护环306,并不一定是必须的构成要素。

[0337] 此外,第一保护环305以及第二保护环306分别经由焊盘e1以及e2与接地端子等低阻抗配线连接即可。

[0338] 另外,在变压器芯片300中,焊盘c1及d1在次级侧线圈L1s与次级侧线圈L2s之间共有。另外,焊盘c2及d2在次级侧线圈L3s与次级侧线圈L4s之间共有。另外,焊盘c3及d3在初级侧线圈L1p与初级侧线圈L2p之间共有。另外,焊盘c4及d4在与初级侧线圈L3p与初级侧线圈L4p之间共有。通过采用这样的结构,能够削减焊盘数,实现变压器芯片300的小型化。

[0339] 另外,如图21所示,分别形成第一变压器301~第四变压器304的初级侧线圈和次级侧线圈优选在变压器芯片300的俯视图中以成为长方形状(或将角弄圆的轨道状)的方式卷绕。通过设为这样的结构,初级侧线圈和次级侧线圈相互重复的部分的面积变大,能够提高变压器的传递效率。

[0340] 当然,本图的变压器排列只不过是一例,线圈的个数、形状、配置以及焊盘的配置是任意的。另外,关于到此为止说明的芯片构造以及变压器排列等,能够应用于在半导体芯片上集成化了线圈的全部半导体装置。

[0341] <屏蔽电极的导入>

[0342] 接下来,对不依赖于噪声消除器225(图8)而能够有效地抑制共模噪声的产生本身的变压器芯片230的新构造进行说明。

[0343] 图22是表示变压器芯片230中的屏蔽电极的导入例的图。在本图的左侧,为了比较而示出了未导入屏蔽电极的现有构造的变压器芯片230。另一方面,在本图的右侧示出了导入有屏蔽电极SLD1和SLD2的新型结构的变压器芯片230。注意,可以仅引入屏蔽电极SLD1和SLD2中的一个。

[0344] 另外,在以下的说明中,有时将初级侧线圈231p和232p、以及次级侧线圈231s和232s分别称为初级绕组231p和232p、以及次级绕组231s和232s。

[0345] 如前面的图10所示,变压器芯片230具有6个外部端子T21-T26。外部端子T21与初级绕组231p的第一端连接。外部端子T22与初级绕组231p的第二端和初级绕组232p的第二端连接。外部端子T23与初级绕组232p的第二端连接。另一方面,外部端子T24与次级绕组231s的第一端连接。外部端子T25与次级绕组231s的第二端和次级绕组232s的第二端连接。外部端子T26与次级绕组232s的第二端连接。

[0346] 另外,在变压器231以及232中,在其构造上,在初级绕组231p与次级绕组231s之间、以及初级绕组232p与次级绕组232s之间分别附带有线圈间电容C1以及C2。

[0347] 在此,在新构造(本图右侧)的变压器芯片230中,导入以介于初级绕组231p及232p与次级绕组231s及232s之间的方式形成的屏蔽电极SLD1及SLD2。

[0348] 图23是示出包括屏蔽电极SLD1和SLD2的变压器芯片230的纵向结构的图。如本图所示,新结构的变压器芯片230从下层起依次层叠形成金属层(配线层)1MT、2MT及3MT而成。金属层1MT与金属层2MT之间经由1级的通孔1VIA电连接。金属层2MT与金属层3MT之间经由3级的通孔2VIA电连接。除了焊盘的暴露部分之外,变压器芯片230的最外表面被钝化层PSV覆盖。

[0349] 初级绕组231p形成于中间层的金属层2MT。另一方面,次级绕组231s以与初级绕组231p磁耦合的方式形成于最上层的金属层3MT。对于未图示的初级绕组232p和次级绕组232s也是同样的。

[0350] 这里,屏蔽电极SLD1和SLD2均形成在夹在金属层2MT和金属层3MT之间的区域中,以介于初级绕组231p和次级绕组231s之间(或者初级绕组232p和次级绕组232s之间)。

[0351] 如图22和图23所示,屏蔽电极SLD1连接到初级绕组231p和232p的接地端 α (即初级电路系统200p的接地电位GND1所施加到的外部端子T22)。另一方面,屏蔽电极SLD2与次级绕组231s和232s各自的接地端 β (即被施加次级电路系统200s的接地电位GND2的外部端子T25)连接。

[0352] 例如,根据图23进行说明,屏蔽电极SLD1和SLD2分别以在纸面左右方向上延伸的形式形成在初级绕组231p的正上方和次级绕组231s的正下方,并且在各自的右端与接地端 α 和 β 连接。此外,接地端 β 经由通孔TVIA与焊盘TMT(相当于外部端子T25)导通。另一方面,接地端 α 经由金属层1MT至3MT和通孔1VIA和2VIA连接到外部端子T22(未示出)。

[0353] 返回图22,继续现有结构与新结构的对比。在现有构造(本图左侧)的变压器芯片230中,在共模噪声的重叠时经由线圈间电容C1以及C2传递相位偏移的信号。因此,需要在驱动芯片220中进行噪声对策(噪声消除器225的导入等)。

[0354] 但是,即使导入噪声消除器225(图8),当噪声脉冲在与正常脉冲重叠的定时重叠时,也有可能错误地屏蔽正常脉冲,产生一个脉冲量的延迟(参照图9的时刻t26)。此外,噪声消除器225包括延迟单元DLY1至DLY4,因此存在频带受限的问题。

[0355] 与此相对,如果是新构造(本图右侧)的变压器芯片230,则在共模噪声的重叠时经由线圈间电容C1以及C2流动的电流经由屏蔽电极SLD1以及SLD2向接地端 α 以及 β 释放。即,能够有效地降低经由线圈间电容C1以及C2传递的共模噪声本身,因此即使不依赖于噪声消除器225也能够抑制误动作。

[0356] 图24是表示屏蔽电极SLD1及SLD2的导入所带来的噪声降低效果的图,与之前的图3相同,从上依次描绘输入脉冲信号IN、接收脉冲信号S12以及S22,以及输出脉冲信号OUT。

[0357] 首先,简单说明正常的脉冲信号传递动作。在时刻t31,输入脉冲信号IN上升为高电平时,变压器231被脉冲驱动,因此接收脉冲信号S12中正常脉冲上升。其结果,输出脉冲信号OUT上升为高电平。另外,在时刻t32,若输入脉冲信号IN下降为低电平,则变压器232被脉冲驱动,因此接收脉冲信号S22中正常脉冲上升。其结果,输出脉冲信号OUT下降为低电平。关于这一点,与以往没有任何变化。

[0358] 另一方面,由共模噪声引起的误信号在变压器231以及232双方同时产生。然而,由于屏蔽电极SLD1和SLD2的作用,叠加在接收脉冲信号S12和S22上的共模噪声本身显著降低。其结果,难以超过缓冲器221及222的阈值电压 V_{th} ,因此能够抑制输出脉冲信号OUT的误动作。

[0359] <屏蔽电极的布局和信号传输能力>

[0360] 图25至图27分别示出了屏蔽电极SLD(对应于上述屏蔽电极SLD1和SLD2)的布局与信号传输能力之间的关系。另外,各图中的实线箭头表示电流,虚线箭头表示磁场。

[0361] 在图25中,屏蔽电极SLD以夹设于初级绕组231p与次级绕组231s之间(或者初级绕组232p与次级绕组232s之间)的方式由整面图案形成。在采用这样的布局的情况下,在屏蔽电极SLD上产生无数的涡电流,因此认为反磁场引起的传递阻碍大。

[0362] 在图26中,屏蔽电极SLD以介于初级绕组231p与次级绕组231s之间(或者初级绕组232p与次级绕组232s之间)的方式,在俯视观察时呈同心圆状或者同心环状(在剖视观察时为梳齿状)地形成有多个。在采用了这样的布局的情况下,与之前出现的一面整面图案(图25)相比,能够抑制涡电流的产生,因此认为反磁场引起的传递阻碍变小。但是,由于在屏蔽电极SLD的环内产生涡电流,因此难以完全消除反磁场引起的传递阻碍。

[0363] 在图27中,屏蔽电极SLD与之前的图26同样地,以介于初级绕组231p与次级绕组231s之间(或者初级绕组232p与次级绕组232s之间)的方式,在俯视观察时呈同心圆状或者同心环状(在剖视观察时为梳齿状)地形成有多个,并且在俯视观察时形成为开放环状。即,由于在屏蔽电极SLD中不存在成为涡电流的路径的环路,因此能够将由反磁场引起的传递阻碍抑制为最小限度。

[0364] 这样,通过设计屏蔽电极SLD的布局,能够抑制信号传输能力的降低。

[0365] <屏蔽电极的平面布局>

[0366] 图28是表示屏蔽电极SLD的第一平面布局例的图。本图的屏蔽电极SLD在俯视时呈同心圆状或同心环状且开放环状地形成有多个。该平面布局相当于上述的图27(C型图案)。

[0367] 图29是表示屏蔽电极SLD的第二平面布局例的图。本图的屏蔽电极SLD与上述的图

27 (C型图案) 相同, 但能够任意地变更其尺寸 (半径) 以及线宽/线间隔比 (L/S [line/space]) 等, 这一点由空心的箭头明示。

[0368] 图30是表示屏蔽电极SLD的第三平面布局例的图。本图的屏蔽电极SLD在俯视时呈同心圆状或同心环状地形成有多个。该平面布局相当于上述的图26 (O型图案)。此外, 作为与O型图案类似的平面布局, 也可以将屏蔽电极SLD设为与初级绕组以及次级绕组完全相同的形状。

[0369] 图31是表示屏蔽电极SLD的第四平面布局例的图。本图的屏蔽电极SLD是与上述的图28 (C型图案) 类似的平面布局, 但形成为一系列的一笔写图案。即使采用这样的模式, 也能够抑制涡电流的产生 (进而由反磁场引起的传递阻碍)。

[0370] <屏蔽电极的截面结构>

[0371] 图32是示出初级绕组231p和次级绕组231s (或初级绕组232p和次级绕组232s) 以及屏蔽电极SLD1和SLD2的第一截面结构示例的图。本图的屏蔽电极SLD1及SLD2分别形成至比初级绕组231p及次级绕组231s各自的最外周靠外侧的位置, 且形成至比初级绕组231p及次级绕组231s各自的最内周靠内侧的位置。另外, 屏蔽电极SLD1和SLD2分别被设计为与初级绕组231p和次级绕组231s相同的线宽/线间隔比。

[0372] 图33是示出初级绕组231p和次级绕组231s (或初级绕组232p和次级绕组232s) 以及屏蔽电极SLD1和SLD2的第二截面结构示例的图。本图的屏蔽电极SLD1及SLD2分别形成至与初级绕组231p及次级绕组231s各自的最外周相同的位置, 且形成至与初级绕组231p及次级绕组231s各自的最内周相同的位置。

[0373] 图34是示出初级绕组231p和次级绕组231s (或初级绕组232p和次级绕组232s) 以及屏蔽电极SLD1和SLD2的第三截面结构示例的图。本图的屏蔽电极SLD1及SLD2分别形成至比初级绕组231p及次级绕组231s各自的最外周更靠外侧, 且形成至与初级绕组231p及次级绕组231s各自的最内周相同的位置。

[0374] 图35是示出初级绕组231p和次级绕组231s (或初级绕组232p和次级绕组232s) 以及屏蔽电极SLD1和SLD2的第四截面结构示例的图。本图的屏蔽电极SLD1及SLD2分别仅形成至比初级绕组231p及次级绕组231s各自的最外周靠内侧的位置, 且仅形成至比初级绕组231p及次级绕组231s各自的最内周靠外侧的位置。

[0375] 图36是示出初级绕组231p和次级绕组231s (或初级绕组232p和次级绕组232s) 以及屏蔽电极SLD1和SLD2的第五截面结构示例的图。本图的屏蔽电极SLD1及SLD2与第一剖面构造例 (图33) 相同, 分别形成至比初级绕组231p及次级绕组231s各自的最外周靠外侧的位置, 且形成至比初级绕组231p及次级绕组231s各自的最内周靠内侧的位置。然而, 屏蔽电极SLD1和SLD2分别被设计为具有比初级绕组231p和次级绕组231s的线宽/线间距比小的线宽/线间距比。

[0376] 如上所述, 初级绕组231p和次级绕组231s以及屏蔽电极SLD1和SLD2中的每一个的尺寸和线宽/线间距比可以任意地调整。例如, 在本图中虽未例示, 但使上侧构造 (次级绕组231s以及屏蔽电极SLD2) 比下侧构造 (初级绕组231p以及屏蔽电极SLD1) 大, 或者从下侧构造朝向上侧构造逐渐增大尺寸也是任意的。

[0377] <屏蔽电极的导入效果>

[0378] 图37是表示屏蔽电极的有无及形状与线圈间电容的关系的图。如本图所示, 通过

导入屏蔽电极,能够降低变压器芯片的线圈间电容。

[0379] 另外,从本图可知,关于屏蔽电极的平面布局,无论是在采用一面整面图案(图25)的情况下,还是在采用C型图案(图27)的情况下,线圈间电容的降低效果都没有显著的差异。鉴于此,作为屏蔽电极的平面布局,可以说优选采用由反磁场引起的传递阻碍比一面整面图案小的C型图案。

[0380] 另外,关于屏蔽电极的线宽/线间隔比,认为越小,越难以阻碍信号传递,但相反地,线圈间电容的降低效果受损,因此考虑双方的平衡而适当地设计即可。根据本图进行说明,可以说优选将屏蔽电极设计成与初级绕组及次级绕组相同的线宽/线间隔比(同径)。

[0381] <线圈和屏蔽电极的平面布局>

[0382] 图38是表示形成于变压器芯片的焊盘和线圈的平面布局的图。此外,在本图中,描绘了形成于变压器芯片400(相当于之前的变压器芯片230等)的焊盘401以及402和线圈403。

[0383] 与上述的图10对比,焊盘401例如相当于外部端子T25(次级电路系统200s的GND焊盘),焊盘402例如相当于外部端子T24或T26(次级电路系统200s的信号焊盘)。另外,线圈403例如相当于次级绕组231s或232s。

[0384] 线圈403铺设为包围焊盘402的螺旋形状。若结合本图具体叙述,则线圈403在变压器芯片400的俯视下,在焊盘402的周围描绘圆角长方形(赛跑跑道那样的平面形状),并且以沿着随着环绕而远离中心的轨迹(相反地观察,随着环绕而接近中心的轨迹)的方式铺设。这样的平面布局也如上述的图10以及图13等所明示的那样。

[0385] 图39是表示与图38的线圈403重合的屏蔽电极404的第一平面布局的图。另外,图40是将图38和图39重合的图。

[0386] 屏蔽电极404例如相当于图23的屏蔽电极SLD1或SLD2、或者图27或图28的屏蔽电极SLD。此外,屏蔽电极404形成于与线圈403不同的配线层(例如从形成有线圈403的配线层观察为下一层的配线层)。

[0387] 另外,屏蔽电极404在变压器芯片400的俯视图中,以一部分或全部(本图中80%以上的大部分)与线圈403重合的方式以描画线圈403的形式铺设。根据这样的布局图案,能够提高共模噪声的降低效果。

[0388] 若结合图39具体叙述,则屏蔽电极404基本上铺设为与线圈403相同的形状(螺旋形状),但具有开放端404x以阻碍涡电流的产生。即,屏蔽电极404在设有开放端404x的部分中断一系列的螺旋形状。因此,在屏蔽电极404中不存在成为涡电流的路径的环路,因此能够将反磁场引起的传递阻碍抑制为最小限度。关于这一点,如前面的图27所述。

[0389] 此外,屏蔽电极404的各部分均经由连结部404y与焊盘401电导通。因此,不会对共模噪声的降低效果造成障碍。关于这一点,根据上述的图28也是显而易见的,但在此重新明确记载。

[0390] 图41是表示与图38的线圈403重合的屏蔽电极405的第二平面布局的图。另外,图42是将图38和图41重合的图。

[0391] 屏蔽电极405与上述的屏蔽电极404相同,在变压器芯片400的俯视图中,以一部分或全部(本图中大致100%)与线圈403重合的方式以描画线圈403的形式铺设。

[0392] 但是,屏蔽电极405与上述的屏蔽电极404不同,不是一系列的螺旋形状的中途,而

是其终端部分为开放端405x。根据这样的布局图案,能够增加线圈403与屏蔽电极405重合的部分,因此能够进一步提高共模噪声的降低效果。

[0393] <屏蔽电极的平面布局(总结)>

[0394] 根据至此为止的说明可知,作为共模噪声的降低单元,设置于线圈间(即初级绕组与次级绕组之间)的屏蔽电极可以在变压器芯片的俯视下以同心圆状或同心环状形成多个,也可以在变压器芯片的俯视下以螺旋形状形成。

[0395] 无论采用哪种布局图案,在变压器芯片的俯视下增加与线圈重合的部分在提高共模噪声的降低效果方面都是重要的。

[0396] 另外,在图38至图41中,主要以次级绕组与屏蔽电极的关系为例进行了列举,但关于初级绕组与屏蔽电极的关系也与上述相同。

[0397] <基板-焊盘间电容>

[0398] 图43是表示变压器芯片230中的基板-焊盘间电容的存在的图。另外,本图是以前面的图32为基础,明示了配置在次级绕组231s的内部且连接次级绕组231s的信号端的焊盘PAD(=相当于图10的外部端子T24)的纵剖视图。

[0399] 焊盘PAD包括金属电极P1、内部配线P2以及多个通孔P3。金属电极P1相当于之前出现的高电位端子12(12A),至少一部分作为配线接合区域而从最上绝缘层露出至外部。内部配线P2相当于之前出现的高电位连接配线81,在与第二绕组231s共用的配线层中,形成为与金属电极P1对置的岛状。多个通孔P3相当于之前出现的焊盘插塞电极82,将金属电极P1与内部配线P2之间电连接。

[0400] 然而,在基板SUB与焊盘PAD(特别是内部配线P2)之间附带有图示的基板-焊盘间电容CP。由于初级电路系统200p的接地电位GND1被施加到基板SUB,因此基板SUB具有与初级绕组231p的接地端(=图23中的接地端 α)相同的电位。因此,基板-焊盘间电容CP成为附属于初级绕组231p的接地端与次级绕组231s的信号端之间的形式。

[0401] 另外,先前的屏蔽电极SLD1以及SLD2介于初级绕组231p与次级绕组231s之间。因此,虽然能够降低经由之前的线圈间电容C的共模噪声,但不得不说缺乏基板-焊盘间电容CP的屏蔽效果。

[0402] 图44是表示基板-焊盘间电容CP未被屏蔽的情况的图。另外,在本图中,描绘了变压器231附带的基板-焊盘间电容CP1和变压器232附带的基板-焊盘间电容CP2。如上所述,即使导入之前出现的屏蔽电极SLD1以及SLD2,也无法适当地屏蔽附随于基板SUB与焊盘PAD之间的基板-焊盘间电容CP。因此,关于共模噪声的降低效果,可以说存在进一步改善的余地。

[0403] <焊盘正下方的屏蔽电极的导入>

[0404] 图45是示出与焊盘PAD重叠的区域中的屏蔽电极SLD的第一平面布局的图。另外,在本图中,为了便于图示,将焊盘PAD和屏蔽电极SLD在纸面的上下排列描绘,但实际上,在俯视变压器芯片230时,焊盘PAD和屏蔽电极SLD以相互重合的方式形成。即,在俯视变压器芯片230时,屏蔽电极SLD形成于焊盘PAD的正下方区域(=介于基板SUB与焊盘PAD之间的区域)。

[0405] 另外,在本图中,仅描绘了焊盘PAD与屏蔽电极SLD的关系,但屏蔽电极SLD如上所述,也形成于介于线圈间的区域。即,屏蔽电极SLD形成于之前说明的介于线圈间的区域和

介于基板-焊盘间的区域双方。此外,可以对屏蔽电极SLD施加接地电位GND(=初级电路系统200p的接地电位GND1或者次级电路系统200s的接地电位GND2)。

[0406] 接下来,若对布局图案进行叙述,则如该图所示,屏蔽电极SLD也可以在俯视时与焊盘PAD重合的位置以同心圆状或者同心环状形成多个。此时,屏蔽电极SLD可以具有开放端SLD_x,以阻碍涡电流的产生。即,形成为同心圆状或同心环状的屏蔽电极SLD具有在设置有开放端SLD_x的部分处中断的一连串的环。因此,在屏蔽电极SLD处没有成为涡电流的路径的环路,所以能够将由反磁场引起的传递阻碍抑制为最小限度。关于这一点,如之前的图27所述。

[0407] 图46是表示初级绕组231p、次级绕组231s、焊盘PAD、以及屏蔽电极SLD1及SLD2的剖面构造的图。此外,本图是以上述的图43为基础,明示了以介于基板SUB与焊盘PAD之间的方式形成的屏蔽电极SLD1以及SLD2的纵剖视图。

[0408] 如本图所示,初级绕组231p、次级绕组231s、屏蔽电极SLD1以及SLD2从基板SUB侧(=下层侧)观察,按照初级绕组231p、屏蔽电极SLD1、屏蔽电极SLD2、次级绕组231s以及焊盘PAD的内部配线P2的顺序分别层叠形成。

[0409] 此外,屏蔽电极SLD1与初级绕组231p的接地端 α (=GND1)连接即可。另外,屏蔽电极SLD2与次级绕组231s的接地端 β (=GND2)连接即可。

[0410] 在这样的构造的变压器芯片230中,例如,也可以通过将以介于初级绕组231p与次级绕组231s之间的方式形成的先前的屏蔽电极SLD1以及SLD2扩展形成至焊盘PAD的正下方区域,从而导入基板-焊盘间的屏蔽电极。另外,也可以完全分离地形成线圈间的屏蔽电极和基板-焊盘间的屏蔽电极。

[0411] 图47是表示基板-焊盘间电容CP1及CP2已被屏蔽的情况的图。如之前的图46所示,通过在基板SUB与焊盘PAD之间设置屏蔽电极SLD1以及SLD2,不仅能够适当地屏蔽经由线圈间电容C的共模噪声,还能够适当地屏蔽经由基板-焊盘间电容CP的共模噪声。

[0412] 图48是示出与焊盘PAD重叠的区域中的屏蔽电极SLD的第二平面布局的图。如本图所示,形成于焊盘PAD的正下方区域的屏蔽电极SLD也可以形成为螺旋形状。在该情况下,屏蔽电极SLD的终端部分成为开放端SLD_x。在这样的布局图案中也不流过涡电流,因此能够将由反磁场引起的传递阻碍抑制为最小限度。

[0413] <总结>

[0414] 以下,对至此为止说明的各种实施方式进行概括叙述。

[0415] 本说明书中公开的变压器芯片例如构成为具有:第一配线层;与所述第一配线层不同的第二配线层;形成于所述第一配线层的初级绕组;以与所述初级绕组磁耦合的方式形成于所述第二配线层的次级绕组;以及,以介于所述初级绕组与所述次级绕组之间的方式形成的屏蔽电极(第一结构)。

[0416] 另外,在上述第一结构的变压器芯片中,也可以构成为,所述屏蔽电极包括与所述初级绕组的第一接地端连接的第一屏蔽电极和与所述次级绕组的第二接地端连接的第二屏蔽电极(第二结构)。

[0417] 另外,在上述第一或第二结构的变压器芯片中,也可以构成为,所述屏蔽电极在俯视时呈同心圆状或同心环状地形成有多个,或者在俯视时形成为螺旋形状(第三结构)。

[0418] 另外,在上述第三结构的变压器芯片中,也可以构成为,所述屏蔽电极在俯视时形

成为开放环状(第四结构)。

[0419] 另外,在上述第三或第四结构的变压器芯片中,也可以构成为,所述屏蔽电极被设计成与所述初级绕组或所述次级绕组相同的线宽/线间隔比(第五结构)。

[0420] 另外,在由上述的第一至第五结构中的任意一个结构构成的变压器芯片中,也可以构成为,所述屏蔽电极形成到比所述初级绕组或所述次级绕组的最外周靠外侧的位置(第六结构)。

[0421] 另外,在上述的第一至第六结构中的任意一个结构的变压器芯片中,也可以构成为,所述屏蔽电极形成到比所述初级绕组或所述次级绕组的最内周靠内侧的位置(第七结构)。

[0422] 另外,在上述第一至第七结构中的任意一个结构的变压器芯片中,也可以构成为,所述屏蔽电极以在俯视时一部分或全部与所述初级绕组或所述次级绕组重合的方式以描绘所述初级绕组或所述次级绕组的形式铺设(第八结构)。

[0423] 另外,在上述第八结构的变压器芯片中,也可以构成为,所述屏蔽电极具有构成为阻碍涡电流的产生的开放端(第九结构)。

[0424] 另外,本说明书中公开的变压器芯片例如构成为具有:第一配线层;与所述第一配线层不同的第二配线层;形成于所述第一配线层的第一变压器的初级绕组和第二变压器的初级绕组;以及与所述第一变压器的所述初级绕组和所述第二变压器的所述初级绕组分别磁耦合的方式形成于所述第二配线层的所述第一变压器的次级绕组和所述第二变压器的次级绕组;以及,以分别介于所述第一变压器的所述初级绕组与所述第一变压器的所述次级绕组之间、以及所述第二变压器的所述初级绕组与所述第二变压器的所述次级绕组之间的方式形成的屏蔽电极(第十结构)。

[0425] 另外,上述第十结构的变压器芯片也可以构成为具有:第一端子,其与所述第一变压器的所述初级绕组的第一端连接;第二端子,其与所述第一变压器的所述初级绕组的第二端和所述第二变压器的所述初级绕组的第一端连接;第三端子,其与所述第二变压器的所述初级绕组的第二端连接;第四端子,其与所述第一变压器的所述次级绕组的第一端连接;第五端子,其与所述第一变压器的所述次级绕组的第二端和所述第二变压器的所述次级绕组的第一端连接;以及,第六端子,其与所述第二变压器的所述次级绕组的第二端连接(第十一结构)。

[0426] 另外,本说明书中公开的信号传输装置例如构成为具有:控制器芯片;驱动器芯片;以及变压器芯片,其具备上述第一至第十一结构中的任意一个结构,在使所述控制器芯片与所述驱动器芯片之间绝缘的同时传递脉冲信号(第十二结构)。

[0427] 另外,本说明书中公开的变压器芯片例如构成为具有:第一配线层;第二配线层,其与所述第一配线层不同;初级绕组,其形成于所述第一配线层;次级绕组,其以与所述初级绕组磁耦合的方式形成于所述第二配线层;焊盘,其连接有所述次级绕组的信号端;基板,其与所述初级绕组的第一接地端成为相同电位;以及屏蔽电极,其形成为介于所述基板与所述焊盘之间(第十三结构)。

[0428] 另外,在上述第十三结构的变压器芯片中,也可以构成为,所述屏蔽电极在俯视时与所述焊盘重合的位置处以同心圆状或同心环状形成有多个,或者形成为螺旋形状(第十四结构)。

[0429] 另外,在上述第十四结构的变压器芯片中,也可以构成为,所述屏蔽电极具有以阻碍涡电流的产生的方式构成的开放端(第十五结构)。

[0430] 此外,在上述第十三结构至第十五结构当中的任意一个结构的变压器芯片中,也可以构成为,所述次级绕组被铺设为包围所述焊盘的螺旋形状(第十六结构)。

[0431] 另外,在上述第十三结构至第十六结构当中的任意一个结构的变压器芯片中,也可以构成为,所述屏蔽电极形成为还介于所述初级绕组和所述次级绕组之间(第十七结构)。

[0432] 另外,在上述第十七结构的变压器芯片中,也可以构成为,所述屏蔽电极在俯视时与所述初级绕组或所述次级绕组重合的位置处,以描画所述初级绕组或所述次级绕组的方式铺设(第十八结构)。

[0433] 另外,在上述第十三结构至第十八结构当中的任意一个结构的变压器芯片中,也可以构成为,所述焊盘包含:至少一部分露出的电极;与所述电极对置的岛状的内部配线;以及,将所述电极与所述内部配线之间电连接的多个通孔(第十九结构)。

[0434] 在上述第十三结构至第十九结构当中的任意一个结构的变压器芯片中,也可以设为如下结构:所述屏蔽电极包含与所述初级绕组的所述第一接地端连接的第一屏蔽电极和与所述次级绕组的第二接地端连接的第二屏蔽电极(第二十结构)。

[0435] 在上述第二十结构的变压器芯片中,也可以构成为,从所述基板侧观察,所述初级绕组、所述次级绕组、所述第一屏蔽电极及所述第二屏蔽电极按照所述初级绕组、所述第一屏蔽电极、所述第二屏蔽电极及所述次级绕组的顺序层叠形成(第二十一结构)。

[0436] 另外,本说明书中公开的信号传输装置例如构成为具有:控制器芯片;驱动器芯片;以及,变压器芯片,其是上述第十三结构至第二十一结构当中的任意一个结构的变压器芯片,在所述控制器芯片与所述驱动器芯片之间绝缘并且传递脉冲信号(第二十二结构)。

[0437] <其他变形例>

[0438] 另外,本说明书中公开的各种技术特征除了上述实施方式以外,在不脱离其技术创作的主旨的范围内能够施加各种变更。例如,双极晶体管与MOS场效应晶体管的相互置换、或者各种信号的逻辑电平反转是任意的。即,应该理解为上述实施方式在所有方面都是例示,并不是限制性的,本发明的保护范围由权利要求书规定,包含属于与权利要求书等同的意思以及范围内的所有变更。

[0439] 产业上的可利用性

[0440] 本说明书中公开的发明例如能够利用于需要一边使输入输出间绝缘一边进行信号传递的所有应用(例如,处理高电压的绝缘栅极驱动器、马达驱动器、隔离器或其他IC等)。

[0441] 附图标记说明

[0442] 5半导体器件

[0443] 11、11A~11F低电位端子

[0444] 12、12A~12F高电位端子

[0445] 21、21A~21D变压器(变压器)

[0446] 22低电位线圈(初级侧线圈)

[0447] 23高电位线圈(次级侧线圈)

- [0448] 24第一内侧末端
- [0449] 25第一外侧末端
- [0450] 26第一螺旋部
- [0451] 27第二内侧末端
- [0452] 28第二外侧末端
- [0453] 29第二螺旋部
- [0454] 31第一低电位配线
- [0455] 32第二低电位配线
- [0456] 33第一高电位配线
- [0457] 34第二高电位配线
- [0458] 41半导体芯片
- [0459] 42第一主面
- [0460] 43第二主面
- [0461] 44A~44D芯片侧壁
- [0462] 45第一功能器件
- [0463] 51绝缘层
- [0464] 52绝缘主面
- [0465] 53A~53D绝缘侧壁
- [0466] 55最低绝缘层
- [0467] 56最上绝缘层
- [0468] 57层间绝缘层
- [0469] 58第一绝缘层
- [0470] 59第二绝缘层
- [0471] 60第二功能器件
- [0472] 61密封导体
- [0473] 62器件区域
- [0474] 63外侧区域
- [0475] 64密封插塞导体
- [0476] 65密封过孔导体
- [0477] 66第一内侧区域
- [0478] 67第二内侧区域
- [0479] 71贯穿配线
- [0480] 72低电位连接配线
- [0481] 73引出配线
- [0482] 74第一连接插塞电极
- [0483] 75第二连接插塞电极
- [0484] 76焊盘插塞电极
- [0485] 77基板插塞电极
- [0486] 78第一电极层

- [0487] 79第二电极层
- [0488] 80配线插塞电极
- [0489] 81高电位连接配线
- [0490] 82焊盘插塞电极
- [0491] 85虚设图案
- [0492] 86高电位虚设图案
- [0493] 87第一高电位虚设图案
- [0494] 88第二高电位虚设图案
- [0495] 89第一区域
- [0496] 90第二区域
- [0497] 91第三区域
- [0498] 92第一连接部
- [0499] 93第一图案
- [0500] 94第二图案
- [0501] 95第三图案
- [0502] 96第一外周线
- [0503] 97第二外周线
- [0504] 98第一中间线
- [0505] 99第一连接线
- [0506] 100狭缝
- [0507] 101第一引出部
- [0508] 102第二引出部
- [0509] 103第三外周线
- [0510] 104第二中间线
- [0511] 105第二连接线
- [0512] 106狭缝
- [0513] 107第三引出部
- [0514] 108第四引出部
- [0515] 109第四外周线
- [0516] 110第三中间线
- [0517] 111第三连接线
- [0518] 112狭缝
- [0519] 113第五引出部
- [0520] 114第六引出部
- [0521] 115第二连接部
- [0522] 116A ~ 116F高电位线
- [0523] 117狭缝
- [0524] 121悬浮虚设图案
- [0525] 122A ~ 122F悬浮线

- [0526] 130分离结构
- [0527] 130A内端部
- [0528] 130B外端部
- [0529] 130C主体部
- [0530] 131场绝缘膜
- [0531] 132连接部
- [0532] 140无机绝缘层
- [0533] 141第一无机绝缘层
- [0534] 142第二无机绝缘层
- [0535] 143低电位焊盘开口
- [0536] 144高电位焊盘开口
- [0537] 145有机绝缘层
- [0538] 146第一部分
- [0539] 147第二部分
- [0540] 148低电位端子开口
- [0541] 149高电位端子开口
- [0542] 200信号传输装置
- [0543] 200p初级电路系统
- [0544] 200s次级电路系统
- [0545] 210控制器芯片(第一芯片)
- [0546] 211脉冲发射电路(脉冲发生器)
- [0547] 212、213缓冲器
- [0548] 220驱动器芯片(第二芯片)
- [0549] 221、222缓冲器
- [0550] 223脉冲接收电路(RS触发器)
- [0551] 224驱动器
- [0552] 225噪声消除器
- [0553] 230变压器芯片(第三芯片)
- [0554] 230a第一配线层(下层)
- [0555] 230b第二配线层(上层)
- [0556] 231、232变压器
- [0557] 231p、232p初级侧线圈(初级绕组)
- [0558] 231s、232s次级侧线圈(次级绕组)
- [0559] 300变压器芯片
- [0560] 301第一变压器
- [0561] 302第二变压器
- [0562] 303第三变压器
- [0563] 304第四变压器
- [0564] 305第一保护环

- [0565] 306第二保护环
- [0566] 400变压器芯片
- [0567] 401、402焊盘
- [0568] 403线圈
- [0569] 404、405屏蔽电极
- [0570] 404x、405x开放端
- [0571] 404y连结部
- [0572] a1 ~ a8焊盘 (相当于第一电流供给用焊盘)
- [0573] b1 ~ b8焊盘 (相当于第一电压测定用焊盘)
- [0574] c1 ~ c4焊盘 (相当于第二电流供给用焊盘)
- [0575] d1 ~ d4焊盘 (相当于第二电压测定用焊盘)
- [0576] e1、e2焊盘
- [0577] AND1、AND2逻辑与门
- [0578] BUF1 ~ BUF4缓冲器
- [0579] C、C1、C2线圈间电容
- [0580] CP、CP1、CP2基板-焊盘间电容
- [0581] DLY1 ~ DLY4延迟部
- [0582] L1p、L2p、L3p、L4p初级侧线圈
- [0583] L1s、L2s、L3s、L4s次级侧线圈
- [0584] 1MT、2MT、3MT金属层 (配线层)
- [0585] P1内部配线
- [0586] P2金属电极
- [0587] P3通孔
- [0588] PAD焊盘
- [0589] PSV钝化层
- [0590] SLD、SLD1、SLD2屏蔽电极
- [0591] SLDx开放端
- [0592] SUB基板
- [0593] T21、T22、T23、T24、T25、T26外部端子
- [0594] TMT焊盘
- [0595] 1VIA、2VIA、TVIA通孔
- [0596] X第一方向
- [0597] X21、X22、X23内部端子
- [0598] Y第二方向
- [0599] Y21、Y22、Y23配线
- [0600] Z法线方向
- [0601] Z21、Z22、Z23通孔
- [0602] α 、 β 接地端。

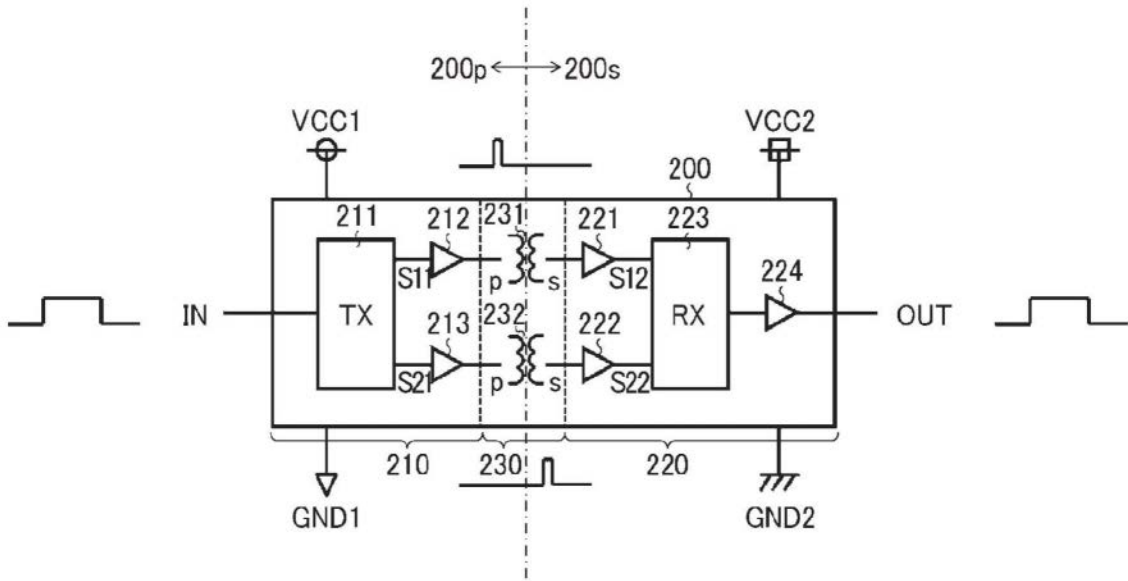


图1

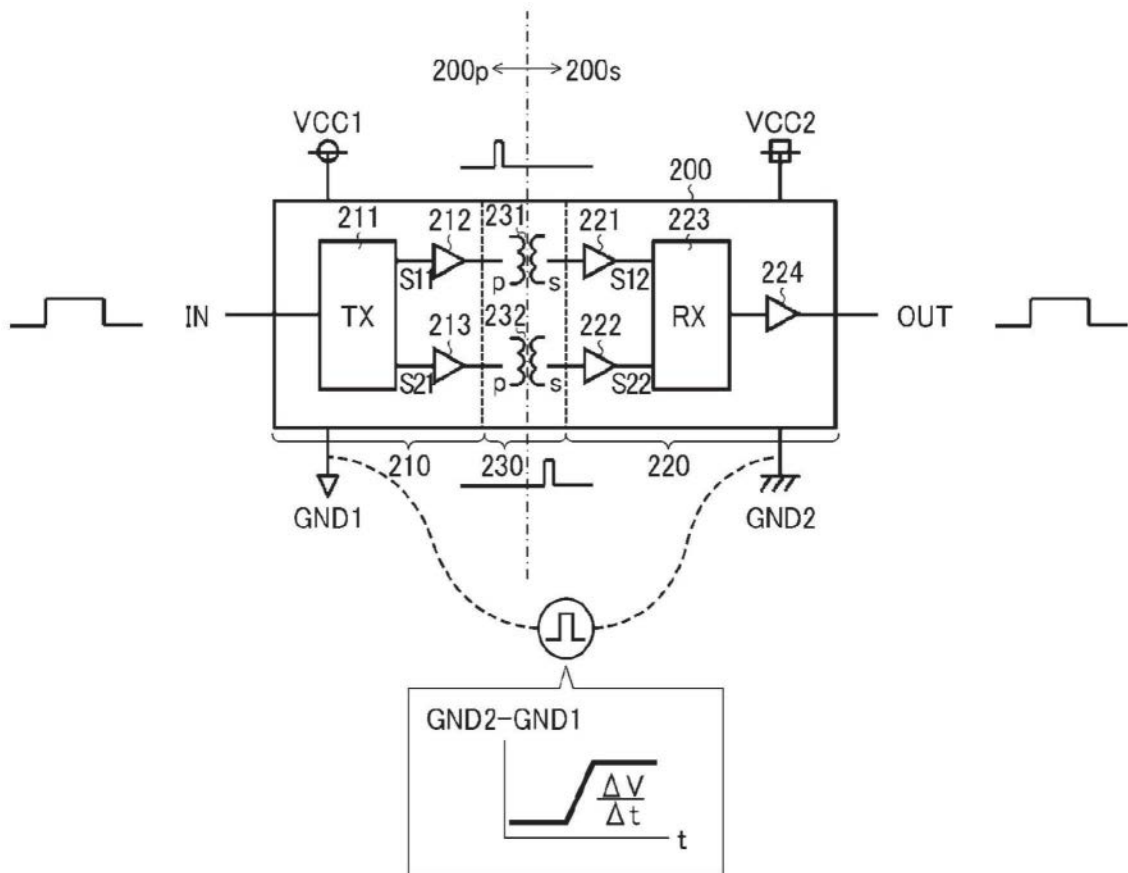


图2

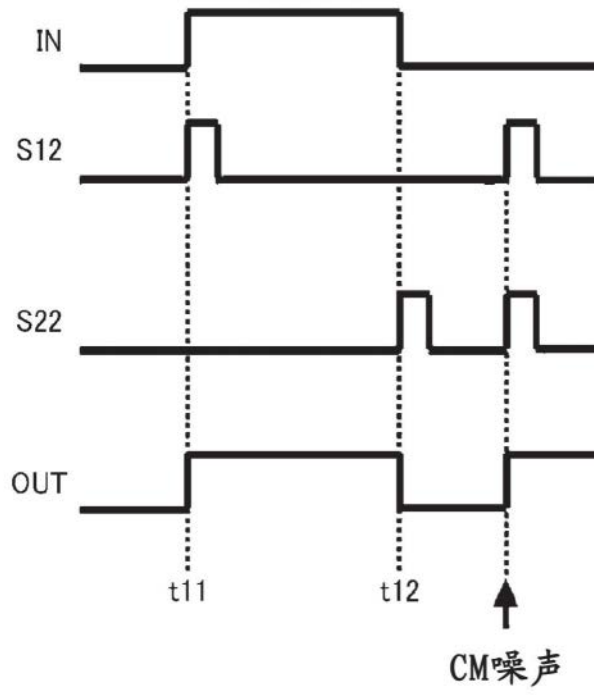


图3

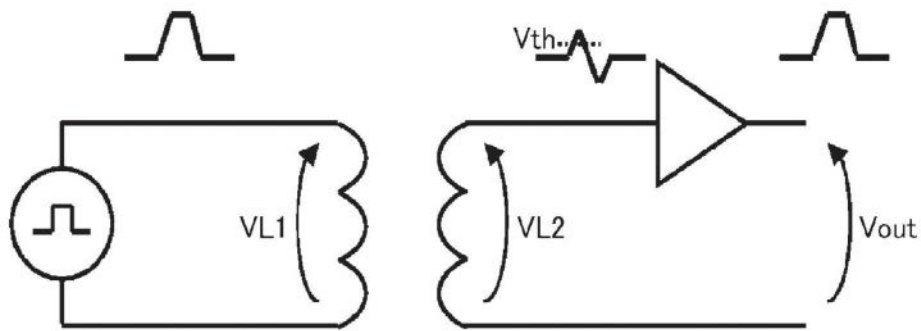


图4

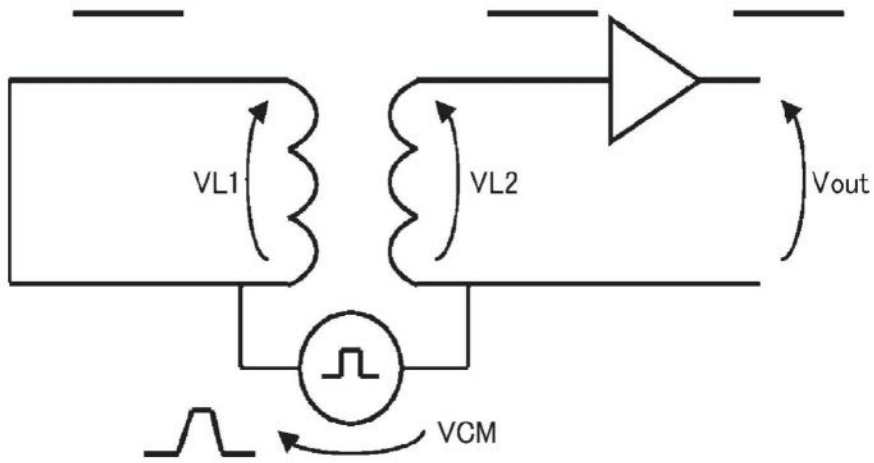


图5

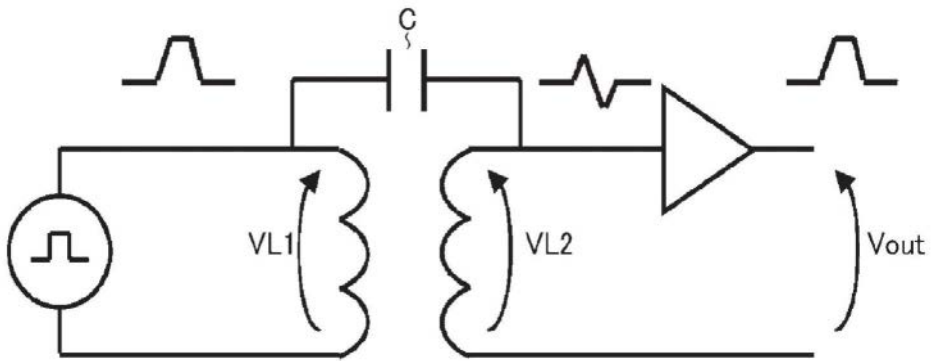


图6

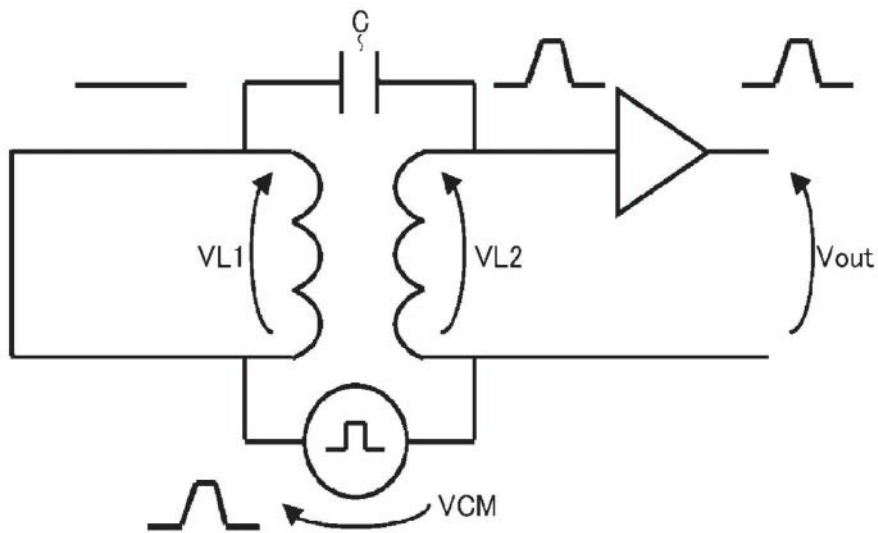


图7

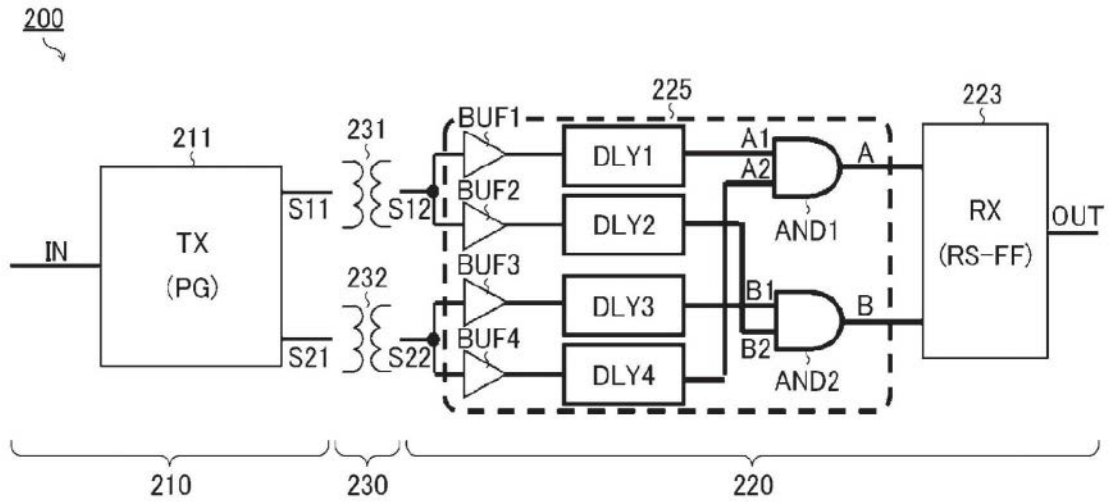


图8

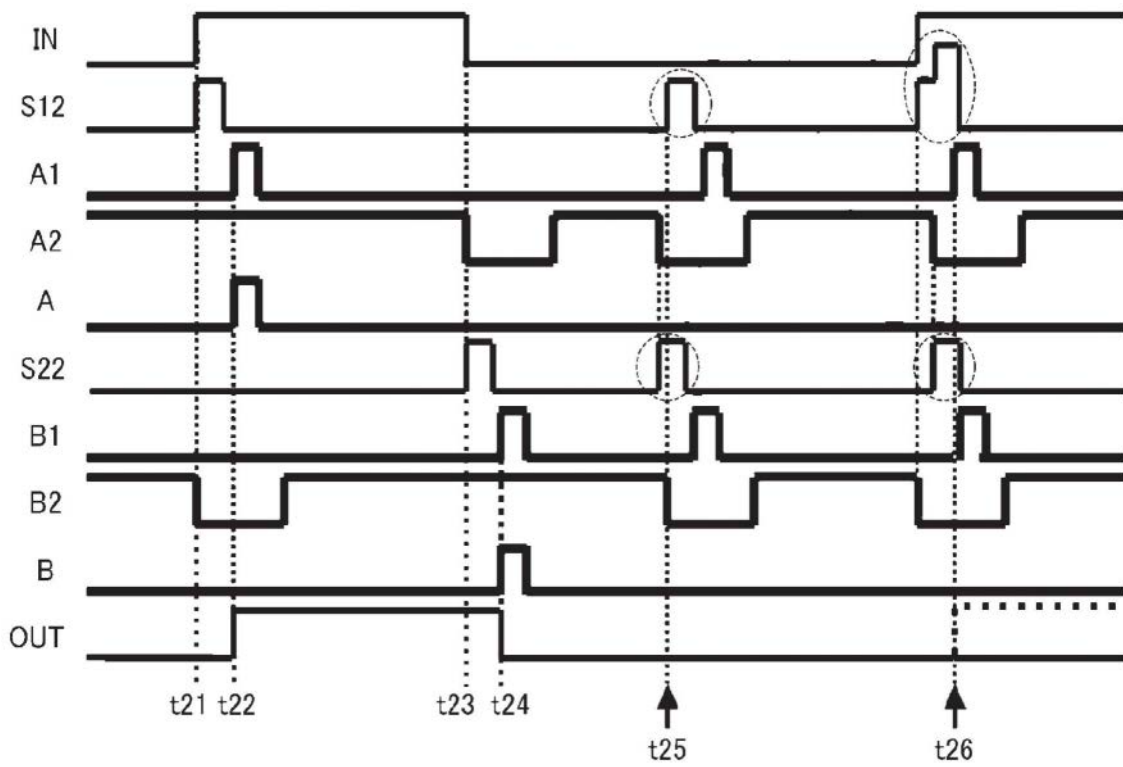


图9

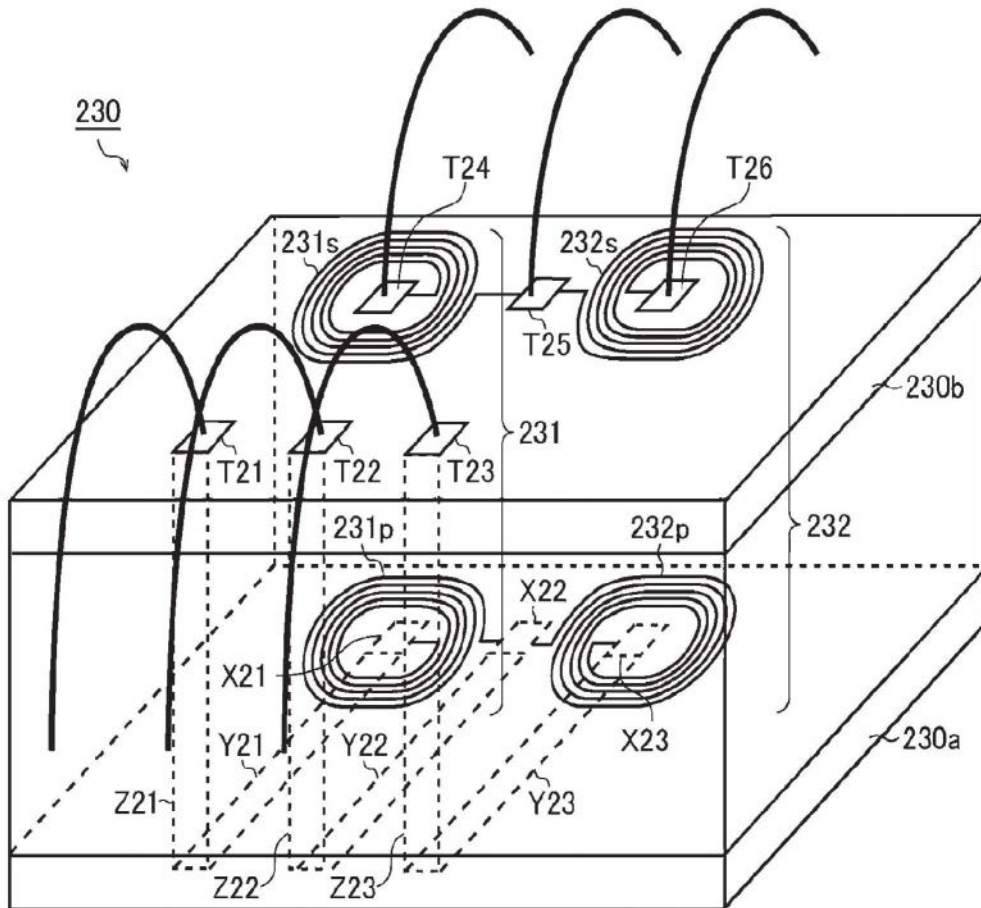


图10

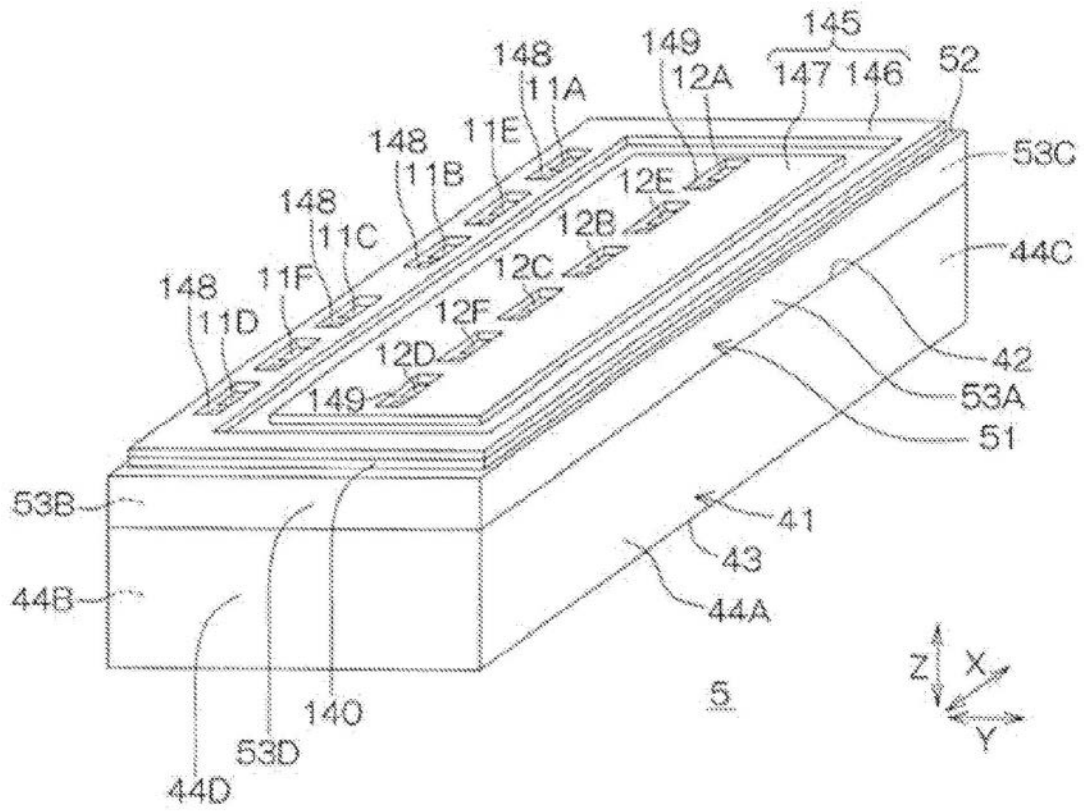


图11

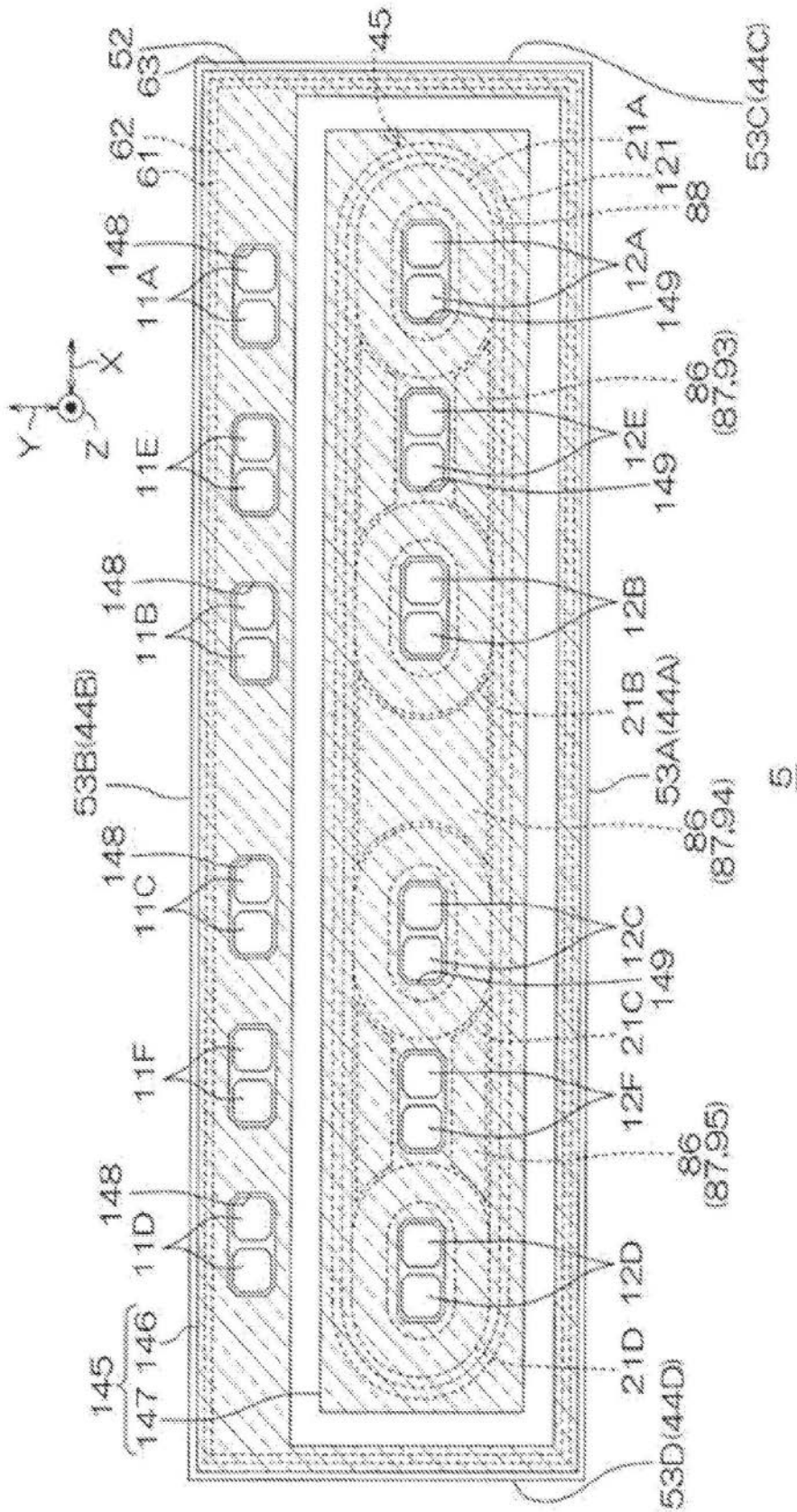


图12

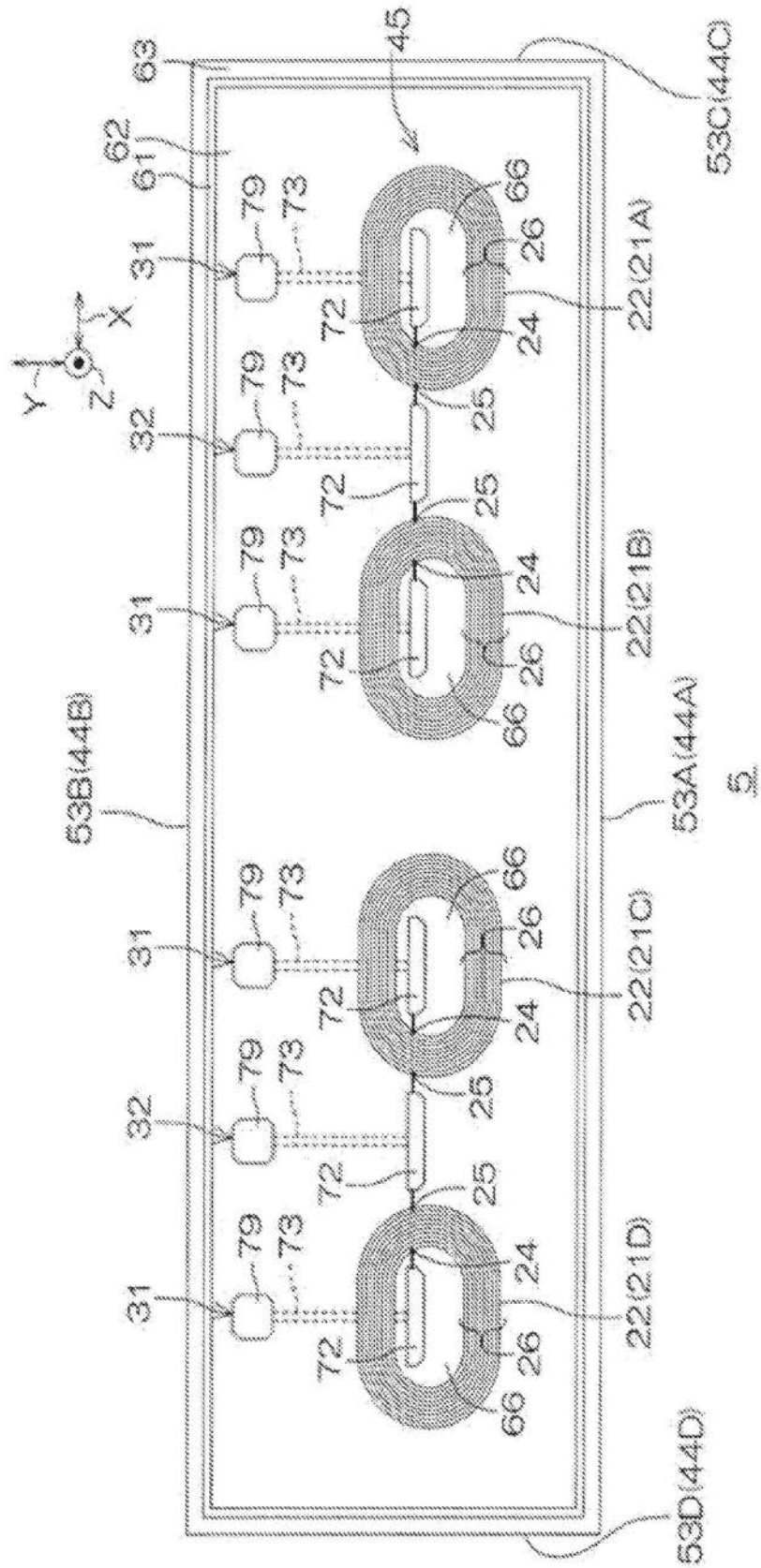


图13

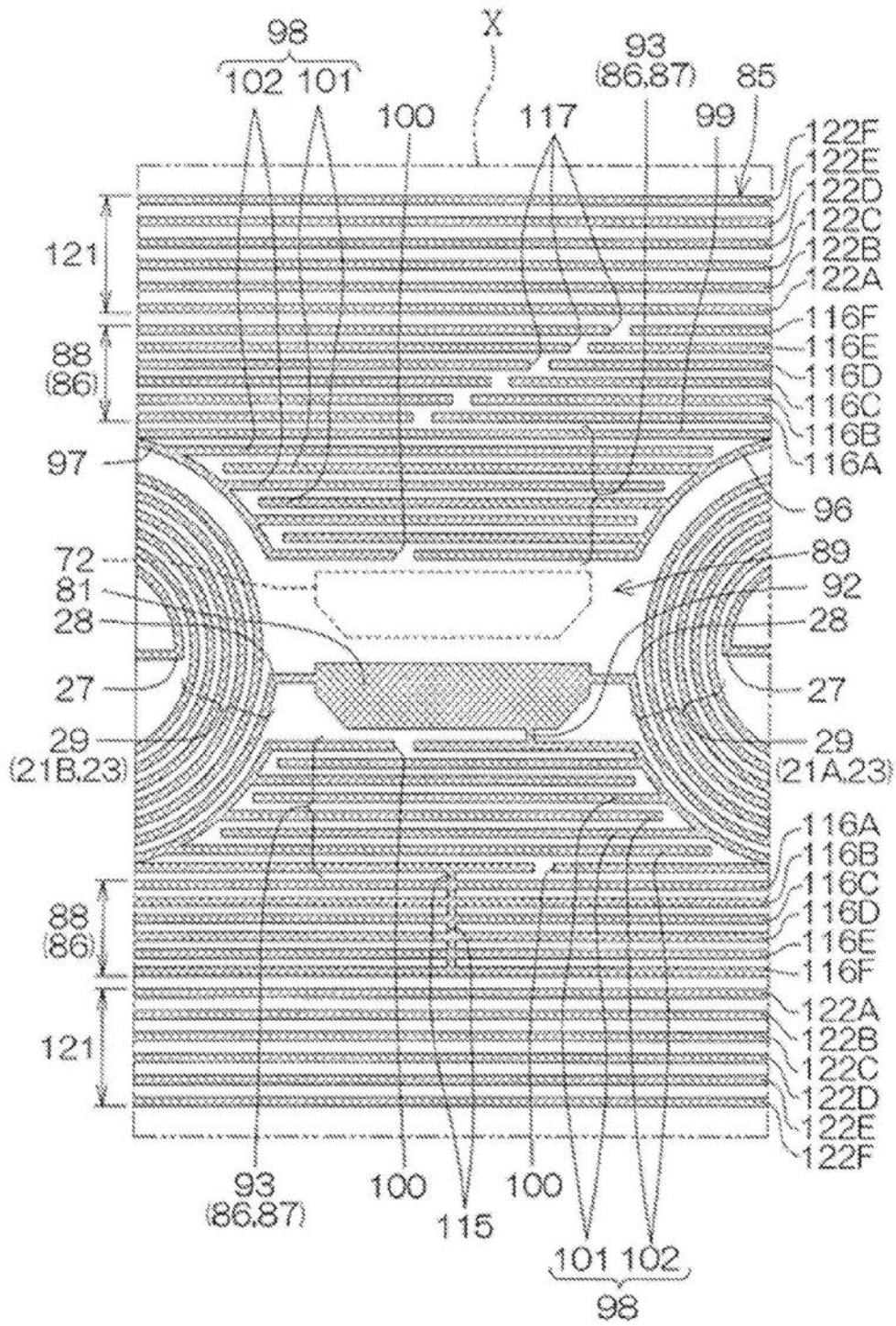


图17

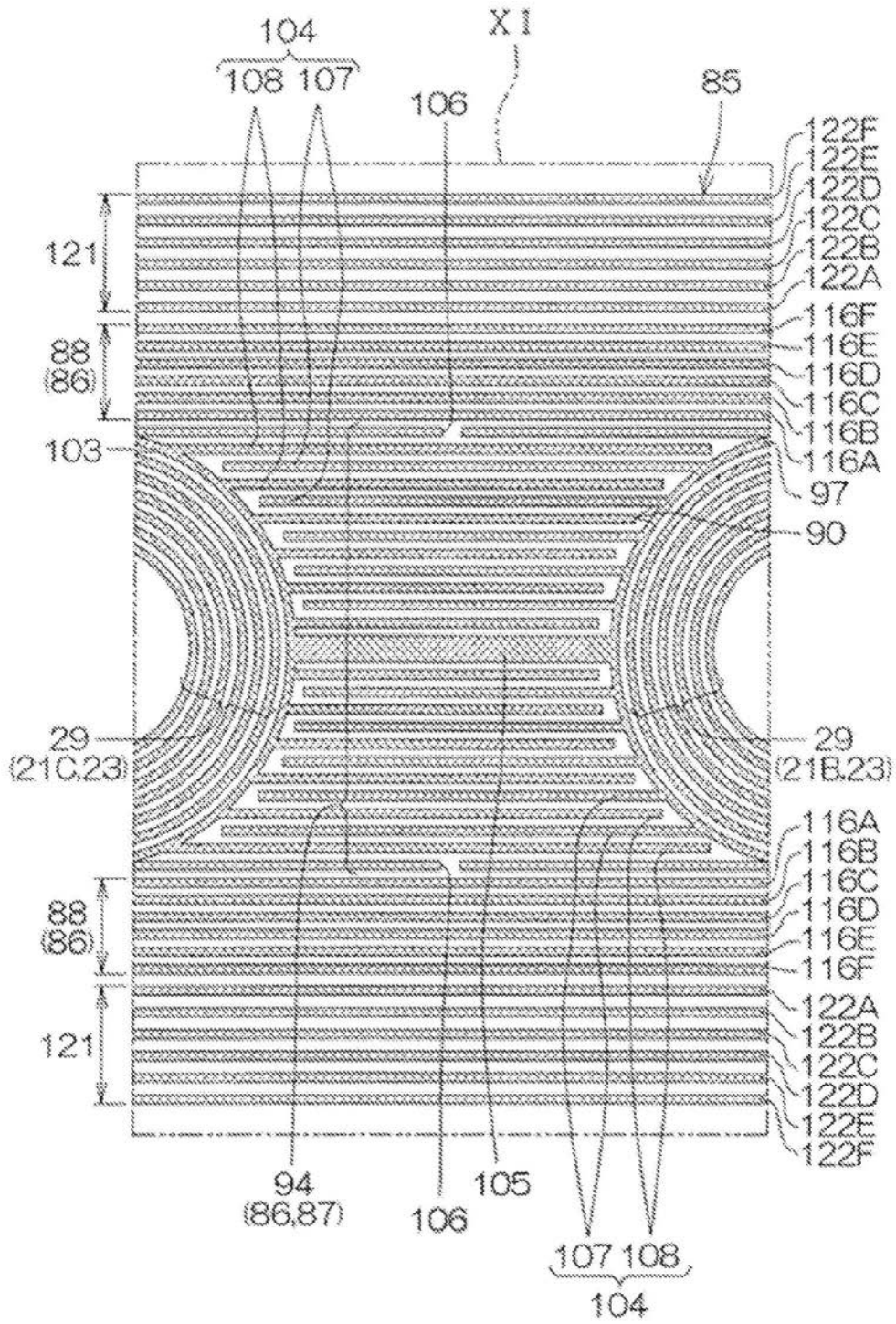


图18

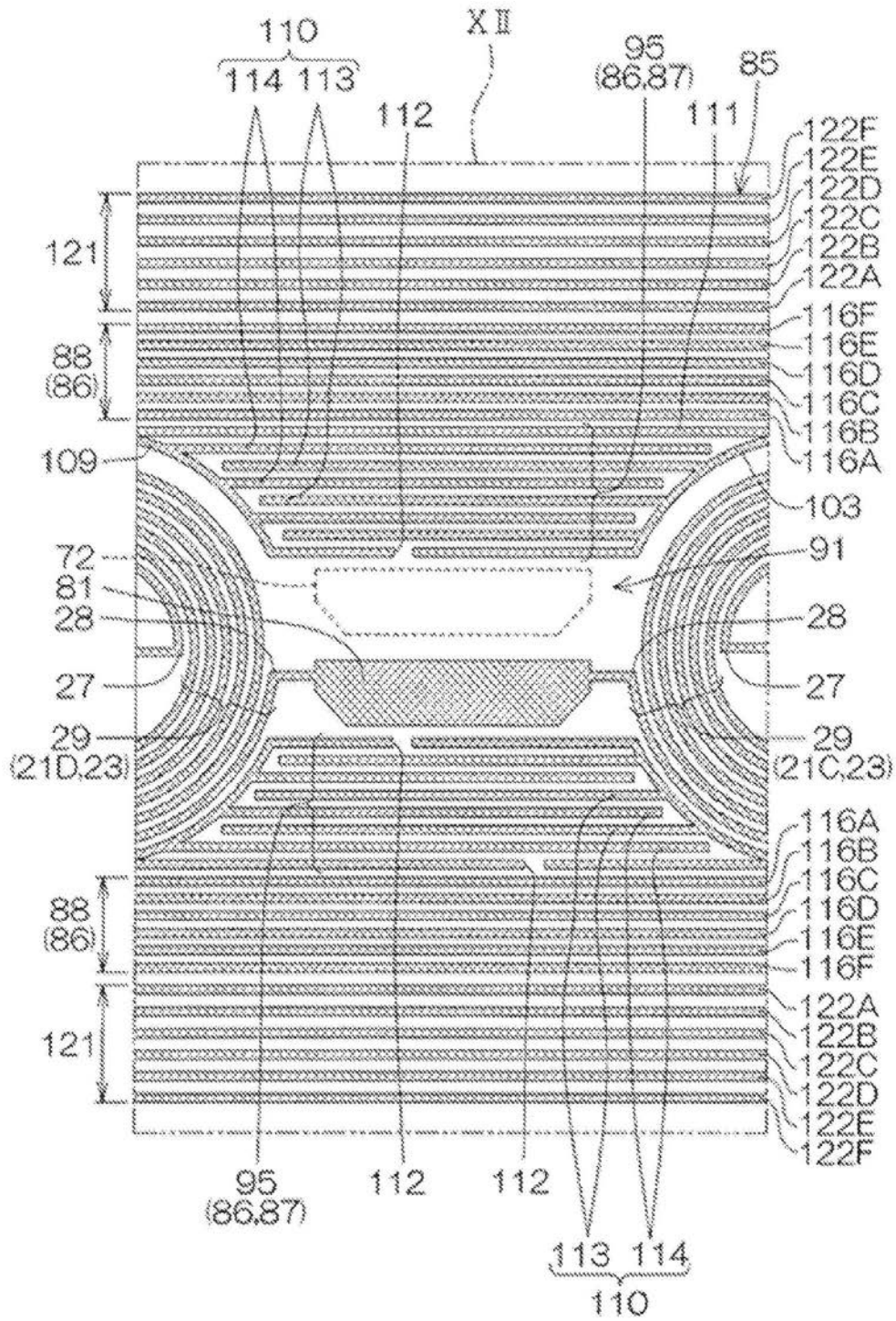


图19

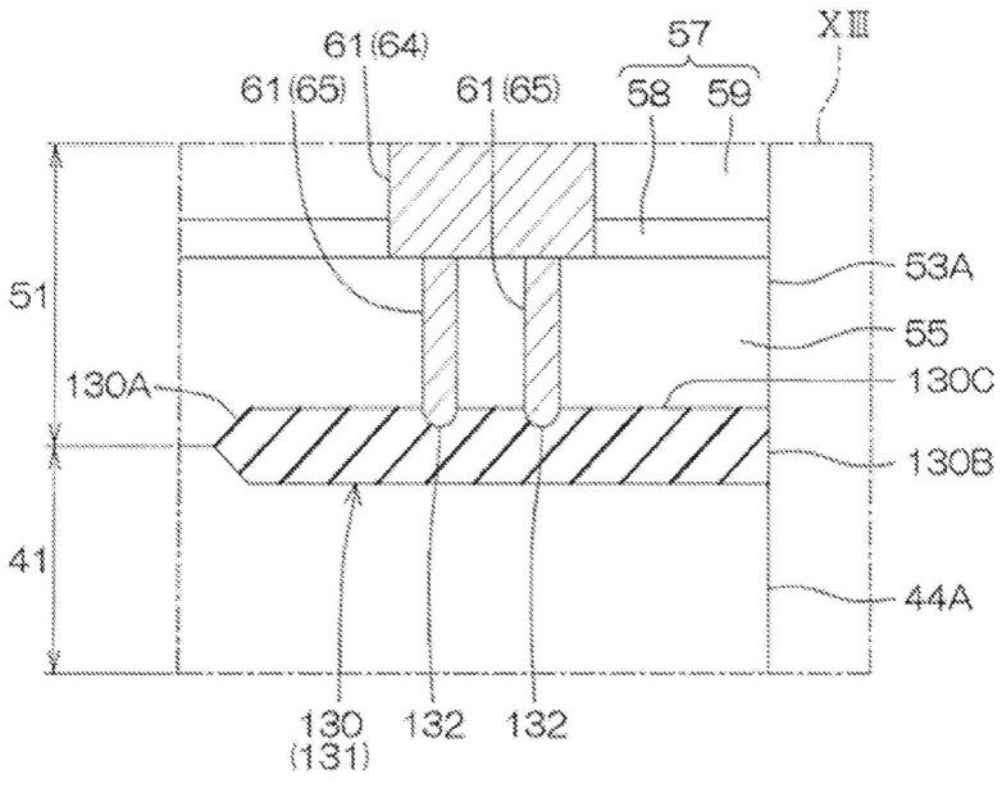


图20

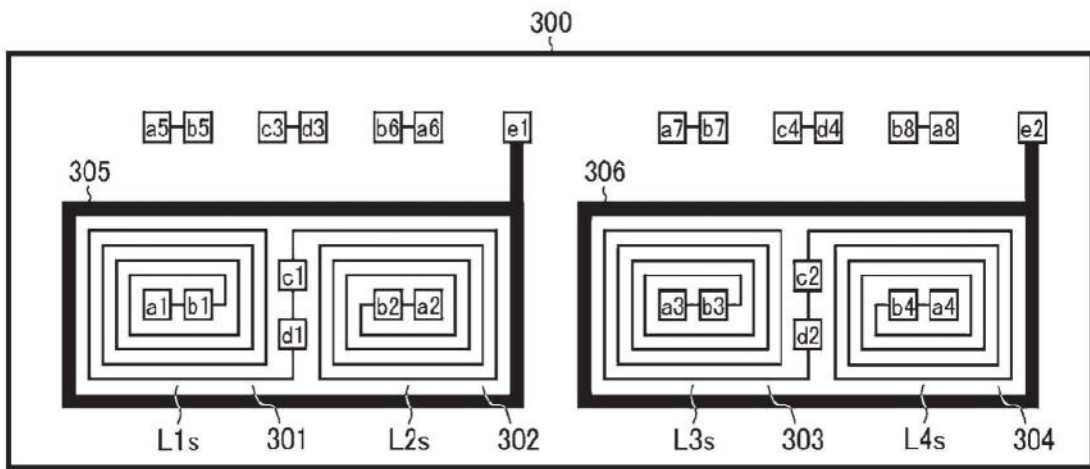


图21

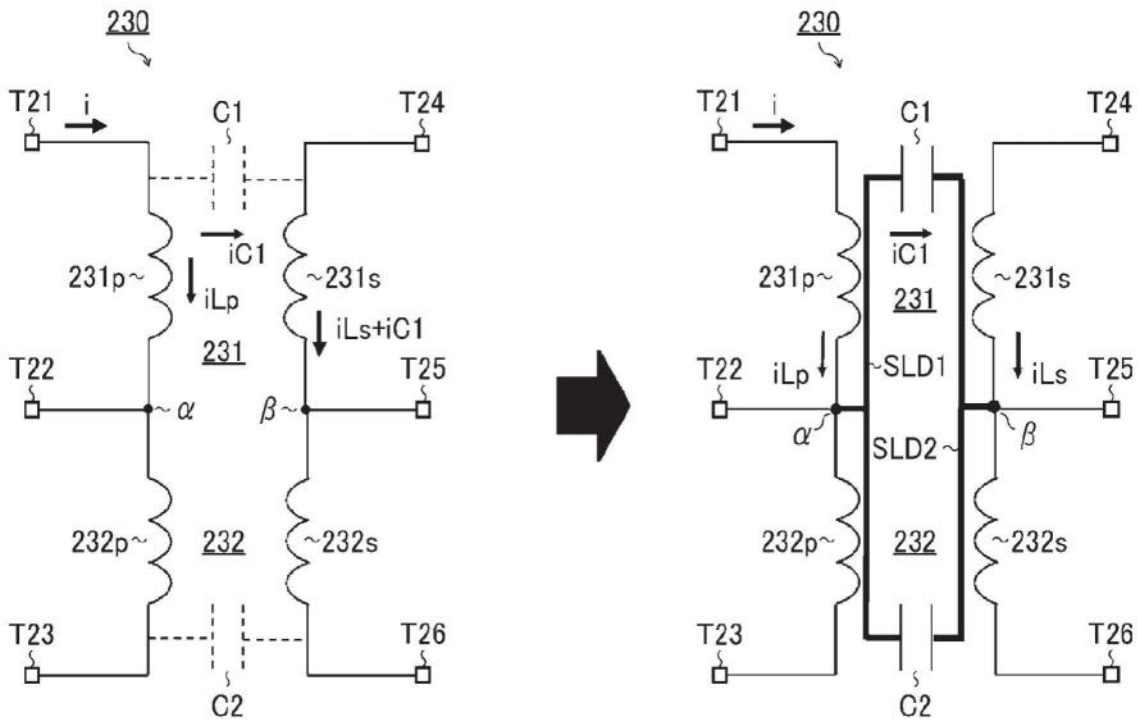


图22

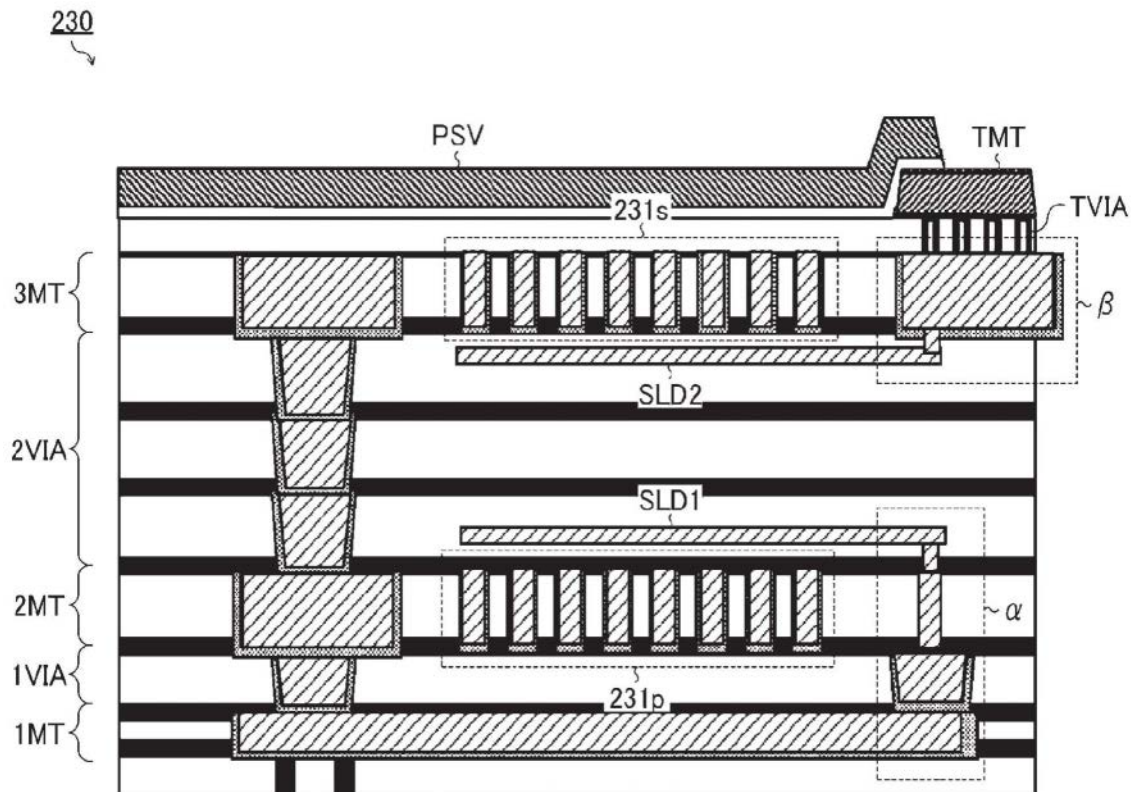


图23

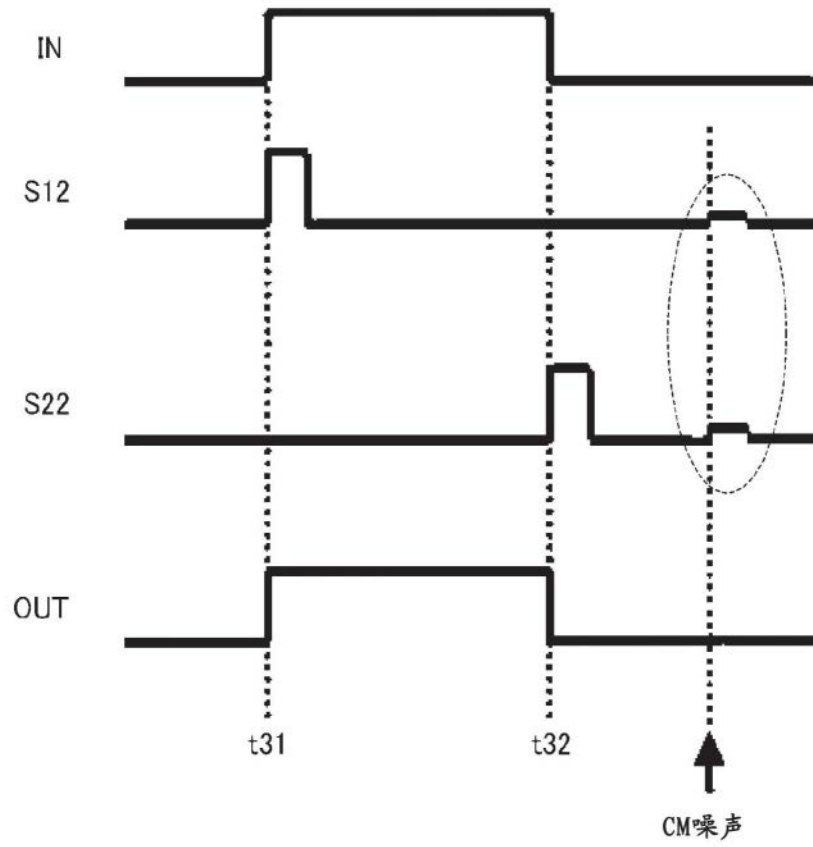


图24

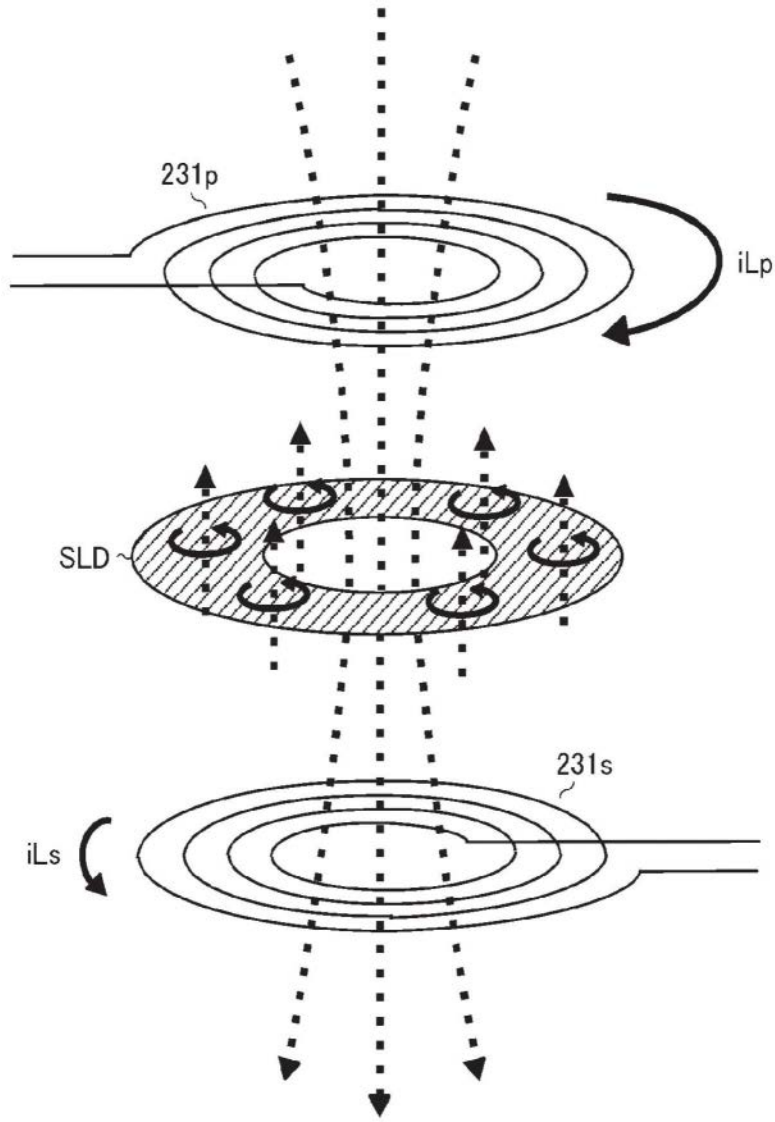


图25

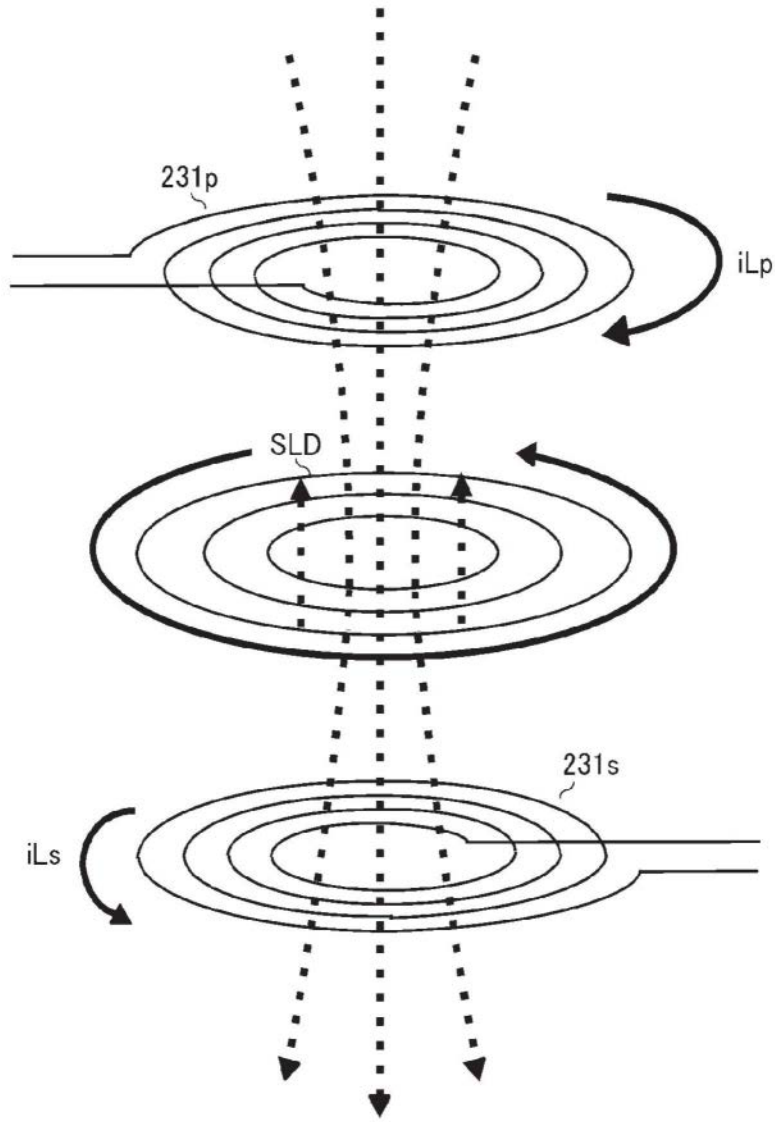


图26

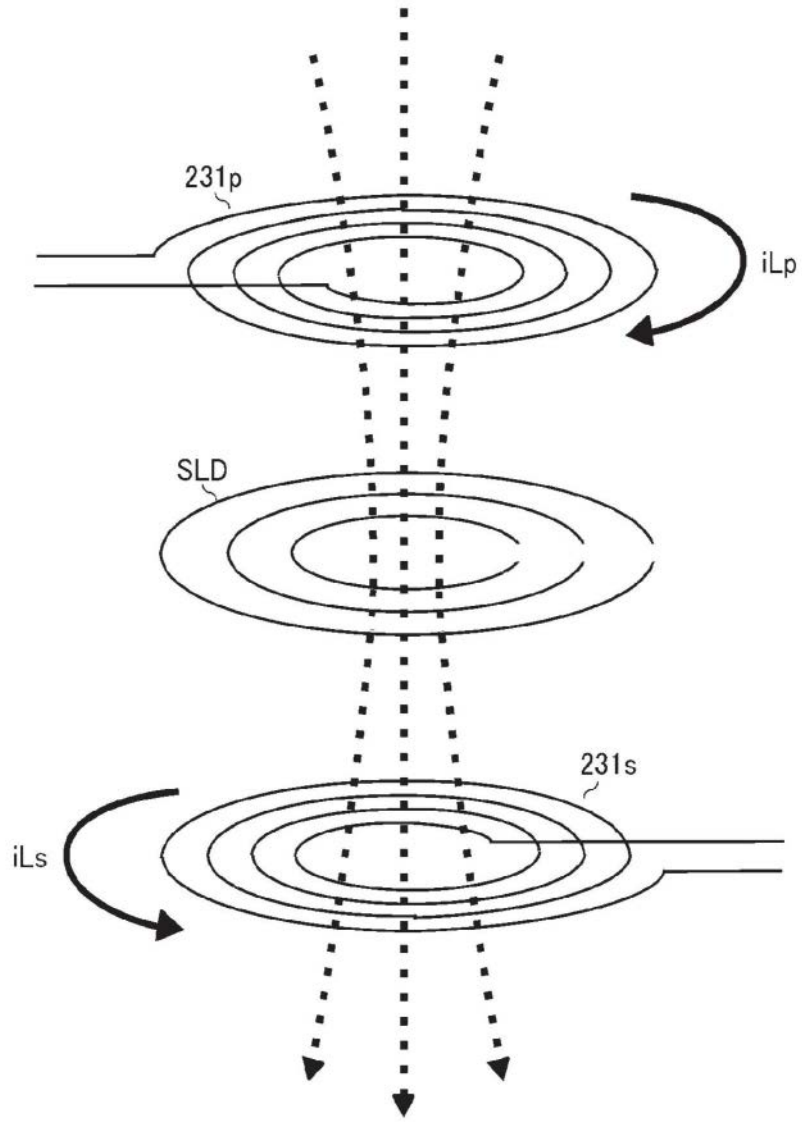


图27

SLD
↘

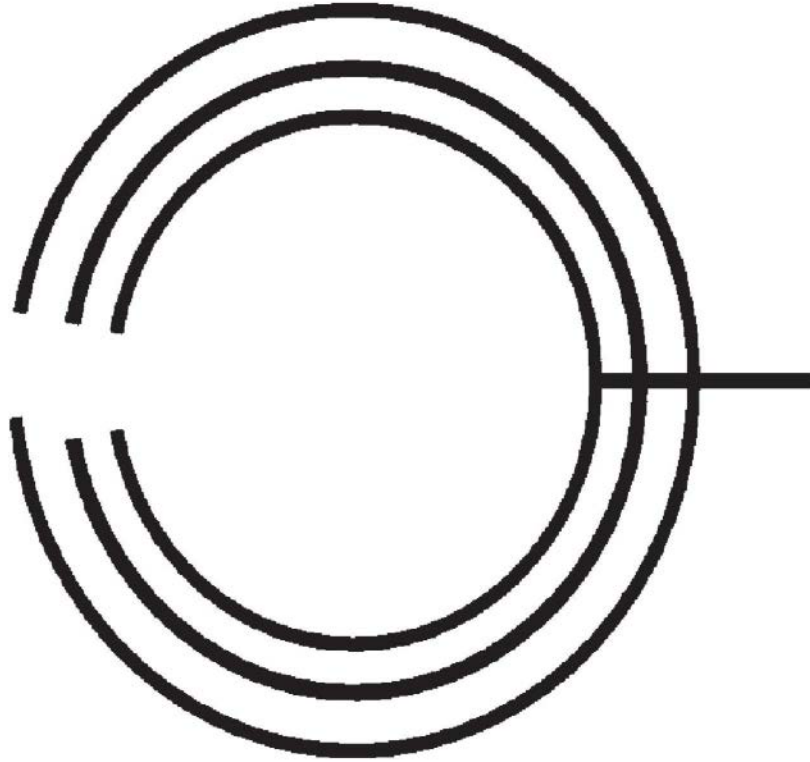


图28

SLD

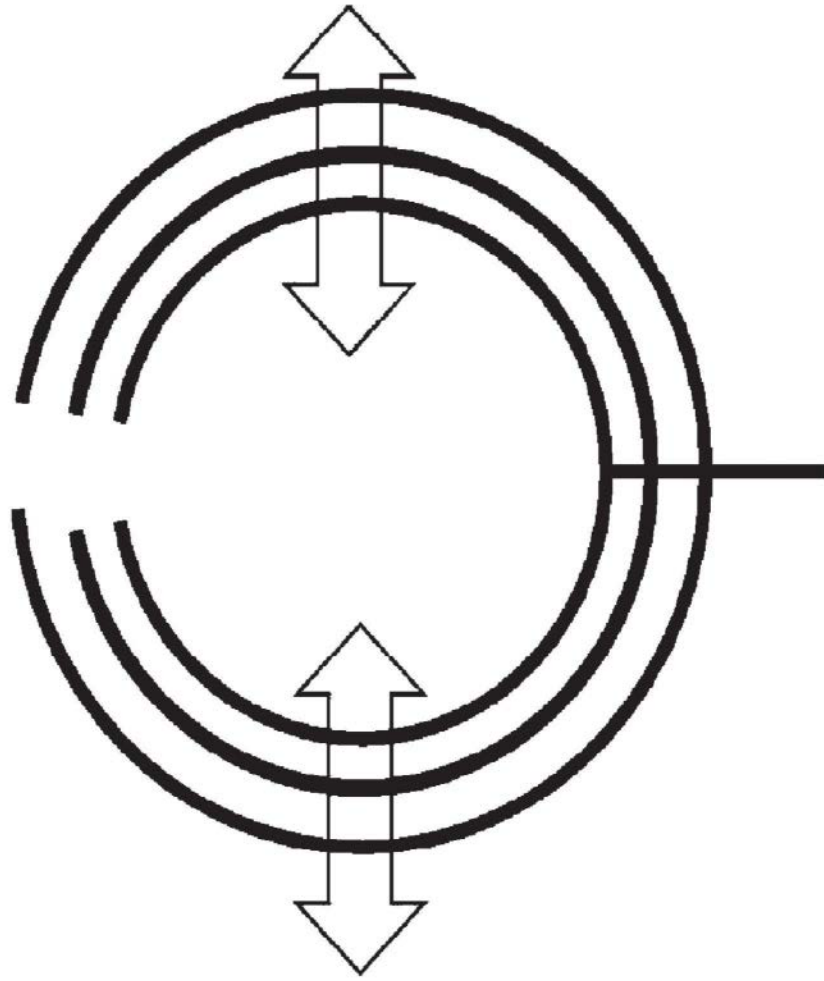


图29

SLD
↘

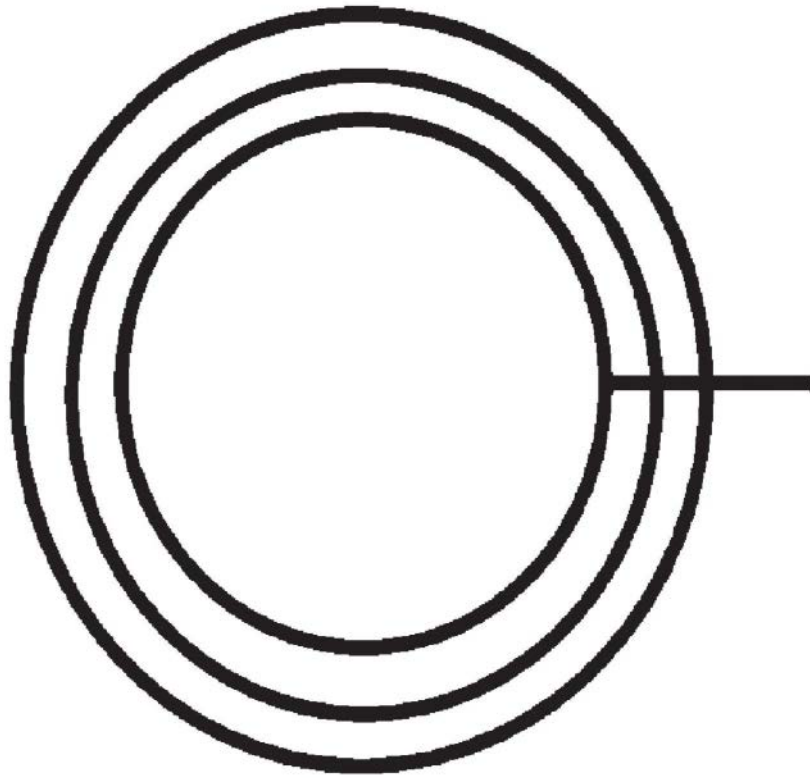


图30

SLD
↙

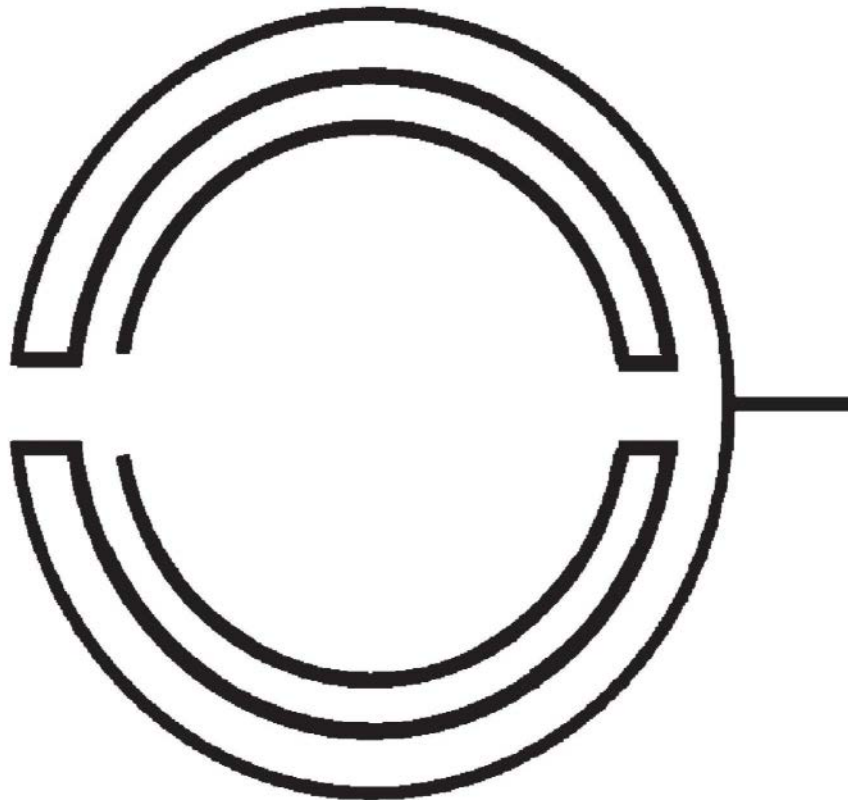


图31

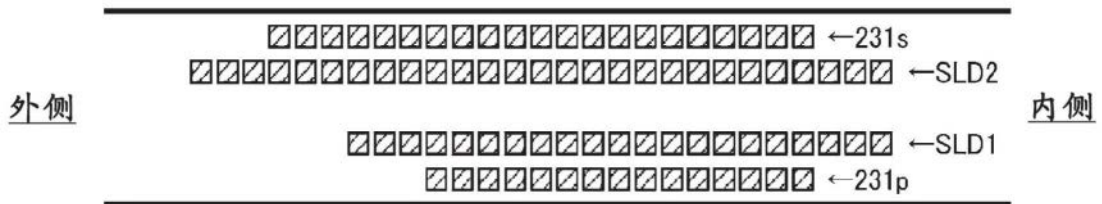
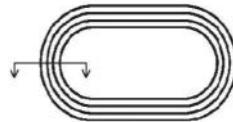


图32

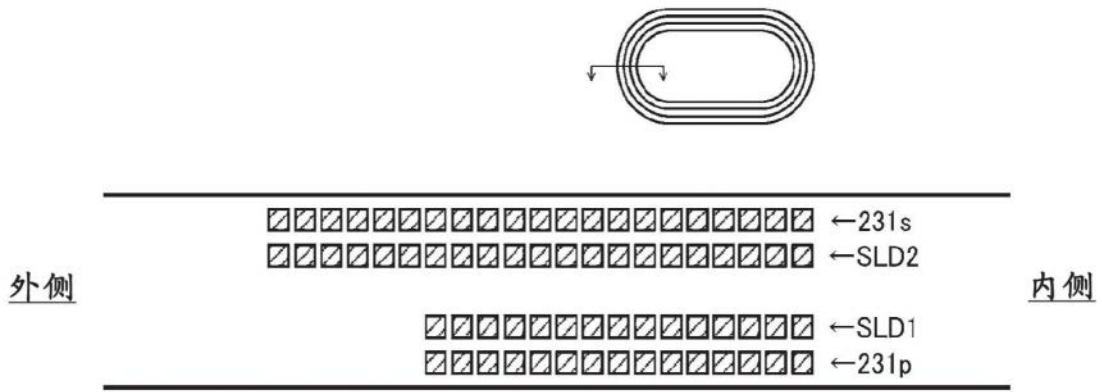


图33

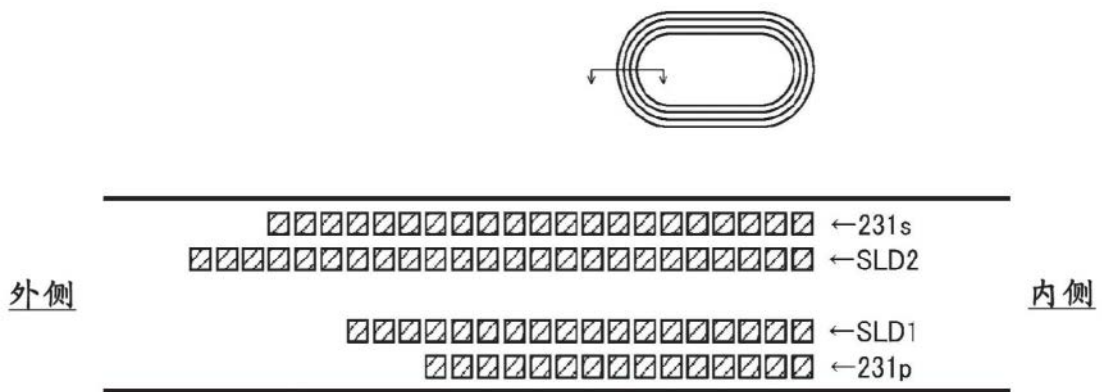


图34

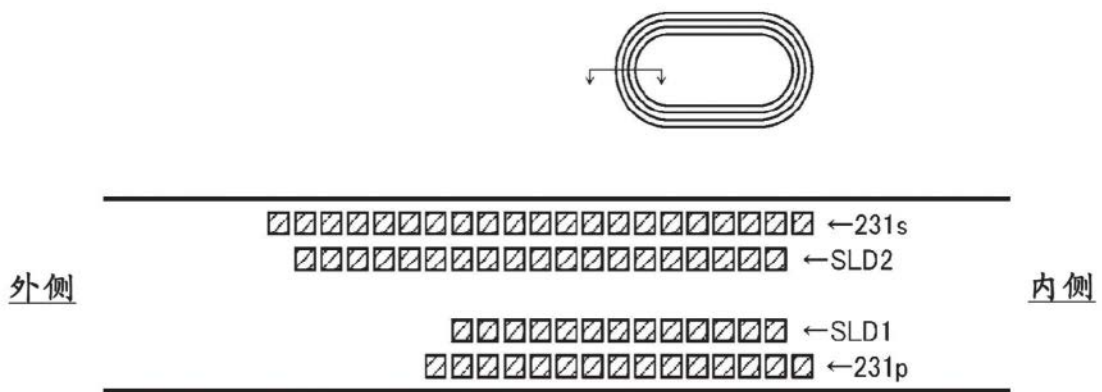


图35

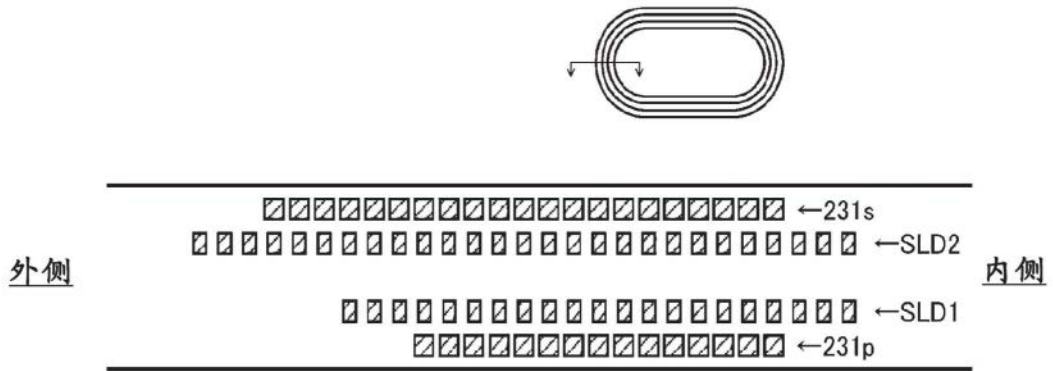


图36

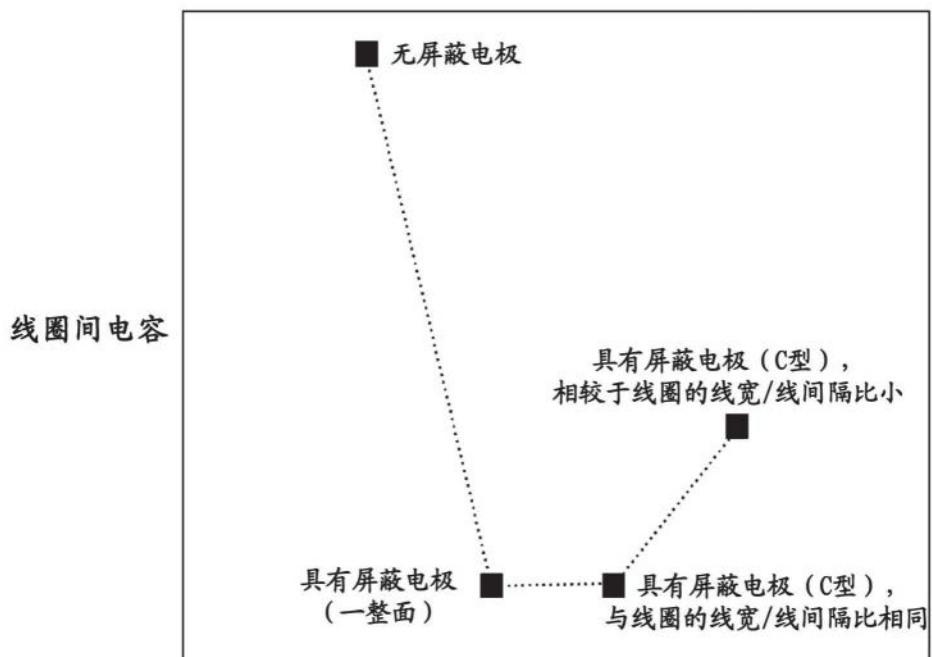


图37

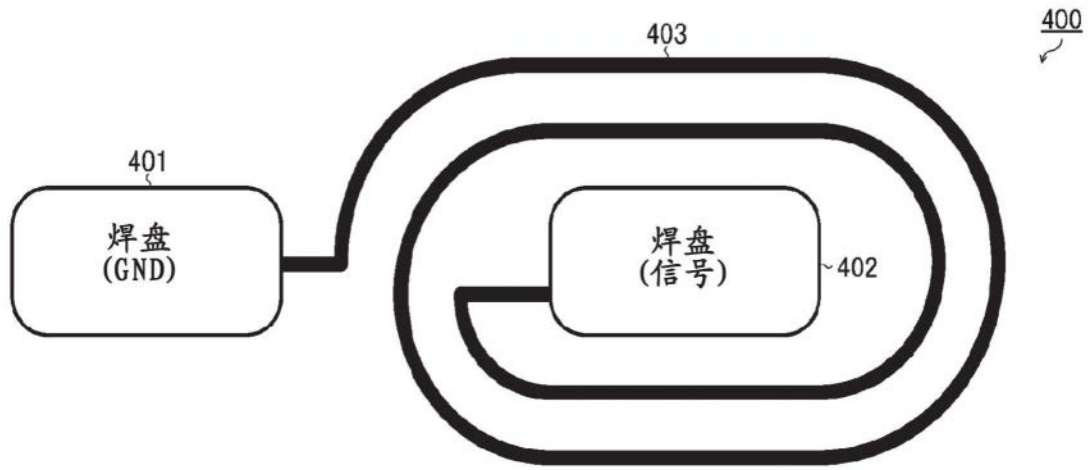


图38

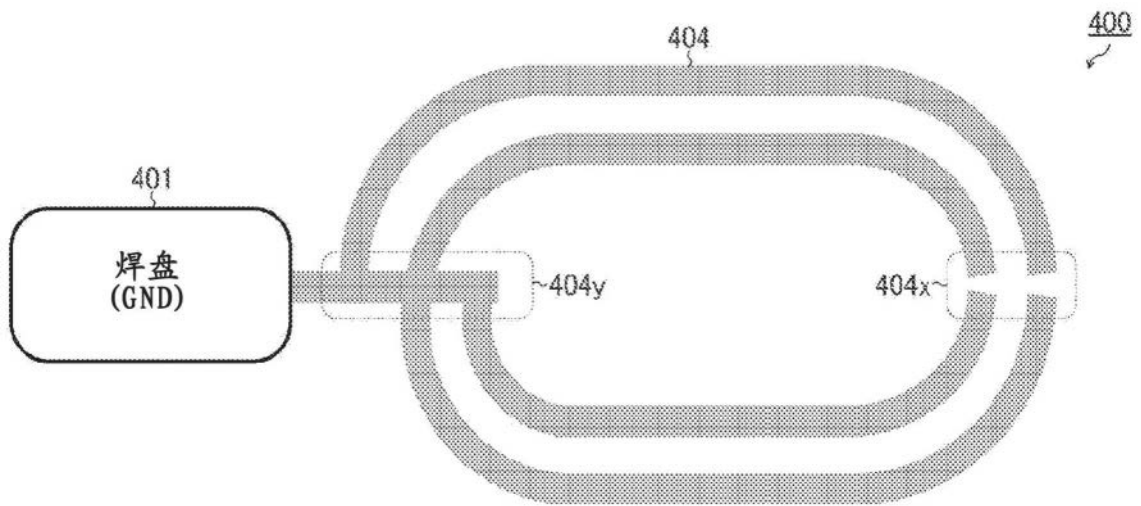


图39

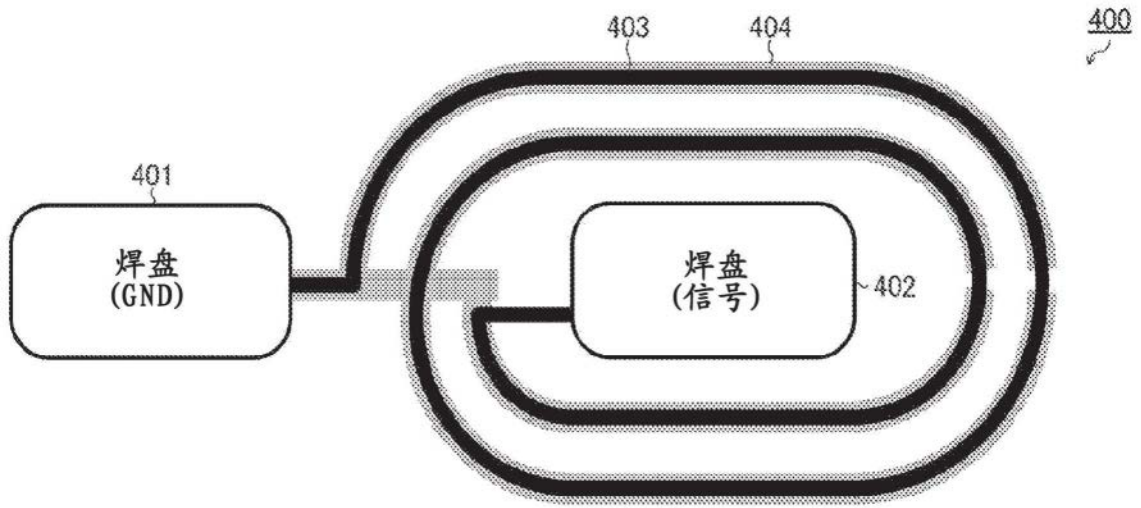


图40

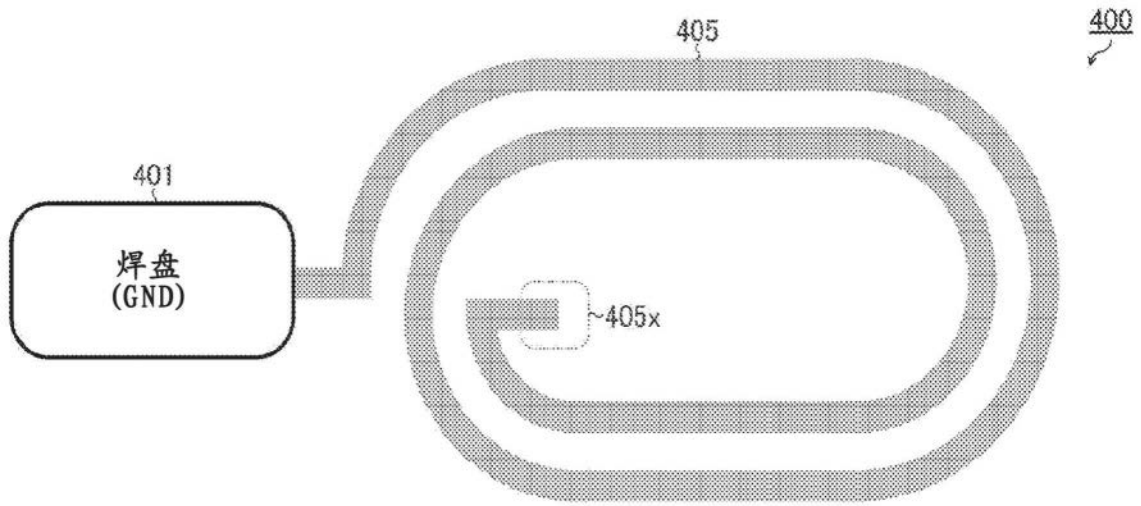


图41

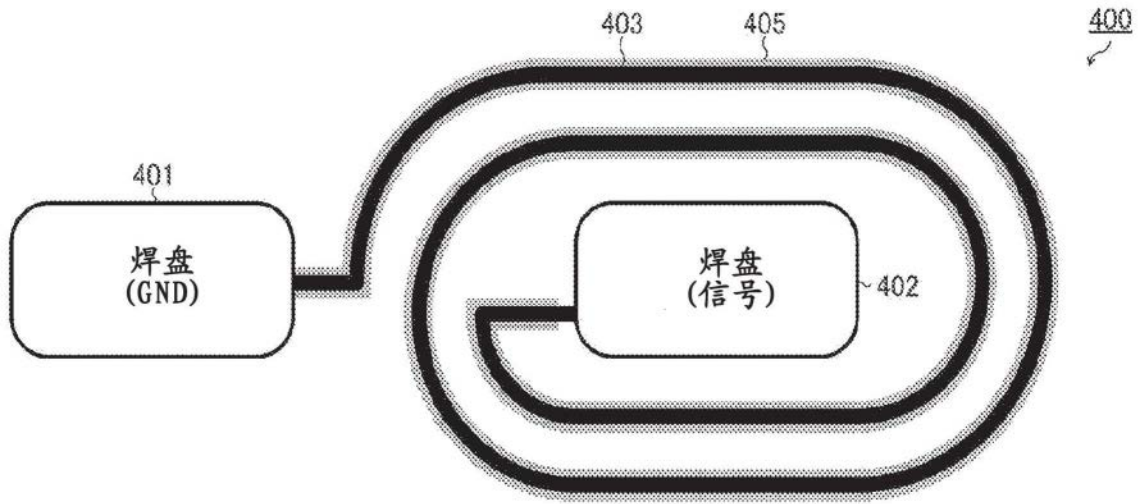


图42

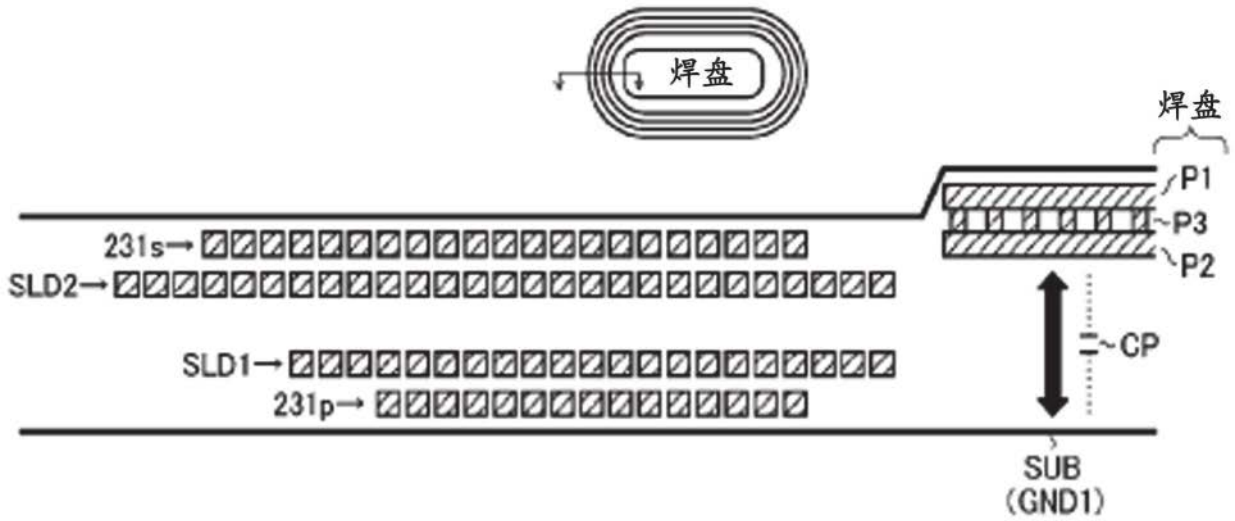


图43

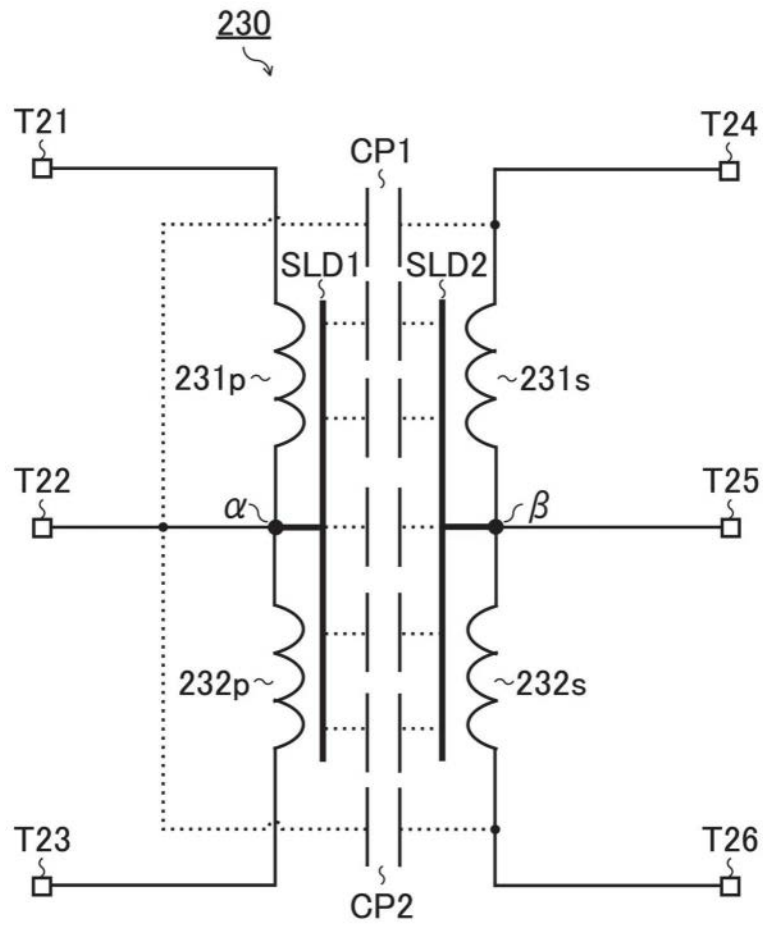


图44

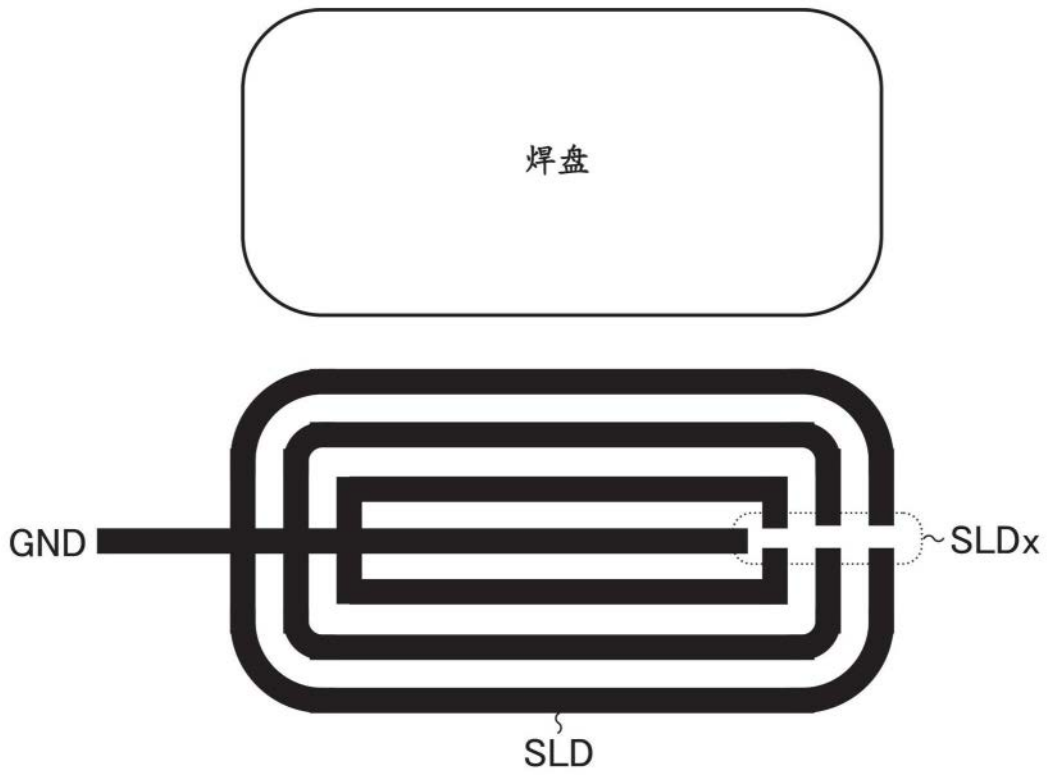


图45

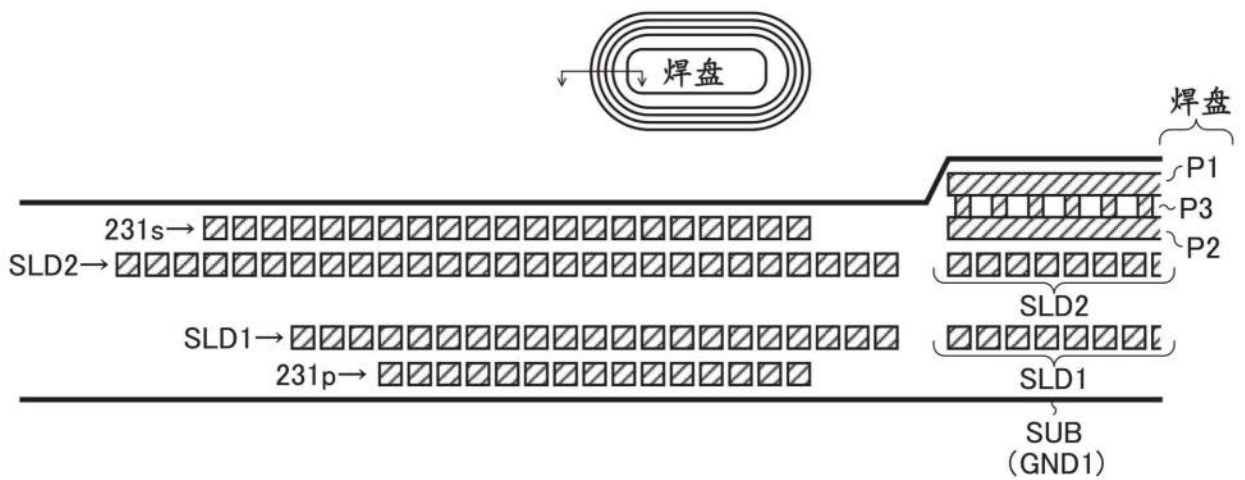


图46

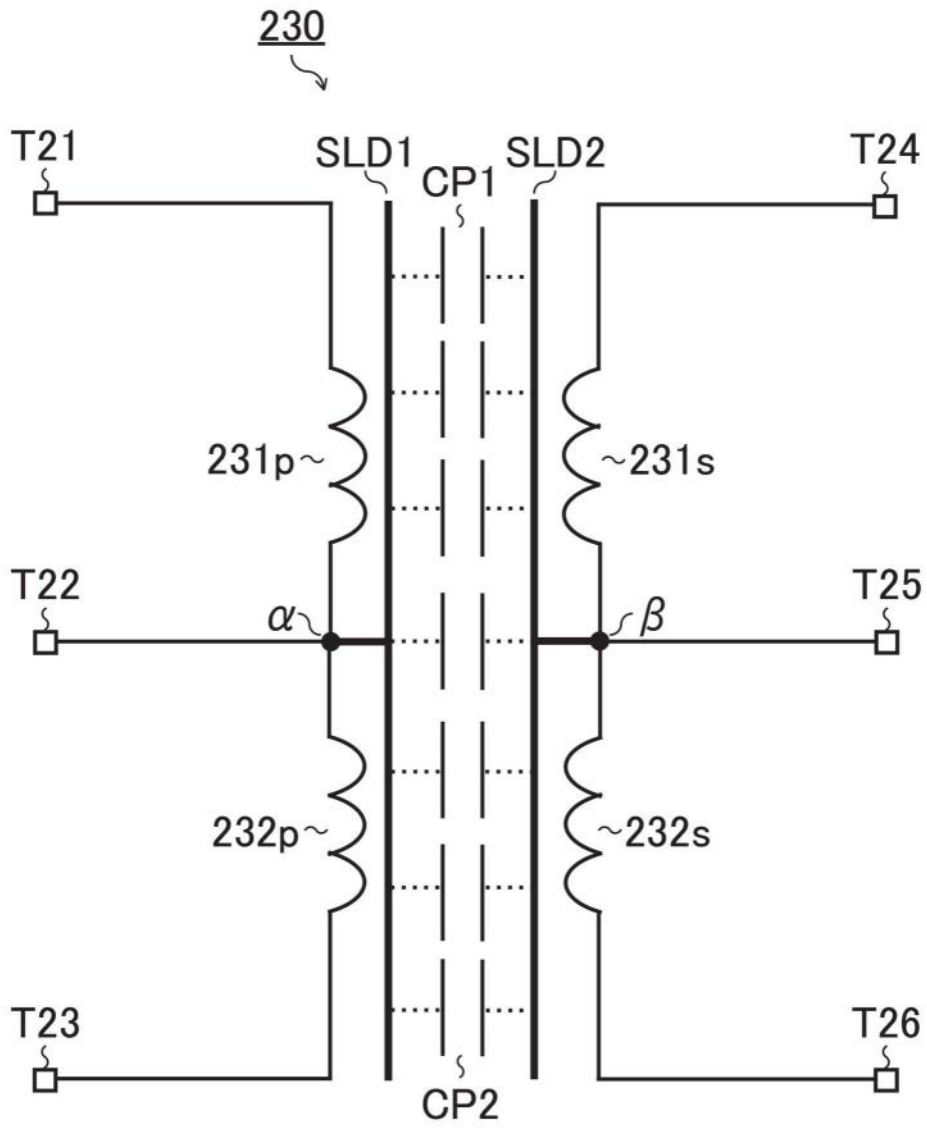


图47

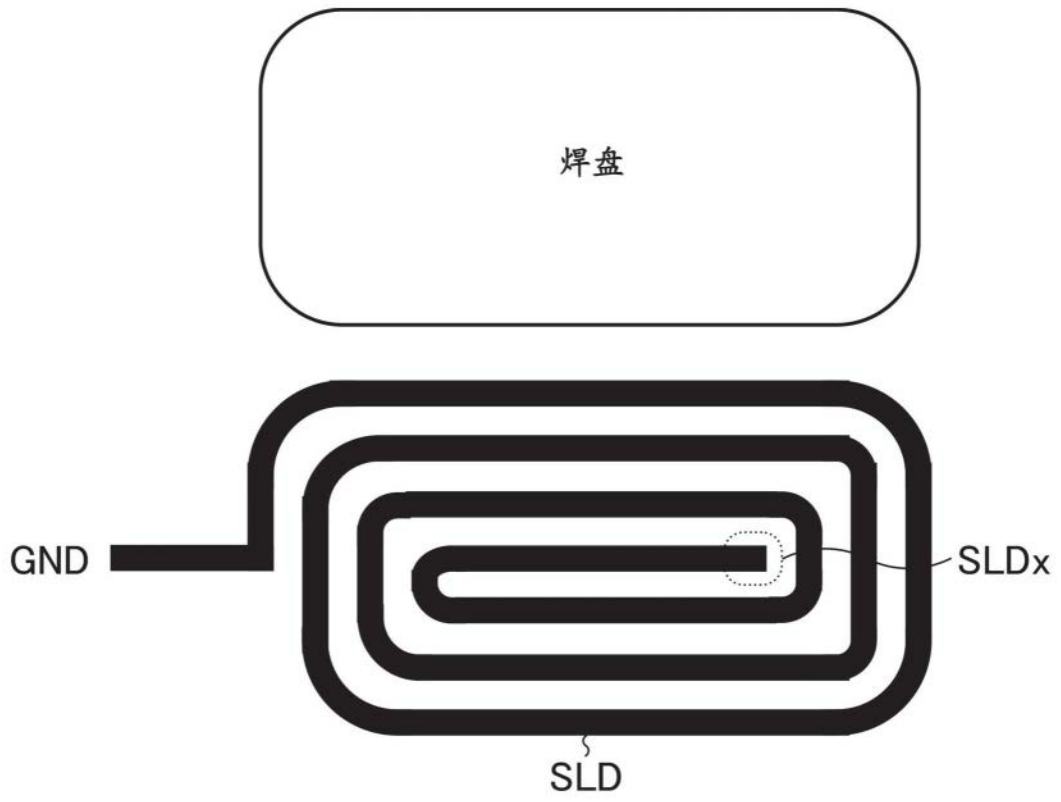


图48