

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04Q 11/04

(11) 공개번호 특1999-0077263
(43) 공개일자 1999년10월25일

(21) 출원번호	10-1998-0705408	(87) 국제공개번호	WO 1997/29613
(22) 출원일자	1998년07월 15일	(87) 국제공개일자	1997년08월 14일
번역문제출일자	1998년07월 15일		
(86) 국제출원번호	PCT/IB1996/00087		
(86) 국제출원출원일자	1996년02월06일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 국내특허 : 아일랜드 일본 대한민국		
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 아몬크		
(72) 발명자	클라우버그 롤프		
	스위스 체하-8136 가티콘 호프위에젠스트라세 25		
(74) 대리인	김창세, 장성구		

심사청구 : 있음

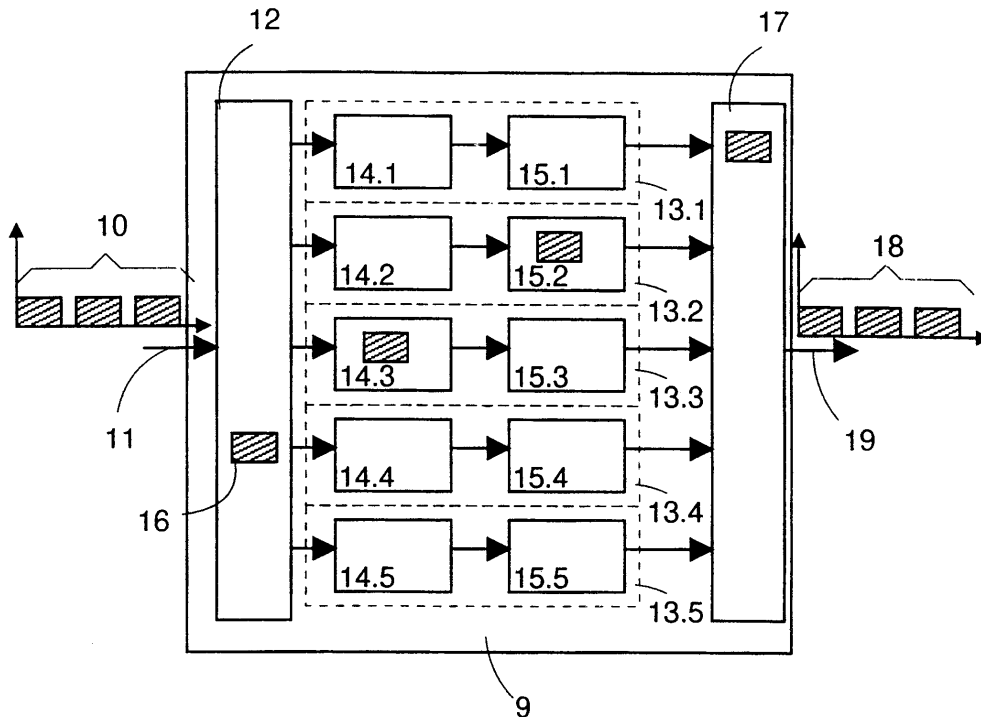
(54) 고정 길이 셀의 병렬 고속 처리

요약

본 발명은 슬롯형 전송 매체(11)를 통해 수신된 고정 길이 셀의 순차적인 스트림(10)을 처리하기 위한 장치를 제공한다. 이러한 장치는 고정 길이 셀의 순차적인 스트림(10)중 N개의 고정 길이 셀의 서브스트림을 제공하는데 사용되는 디멀티플렉서(12)를 포함한다. 또한, 본 발명의 장치는 디멀티플렉서(12)에 접속되는 N(N=2, 3, ...)개의 동일한 병렬 처리 경로(13.x)를 포함하여, 상기 N개의 서브 스트림 각각이 상기 N개의 처리 경로(13.x)의 다른 경로에 제공되고, 특정한 처리 경로에 제공되는 서브스트림과 다른 처리 경로에 제공되는 후속 서브스트림 사이의 주기가 슬롯형 전송 매체(11)의 슬롯 주기(T)와 동일하게 시간적 순서로 스택거형 방식(a chronological, staggered manner)으로 처리 경로(13.x)로의 공급이 수행되도록 한다.

또한, 본 발명의 장치는 상기 N개의 처리 경로(13.x)의 출력에 제공되는 서브스트림을 고정 길이 셀의 출력 스트림(18)으로 멀티플렉싱하여 상기 고정 길이 셀의 순차적인 스트림(10)의 셀 순서를 순차적으로 유지하는 멀티플렉서(17)를 포함한다.

대표도



명세서

기술분야

본 발명은 슬롯형 전송 매체(slotted transmission medium)를 통해 정보를 고정 길이 셀 스트림(fixed length cell streams)으로 전송하는 비동기 전송 방식(asynchronous transfer mode: ATM) 네트워크 등과 같은 시스템에 관한 것으로, 특히, 셀을 매우 높은 데이터 전송 속도까지 즉시 처리하는 것에 관한 것이다.

배경기술

통신 네트워크 및 저장 시스템과 같은 셀 처리 시스템(cell processing systems)은 점점 중요해지고 있다. 이러한 종류의 셀 기반 시스템이 가지는 이점으로는, 각각의 모든 셀이 자율적(autonomous)이고 셀의 헤더에 제공된 정보를 이용함으로써 라우팅될 수 있다는 점이다. 비동기 전송 방식(ATM)의 데이터 전송 네트워크는 매우 잘 알려진 셀 처리 시스템이다. ATM 데이터 전송 기술은 네트워크의 설계 방식을 혁신시키는 잠재력을 가지고 있다. 이 기술로 인해 고속 데이터 전송이 가능해지며, 많은 유형의 트래픽을 지원할 수 있게 된다. 이러한 트래픽 유형중 전형적인 멀티미디어 환경에서 만나게 되는 가장 중요한 유형을 든다면, 데이터, 팩시밀리, 음성, 실시간 비디오 및 영상등이 있다. ATM은 광역망(WAN) 뿐만 아니라 근거리망(LAN)에도 적합하며, 광섬유상에서 얻을 수 있는 높은 처리율을 활용한다.

모든 종류의 셀 처리 시스템에 대한 전형적인 디바이스는 상호 접속을 위한 라우터, 허브, 스위치와, 컴퓨터 또는 프린터, 플로터(plotters), 스캐너, 디스크 드라이브, 팩시밀리, 네트워크 스니퍼(network sniffers)와 같은 다른 장치들을 셀 처리 시스템과 링크시키기 위한 어댑터 카드를 들 수 있다. 이러한 셀 처리 시스템에서 셀이 보다 빠르게 전송될수록, 셀 처리가 더욱 복잡해지고 비용이 더욱 많이 소요된다. 데이터 전송 속도를 증가시키면서 야기되는 문제점들은 차후의 실시예에서 기술될 것이다.

셀 기반 시스템(예를 들어, ATM 시스템)에서 데이터 전송 속도가 높을수록 셀에 대한 일부 동작들이 빠르게 수행되어야 한다. 즉시 셀 처리(on-the-fly cell processing)는 통상 모든 동작들이 주어진 수의 클럭 사이클(슬롯 매체상에 다음 셀이 도달될 때까지의 시간에 따라)내에 완료될 것을 필요로 하며, 이는 불가능하지는 않더라도 매우 어렵다. 매체상의 슬롯의 주기는 프로세스 단계가 취할 수 있는 최대 주기를 정의한다. 데이터 전송 속도가 증가하면, 후속 셀의 도달될 때까지의 시간은 점점 짧아진다. 이러한 시간을 충족시키기 위해, 주어진 동작에 대한 클럭 사이클의 수를 줄이거나 혹은 타임 사이클의 주기를 줄여야 한다. 즉, 보다 높은 클럭 속도로 동작하는 디바이스가 제공되어야 한다. 첫번째 방안은 종종 수행될 동작의 종류에 의해 제한된다. 예를 들어, 16000 어드레스의 이진 탐색은 $\log_2(16000)=14$ 번의 비교를 필요로 하므로 14개의 클럭 사이클을 필요로 한다. 두번째 방안은 로직 회로가 그 기능을 수행하는데 필요한 시간을 결정하는 기술 베이스의 선택에 의해 제한된다. 알려진 매 기술 베이스마다, 사용되는 제반 물리 효과에 의해 규정되는 처리 속도의 상한값이 존재한다.

몇몇 셀 처리 시스템은 이미 가능한 한계에 도달했거나 혹은 조만간 도달할 데이터 전송 속도까지 이미 이르렀다. 따라서, 이러한 문제점을 해결하기 위한 새로운 방안이 필요하다. 특히, 초당 기가비트 범위로 동작하는 ATM 네트워크는 새로운 해결책이 필요한 단계에 도달하였다.

따라서, 본 발명의 목적은 매우 높은 데이터 전송 속도에서도 고정 길이 셀을 처리하는 새로운 개념을 제공하는데 있다.

본 발명의 다른 목적은 고정 길이 셀을 신속하게 즉시 처리할 수 있도록 하는 장치 및 방법을 제공하는데 있다.

본 발명의 또다른 목적은 본 발명의 방안을 비동기 전송 방식의 시스템에 적용하는데 있다.

특히 청구범위에 정의된 본 발명은 전송한 목적들을 충족시키기 위한 것이다. 본 발명에 따르면, 슬롯형 매체상의 연속적인 고정 길이 셀은 N개의 병렬의 동일한 처리 경로에 배정(assign)되며, 각각의 경로는 하나 이상의 처리 유닛을 포함한다. 이에 따라, 동일한 처리 경로에 의해 각각의 (N+1)번째 셀이 처리되기만 하면, 처리 유닛에서의 가용 클럭 사이클의 수는 N 배로 증가된다. 이에 따라, N개의 가상적(virtual)인 동일한 데이터 처리 경로가 생성된다.

도면의 간단한 설명

본 발명은 첨부된 도면을 참조하여 이하의 상세한 설명을 기술할 것이다.

도 1은 N(N=5)개의 병렬 처리 경로를 갖는 병렬 처리 유닛을 포함하는 본 발명의 제 1 실시예를 개략적으로 도시한 도면이다.

도 2는 슬롯 매체상의 고정 길이 셀의 스트림을 도시한 도면이다.

도 3a-3g는 셀의 라우팅 및 프로세싱을 나타내는데 사용되는 N(N=5)개의 병렬 처리 경로를 갖는 병렬 처리 유닛의 스텝을 개략적으로 도시한 도면이다.

도 4a는 본 발명에 따라 스위치 어댑터 카드를 갖춘 비동기 전송 방식의 스위칭 유닛을 개략적으로 도시한 도면이다.

도 4b는 ATM 셀을 ATM 스위치 패브릭에 의해 처리되는 셀로 변환하는 ATM 스위치 어댑터 카드인 본 발명의 제 2 실시예를 개략적으로 도시한 도면이다.

도 5는 N(N=3)개의 병렬 처리 경로 각각이 지연 유닛을 갖는 병렬 처리 유닛을 포함하는 본 발명의 제 3 실시예를 개략적으로 도시한 도면이다.

도 6은 N(N=2)개의 병렬 처리 경로를 갖는 병렬 처리 유닛을 포함하는 본 발명의 제 4 실시예를 개략적으로 도시한 도면이다.

도 7은 N(N=2)개의 병렬 처리 경로 각각이 지연 유닛을 갖고 하나의 처리 유닛이 양 처리 경로에 의해 사용되는 병렬 처리 유닛을 포함하는 본 발명의 제 5 실시예를 개략적으로 도시한 도면이다.

실시예

다음 설명에서, 본 발명을 상세하게 기술하는데 ATM 데이터 전송 기술이 사용될 것이다. 그렇지만, 본 발명의 개념은 나중에 기술되는 바와 같이, 다른 어떤 종류의 셀 기반 데이터 전송 시스템에 대해서도 사용될 수 있음을 이해하여야 한다.

다음 설명에서 '고정 길이 셀의 서브스트림(substream of fixed-length cells)'이란 표현이 사용될 것이다. 이러한 표현은 몇개의 셀로 이루어진 스트림 뿐만 아니라 하나의 셀도 또한 포함한다. 이러한 단일 셀은 ATM 셀일 수 있다.

서문에서 기술된 바와 같이, 슬롯형 매체를 통해 수신된 고정 길이 셀 스트림의 즉시 처리가 가능하도록 하는 새로운 개념이 필요하다. 이러한 슬롯형 매체는 예를 들어, 데이터 전송 네트워크의 데이터 전송 채널, 저장 디바이스내의 저장 채널 또는 컴퓨터 버스를 수 있다.

이와 같은 슬롯형 매체상에는 적절한 방식으로 처리되어야 하는 시간 임계 정보(time-critical information)가 있을 수도 있다는 점이 고려되어야 한다. 또한, 대역폭은 슬롯 매체상에 슬롯을 배정함으로써 특정한 애플리케이션에 배정되기 때문에, 이러한 슬롯 매체(11)상의 슬롯 배정은 아무런 영향을 받지않은 상태로 유지되어야 한다. 셀들이 뒤섞이게 하거나 시간 임계 셀들을 방해하는 모든 간섭이 배제되어야 한다.

통상적인 방식으로, 매 셀마다 순차적으로 처리하는 방식은 고속 데이터 전송 시스템에 적합하지 않은 것으로 드러났기 때문에 새로운 방안이 필요하다. 이하 도 1을 참조하여 본 발명의 기본적인 개념을 기술할 것이다. 슬롯형 매체(11)상의 고정 길이 셀들의 입력 스트림(10)이 도 1의 좌측에 도시되어 있다. 본 발명에 따르면, 고정 길이 셀의 입력 스트림(10)이 병렬 처리 유닛(9)에 제공되어, N개의 고정 길이 셀의 서브스트림으로 디멀티플렉싱된다(N = 1, 2, 3, ...). 이러한 디멀티플렉싱은 셀의 내용을 훼손시키거나 셀의 길이를 변경시키지 않고 수행된다. N은 데이터 전송 속도와, 후속 처리가 취할 사이클의 수와, 셀의 길이와, 기타 파라미터에 따라 달라진다. 디멀티플렉서(12)는 셀 스트림(10)을 5개의 서브스트림(즉, N=5)으로 분할한다. 이들 5개의 서브스트림은 디멀티플렉서(12)의 N개의 출력 포트에 제공되고, 이어서 N개의 동일한 병렬 처리 경로(13.1-13.5)에 제공된다. 본 발명의 실시예에서, 각각의 처리 경로는 두개의 처리 유닛(14.x 및 15.x)을 포함한다. 병렬 처리 경로(13.1-13.5)를 통한 셀(16)의 처리는 도 2 및 도 3a-3g와 함께 기술될 것이다. 처리된 이후의 병렬 처리 경로(13.1-13.5)의 우측의 서브스트림은 멀티플렉서(17)에 제공되는데, 여기서 멀티플렉서(17)는 슬롯형 출력 매체(19)상에 고정 길이 셀의 출력 스트림(18)을 제공하는데 사용된다. 이러한 멀티플렉서(17)는 원래의 셀 시퀀스, 즉, 입력 매체(11)에서의 시간적 순서가 재설정될 수 있도록 설계된다. 이것은 (FIFO(first in first out) 장치의 경우와 같은) 셀 순서 뿐만 아니라 슬롯내에 정확한 배열이 유지되는 것을 의미한다.

도 2에는 고정 길이 셀(A-G)의 전형적인 스트림(30)이 예시되어 있다. 전송 매체의 슬롯 문자는 시간축

을 슬롯으로 분할하여 나타낸 것이다. 슬롯의 주기는 'T'로 표시된다. 도 2에 도시된 스냅샷(snapshot)은 시간 $t=t_0$ 일 때 취해진다. 고정 길이 셀(A-G)의 스트림(30)이 도 1에 도시된 본 발명의 병렬 처리 유닛(9)을 통해 제공될 것이다. 스냅샷은 시간 $t=t_0+T$, $t=t_0+2T$, $t=t_0+3T$, $t=t_0+4T$, $t=t_0+5T$, $t=t_0+6T$, $t=t_0+7T$ 일 때 취해진다. 이러한 스냅샷은 도 3a-3g에 도시되어 있다. 이러한 시퀀스를 참조하면 알 수 있듯이, 첫번째 셀의 서브스트림(본 발명의 실시예에서 셀의 서브스트림은 하나의 셀만으로 구성되어 있음에 유의하여야 함)은 첫번째 처리 경로(13.1)에 제공되고, 두번째 서브스트림은 두번째 경로(13.2)에 제공되고, 나머지 서브스트림들도 마찬가지로 제공된다. 도 3c 및 도 3d에 도시된 바와 같이, 첫번째 서브스트림(셀 A)은 멀티플렉서(17)에 도달하는 첫번째 서브스트림이다. 두번째 서브스트림(셀 B)은 그 다음 단계의 서브스트림이다. 멀티플렉서(17)는 다른 모든 서브스트림들이 아직 처리되고 있는 동안에 첫번째 서브스트림(셀 A)을 슬롯 매체(19)상에 출력한다. 멀티플렉서(17)에 도달하는 스트림들은 출력 매체(19)상에 서브스트림 단위(sub-stream by sub-stream)로 멀티플렉싱되고, 고정 길이 셀의 스트림(18)은 도 3g의 우측에 도시된 바와 같이 재설정된다. 출력측에서 시간적 순서는 최초 입력측에서의 것과 동일하다.

도 4a에 도시된 바와 같이, 물리층으로부터 ATM 스위치(72)까지의 데이터 경로 및, 더 나아가서 스위치(72)의 다른 쪽의 물리 매체상의 셀 처리 유닛의 배열은 매우 순차적이며, 셀들이 스위치(72) 또는 소정의 관리 동작 셀(OAM: 동작 및 유지 셀)을 처리하는 마이크로프로세서(47)중 어느 하나로 제공되는 하나의 분기점만을 통상적으로 포함한다. 따라서, 이러한 셀 처리 유닛의 배열은 즉시 셀 처리에 매우 적합하다. 첫번째 유닛은 여러 FIFO 유닛으로부터의 ATM 셀(40) 수신을 조정하는 라인 인터페이스 처리기(42)이다. 그 다음 유닛은 VPI/VCI 탐색 유닛(78)(VPI: 가상 경로 식별자, VCI: 가상 채널 식별자)으로서, ATM 셀의 VPI/VCI 필드를 사전정의된 탐색 테이블과 비교하고, 이 셀 이전에 여러 비트를 추가하며, 이 비트는 이 특정 셀을 갖고 있는 후속 유닛에게 통보된다. 또다른 유닛은 헤더 에러 정정 유닛(header error correction unit)(79)으로서, 비트 에러에 대한 ATM 셀 헤더를 분석하고, 특정의 에러를 정정하거나 혹은 제거를 위해 정정할 수 없는 에러를 갖는 셀을 표시한다. OAM 셀 처리 유닛(48)은 마이크로프로세서(47)에 대한 OAM 셀을 추출하거나 혹은 이러한 셀들을 셀 스트림에 삽입한다. AAL5(AAL: ATM adaptation layer) 분할 및 재조립 유닛(segmentation and reassembly unit)(70)은 ATM 셀을 마이크로프로세서(47)용의 대형 패키지로 재조립하거나 혹은 이와 반대로 분할한다. 스위치 라우팅 헤더 삽입 유닛(71)은, 스위치(72)에게 포트(들)를 출력하여 셀에게 제공하도록 지시하는 스위치 지정 헤더를 ATM 셀에 추가한다. VPI/VCI 삽입 유닛(73)은 스위치 라우팅 헤더를 제거하고, 이전의 VPI/VCI 값을 후속 링크에 대응하는 값으로 대체한다. 셀 계수 유닛(cell accounting units)(74, 75)은 접속을 위해 제공된 셀의 수와, 무효 셀의 수등을 카운트한다. 사용자 네트워크 인터페이스(user network interface: UNI)의 셀 정책 유닛(cell policing unit)(76)은 셀의 최대 속도 및 매체 속도가 접속을 위해 제공된 허용 속도에 일치시켜 위반 셀을 제거하도록 제어한다. 트래픽 셰이핑 유닛(traffic shaping unit)(77)은 네트워크내의 셀들이 허용 속도와 다시 부합할 때까지 셀들을 지연시킨다. 즉, 트래픽 셰이핑 유닛(77)은 사용자가 아니라 네트워크에 의해 야기되는 트래픽의 허용 속도의 위반을 정정한다. 입력측에서와 마찬가지로, 출력측에 라인 인터페이스 처리기(80)가 존재한다. 이들 모든 유닛들은 동작에 필요한 소정의 수의 클럭 사이클을 필요로 하며, 이들중 몇몇은 적시에 동작하기 위해 여러개의 병렬 유닛들을 필요로 한다. 또한, 소정의 유닛들은 이들 서브유닛들의 순차적인 배열과 함께 다시 부분적으로 세분될 수 있으며, 소정의 서브유닛만이 본 발명에 따라 병렬화될 수 있다.

도 4b에는 ATM 데이터 전송 채널(41)을 특정 공급자용(vendor specific) ATM 스위칭 패브릭(72)에 접속하기 위해 ATM 스위치 어댑터(43)의 부분으로서 사용하도록 지정된 본 발명의 실시예가 개략적으로 도시되어 있다. 전송한 바와 같이, ATM 스위치 어댑터(43)는 ATM 셀의 스트림(40)을 스위치 패브릭(72)을 통해 라우팅하는데 적합한 셀의 스트림(50)으로 변환하는데 사용되므로, 특별히 마련된 셀이 필요하다. 이러한 특별히 마련된 셀의 구조 및 내용은 사용되는 스위치의 종류에 따라 달라지며, 공급자마다 다르다. 도 4b에 개략적으로 도시된 바와 같이, ATM 스위치 어댑터 카드(43)는 도 4a에 도시된 유닛들을 포함하며, 이들 유닛들중 몇몇은 병렬 처리 유닛(45)의 일부이다. ATM 스위치 어댑터(43)에 있어서, 충분한 정도로 고속이 아닌 유닛은 병렬로 수행된다(상자(45)를 참조). 그러나, 다른 유닛들중 몇몇은 한번만 필요로 한다. 특히, 셀을 처리하는데 하나의 슬롯 주기보다 많이 필요로 하는 처리 유닛들은 병렬 처리를 허용하기 위해 여러번(N번) 제공되고 디멀티플렉서와 멀티플렉서 사이에 배열된다. 몇몇 프로세스 단계들이 병렬 스테거 방식(a parallel, staggered fashion)으로 수행되는 사실은 명료성을 위해 도 4b에 도 1의 기능적인 엘리먼트들을 포함하는 본 발명의 병렬 처리 유닛(45)으로 도시되어 있다. ATM 스위치 어댑터(43)에 의해 처리된 이후에, 셀 스트림(50)은 다른 ATM 스위치 어댑터 카드(81)가 위치될 수 있는 출력측의 스위치 패브릭(72)을 통해 라우팅된다. 이러한 ATM 스위치 어댑터 카드(81)는 셀 스트림을 ATM 셀의 스트림으로 다시 변환하는데 사용될 수 있다.

데이터 처리 유닛(55.1)의 동작이 동일한 데이터 경로(53.1)의 이전의 유닛(54.1)의 동작의 완료에 따라 달라지는 경우 복잡한 문제가 야기될 수 있다. 이 경우, 이전의 유닛(54.1)의 처리가 완료되기 전에 셀이 이와 같이 특별한 데이터 처리 유닛(55.1)에 도달하지 않도록 해야 한다. 본 발명의 다른 실시예에 따르면, 이전의 유닛(54.1)의 처리가 완료된 이후에 셀이 후속 처리 유닛(55.1)에 도달할 수 있도록 하기 위해 각각의 병렬 처리 경로(53.x)내에 지연 유닛(56.1)을 삽입하면, 전송한 문제점이 처리될 수 있다. 이러한 원리는 3개의 병렬 처리 경로(53.x)를 갖는 병렬 처리 유닛(50)의 실시예에 의한 것이다. 지연 유닛(56.1)은 $N(N=3)$ 개의 병렬 처리 경로내에 모두 삽입됨을 이해하여야 한다. 이것은 전체 병렬 처리 유닛(50)의 기능이 변경되지 않도록 한다. 처리 유닛(50)의 전체 처리 지연만이 처리 경로당 모든 지연 유닛의 합만큼 증가된다. 지연 유닛(56.x)은 유닛(54.1)과 일체화된 한 부분으로 또한 생각할 수 있으며, 이에 따라 유닛(54.1)은 모든 동작이 완료된 이후에만 셀을 후속 유닛에 전송할 수 있다.

도 3의 멀티플렉서 뿐만 아니라 도 7의 멀티플렉서는 매우 용이하게 구현될 수 있다. 원칙적으로, 최종 유닛의 출력이 이전에 래치되도록 하는 것만이 필요하다. 즉, 최종 유닛의 출력은 클럭 신호의 에지와 함께 내용을 제공하는 레지스터에 저장된다. 그다음, 슬롯 시스템의 타이밍 동작은 상이한 데이터 경로들이 서로 자동적으로 일치할 수 있게 한다.

디멀티플렉서는 훨씬 복잡하다. 두가지 주요 구현 방안이 존재한다. 첫째 방안으로서, N개의 병렬 경

로의 경우 이들 경로는 카운터에 접속되며, 이 카운터의 값은 1부터 시작하고, 각각의 셀에 대해 1씩 증가되고, 각각의 (N+1)번째 셀에 대해 1로 되돌아간다(wrap around). 이어서, 셀은 카운터 값에 따라 상이한 데이터 경로에 제공된다. 이러한 디멀티플렉서는 최소한 도 3의 개시 위치에서 필요하지만, 도 7에서 공통적으로 사용되는 유닛 이후에도 또한 필요하다. 두번째 방안으로서, 라인 인터페이스로부터의 바로 첫번째 유닛은 특정 비트 패턴을 입력 셀 앞에 부착하는 것을 생각할 수 있다. 이 특정 비트 패턴은 1부터 N까지 카운트하고, 이어서 N이 전체 병렬 처리 유닛에서 사용되는 병렬 데이터 경로의 최대 갯수인 경우 다시 1로 되돌아간다. 각각의 후속 멀티플렉서는 이러한 카운트 비트 패턴에 따라 셀을 제공한다. 이러한 방법은 필요로 하는 멀티플렉서의 수가 많고 대응하는 관련 카운터의 수가 칩의 많은 영역까지 사용할 수 있는 경우에 바람직하다.

도 6에는 세번째 실시예가 도시되어 있다. 이 실시예에 있어서, 병렬 처리 유닛(60)은 두개의 병렬 처리 경로(63.1 및 63.2)를 포함한다. 이전의 유닛의 처리가 완료되기 전에 지정된 처리 유닛의 셀 처리가 개시되지 않도록 보장하는 지연 유닛을 도입하는 대신, 서로 종속하는 두개의 유닛들 사이에 다른 프로세싱 유닛들을 도입할 수 있다. 도 6에 있어서, 유닛(64.1)의 처리가 완료된 경우에만, 처리 유닛(65.1)이 적절하게 동작한다. 유닛(65.2 및 64.2)도 이와 같은 방식으로 동일하게 적용된다. 이를 확실하게 하기 위해, 다른 처리 유닛(66.1 및 66.2)이 이 사이에 제공되었다. 이로 인해, 지연 유닛을 사용한 경우와 같이 부가적인 지연이 존재하지 않는다(도 5를 참조). 처리 단계의 순서만이 변경된다. 그러나, 이러한 방안은, 유닛(66.1 및 66.2)내의 처리가 언제 실제로 행해지는지가 중요하지 않은 경우에만 사용될 수 있다.

도 7에는 본 발명의 다른 실시예가 도시되어 있다. 모든 혹은 몇몇 병렬 처리 경로에 의해 특정 처리 유닛들이 공유되면, 병렬 처리 유닛의 다수의 병렬 처리 경로의 배열로 인해 칩의 면적이 크게 감소될 수 있다. 비-사이클 임계 유닛들(non-cycle critical units)이 이러한 목적에 가장 적합하다. 도 7에 도시된 바와 같이, 디멀티플렉서(83) 다음에 두개의 병렬 처리 경로(88.1 및 88.2)를 포함하는 병렬 처리 유닛(81)이 제공된다. 이들 병렬 처리 경로의 출력측에는 멀티플렉서(89)가 제공된다. 이 실시예에 있어서, 비-사이클 임계 처리 유닛(86)은 두개의 병렬 처리 경로에 의해 공유된다. 즉, 처리 유닛(84.1 및 84.2)의 출력측의 셀들은 모두 동일한 하나의 처리 유닛(86)을 통해 처리된다. 이것은 상이한 프로세싱 경로로부터의 셀들이 스택거 방식으로 도달하기 때문에 가능하다. 공통 처리 유닛(86)은 슬롯 주기 T에 대응하는 수의 클럭 사이클 동안에 셀 처리를 완료하는 유닛이어야 한다. 공통 처리 유닛(86)의 출력측에는 신호를 우측 처리 유닛(85.1 및 85.2)에 제공하는 디멀티플렉서(87)가 존재한다. 여러 병렬 처리 경로에 의해 사용될 수 있는 처리 유닛들의 식별은 칩 설계자에 의해 이루어지거나 혹은 최신 설계 수단으로 고수준의 통합 또는 게이트 수준의 통합 최적화 단계(synthesis optimization steps)에 의해 자동적으로 이루어질 수 있다.

셀 처리 시스템의 대역폭의 일부는 특정 응용에 적용될 수 있다. 이것은 셀 기반 시스템에서 매우 중요한 특징을 가지며, 시간 임계(실시간) 정보를 전송하기 위해 ATM 네트워크에서 사용된다. 그러나, 이와 같이 시간 임계 서비스가 네트워크상에서 지원되면, 어댑터, 스위치 등은 모두 이러한 종류의 서비스를 지원해야 한다. 즉, 특정 응용에 대해 배정된 슬롯들이 변경되지 않은 채 유지되어야 한다. 이것은 본 발명에 따른 병렬 처리 유닛에 의해 보장된다.

단일 사이클 임계 처리 유닛을 N개의 병렬 처리 경로로 대체 이용하는 개념을 기반으로 하는 본 발명의 아키텍처는 모든 종류의 셀 기반 시스템에서 사용될 수 있으므로, ATM 데이터 전송 시스템으로 한정되지 않는다. 본 발명을 사용할 수 있는 다른 실시예로는 데이터를 고정 길이 셀 또는 컴퓨터 버스 시스템 형태로 전송하는 저장 장치를 들 수 있다.

(57) 청구의 범위

청구항 1

슬롯형 전송 매체(slotted transmission medium)(11, 41)를 통해 수신된 고정 길이 셀(fixed length cells)의 순차적인 스트림(10, 30)을 처리하는 장치(9, 45, 50, 60, 70)에 있어서,

a) 상기 고정 길이 셀의 순차적인 스트림(10, 30)중 N개의 고정 길이 셀의 서브스트림을 제공하는 디멀티플렉서(demultiplexer)(12, 52, 62, 72)와,

b) 상기 N개의 서브스트림 각각이 N개의 처리 경로(13.x, 53.x, 63.x, 88.x)의 다른 경로에 제공되고, 특정 처리 경로에 제공되는 서브스트림과 다른 처리 경로에 제공되는 후속 서브스트림 사이의 주기가 상기 슬롯형 전송 매체(11, 41)의 슬롯 주기(T)와 동일하게 시간적 순서로 스택거형 방식(a chronological, staggered manner)으로 상기 처리 경로(13.x, 53.x, 63.x, 88.x)로의 공급이 수행되도록 상기 디멀티플렉서(12, 52, 62, 72)에 접속되는 N(N=2, 3, ...)개의 동일한 병렬 처리 경로(13.x, 53.x, 63.x, 73.x)와,

c) 상기 N개의 처리 경로(13.x, 53.x, 63.x, 88.x)의 출력에 제공되는 서브스트림을 고정 길이 셀의 출력 스트림(18, 50)으로 멀티플렉싱하여 상기 고정 길이 셀의 순차적인 스트림(10, 30)의 셀 순서를 순차적으로 유지하는 멀티플렉서(17, 57, 67, 77)를 포함하는

고정 길이 셀의 순차적 스트림 처리 장치.

청구항 2

제 1 항에 있어서,

상기 고정 길이 셀의 서브스트림 각각은 하나의 고정 길이 셀로 이루어진

고정 길이 셀의 순차적 스트림 처리 장치.

청구항 3

제 2 항에 있어서,

상기 고정 길이 셀은 비동기 전송 방식(asynchronous transfer mode: ATM)의 셀인 고정 길이 셀의 순차적 스트림 처리 장치.

청구항 4

제 1 항에 있어서,

상기 병렬 처리 경로(88.1, 88.2)는 적어도 하나의 공통 처리 유닛(86)을 공유하는 고정 길이 셀의 순차적 스트림 처리 장치.

청구항 5

제 1 항에 있어서,

상기 병렬 처리 경로(53.x) 각각은 적어도 하나의 지연 유닛(56.x)을 포함하여, 상기 지연 유닛(56.x) 뒤에 오는 처리 유닛(55.x)에서의 셀의 서브스트림의 처리가, 상기 지연 유닛(56.x) 앞의 처리 유닛(54.x)에 의해 상기 동일한 셀의 서브스트림의 처리가 완료되기 전에 개시하지 않도록 보장하는

고정 길이 셀의 순차적 스트림 처리 장치.

청구항 6

제 1 항에 있어서,

비동기 전송 방식(ATM)의 셀 또는 비동기 전송 방식의 셀의 서브스트림을 처리하도록 설계된 고정 길이 셀의 순차적 스트림 처리 장치.

청구항 7

슬롯형 전송 매체(41)를 통해 고정 길이 셀(40)의 순차적 스트림으로서 수신된 비동기 전송 방식의 셀을 처리하는 비동기 전송 방식의 스위치 어댑터(switch adapter)(43)에 있어서,

a) 상기 비동기 전송 방식의 셀(40)을 수신하는 수단(42)과,

b) N개의 고정 길이 셀의 서브스트림을 제공하는 디멀티플렉서와,

c) 상기 N개의 서브스트림 각각이 N개의 처리 경로들의 다른 경로에 제공되고, 특정한 처리 경로에 제공되는 서브스트림과 다른 처리 경로에 제공되는 후속 서브스트림 사이의 주기가 상기 슬롯형 셀 처리 매체(41)의 슬롯 주기(T)와 동일하게 시간적 순서로 스택거형 방식으로 상기 처리 경로로의 공급이 수행되도록 상기 디멀티플렉서에 접속되는 N(N=2, 3, ...)개의 동일한 병렬 처리 경로와,

d) 상기 N개의 처리 경로의 출력에 제공된 서브스트림을 고정 길이 셀의 출력 스트림(50)으로 멀티플렉싱하여 상기 고정 길이 셀의 순차적인 스트림의 셀 순서를 순차적으로 유지하는 멀티플렉서를 포함하는

비동기 전송 방식의 스위치 어댑터.

청구항 8

제 7 항에 있어서,

상기 고정 길이 셀의 출력 스트림(50)은 스위칭 패브릭(switching fabric)(72)을 통해 라우팅하는데 적합한 비동기 전송 방식의 스위치 어댑터.

청구항 9

제 7 항에 있어서,

비동기 전송 방식의 셀의 가상 경로 식별자/가상 채널 식별자 필드를 사전정의된 탐색 테이블(predefined lookup table)과 비교하고, 상기 비동기 전송 방식의 셀 앞에 여러 비트를 추가하여 이러한 특정 셀로 무엇을 해야 할지를 후속 유닛에게 알리는데 사용되는 가상 경로 식별자/가상 채널 식별자 탐색 유닛(78)을 포함하는

비동기 전송 방식의 스위치 어댑터.

청구항 10

제 7 항에 있어서,

비트 에러를 위해 상기 비동기 전송 방식의 셀의 셀 헤더를 분석하고, 특정 에러를 정정하거나 혹은 제거를 위해 정정할 수 없는 에러를 갖는 비동기 전송 방식의 셀을 표시하는 헤더 에러 정정 유닛(79)을 포함하는

비동기 전송 방식의 스위치 어댑터.

청구항 11

제 7 항에 있어서,

동작 및 유지 셀 처리 유닛(operation and maintenance cell processing unit)(48) 및 프로세서(47)를 포함하고, 상기 동작 및 유지 셀 처리 유닛(48)은 상기 프로세서(47)에 대한 특별한 동작 및 유지 셀을 추출하거나 혹은 이러한 동작 및 유지 셀을 비동기 전송 방식의 셀 스트림에 삽입하는

비동기 전송 방식의 스위치 어댑터.

청구항 12

제 7 항에 있어서,

상기 각각의 비동기 전송 방식의 셀을 어느 출력 포트로 전송할지 상기 스위치(72)에게 통보하는 스위치 지정 헤더(switch specific header)를 각각의 비동기 전송 방식의 셀에 추가하기 위한 스위치 라우팅 헤더 삽입 유닛(71)을 포함하는

비동기 전송 방식의 스위치 어댑터.

청구항 13

제 7 항에 있어서,

접속을 위해 제공된 비동기 전송 방식의 셀의 수와, 무효 비동기 전송 방식의 셀의 수를 카운트하는 셀 카운트 유닛(75)을 포함하는

비동기 전송 방식의 스위치 어댑터.

청구항 14

제 7 항에 있어서,

셀의 최대 속도 및 매체 속도(medium rate)를 제어하는 셀 정책 유닛(cell policing unit)(76)을 포함하는 비동기 전송 방식의 스위치 어댑터.

청구항 15

청구항 7 내지 14 항중 어느 한 항에 따르는 비동기 전송 방식의 스위치 패브릭(72)과, 비동기 전송 방식의 스위치 어댑터(43)를 포함하는 비동기 전송 방식의 스위칭 유닛.

청구항 16

제 15 항에 있어서,

가상 경로 식별자/가상 채널 식별자 삽입 유닛(73)과,

셀 카운트 유닛(74)과,

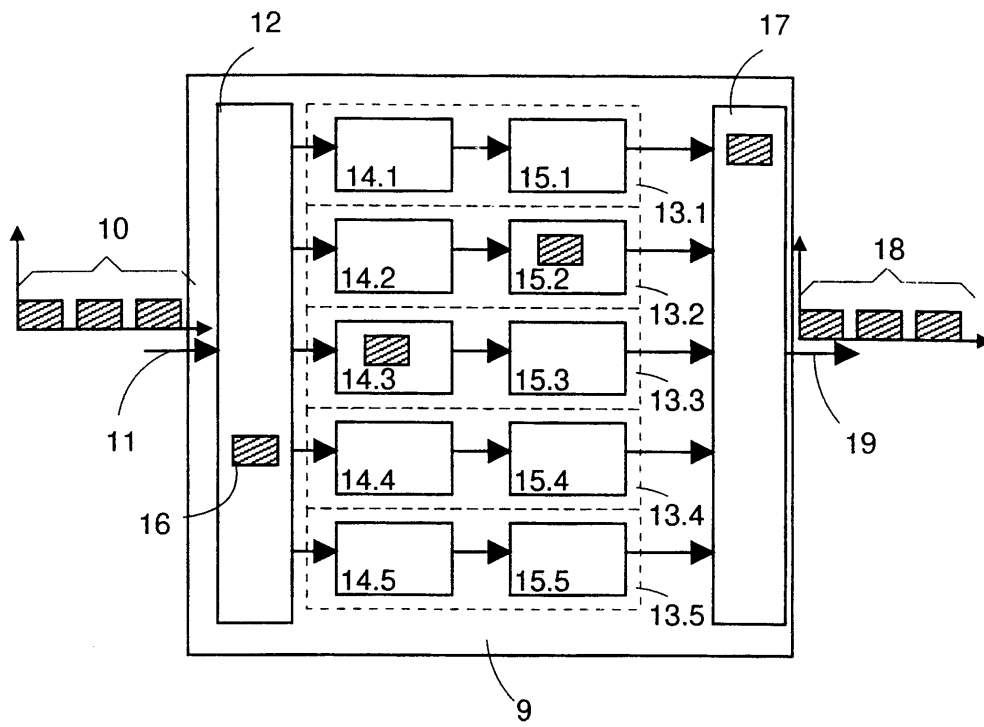
주어진 트래픽 허용 신호(given traffic permissions)와 다시 부합할 때까지 셀들을 지연시키기 위한 트래픽 셰이핑 유닛(traffic shaping unit)(77)과,

상기 스위치 패브릭(72)의 출력 포트(들)에 위치하는 라인 인터페이스 처리기(80)를 포함하는

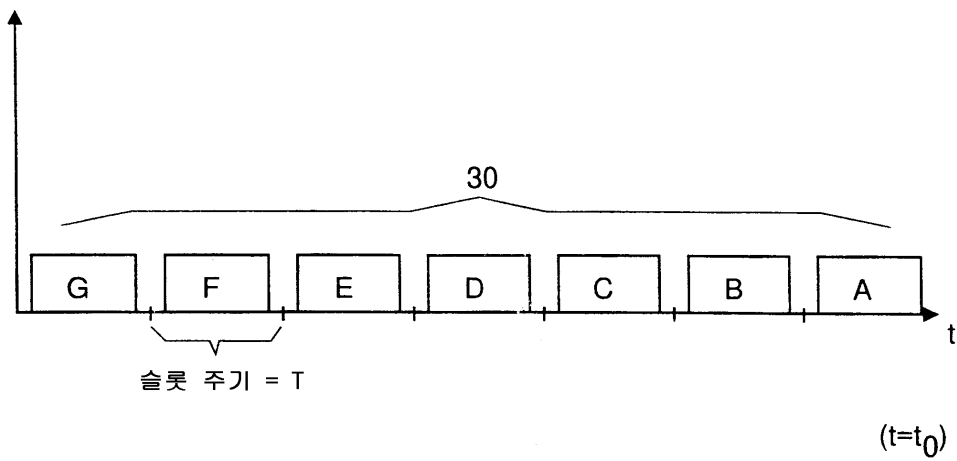
비동기 전송 방식의 스위칭 유닛.

도면

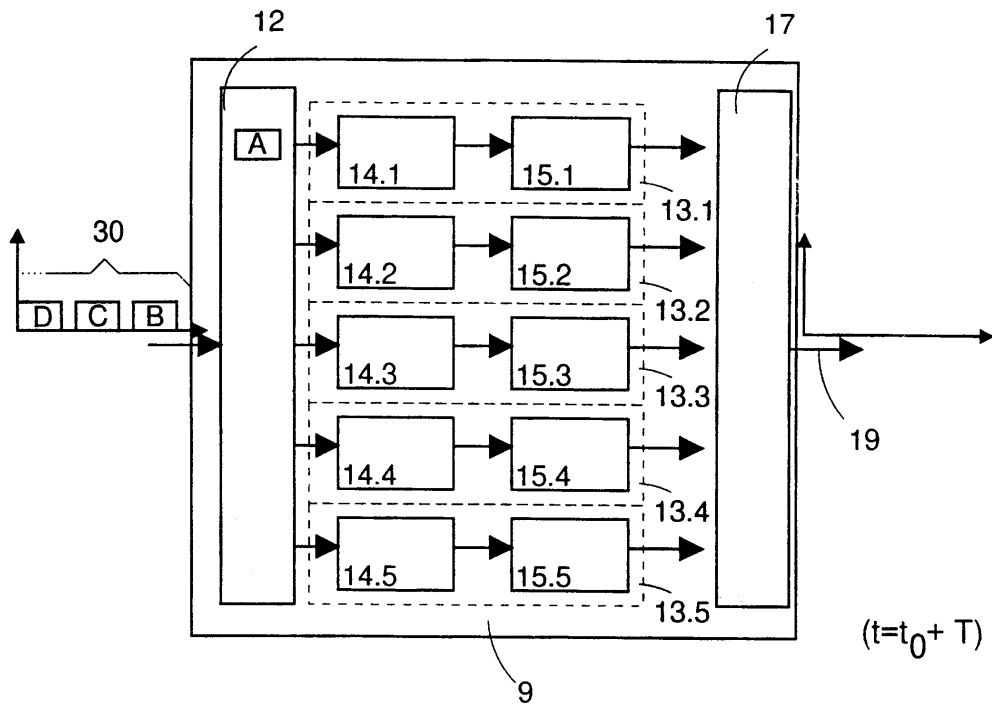
도면1



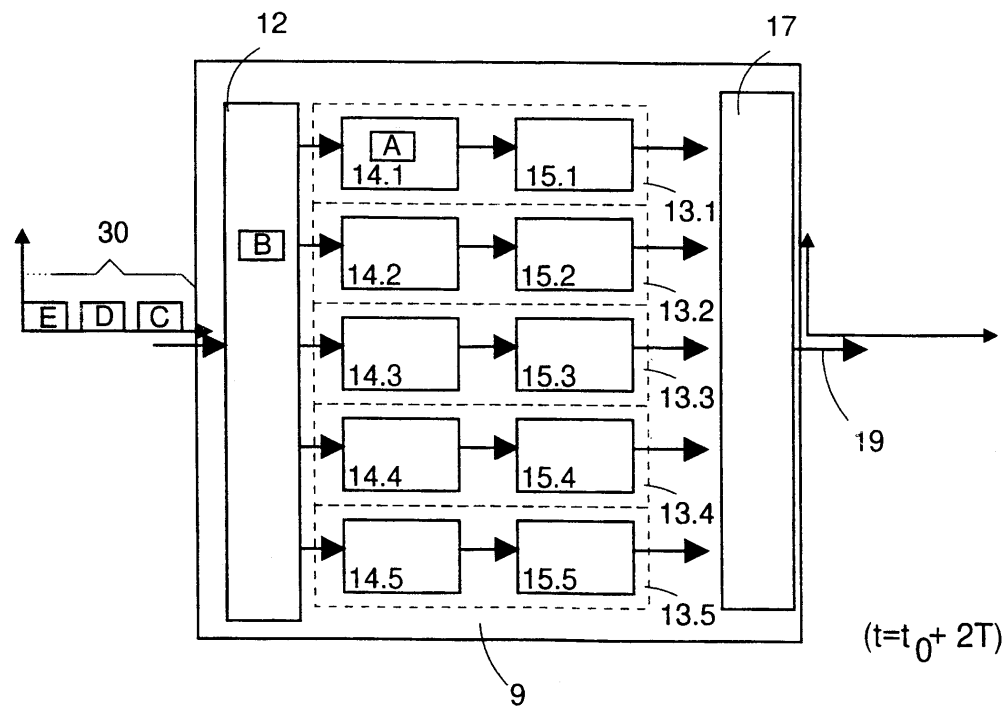
도면2



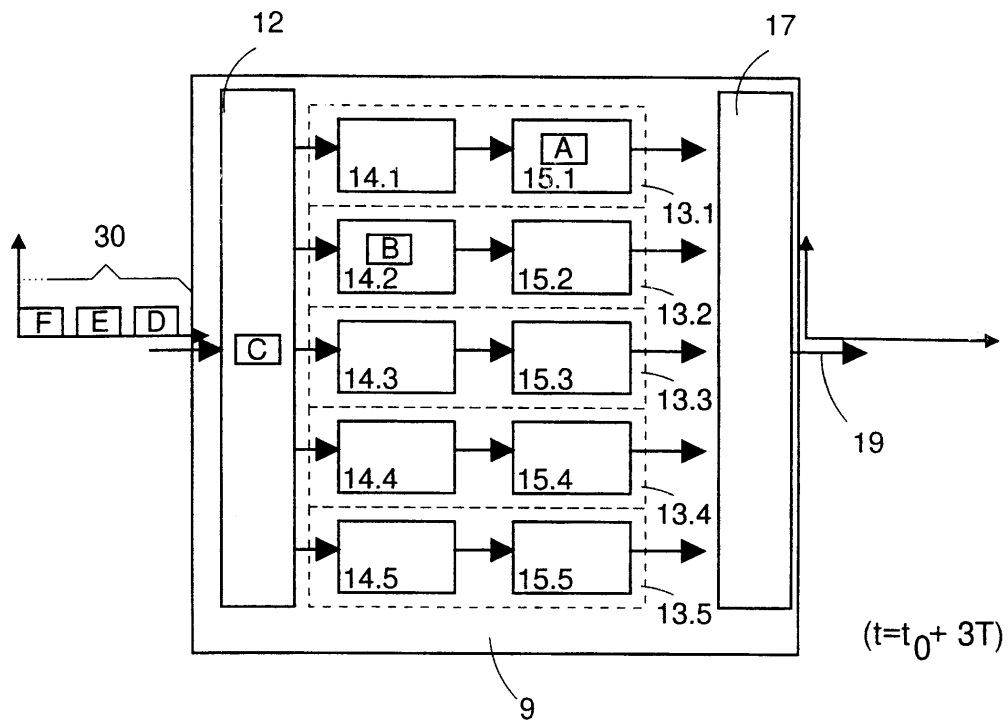
도면3a



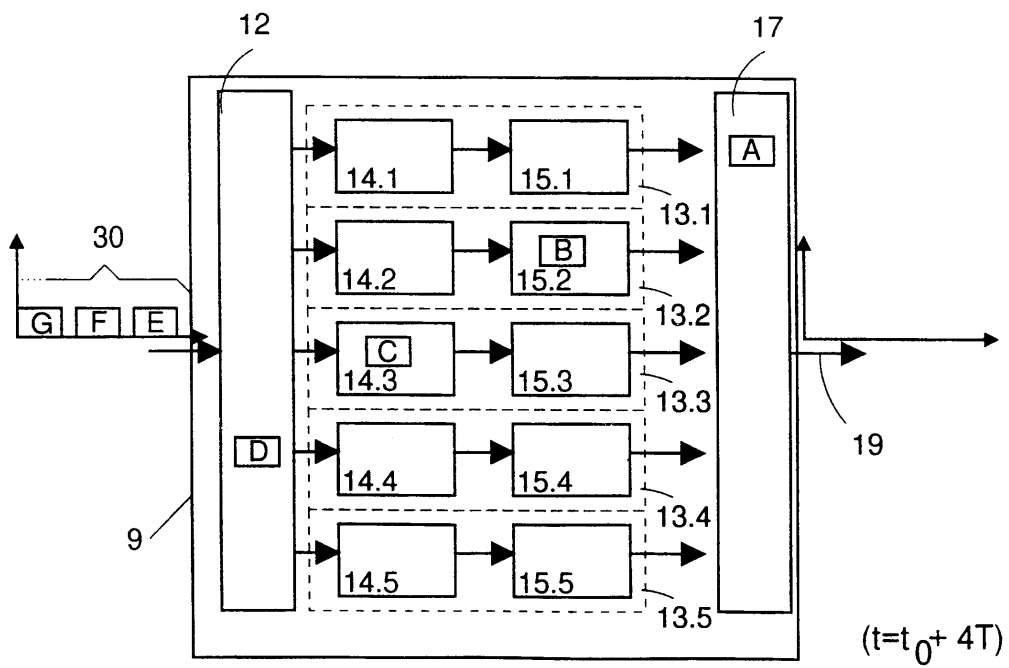
도면3b



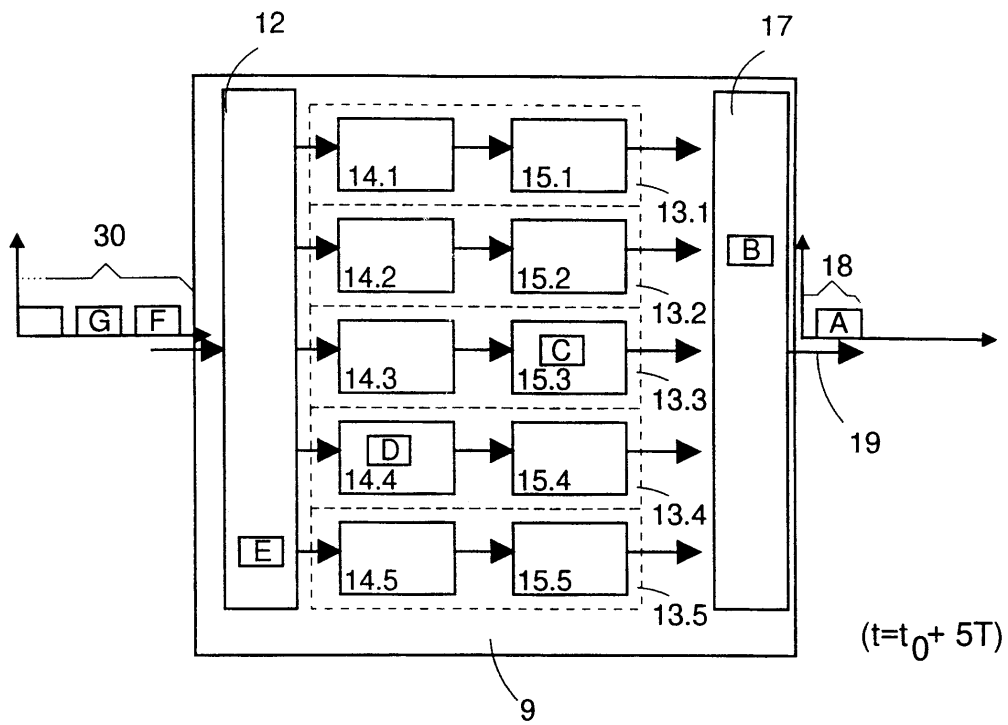
도면3c



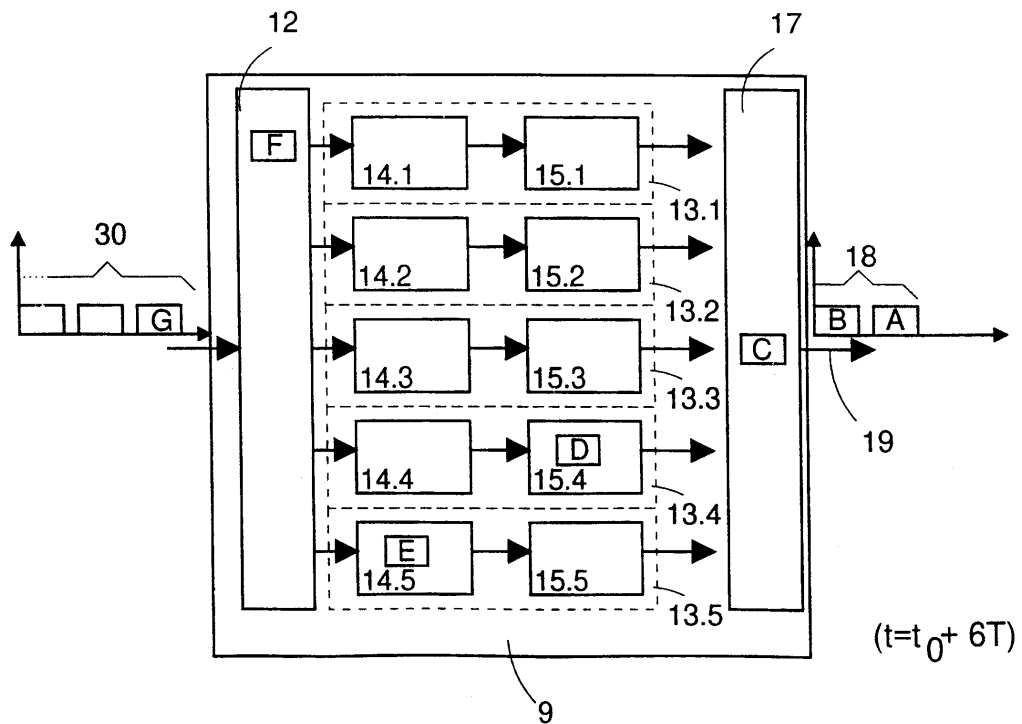
도면3d



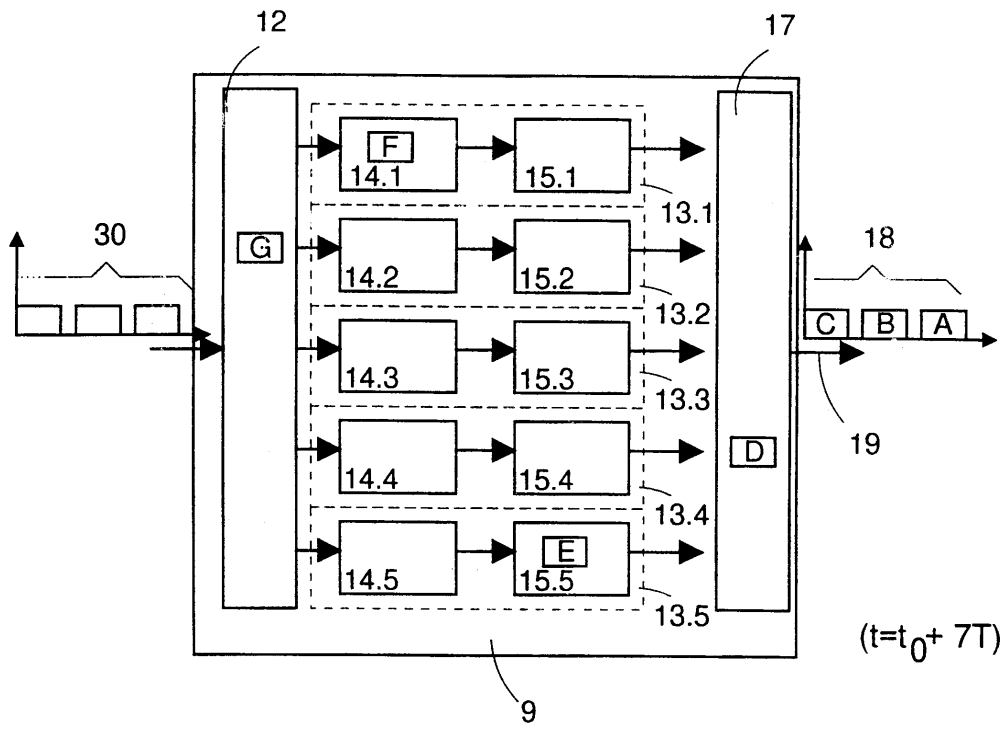
도면3e



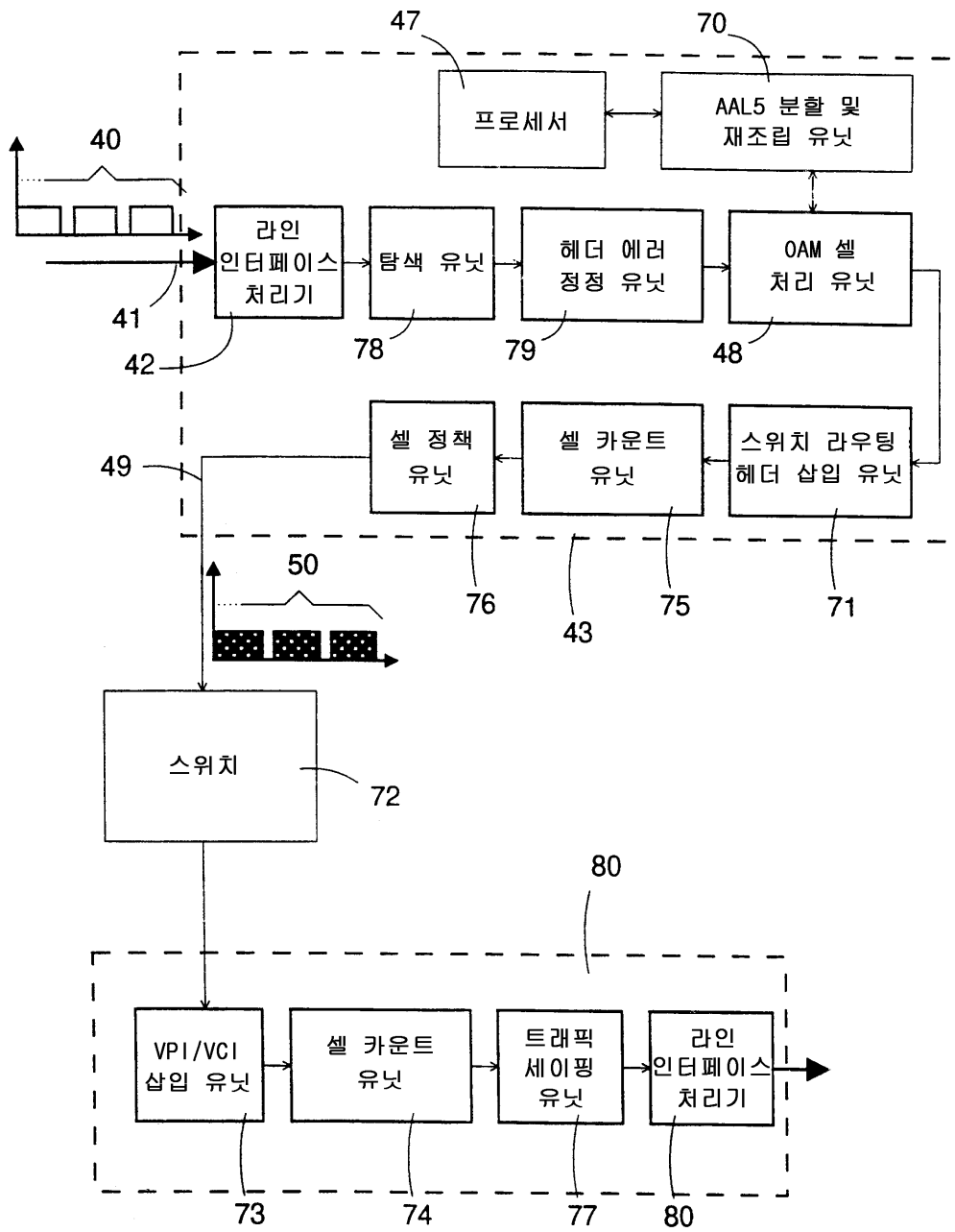
도면3f



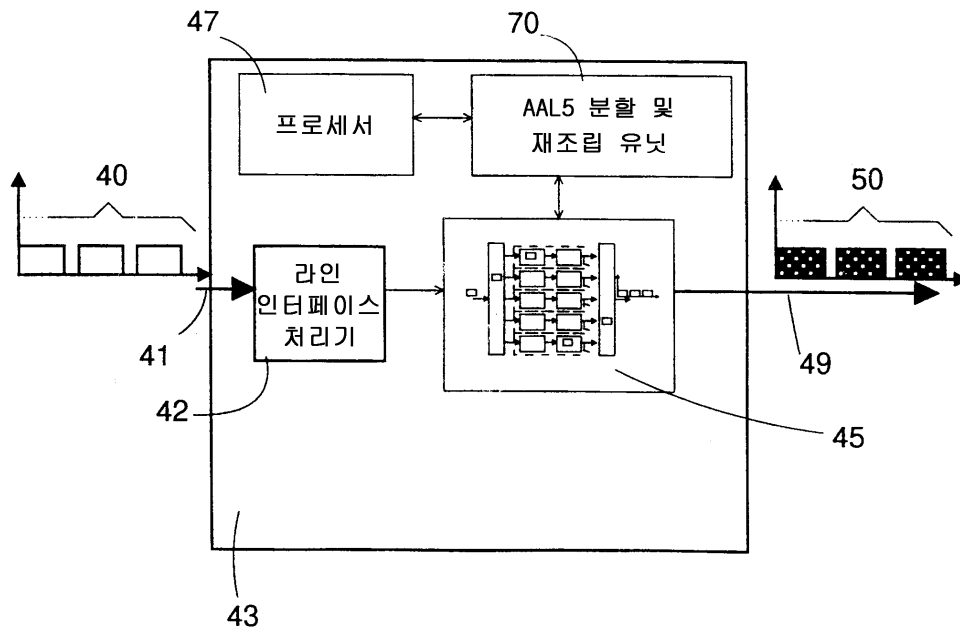
도면 3g



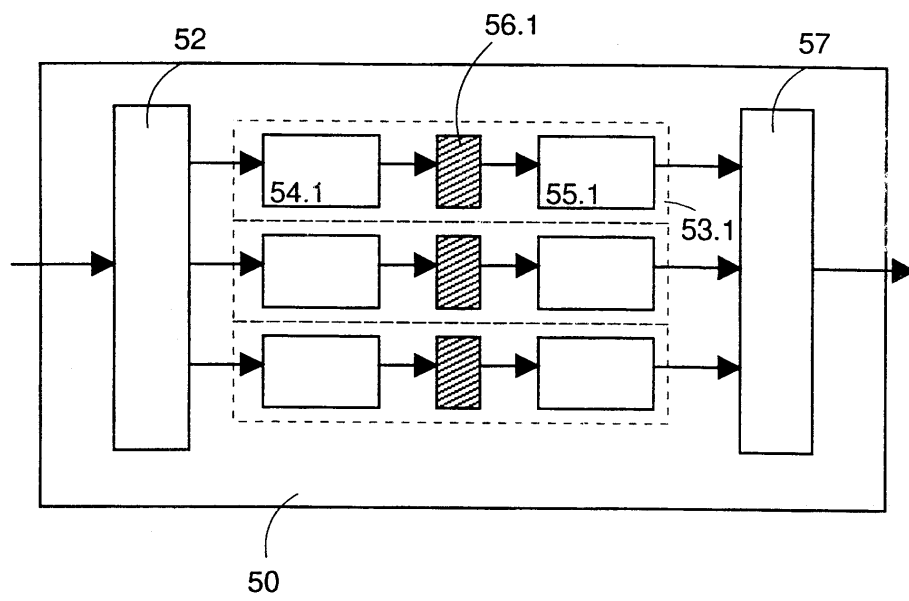
도면 4a



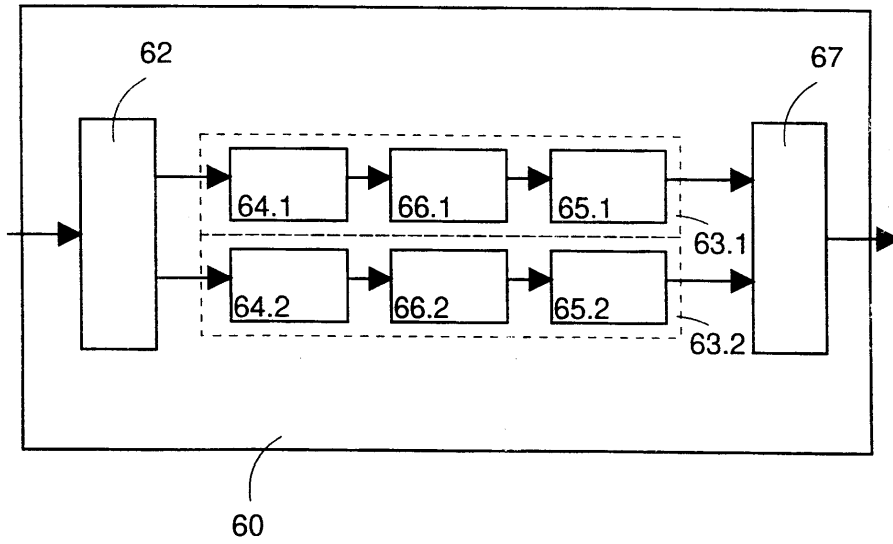
도면4b



도면5



도면6



도면7

