

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-219569

(P2013-219569A)

(43) 公開日 平成25年10月24日(2013.10.24)

(51) Int.Cl.	F I	テーマコード (参考)
H03H 11/04 (2006.01)	H03H 11/04	5 J 0 9 8
	H03H 11/04	J
	H03H 11/04	F
	H03H 11/04	D

審査請求 未請求 請求項の数 15 O L (全 33 頁)

(21) 出願番号 特願2012-89063 (P2012-89063)
(22) 出願日 平成24年4月10日 (2012.4.10)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107261
弁理士 須澤 修
(74) 代理人 100127661
弁理士 宮坂 一彦
(72) 発明者 三澤 利之
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

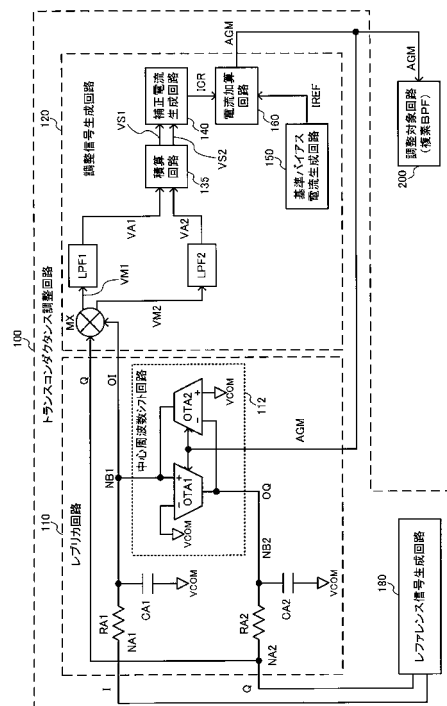
(54) 【発明の名称】 トランスコンダクタンス調整回路、回路装置及び電子機器

(57) 【要約】

【課題】簡素な構成で、トランスコンダクタンスを精度良く調整することができるトランスコンダクタンス調整回路、回路装置及び電子機器等を提供すること。

【解決手段】トランスコンダクタンス調整回路100は、第1の信号Iと、第1の信号Iと位相が90度異なる第2の信号Qとを出力するレファレンス信号生成回路180と、第1の信号I及び第2の信号Qが入力され、第1の出力信号OIと第2の出力信号OQとを生成するレプリカ回路110と、調整対象回路200及びレプリカ回路110に対して、トランスコンダクタンス調整信号AGMを出力する調整信号生成回路120を含む。レファレンス信号生成回路180は、クロック信号CLKに基づいて、第1の電圧レベルVHと第2の電圧レベルVLとの間で電圧が変化する第1の信号I及び第2の信号Qを生成し、レプリカ回路110に対して出力する。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

第 1 の信号と、前記第 1 の信号と位相が 90 度異なる第 2 の信号とを出力するレファレンス信号生成回路と、

前記第 1 の信号及び前記第 2 の信号が入力され、第 1 の出力信号と第 2 の出力信号とを生成する、調整対象回路のレプリカ回路と、

前記調整対象回路及び前記レプリカ回路に対して、トランスコンダクタンス調整信号を出力する調整信号生成回路とを含み、

前記レファレンス信号生成回路は、

クロック信号に基づいて、第 1 の電圧レベルと第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、前記レプリカ回路に対して出力することを特徴とするトランスコンダクタンス調整回路。

10

【請求項 2】

請求項 1 において、

前記第 1 の信号及び前記第 2 の信号の振幅は、前記クロック信号の振幅の 1 / 2 以下であることを特徴とするトランスコンダクタンス調整回路。

【請求項 3】

請求項 2 において、

前記レファレンス信号生成回路は、

前記クロック信号に基づいて、位相が異なる第 1 の矩形波信号～第 n (n は 2 以上の整数) の矩形波信号を生成する信号生成回路と、

20

前記第 1 の矩形波信号～前記第 n の矩形波信号が入力され、電圧レベルの変換処理を行って、前記第 1 の信号及び前記第 2 の信号を出力する電圧レベル変換回路とを有することを特徴とするトランスコンダクタンス調整回路。

【請求項 4】

請求項 3 において、

前記信号生成回路は、

前記クロック信号を分周する分周器と、

前記分周器により分周された信号を前記クロック信号によりシフトすることで、前記第 1 の矩形波信号～前記第 n の矩形波信号を出力するシフトレジスタとを有することを特徴とするトランスコンダクタンス調整回路。

30

【請求項 5】

請求項 3 又は 4 において、

前記電圧レベル変換回路は、

前記第 1 の電圧レベル及び前記第 2 の電圧レベルを生成する抵抗分割回路と、

前記第 1 の矩形波信号～前記第 n の矩形波信号に基づいてオン・オフされ、前記第 1 の電圧レベル及び前記第 2 の電圧レベルを交互に選択するスイッチ回路とを有し、

前記スイッチ回路は、

前記第 1 の電圧レベル及び前記第 2 の電圧レベルを交互に選択することで、前記第 1 の電圧レベルと前記第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、出力することを特徴とするトランスコンダクタンス調整回路。

40

【請求項 6】

請求項 3 又は 4 において、

前記電圧レベル変換回路は、

前記第 1 の矩形波信号～前記第 n の矩形波信号を減衰させるアッテネーターと、

前記アッテネーターにより減衰された信号の電圧レベルをシフトして、前記第 1 の電圧レベルと前記第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、出力するレベルシフト回路を有することを特徴とするトランスコンダクタンス調整回路。

【請求項 7】

50

請求項 1 乃至 6 のいずれかにおいて、

前記調整対象回路及び前記レプリカ回路は、共に複素バンドパスフィルタ回路であることを特徴とするトランスコンダクタンス調整回路。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記レプリカ回路は、

前記第 1 の信号が入力される第 1 の入力ノードと第 1 の出力ノードとの間に設けられる第 1 の抵抗素子と、

前記第 2 の信号が入力される第 2 の入力ノードと第 2 の出力ノードとの間に設けられる第 2 の抵抗素子と、

前記第 1 の出力ノードに一端が接続される第 1 のキャパシタと、

前記第 2 の出力ノードに一端が接続される第 2 のキャパシタと、

前記第 1 の出力ノードと前記第 2 の出力ノードとの間に設けられる 1 対の演算トランスコンダクタンス増幅器で構成される中心周波数シフト回路とを有することを特徴とするトランスコンダクタンス調整回路。

【請求項 9】

請求項 8 において、

前記調整信号生成回路は、

前記第 2 の信号と前記第 1 の出力ノードから出力される前記第 1 の出力信号とに基づいて、又は前記第 1 の信号と前記第 2 の出力ノードから出力される前記第 2 の出力信号とに基づいて、又は前記第 1 の信号と前記第 1 の出力信号とに基づいて、又は前記第 2 の信号と前記第 2 の出力信号とに基づいて、前記トランスコンダクタンス調整信号を生成することを特徴とするトランスコンダクタンス調整回路。

【請求項 10】

請求項 9 において、

前記調整信号生成回路は、

前記第 1 の信号と前記第 2 の出力信号とが入力され、又は前記第 2 の信号と前記第 1 の出力信号とが入力されるミキサーと、

前記ミキサーからの第 1 のミキサー出力信号を平滑する第 1 の平滑回路と、

前記ミキサーからの第 2 のミキサー出力信号を平滑する第 2 の平滑回路と、

前記第 1 の平滑回路及び前記第 2 の平滑回路の出力信号を積算し、第 1 の積算電圧及び第 2 の積算電圧を生成する積算回路と、

前記積算回路からの前記第 1 の積算電圧及び前記第 2 の積算電圧に基づいて補正電流を生成する補正電流生成回路と、

基準バイアス電流を生成する基準バイアス電流生成回路と、

前記補正電流と前記基準バイアス電流とを加算する電流加算回路とを有し、

前記調整信号生成回路は、

前記電流加算回路により加算された電流に基づいて、前記トランスコンダクタンス調整信号を出力することを特徴とするトランスコンダクタンス調整回路。

【請求項 11】

請求項 9 において、

前記調整信号生成回路は、

前記第 1 の信号と前記第 2 の出力信号とが入力され、又は前記第 2 の信号と前記第 1 の出力信号とが入力されるミキサーと、

前記ミキサーの出力を平滑する平滑回路と、

前記平滑回路の出力信号と基準電圧信号との差分信号を生成する差分信号生成回路と、

前記差分信号生成回路からの前記差分信号を積算し、積算電圧を生成する積算回路と、

前記積算回路からの前記積算電圧に基づいて補正電流を生成する補正電流生成回路と、

基準バイアス電流を生成する基準バイアス電流生成回路と、

前記補正電流と前記基準バイアス電流とを加算する電流加算回路とを有し、

前記調整信号生成回路は、

前記電流加算回路により加算された電流に基づいて、前記トランスコンダクタンス調整信号を出力することを特徴とするトランスコンダクタンス調整回路。

【請求項 1 2】

請求項 8 乃至 1 1 のいずれかにおいて、

前記レファレンス信号生成回路は、

前記第 1 の信号又は前記第 2 の信号と位相が異なる第 3 の信号を出力し、

前記調整信号生成回路は、

前記第 3 の信号と前記第 1 の出力信号とに基づいて、又は前記第 3 の信号と前記第 2 の出力信号とに基づいて、前記第 1 の抵抗素子、前記第 2 の抵抗素子及び前記調整対象回路に対して抵抗値を調整する信号を出力することを特徴とするトランスコンダクタンス調整回路。

10

【請求項 1 3】

請求項 1 乃至 1 2 のいずれかに記載のトランスコンダクタンス調整回路と、

前記調整対象回路とを含むことを特徴とする回路装置。

【請求項 1 4】

請求項 1 3 において、

前記調整対象回路は、

演算トランスコンダクタンス増幅器を有する複素バンドパスフィルタ回路であって、

前記トランスコンダクタンス調整信号に基づいて、前記演算トランスコンダクタンス増幅器のトランスコンダクタンスが調整されることを特徴とする回路装置。

20

【請求項 1 5】

請求項 1 3 又は 1 4 に記載の回路装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、トランスコンダクタンス調整回路、回路装置及び電子機器等に関する。

【背景技術】

【0 0 0 2】

近年の携帯無線機器の普及に伴い、より小型で低消費電力の無線回路装置が要求されている。例えばフィルタ回路として、演算トランスコンダクタンス増幅器（O T A : Operational Transconductance Amplifier）とキャパシタで構成される複素バンドパスフィルタ（複素 B P F）回路を用いることで、無線回路装置の 1 チップ化を実現している。

30

【0 0 0 3】

ところが、実際の回路装置では、製造ばらつきや電源電圧、温度の変動などによるトランスコンダクタンス及び受動素子の特性の変動が避けられないため、フィルタ特性の変動が生じ、その結果無線機器の動作が不安定になるなどの問題がある。

【0 0 0 4】

この課題に対して、例えば特許文献 1、2、3 には、O T A のトランスコンダクタンスを調整して、フィルタ特性の変動を補償する手法が開示されている。しかしながらこれらの手法では、複素 B P F 回路の位相誤差を検出する精度が十分ではなく、フィルタ特性の変動を高精度に補償することが難しいなどの課題がある。

40

【先行技術文献】

【特許文献】

【0 0 0 5】

【特許文献 1】米国特許第 7 3 1 9 7 3 1 号明細書

【特許文献 2】特開平 8 - 2 0 4 5 0 4 号公報

【特許文献 3】特開 2 0 0 3 - 1 4 2 9 8 7 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

本発明の幾つかの態様によれば、簡素な構成で、トランスコンダクタンスを精度良く調整することができるトランスコンダクタンス調整回路、回路装置及び電子機器等を提供できる。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一態様は、第 1 の信号と、前記第 1 の信号と位相が 90 度異なる第 2 の信号とを出力するレファレンス信号生成回路と、前記第 1 の信号及び前記第 2 の信号が入力され、第 1 の出力信号と第 2 の出力信号とを生成する、調整対象回路のレプリカ回路と、前記調整対象回路及び前記レプリカ回路に対して、トランスコンダクタンス調整信号を出力する調整信号生成回路とを含み、前記レファレンス信号生成回路は、クロック信号に基づいて、第 1 の電圧レベルと第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、前記レプリカ回路に対して出力するトランスコンダクタンス調整回路に関係する。

10

【 0 0 0 8 】

本発明の一態様によれば、レファレンス信号生成回路は、第 1、第 2 の信号のタイミングをクロック信号に基づいて生成することができるから、第 1、第 2 の信号の位相差を正確に 90 度に設定することができる。その結果、簡素な回路構成で、精度の高いトランスコンダクタンス調整を行うことが可能になる。

【 0 0 0 9 】

20

また本発明の一態様では、前記第 1 の信号及び前記第 2 の信号の振幅は、前記クロック信号の振幅の 1 / 2 以下であってもよい。

【 0 0 1 0 】

このようにすれば、第 1、第 2 の信号の振幅を十分小さくすることができるから、調整対象回路に悪影響を与えるノイズ成分を低減することなどができる。

【 0 0 1 1 】

また本発明の一態様では、前記レファレンス信号生成回路は、前記クロック信号に基づいて、位相が異なる第 1 の矩形波信号～第 n (n は 2 以上の整数) の矩形波信号を生成する信号生成回路と、前記第 1 の矩形波信号～前記第 n の矩形波信号が入力され、電圧レベルの変換処理を行って、前記第 1 の信号及び前記第 2 の信号を出力する電圧レベル変換回路とを有してもよい。

30

【 0 0 1 2 】

このようにすれば、信号生成回路が精度の高い位相差を有する n 個の矩形波信号を生成し、電圧レベル変換回路が矩形波信号の電圧レベルの変換処理を行うことができるから、第 1、第 2 の信号の位相差を正確に 90 度に設定することができる。

【 0 0 1 3 】

また本発明の一態様では、前記信号生成回路は、前記クロック信号を分周する分周器と、前記分周器により分周された信号を前記クロック信号によりシフトすることで、前記第 1 の矩形波信号～前記第 n の矩形波信号を出力するシフトレジスターとを有してもよい。

【 0 0 1 4 】

40

このようにすれば、信号生成回路は、精度の高い位相差を有する n 個の矩形波信号を生成することができる。

【 0 0 1 5 】

また本発明の一態様では、前記電圧レベル変換回路は、前記第 1 の電圧レベル及び前記第 2 の電圧レベルを生成する抵抗分割回路と、前記第 1 の矩形波信号～前記第 n の矩形波信号に基づいてオン・オフされ、前記第 1 の電圧レベル及び前記第 2 の電圧レベルを交互に選択するスイッチ回路とを有し、前記スイッチ回路は、前記第 1 の電圧レベル及び前記第 2 の電圧レベルを交互に選択することで、前記第 1 の電圧レベルと前記第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、出力してもよい。

50

【 0 0 1 6 】

このようにすれば、電圧レベル変換回路は、抵抗分割回路により第 1、第 2 の電圧レベルを設定し、スイッチ回路により第 1、第 2 の電圧レベルを交互に選択することで、第 1 の電圧レベルと第 2 の電圧レベルとの間で電圧が変化し、且つ位相差が正確に 90 度異なる第 1、第 2 の信号を出力することができる。

【 0 0 1 7 】

また本発明の一態様では、前記電圧レベル変換回路は、前記第 1 の矩形波信号～前記第 n の矩形波信号を減衰させるアッテネーターと、前記アッテネーターにより減衰された信号の電圧レベルをシフトして、前記第 1 の電圧レベルと前記第 2 の電圧レベルとの間で電圧が変化する前記第 1 の信号及び前記第 2 の信号を生成し、出力するレベルシフト回路を有してもよい。

10

【 0 0 1 8 】

このようにすれば、電圧レベル変換回路は、アッテネーターにより信号振幅を減衰し、レベルシフト回路により減衰された信号の電圧レベルをシフトすることで、第 1 の電圧レベルと第 2 の電圧レベルとの間で電圧が変化し、且つ位相差が正確に 90 度異なる第 1、第 2 の信号を出力することができる。

【 0 0 1 9 】

また本発明の一態様では、前記調整対象回路及び前記レプリカ回路は、共に複素バンドパスフィルター回路であってもよい。

【 0 0 2 0 】

20

このようにすれば、レプリカ回路のバンドパスフィルター特性を調整することで、調整対象回路のバンドパスフィルター特性を調整することができる。

【 0 0 2 1 】

また本発明の一態様では、前記レプリカ回路は、前記第 1 の信号が入力される第 1 の入力ノードと第 1 の出力ノードとの間に設けられる第 1 の抵抗素子と、前記第 2 の信号が入力される第 2 の入力ノードと第 2 の出力ノードとの間に設けられる第 2 の抵抗素子と、前記第 1 の出力ノードに一端が接続される第 1 のキャパシターと、前記第 2 の出力ノードに一端が接続される第 2 のキャパシターと、前記第 1 の出力ノードと前記第 2 の出力ノードとの間に設けられる 1 対の演算トランスコンダクタンス増幅器で構成される中心周波数シフト回路とを有してもよい。

30

【 0 0 2 2 】

このようにすれば、レプリカ回路は 1 次複素バンドパスフィルター回路を構成するから、演算トランスコンダクタンス増幅器のトランスコンダクタンスを調整することで、中心周波数を調整することができる。

【 0 0 2 3 】

また本発明の一態様では、前記調整信号生成回路は、前記第 2 の信号と前記第 1 の出力ノードから出力される前記第 1 の出力信号とに基づいて、又は前記第 1 の信号と前記第 2 の出力ノードから出力される前記第 2 の出力信号とに基づいて、又は前記第 1 の信号と前記第 1 の出力信号とに基づいて、又は前記第 2 の信号と前記第 2 の出力信号とに基づいて、前記トランスコンダクタンス調整信号を生成してもよい。

40

【 0 0 2 4 】

このようにすれば、例えば第 2 の信号と第 1 の出力信号等の位相差を検出し、検出された位相差に基づいてトランスコンダクタンス調整信号を出力することで、調整対象回路のトランスコンダクタンスを調整することができる。その結果、例えば複素フィルター回路などの調整対象回路において、製造ばらつきや電源電圧、温度の変動などによるフィルター特性の変動を精度良く補償することなどが可能になる。

【 0 0 2 5 】

また本発明の一態様では、前記調整信号生成回路は、前記第 1 の信号と前記第 2 の出力信号とが入力され、又は前記第 2 の信号と前記第 1 の出力信号とが入力されるミキサーと、前記ミキサーからの第 1 のミキサー出力信号を平滑する第 1 の平滑回路と、前記ミキサ

50

ーからの第2のミキサー出力信号を平滑する第2の平滑回路と、前記第1の平滑回路及び前記第2の平滑回路の出力信号を積算し、第1の積算電圧及び第2の積算電圧を生成する積算回路と、前記積算回路からの前記第1の積算電圧及び前記第2の積算電圧に基づいて補正電流を生成する補正電流生成回路と、基準バイアス電流を生成する基準バイアス電流生成回路と、前記補正電流と前記基準バイアス電流とを加算する電流加算回路とを有し、前記調整信号生成回路は、前記電流加算回路により加算された電流に基づいて、前記トランスコンダクタンス調整信号を出力してもよい。

【0026】

このようにすれば、差動信号である第1、第2のミキサー出力信号に基づいて第1、第2の積算電圧を生成し、第1、第2の積算電圧の差分に基づいて補正電流を生成することで、ミキサーに起因する製造ばらつきや電源電圧、温度の変動などによる信号レベルの変動分を差し引くことができるから、2つの信号の位相差を精度良く検出することができる。その結果、調整対象回路のトランスコンダクタンスを精度良く調整することなどが可能になる。

10

【0027】

また本発明の一態様では、前記調整信号生成回路は、前記第1の信号と前記第2の出力信号とが入力され、又は前記第2の信号と前記第1の出力信号とが入力されるミキサーと、前記ミキサーの出力を平滑する平滑回路と、前記平滑回路の出力信号と基準電圧信号との差分信号を生成する差分信号生成回路と、前記差分信号生成回路からの前記差分信号を積算し、積算電圧を生成する積算回路と、前記積算回路からの前記積算電圧に基づいて補正電流を生成する補正電流生成回路と、基準バイアス電流を生成する基準バイアス電流生成回路と、前記補正電流と前記基準バイアス電流とを加算する電流加算回路とを有し、前記調整信号生成回路は、前記電流加算回路により加算された電流に基づいて、前記トランスコンダクタンス調整信号を出力してもよい。

20

【0028】

このようにすれば、平滑回路が例えば第1の信号と第2の出力信号との位相差に応じた電圧レベルを出力し、差分信号生成回路が平滑回路の出力信号と基準電圧信号との差分信号を生成することで、ミキサーに起因する製造ばらつきや電源電圧、温度の変動などによる信号レベルの変動分を差し引くことができるから、2つの信号の位相差を精度良く検出することができる。その結果、調整対象回路のトランスコンダクタンスを精度良く調整することなどが可能になる。

30

【0029】

また本発明の一態様では、前記レファレンス信号生成回路は、前記第1の信号又は前記第2の信号と位相が異なる第3の信号を出力し、前記調整信号生成回路は、前記第3の信号と前記第1の出力信号とに基づいて、又は前記第3の信号と前記第2の出力信号とに基づいて、前記第1の抵抗素子、前記第2の抵抗素子及び前記調整対象回路に対して抵抗値を調整する信号を出力してもよい。

【0030】

このようにすれば、例えば第3の信号と第1の出力信号等に基づいて、調整対象回路に含まれる抵抗素子の抵抗値を調整することができるから、複素バンドパスフィルター回路の帯域幅などの特性を補正することができる。

40

【0031】

本発明の他の態様は、上記いずれかに記載のトランスコンダクタンス調整回路と、前記調整対象回路とを含む回路装置に係る。

【0032】

また本発明の他の態様では、前記調整対象回路は、演算トランスコンダクタンス増幅器を有する複素バンドパスフィルター回路であって、前記トランスコンダクタンス調整信号に基づいて、前記演算トランスコンダクタンス増幅器のトランスコンダクタンスが調整されてもよい。

【0033】

50

このようにすれば、複素バンドパスフィルタ回路の演算トランスコンダクタンス増幅器のトランスコンダクタンスを調整することで、バンドパスフィルタ特性のずれを精度良く補正することなどができる。その結果、例えば無線回路などの回路装置において、より安定で確実な無線通信を実現することなどが可能になる。

【 0 0 3 4 】

本発明の他の態様は、上記に記載の回路装置を含む電子機器に係る。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】図 1 (A)、図 1 (B) は、中心周波数シフト回路の原理を説明する図。

【図 2】図 2 (A)、図 2 (B)、図 2 (C) は、複素 B P F の基本的な構成を説明する図。

10

【図 3】トランスコンダクタンス調整回路の第 1 の構成例。

【図 4】第 1 の構成例の平滑回路、積算回路、補正電流生成回路、電流加算回路の詳細な構成例。

【図 5】レファレンス信号生成回路の第 1 の構成例。

【図 6】レファレンス信号生成回路における信号波形の一例。

【図 7】レファレンス信号生成回路の第 2 の構成例。

【図 8】トランスコンダクタンス調整回路の第 2 の構成例。

【図 9】第 2 の構成例の平滑回路、差分信号生成回路、積算回路、補正電流生成回路、電流加算回路の詳細な構成例。

20

【図 1 0】複素 B P F 回路の構成例。

【図 1 1】レプリカ回路を全差動回路で構成した構成例。

【図 1 2】図 1 2 (A)、図 1 2 (B) は、中心周波数のずれの検出を説明する図。

【図 1 3】演算トランスコンダクタンス増幅器の第 1 の構成例。

【図 1 4】演算トランスコンダクタンス増幅器の第 2 の構成例。

【図 1 5】ミキサの構成例。

【図 1 6】図 1 6 (A)、図 1 6 (B) は、ミキサの動作を説明する信号波形。

【図 1 7】トランスコンダクタンス調整回路の第 3 の構成例。

【図 1 8】図 1 8 (A)、図 1 8 (B) は、第 3 の構成例による複素 B P F 回路の帯域幅の補正を説明する図。

30

【図 1 9】回路装置の構成例。

【図 2 0】電子機器の構成例。

【発明を実施するための形態】

【 0 0 3 6 】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【 0 0 3 7 】

1. 複素バンドパスフィルタ

本実施形態のトランスコンダクタンス調整回路は、複素バンドパスフィルタ（複素 B P F）の周波数特性を調整するための回路である。始めに、複素 B P F の原理について説明する。なお、複素 B P F 回路の動作原理については、公知文献Pietro Andreani “A CMO S gm-C Polyphase Filter with High Image Band Rejection” ESSCIRC 2000（26th European Solid-State Circuits Conference）に詳細に述べられている。

40

【 0 0 3 8 】

図 1 (A)、図 1 (B) は、複素 B P F に用いられる中心周波数シフト回路の原理を説明する図である。なお、これらの図は、上記の公知文献に示されているものである。図 1 (A) に示すように、容量 C のキャパシターに周波数 ω の交流電圧 V を印加した場合のコンダクタンスは $j \cdot \omega \cdot C$ （ j は虚数単位）で与えられるため、キャパシターに電流 $j \cdot \omega \cdot C \cdot V$ が流れる。次に、演算トランスコンダクタンス増幅器（O T A : Operational

50

Transconductance Amplifier) をキャパシターに接続し、この O T A を介して V と位相が 90 度異なる交流電圧 jV を入力する。O T A のトランスコンダクタンス g_m は $- \frac{1}{C} \cdot \frac{dV}{dt}$ である。この結果、図 1 (A) の右側回路においてキャパシターに電流 $j \cdot \frac{1}{C} \cdot \frac{dV}{dt} = j \cdot \frac{1}{C} \cdot C \cdot V$ が流れ、同回路はコンダクタンスが見かけ上 $j \cdot \frac{1}{C} \cdot \frac{dV}{dt} = j \cdot \frac{1}{C} \cdot C \cdot V = j \cdot V$ であるように振舞う。即ち、この回路は、元の回路において周波数を 0 だけシフトさせた場合と同じ応答を示す。このように、キャパシターに対して、交流電圧 V を直接に入力し、さらに V と位相が 90 度異なる交流電圧 jV を、O T A を介して入力することにより、周波数を 0 だけシフトさせた特性を得ることができる。O T A の詳細な構成例については、後述する。

【 0 0 3 9 】

10

図 1 (B) は、ローパスフィルタに中心周波数シフト回路を適用した場合の周波数特性を説明する図である。ローパスフィルタに含まれる全てのキャパシターに対して、 $g_m = - \frac{1}{C} \cdot \frac{dV}{dt}$ の O T A を接続し、この O T A を介して入力信号と位相が 90 度異なる信号を入力することにより、ローパスフィルタの中心周波数を 0 だけシフトさせることができる。その結果、中心周波数 0 のバンドパスフィルタを得ることができる。

【 0 0 4 0 】

図 2 (A) 、図 2 (B) 、図 2 (C) は、複素 B P F の基本的な構成を説明する図である。図 2 (A) は、複素 B P F の元となるローパスフィルタ (L P F) を示す。この L P F はインダクター L_X 及びキャパシター C_{X1} 、 C_{X2} から構成される。

【 0 0 4 1 】

20

図 2 (B) は、インダクター L_X をキャパシター C_{X3} とジャイレータ G_{Y1} 、 G_{Y2} で置き換えた L P F を示す。ジャイレータ G_{Y1} 、 G_{Y2} は、それぞれ 2 つの O T A で構成される。集積回路装置では、チップ内にインダクター (コイル) を形成することが難しいが、ジャイレータを用いることで、チップ内に L P F を形成することが容易になる。

【 0 0 4 2 】

図 2 (C) は、図 2 (B) の L P F を 2 つ設け、さらに中心周波数シフト回路 (ジャイレータ) G_{Y5} 、 G_{Y6} 、 G_{Y7} を付加して複素 B P F を構成したものである。 G_{Y5} 、 G_{Y6} 、 G_{Y7} は、上記のジャイレータと同一の構成であるが、中心周波数をシフトさせるために用いられるジャイレータを中心周波数シフト回路と呼び、インダクターを置換するためのジャイレータと区別する。一方の L P F には第 1 の信号 I が入力され、他方の L P F には第 1 の信号 I と位相が 90 度異なる第 2 の信号 Q が入力される。そして各々の L P F に含まれるキャパシターをジャイレータで接続することにより、L P F の中心周波数をシフトさせてバンドパスフィルタを実現することができる。

30

【 0 0 4 3 】

2 . トランスコンダクタンス調整回路

図 3 に、本実施形態のトランスコンダクタンス調整回路 100 の第 1 の構成例を示す。第 1 の構成例のトランスコンダクタンス調整回路 100 は、レプリカ回路 110 、調整信号生成回路 120 及びレファレンス信号生成回路 180 を含む。なお、本実施形態のトランスコンダクタンス調整回路は図 3 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

40

【 0 0 4 4 】

本実施形態のトランスコンダクタンス調整回路 100 によれば、後述するように、無線回路等に用いられる複素 B P F 回路の特性を決定する要素であるトランスコンダクタンスを調整することで、トランスコンダクタンス及び受動素子の製造ばらつきや電源電圧、温度の変動などによるフィルタ特性の設計値からの変動 (ずれ) を補正することができる。

【 0 0 4 5 】

レプリカ回路 110 は、複素 B P F であり、調整対象回路 (複素 B P F 回路) 200 の

50

レプリカ回路であって、第 1 の信号 I 及び第 1 の信号 I と位相が 90 度異なる第 2 の信号 Q が入力され、第 1 の出力信号 O I と第 2 の出力信号 O Q とを生成する。図 3 のレプリカ回路 110 は、1 次複素 BPF であって、第 1 の抵抗素子 R A 1、第 2 の抵抗素子 R A 2、第 1 のキャパシター C A 1、第 2 のキャパシター C A 2、中心周波数シフト回路 112 を含む。

【0046】

第 1 の入力ノード N A 1 には第 1 の信号 I が入力され、第 2 の入力ノード N A 2 には第 1 の信号 I と位相が 90 度異なる第 2 の信号 Q が入力される。具体的には、例えば第 1 の信号 I が時間 t の関数として $\cos(t)$ と表現される場合には、第 2 の信号 Q は $\sin(t)$ と表現される。ここで ω は第 1、第 2 の信号 I、Q の角周波数である。

10

【0047】

第 1 の出力ノード N B 1 からは第 1 の出力信号 O I が出力され、第 2 の出力ノード N B 2 からは第 2 の出力信号 O Q が出力される。

【0048】

第 1 の抵抗素子 R A 1 は、第 1 の入力ノード N A 1 と第 1 の出力ノード N B 1 との間に設けられる。また、第 2 の抵抗素子 R A 2 は、第 2 の入力ノード N A 2 と第 2 の出力ノード N B 2 との間に設けられる。これら第 1、第 2 の抵抗素子 R A 1、R A 2 は、例えばポリシリコン薄膜などを用いた受動抵抗素子により構成されてもよいし、演算トランスコンダクタンス増幅器 (OTA: Operational Transconductance Amplifier) により構成されてもよい。なお、抵抗素子の特性の線形性の点からは、受動抵抗素子の方が望ましい。

20

【0049】

第 1 のキャパシター C A 1 は、一端が第 1 の出力ノード N B 1 に接続され、他端が例えば共通電位ノード V C O M に接続される。また、第 2 のキャパシター C A 2 は、一端が第 2 の出力ノード N B 2 に接続され、他端が例えば共通電位ノード V C O M に接続される。これら第 1、第 2 のキャパシター C A 1、C A 2 は、例えば M I M (Metal-Insulator-Metal) 構造により構成することができる。

【0050】

中心周波数シフト回路 112 は、第 1 の出力ノード N B 1 と第 2 の出力ノード N B 2 との間に設けられる第 1、第 2 の演算トランスコンダクタンス増幅器 O T A 1、O T A 2 で構成される。第 1 の信号 I の系統のローパスフィルター (R A 1 と C A 1) と第 2 の信号 Q の系統のローパスフィルター (R A 2 と C A 2) とを互いに極性の異なる 1 対の O T A (1 つは正極性、他方は負極性) を介して接続することで、中心周波数 ω_0 だけ周波数特性をシフトさせて、バンドパスフィルター (1 次複素 BPF) を得ることができる。ここで、O T A 1、O T A 2 のトランスコンダクタンス値を g_m とし、キャパシター C A 1、C A 2 の容量値を C とすると、中心周波数 ω_0 は、 $\omega_0 = g_m / C$ で与えられる。

30

【0051】

例えば図 3 では、O T A 1 は、正極性であって、非反転入力端子 (+) に入力される第 1 の出力信号 O I に基づいて第 1 の出力電流を出力し、第 1 の出力電流により第 2 のキャパシター C A 2 が充電されることで、第 2 の出力信号 O Q が出力される。そして O T A 2 は、負極性であって、反転入力端子 (-) に入力される第 2 の出力信号 O Q に基づいて第 2 の出力電流を出力し、第 2 の出力電流により第 1 のキャパシター C A 1 が充電されることで、第 1 の出力信号 O I が出力される。

40

【0052】

O T A 1 の非反転入力端子 (+) は第 1 の出力ノード N B 1 に接続され、その反転入力端子 (-) は共通電位ノード V C O M に接続され、その出力端子は第 2 の出力ノード N B 2 に接続される。O T A 2 の非反転入力端子 (+) は共通電位ノード V C O M に接続され、その反転入力端子 (-) は第 2 の出力ノード N B 2 に接続され、その出力端子は第 1 の出力ノード N B 1 に接続される。O T A 1 及び O T A 2 には、調整信号生成回路 120 からのトランスコンダクタンス調整信号 A G M が入力され、トランスコンダクタンス調整信号 A G M により O T A 1、O T A 2 のトランスコンダクタンスが調整される。

50

【 0 0 5 3 】

共通電位ノードVCOMは、アナログ信号に対する共通電位（アナログ基準電位、アナロググランド）ノードであって、例えば第1の電源電位（低電位側電源電位）VSSと第2の電源電位（高電位側電源電位）VDDとの中間の電位のノードである。

【 0 0 5 4 】

調整信号生成回路120は、中心周波数シフト回路112及びトランスコンダクタンスの調整対象となる調整対象回路（例えば複素BPF回路）200に対して、トランスコンダクタンス調整信号AGMを出力する。AGMは中心周波数シフト回路112に含まれるOTA1、OTA2のトランスコンダクタンス（gm）及び調整対象回路（複素BPF回路）200に含まれるOTAのgmを調整する信号である。

10

【 0 0 5 5 】

調整信号生成回路120は、第2の信号Qと第1の出力信号OIとに基づいて、或いは、第1の信号Iと第2の出力信号OQとに基づいて、トランスコンダクタンス調整信号AGMを生成する。具体的には、第2の信号Qと第1の出力信号OIとの位相差を検出し、或いは、第1の信号Iと第2の出力信号OQとの位相差を検出し、この位相差に基づいてトランスコンダクタンス調整信号AGMを生成する。

【 0 0 5 6 】

レファレンス信号生成回路180は、第1の信号Iと、第1の信号Iと位相が90度異なる第2の信号Qとを出力する。具体的には、レファレンス信号生成回路180は、クロック信号に基づいて、第1の電圧レベルVHと第2の電圧レベルVLとの間で電圧が変化する第1の信号I及び第2の信号Qを生成し、レプリカ回路に対して出力する。第1の電圧レベルVHと第2の電圧レベルVLの具体的な値としては、VDD = 3V、VSS = 0Vである場合には、例えばVH = 1.51V、VL = 1.49Vである。また、第1、第2の信号I、Qの信号波形は、例えば矩形波信号であるが、他の信号波形であってもよい。また、後述するように、レファレンス信号生成回路180は、位相が互いに90度異なる第1～第4の信号IP、QP、IN、QNを出力することもできる。レファレンス信号生成回路180の詳細については、後述する。

20

【 0 0 5 7 】

調整信号生成回路120は、ミキサーMX、平滑回路LPF1、LPF2、積算回路135、補正電流生成回路140、基準バイアス電流生成回路150、電流加算回路160を含む。

30

【 0 0 5 8 】

ミキサーMXは、第1の信号Iと第2の出力信号OQとが入力され、又は第2の信号Qと第1の出力信号OIとが入力される。このミキサーMXは、第1の信号Iと第2の出力信号OQとの位相差、或いは第2の信号Qと第1の出力信号OIとの位相差を検出して、差動信号である第1、第2のミキサー出力信号VM1、VM2を出力する。

【 0 0 5 9 】

第1の平滑回路LPF1は、ミキサーMXからの第1のミキサー出力信号VM1を平滑して、交流成分を除去して直流成分VA1を出力する。また、平滑回路LPF2は、ミキサーMXからの第2のミキサー出力信号VM2を平滑して、交流成分を除去して直流成分VA2を出力する。この直流成分VA1とVA2との電圧差VA1 - VA2は、ミキサーMXに入力される2つの信号（例えばQとOI）の位相差に依存する。なお、2つの信号（例えばQとOI）の位相差と調整対象回路（複素BPF回路）200の特性との関係については、後述する。

40

【 0 0 6 0 】

ミキサーMXの出力信号VM1、VM2は、次式で与えられる。

【 0 0 6 1 】

$$VM1 = V0 + V(t) / 2 \quad (1)$$

$$VM2 = V0 - V(t) / 2 \quad (2)$$

ここで、V0はオフセット電圧であり、ミキサーが理想的な特性であれば0となるが、実

50

際の回路では製造ばらつきによりトランジスタなどの特性が設計値からずれるために、 V_0 は0にはならない。このオフセット電圧 V_0 は、製造ばらつきや電源電圧、温度の変動などに依存して変化する。しかし差動信号の差 $V_{M1} - V_{M2}$ を取ることによって、オフセット電圧 V_0 を消去することができる。こうすることで、 V_0 に含まれる製造ばらつきや電源電圧、温度の変動などの影響を差し引くことができるから、2つの信号（例えばQとOI）の位相差を精度良く検出することができる。なお、以下の説明では式中の V_0 を省略する。

【0062】

式(1)、(2)の $V(t)$ は、例えばMXに入力する第2の信号Qを $\sin(t)$ とし、第1の出力信号OIを $\cos(t + \theta)$ とすると、次式で与えられる。

10

【0063】

$$V(t) = k \cdot (\sin(2t + \theta) - \sin \theta) \quad (3)$$

ここで、 k はミキサーの特性によって決まる定数であり、 θ は第1の出力信号OIの第1の信号Iに対する位相差である。

【0064】

平滑回路LPF1、LPF2により、ミキサー出力信号 V_{M1} 、 V_{M2} の直流成分を取り出す。平滑回路LPF1、LPF2の出力信号 V_{A1} 、 V_{A2} は、式(1)、(2)、(3)より次式で与えられる。

【0065】

$$V_{A1} = -k \cdot \sin \theta / 2 \quad (4)$$

20

$$V_{A2} = +k \cdot \sin \theta / 2 \quad (5)$$

図4に、第1の構成例の平滑回路LPF1、LPF2、積算回路135、補正電流生成回路140、電流加算回路160の詳細な構成例を示す。平滑回路LPF1は、抵抗素子RP及びキャパシターCPを含み、ミキサー出力信号 V_{M1} を平滑して、直流成分を出力信号 V_{A1} として出力する。また、平滑回路LPF2は、LPF1と同様に抵抗素子及びキャパシターを含み、ミキサー出力信号 V_{M2} を平滑して、直流成分を出力信号 V_{A2} として出力する。

【0066】

積算回路135は、演算増幅器OPA、抵抗素子RS1、RS2、キャパシターCS1、CS2を含み、平滑回路LPF1、LPF2の出力信号 V_{A1} 、 V_{A2} を積算し、第1、第2の積算電圧 V_{S1} 、 V_{S2} を出力する。演算増幅器OPAからキャパシターCS1、CS2に流れる電流をそれぞれ I_{D1} 、 I_{D2} とし、キャパシターCS1、CS2の容量をCsとすると、積算電圧 V_{S1} 、 V_{S2} は次式で与えられる。

30

【0067】

【数1】

$$V_{S1}(t) = \frac{1}{C_s} \int_0^t I_{D1}(t) dt \quad (6)$$

$$V_{S2}(t) = \frac{1}{C_s} \int_0^t I_{D2}(t) dt \quad (7)$$

40

【0068】

ここで $\theta < 0$ の場合には、式(4)、(5)から $V_{A1} > 0$ 、 $V_{A2} < 0$ であるから、 $I_{D1} > 0$ 、 $I_{D2} < 0$ となり、 I_{D1} はキャパシターCS1を充電し、 I_{D2} はキャパシターCS2を放電する。一方、 $\theta > 0$ の場合には、 $V_{A1} < 0$ 、 $V_{A2} > 0$ であるから、 $I_{D1} < 0$ 、 $I_{D2} > 0$ となり、 I_{D1} はキャパシターCS1を放電し、 I_{D2} はキャパシターCS2を充電する。また、 $\theta = 0$ の場合には、 $V_{A1} = 0$ 、 $V_{A2} = 0$ であるから、 $I_{D1} = 0$ 、 $I_{D2} = 0$ となり、キャパシターCS1、CS2の電荷は変化しない。

【0069】

式(6)、(7)から分かるように、 I_{D1} (I_{D2}) が正である期間では V_{S1} (V_{S2})

50

S 2) は時間と共に増加し、I D 1 (I D 2) が負である期間では V S 1 (V S 2) は時間と共に減少する。そして I D 1 (I D 2) が 0 である期間では V S 1 (V S 2) は一定値に保持される。

【 0 0 7 0 】

補正電流生成回路 1 4 0 は、電圧制御電流源として O T A 6 を含み、非反転入力端子 (+) に積算電圧 V S 1 が入力され、反転入力端子 (-) に積算電圧 V S 2 が入力される。そして積算電圧の差 V S 1 - V S 2 に比例する補正電流 I C R を生成する。補正電流 I C R は、複素 B P F 回路 (広義には調整対象回路) 2 0 0 に含まれる O T A のトランスコンダクタンス (g m) の設計値からのずれを補正する電流である。補正電流 I C R は、O T A 6 のトランスコンダクタンス値を g m 6 とすると、次式で与えられる。

10

【 0 0 7 1 】

$$I C R = g m 6 \cdot (V S 1 - V S 2) \quad (8)$$

基準バイアス電流生成回路 1 5 0 は、基準バイアス電流 I R E F を生成する。基準バイアス電流 I R E F は、複素 B P F 回路 (広義には調整対象回路) 2 0 0 に含まれる O T A のトランスコンダクタンス (g m) の設計値を与えるテール電流を生成するための基準となる電流である。すなわち、素子特性、電源電圧、温度が設計値どおりである場合に、O T A の g m の設計値を与えるテール電流を生成するための基準となる電流である。なお、O T A の g m とテール電流との関係については後述する。

【 0 0 7 2 】

電流加算回路 1 6 0 は、補正電流 I C R と基準バイアス電流 I R E F とを加算する。補正電流 I C R と基準バイアス電流 I R E F とを加算した電流が、O T A の所望の (補正後の) g m 値を与えるテール電流を生成するための基準となる電流である。

20

【 0 0 7 3 】

具体的には、電流加算回路 1 6 0 は、例えば図 4 に示すように N 型トランジスタ T N 4 を含む。T N 4 のドレイン電流 I d s は $I d s = I C R + I R E F$ となるから、T N 4 のゲート・ソース間電圧をトランスコンダクタンス調整信号 A G M として出力する。なお、O T A の構成例とトランスコンダクタンス調整信号 A G M による g m の調整については、後述する。

【 0 0 7 4 】

図 5 に、レファレンス信号生成回路 1 8 0 の第 1 の構成例を示す。第 1 の構成例のレファレンス信号生成回路 1 8 0 は、信号生成回路 1 8 2 及び電圧レベル変換回路 1 8 4 を含む。なお、本実施形態のレファレンス信号生成回路は図 5 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

30

【 0 0 7 5 】

信号生成回路 1 8 2 は、分周器 D I V 及びシフトレジスタ S F T R G を含み、クロック信号 C L K に基づいて、位相が異なる第 1 の矩形波信号 S 1 ~ 第 n (n は 2 以上の整数) の矩形波信号 S n を生成する。分周器 D I V は、クロック信号 C L K を 1 / 4 分周して分周された信号 S D を出力する。シフトレジスタ S F T R G は、分周器 D I V により分周された信号 S D をクロック信号 C L K によりシフトすることで、第 1 の矩形波信号 S 1 ~ 第 n の矩形波信号 S n を出力する。

40

【 0 0 7 6 】

具体的には、信号生成回路 1 8 2 は、例えば図 5 に示すように、シフトレジスタ S F T R G は矩形波信号 S 1 ~ S 4 を出力し、さらにインバーターを介して矩形波信号 S 1 ~ S 4 の反転信号 X S 1 ~ X S 4 を出力する。

【 0 0 7 7 】

電圧レベル変換回路 1 8 4 は、抵抗分割回路 R D V 及びスイッチ回路 S W A を含み、第 1 の矩形波信号 S 1 ~ 第 n の矩形波信号 S n が入力され、電圧レベルの変換処理を行って、第 1 の信号 I 及び第 2 の信号 Q を出力する。

【 0 0 7 8 】

50

抵抗分割回路 R D V は、例えば抵抗素子 R D 1、R D 2、R D 3 を含み、抵抗分割により第 1 の電圧レベル V H 及び第 2 の電圧レベル V L を生成する。

【 0 0 7 9 】

スイッチ回路 S W A は、例えばスイッチ素子 S A 1 ~ S A 4、S B 1 ~ S B 4 を含む。S A 1 ~ S A 4、S B 1 ~ S B 4 は、矩形波信号 S 1 ~ S 4 及び反転信号 X S 1 ~ X S 4 に基づいてオン・オフされ、第 1 の電圧レベル V H 及び第 2 の電圧レベル V L を交互に選択する。そして V H、V L を交互に選択することで、V H と V L との間で電圧が変化する第 1 ~ 第 4 の信号 I P、Q P、I N、Q N を生成し、出力する。

【 0 0 8 0 】

例えば、矩形波信号 S 4 が H レベル（高電位レベル、V D D レベル）である期間には、スイッチ素子 S A 1 がオン状態に設定され、スイッチ素子 S B 1 がオフ状態に設定される。一方、矩形波信号 S 4 が L レベル（低電位レベル、V S S レベル）である期間には、スイッチ素子 S A 1 がオフ状態に設定され、スイッチ素子 S B 1 がオン状態に設定される。こうすることで、矩形波信号 S 4 が H レベルである期間には、第 1 の電圧レベル V H が第 1 の信号 I P として出力され、矩形波信号 S 4 が L レベルである期間には、第 2 の電圧レベル V L が第 1 の信号 I P として出力される。

【 0 0 8 1 】

第 1 ~ 第 4 の信号 I P、Q P、I N、Q N の振幅、即ち V H - V L は、クロック信号 C L K の振幅（V D D - V S S）の 1 / 2 以下であり、望ましくは、1 / 4 以下である。例えば、クロック信号 C L K の振幅が 3 V である場合に、第 1 ~ 第 4 の信号 I P、Q P、I N、Q N の振幅は 20 m V である。このように、第 1 ~ 第 4 の信号 I P、Q P、I N、Q N の振幅を十分小さくすることにより、O T A の直線性を確保すること、調整対象回路（複素 B P F 回路）200 の S N 比を確保すること、2 倍高調波が調整対象回路（複素 B P F 回路）200 に与える影響を低減することなどができる。

【 0 0 8 2 】

抵抗分割回路 R D V に含まれる N 型トランジスタ T N D は、イネーブル信号 E N が H レベルである場合にオン状態に設定され、抵抗分割回路 R D V が V H、V L を生成する。こうすることで、トランスコンダクタンス調整回路 100 が動作しない期間には、イネーブル信号 E N を L レベルにして、消費電力を低減することができる。

【 0 0 8 3 】

図 6 に、レファレンス信号生成回路 180 における信号波形の一例を示す。図 6 には、クロック信号 C L K、矩形波信号 S 1 ~ S 4、第 1 ~ 第 4 の信号 I P、Q P、I N、Q N の各信号波形を示す。

【 0 0 8 4 】

図 6 に示すように、レファレンス信号生成回路 180 によれば、第 1 の電圧レベル V H と第 2 の電圧レベル V L との間で電圧が変化する第 1 ~ 第 4 の信号 I P、Q P、I N、Q N を生成し、出力することができる。I P と Q P とは位相が 90 度異なり、I N と Q N とは位相が 90 度異なる。また、I P と I N とは位相が 180 度異なり、Q P と Q N とは位相が 180 度異なる。

【 0 0 8 5 】

レファレンス信号生成回路 180 から出力される第 1 ~ 第 4 の信号 I P、Q P、I N、Q N は、例えば図 6 に示すような矩形波信号であるが、これらの信号が入力されるレプリカ回路 110 がバンドパスフィルタ（B P F）特性を有するため、正弦波に整形されて、ミキサー M X に出力される。

【 0 0 8 6 】

また、レファレンス信号生成回路 180 から出力される第 1 ~ 第 4 の信号 I P、Q P、I N、Q N は、基本波と奇数次高調波とを含み、従ってレプリカ回路 110 の出力信号には奇数次高調波が若干残る可能性がある。この場合には、最も低次の高調波（3 次）成分がミキサー M X でミキシングされた結果、4 倍及び 2 倍の周波数成分がミキサー M X から出力される。しかし、これらの周波数成分は、ミキサー M X の後段に設けられた平滑回路

10

20

30

40

50

L P F 1、L P F 2 により許容レベル以下に減衰される。

【 0 0 8 7 】

本実施形態のレファレンス信号生成回路 1 8 0 では、デジタル回路である分周器 D I V 及びシフトレジスタ S F T R G を用いて、クロック信号 C L K に基づくタイミング制御を行う。従って、アナログ回路のみで第 1 ~ 第 4 の信号 I P、Q P、I N、Q N を生成する場合と比較して、簡素な構成で且つ精度の高い位相差制御を行うことができる。

【 0 0 8 8 】

図 7 に、レファレンス信号生成回路 1 8 0 の第 2 の構成例を示す。第 2 の構成例のレファレンス信号生成回路 1 8 0 は、信号生成回路 1 8 2 及び電圧レベル変換回路 1 8 4 を含む。なお、本実施形態のレファレンス信号生成回路は図 7 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 8 9 】

信号生成回路 1 8 2 は、分周器 D I V 及びシフトレジスタ S F T R G を含み、クロック信号 C L K に基づいて、位相が異なる第 1 の矩形波信号 S 1 ~ 第 n (n は 2 以上の整数) の矩形波信号 S n を生成する。分周器 D I V は、クロック信号 C L K を 1 / 4 分周して分周された信号 S D を出力する。シフトレジスタ S F T R G は、分周器 D I V により分周された信号 S D をクロック信号 C L K によりシフトすることで、第 1 の矩形波信号 S 1 ~ 第 n の矩形波信号 S n を出力する。例えば図 5 に示すように、シフトレジスタ S F T R G は矩形波信号 S 1 ~ S 4 を出力する。

【 0 0 9 0 】

図 7 に示す電圧レベル変換回路 1 8 4 は、アッテネーター A T T 1 ~ A T T 4、キャパシタ C C 1 ~ C C 4 及びレベルシフト回路 L S F T 1 ~ L S F T 4 を含む。アッテネーター A T T 1 ~ A T T 4 は、第 1 の矩形波信号 S 1 ~ 第 4 の矩形波信号 S 4 (広義には第 n の矩形波信号 S n) を減衰させる。レベルシフト回路 L S F T 1 ~ L S F T 4 は、アッテネーター A T T 1 ~ A T T 4 により減衰された信号の電圧レベルをシフトして、第 1 の電圧レベル V H と第 2 の電圧レベル V L との間で電圧が変化する第 1 ~ 第 4 の信号 I P、Q P、I N、Q N を生成し、出力する。キャパシタ C C 1 ~ C C 4 は、直流成分を除去するために設けられる。

【 0 0 9 1 】

レベルシフト回路 L S F T 1 は、抵抗素子 R E 1、R E 2 を含み、抵抗分割により例えば第 1 の電源電圧 V S S と第 2 の電源電圧 V D D との中間の電圧を生成する。そしてアッテネーター A T T 1 からの減衰された信号が重畳されて、第 1 の電圧レベル V H と第 2 の電圧レベル V L との間で電圧が変化する第 1 の信号 I P を生成し、出力することができる。同様にして、レベルシフト回路 L S F T 2 ~ L S F T 4 は、第 1 の電圧レベル V H と第 2 の電圧レベル V L との間で電圧が変化する第 2 の信号 ~ 第 4 の信号 Q P、I N、Q N を生成し、出力することができる。

【 0 0 9 2 】

アッテネーター A T T 1 ~ A T T 4 による減衰率は、第 1 ~ 第 4 の信号 I P、Q P、I N、Q N の振幅、即ち V H - V L が、クロック信号 C L K の振幅 (V D D - V S S) の 1 / 2 以下、望ましくは 1 / 4 以下になるように設定される。

【 0 0 9 3 】

図 8 に、本実施形態のトランスコンダクタンス調整回路 1 0 0 の第 2 の構成例を示す。第 2 の構成例は、上述した第 1 の構成例と同様に、レプリカ回路 1 1 0、調整信号生成回路 1 2 0 及びレファレンス信号生成回路 1 8 0 を含む。なお、本実施形態のトランスコンダクタンス調整回路は図 8 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 9 4 】

レプリカ回路 1 1 0 及びレファレンス信号生成回路 1 8 0 については、上述した第 1 の構成例と同様であるから、ここでは詳細な説明を省略する。

【 0 0 9 5 】

調整信号生成回路 1 2 0 は、ミキサー M X 1、M X 2、平滑回路 L P F、差分信号生成回路 1 3 0、積算回路 1 3 5、補正電流生成回路 1 4 0、基準バイアス電流生成回路 1 5 0、電流加算回路 1 6 0 を含む。

【 0 0 9 6 】

ミキサー M X 1 は、第 1 の信号 I と第 2 の出力信号 O Q とが入力され、又は第 2 の信号 Q と第 1 の出力信号 O I とが入力される。このミキサー M X 1 は、第 1 の信号 I と第 2 の出力信号 O Q との位相差、或いは第 2 の信号 Q と第 1 の出力信号 O I との位相差を検出する。

【 0 0 9 7 】

平滑回路 L P F は、ミキサー M X 1 からの出力信号を平滑して、交流成分を除去して直流成分を出力する。この直流成分の電圧は、ミキサー M X 1 に入力される 2 つの信号（例えば Q と O I ）の位相差に依存する。調整信号生成回路 1 2 0 は、平滑回路 L P F の出力に基づいて、トランスコンダクタンス調整信号 A G M を生成する。なお、2 つの信号（例えば Q と O I ）の位相差と調整対象回路（複素 B P F 回路）2 0 0 の特性との関係については、後述する。

【 0 0 9 8 】

差分信号生成回路 1 3 0 は、平滑回路 L P F の出力信号 V A と基準電圧信号 V R との差分に基づいて差分信号電流 I D （広義には差分信号）を生成する。調整信号生成回路 1 2 0 は、差分信号電流 I D に基づいて、トランスコンダクタンス調整信号 A G M を生成する。

【 0 0 9 9 】

第 2 のミキサー M X 2 は、一方の入力端子が第 1 の直流電圧レベルに設定され、他方の入力端子が第 2 の直流電圧レベルに設定され、基準電圧信号 V R を出力する。具体的には、例えば図 8 に示すように、一方の入力端子が第 1 の論理レベル（L レベル、低電位レベル）V L に設定され、他方の入力端子が共通電位 V C O M に設定される。共通電位 V C O M は、アナログ信号に対する共通電位（アナログ基準電位、アナロググランド）であって、例えば第 1 の電源電位（低電位側電源電位）V S S と第 2 の電源電位（高電位側電源電位）V D D との中間の電位である。

【 0 1 0 0 】

ミキサー M X 1 の出力信号を V 1 とし、ミキサー M X 2 の出力信号を V 2 とすると、V 1、V 2 は次式で与えられる。

【 0 1 0 1 】

$$V 1 = V 0 + V (t) \quad (9)$$

$$V 2 = V 0 \quad (1 0)$$

ここで、V 0 は出力オフセット電圧であり、ミキサーが理想的な特性であれば 0 となるが、実際の回路では製造ばらつきによりトランジスタなどの特性が設計値からずれるために、V 0 は 0 にはならない。この出力オフセット電圧 V 0 は、製造ばらつきや電源電圧、温度の変動などに依存して変化する。M X 2 が出力する基準電圧信号 V R は、ミキサーの入力信号をいずれも 0 としたときのミキサー出力信号であり、ミキサーの出力オフセット電圧 V 0 を含む。

【 0 1 0 2 】

2 つのミキサー M X 1、M X 2 を構成するトランジスタ及び抵抗素子等の構造やサイズを同一にし、チップ上に隣接して配置すれば、製造ばらつきや電源電圧、温度の変動などによるオフセット電圧 V 0 の変化は、M X 1 と M X 2 とで同じものになる。

【 0 1 0 3 】

式 (9) の V (t) は、例えば M X 1 に入力する第 2 の信号 Q を $\sin (t)$ とし、第 1 の出力信号 O I を $\cos (t +)$ とすると、次式で与えられる。

【 0 1 0 4 】

$$V (t) = k \cdot (\sin (2 t +) - \sin) \quad (1 1)$$

ここで、 k はミキサの特性によって決まる定数であり、 θ は第 1 の出力信号 $O I$ の第 1 の信号 I に対する位相差である。

【0105】

平滑回路 $L P F$ により、 $M X 1$ の出力信号 $V 1$ の直流成分を取り出すと、平滑回路 $L P F$ の出力信号 $V A$ は、式 (9)、(11) より次式で与えられる。

【0106】

$$V A = V 0 - k \cdot \sin \theta \quad (12)$$

差分信号生成回路 130 により、 $V A$ と $V R (= V 0)$ との差 $V A - V R$ をとることで、 $V 0$ に含まれる製造ばらつきや電源電圧、温度の変動などの影響を差し引くことができるから、2 つの信号 (例えば Q と $O I$) の位相差 θ を精度良く検出することができる。

10

【0107】

図 9 に、第 2 の構成例の平滑回路 $L P F$ 、差分信号生成回路 130、積算回路 135、補正電流生成回路 140、電流加算回路 160 の詳細な構成例を示す。平滑回路 $L P F$ は、抵抗素子 $R P$ 及びキャパシター $C P$ を含み、ミキサ $M X 1$ からの出力信号を平滑して、直流成分を出力信号 $V A$ として出力する。

【0108】

差分信号生成回路 130 は、電圧制御電流源として $O T A 5$ を含み、非反転入力端子 (+) に平滑回路 $L P F$ の出力信号 $V A$ が入力され、反転入力端子 (-) に基準電圧信号 $V R$ が入力される。そして差分 $V A - V R$ に比例する電流を差分信号電流 $I D$ として出力する。例えば、 $V A$ が式 (4) で与えられる場合には、 $I D$ は次式で与えられる。

20

【0109】

$$I D = -g m 5 \cdot k \cdot \sin \theta \quad (13)$$

ここで $g m 5$ は $O T A 5$ のトランスコンダクタンス値である。

【0110】

$I D > 0$ の場合には、 $I D$ は $O T A 5$ から積算回路 135 に向かって流れ、 $I D < 0$ の場合には、 $I D$ は積算回路 135 から $O T A 5$ に流れ込む。即ち、式 (13) より $I D < 0$ の場合には、 $I D > 0$ となり、 $I D$ は積算回路 135 のキャパシター $C S$ を充電する。一方、 $I D > 0$ の場合には、 $I D < 0$ となり、 $I D$ は積算回路 135 のキャパシター $C S$ を放電する。

【0111】

30

積算回路 135 は、キャパシター $C S$ を含み、差分信号電流 $I D$ を積算し、積算電圧 $V S$ を出力する。積算電圧 $V S$ は次式で与えられる。

【0112】

【数 2】

$$V S(t) = \frac{1}{C s} \int_0^t I D(t) dt \quad (14)$$

【0113】

ここで $C s$ はキャパシター $C S$ の容量である。式 (14) から分かるように、 $I D$ が正である期間では $V S$ は時間と共に増加し、 $I D$ が負である期間では $V S$ は時間と共に減少する。そして $I D$ が 0 である期間では $V S$ は一定値に保持される。

40

【0114】

補正電流生成回路 140 は、電圧制御電流源として $O T A 6$ を含み、非反転入力端子 (+) に積算電圧 $V S$ が入力され、反転入力端子 (-) は共通電位 $V C O M$ に設定される。そして積算回路 135 からの積算電圧 $V S$ に比例する補正電流 $I C R$ を生成する。補正電流 $I C R$ は、複素 $B P F$ 回路 (広義には調整対象回路) 200 に含まれる $O T A$ のトランスコンダクタンス ($g m$) の設計値からのずれを補正する電流である。補正電流 $I C R$ は、 $O T A 6$ のトランスコンダクタンス値を $g m 6$ とすると、次式で与えられる。

【0115】

$$I C R = g m 6 \cdot V S \quad (15)$$

50

基準バイアス電流生成回路 150 は、基準バイアス電流 I_{REF} を生成する。基準バイアス電流 I_{REF} は、複素 BPF 回路（広義には調整対象回路）200 に含まれる OTA のトランスコンダクタンス（ g_m ）の設計値を与えるテール電流を生成するための基準となる電流である。すなわち、素子特性、電源電圧、温度が設計値どおりである場合に、OTA の g_m の設計値を与えるテール電流を生成するための基準となる電流である。なお、OTA の g_m とテール電流との関係については後述する。

【0116】

電流加算回路 160 は、補正電流 I_{CR} と基準バイアス電流 I_{REF} とを加算する。補正電流 I_{CR} と基準バイアス電流 I_{REF} とを加算した電流が、OTA の所望の（補正後の） g_m 値を与えるテール電流を生成するための基準となる電流である。

10

【0117】

具体的には、電流加算回路 160 は、例えば図 9 に示すように N 型トランジスタ T_N 4 を含む。 T_N 4 のドレイン電流 I_{ds} は $I_{ds} = I_{CR} + I_{REF}$ となるから、 T_N 4 のゲート・ソース間電圧をトランスコンダクタンス調整信号 AGM として出力する。なお、OTA の構成例とトランスコンダクタンス調整信号 AGM による g_m の調整については、後述する。

【0118】

図 10 に複素 BPF 回路（広義には調整対象回路）200 の構成例を示す。図 3 に示す複素 BPF 回路 200 は、抵抗素子 $R_{1a} \sim R_{1d}$ 、 $R_{2a} \sim R_{2d}$ 、キャパシター C_{1a} 、 C_{1b} 、 C_{3a} 、 C_{3b} 、中心周波数シフト回路 $FRQS_1 \sim FRQS_4$ 及びインダクター相当回路 $X_1 \sim X_4$ を含む。なお、本実施形態の複素 BPF 回路は図 10 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。例えば、複素 BPF 回路 200 の次数は 4 次限定されるものではなく、他の次数であってもよい。

20

【0119】

中心周波数シフト回路 $FRQS_1 \sim FRQS_4$ は、2 つの演算トランスコンダクタンス増幅器（OTA）で構成される。上述したように、第 1 の信号 I の系統のローパスフィルタと第 2 の信号 Q の系統のローパスフィルタとを、互いに極性の異なる 1 対の OTA を介して接続することで、中心周波数 0 だけ周波数特性をシフトさせることができる。即ち、ローパスフィルタからバンドパスフィルタ（4 次複素 BPF）を得ることができる。

30

【0120】

インダクター相当回路 $X_1 \sim X_4$ は、4 つの演算トランスコンダクタンス増幅器（OTA）と 1 つのキャパシターで構成され、インダクター L_{2a} 、 L_{4a} 、 L_{2b} 、 L_{4b} として動作する。インダクター相当回路 $X_1 \sim X_4$ に含まれるキャパシター C_{2a} 、 C_{4a} 、 C_{2b} 、 C_{4b} の容量値を C_x とし、各 OTA のトランスコンダクタンス値を g_m とすると、各インダクター L_{2a} 、 L_{4a} 、 L_{2b} 、 L_{4b} のインダクタンス値 L は、 $L = C_x / g_m^2$ で与えられる。

【0121】

4 つの入力信号 IP 、 IN 、 QP 、 QN は互いに位相が異なる信号である。 IP と IN とは位相が 180 度異なり、また QP と QN とは位相が 180 度異なる。すなわち IP と IN 及び QP と QN はそれぞれ 1 対の差動信号を構成する。また IP と QP とは位相が 90 度異なり、 IN と QN とは位相が 90 度異なる。

40

【0122】

中心周波数シフト回路 $FRQS_1 \sim FRQS_4$ 及びインダクター相当回路 $X_1 \sim X_4$ に含まれる OTA は、上述したトランスコンダクタンス調整回路 100 からのトランスコンダクタンス調整信号 AGM に基づいて、トランスコンダクタンス値（ g_m 値）が調整される。

【0123】

複素 BPF 回路 200 は、バンドパスフィルタとして動作し、その中心周波数を f_0

50

とすると、 $\omega_0 (= 2\pi \times f_0)$ と各OTAの g_m 値は次のように設定される。

【0124】

$$g_{m1} = \omega_0 \times C_{C1a} \quad (16)$$

$$g_{m2} = \omega_0 \times C_{C2a} \quad (17)$$

$$g_{m3} = \omega_0 \times C_{C3a} \quad (18)$$

$$g_{m4} = \omega_0 \times C_{C4a} \quad (19)$$

ここで $g_{m1} \sim g_{m4}$ は中心周波数シフト回路FRQS1～FRQS4に含まれるOTAのトランスコンダクタンス値であり、 C_{C1a} 、 C_{C2a} 、 C_{C3a} 、 C_{C4a} はキャパシターC1a、C2a、C3a、C4aの容量値(キャパシタンス値)である。回路設計時には、 ω_0 が所望の周波数になるように、各OTAのトランスコンダクタンス値 $g_{m1} \sim g_{m4}$ 及び各キャパシターの容量値 C_{C1a} 、 C_{C2a} 、 C_{C3a} 、 C_{C4a} が設定される。

10

【0125】

実際の回路では、製造ばらつきや電源電圧、温度の変動などによって g_m 又は C が変動し、そのために中心周波数 ω_0 及びBPFの遮断周波数が設計値からずれてしまう。本実施形態のトランスコンダクタンス調整回路100は、1次複素BPFの中心周波数のずれを検出して、このずれを補正するようにOTAのトランスコンダクタンス値 g_m を調整する回路である。OTAにおいて g_m が所望値、即ち設計前提値からずれる原因は、MOSトランジスタの g_m 又はテール電流 I_{SS} がプロセス、電源電圧、周囲温度の変動によって設計前提値からずれることにある。ここで、 μ_n はMOSトランジスタの特性を表すパラメータの1つであり、チャネル幅を W 、チャネル長を L 、移動度を μ 、ゲート酸化膜の単位面積当たりの容量を C_{ox} とすると、次式で与えられる。

20

【0126】

$$g_m = (W/L) \cdot \mu \cdot C_{ox} \quad (20)$$

従って、図10における全てのOTAの g_m に何がしかのズレが生じているとすれば、同一集積回路内の近傍に形成された図1又は図7のOTA1、OTA2の g_m にも同じ原因によって同じ比率でズレが生じているはずである。

【0127】

このように、製造ばらつきや電源電圧、温度の変動などによってトランスコンダクタンス値 g_m 又は容量値 C が変動した場合には、トランスコンダクタンス調整回路100と複素BPF回路200とは、同じように中心周波数が変動する。なお、トランスコンダクタンス調整回路100の中心周波数と複素BPF回路200の中心周波数とは同一でなくてもよい。

30

【0128】

なお、トランスコンダクタンス調整回路100のレプリカ回路110は、1次複素BPFに限定されず、2次以上の複素BPFであってもよい。また、図10の複素BPF回路200のように、全差動回路で構成してもよい。

【0129】

図11に、トランスコンダクタンス調整回路100のレプリカ回路110(1次複素BPF)を全差動回路で構成した構成例を示す。中心周波数シフト回路112は、1対の全差動型のOTAで構成される。第1の信号IP、INの系統のローパスフィルタと第2の信号QP、QNの系統のローパスフィルタとを互いに極性の異なる1対のOTA(1つは正極性、他方は負極性)を介して接続することで、中心周波数 ω_0 だけ周波数特性をシフトさせて、バンドパスフィルタを得ることができる。

40

【0130】

図12(A)、図12(B)は、本実施形態のトランスコンダクタンス調整回路100による中心周波数のずれの検出を説明する図である。図12(A)に、トランスコンダクタンス調整回路100(図1、図7)のレプリカ回路110における第1の出力信号OIの第1、第2の信号I、Qに対する位相差と中心周波数との関係を示す。また、図12(B)に、複素BPF回路200(例えば4次複素BPF)の周波数特性を示す。バンドパ

50

スフィルターの中心周波数の設計値（所望値）を 0 とする。

【0131】

トランスコンダクタンス調整回路 100 に含まれるレプリカ回路 110（1次複素 BPF）は、図 12（A）に示すように第 1 の出力信号 OI と第 1 の信号 I との位相差は -90 度から 90 度の範囲で変化する。図示していないが、例えば複素 BPF 回路 200 が 4 次複素 BPF である場合には、正の周波数領域では位相差は -360 度から 360 度の範囲で変化する。

【0132】

中心周波数が設計値 0 に一致している場合には、図 12（A）の A1 に示すように、周波数 0 で第 1 の出力信号 OI と第 1 の信号 I との位相差は 0 度になる。また、第 2 の信号 Q の位相は、正の周波数領域では第 1 の信号 I より 90 度遅れているから、周波数 0 で OI と Q との位相差は 90 度になる。この場合の複素 BPF 回路 200 の利得の周波数特性は、図 12（B）の B1 に示す特性になる。

10

【0133】

製造ばらつき等により中心周波数が 1（ $1 > 0$ ）に変化した場合には、例えば図 12（A）の A2 に示すように、周波数 0 で OI と I との位相差は 0 度より大きくなり、また OI と Q との位相差は 90 度より大きくなる。この場合の複素 BPF 回路 200 の利得の周波数特性は、例えば図 12（B）の B2 に示す特性になる。

【0134】

また、製造ばらつき等により中心周波数が 2（ $2 < 0$ ）に変化した場合には、図 12（A）の A3 に示すように、周波数 0 で OI と I との位相差は 0 度より小さくなり、また OI と Q との位相差は 90 度より小さくなる。この場合の複素 BPF 回路 200 の周波数特性は、図 12（B）の B3 に示す特性になる。

20

【0135】

従って、トランスコンダクタンス調整回路 100 のレプリカ回路 110 に周波数 0 の第 1、第 2 の信号 I、Q を入力し、平滑回路 LPF1、LPF2 の出力信号 VA1、VA2 或いは差分信号生成回路 130 の差分信号電流 ID に基づいて、複素 BPF 回路 200 の中心周波数が設計値 0 に一致しているか否か、並びに、複素 BPF 回路 200 の 2 つの遮断周波数 H と L が設計値に一致しているか否か、を推定することができる。

【0136】

複素 BPF 回路 200 とトランスコンダクタンス調整回路 100 は、同一 IC チップ内に形成されている。このため、複素 BPF 回路 200 の中心周波数及び 2 つの遮断周波数 H と L の変動原因（プロセス変動、電源電圧変動、周囲温度変動）はトランスコンダクタンス調整回路に含まれるレプリカ回路 110 の中心周波数変動原因（プロセス変動、電源電圧変動、周囲温度変動）に一致する。

30

【0137】

この事実に基づいて、本実施形態のトランスコンダクタンス調整回路 100 では、調整対象回路（複素 BPF 回路）200 における中心周波数変動・遮断周波数変動を検出する代わりに、トランスコンダクタンス調整回路 100 に含まれるレプリカ回路（1次複素 BPF）110 の中心周波数変動を検出し、この検出結果に基づいて、レプリカ回路 110 及び調整対象回路 200 に含まれる全ての OTA の gm 値を設計値に近づけるように調整する。

40

【0138】

具体的には、平滑回路の出力信号の差分 VA1 - VA2（図 4）又は差分信号電流 ID（図 9）が 0 であれば、中心周波数及び 2 つの遮断周波数 H と L は設計値に一致していると判定する。VA1 - VA2 又は ID が負（即ち > 0 ）であれば、中心周波数は 0 より高い方にずれており、VA1 - VA2 又は ID が正（即ち < 0 ）であれば、中心周波数は 0 より低い方にずれていると判定する。

【0139】

なお、図示していないが、第 2 の出力信号 OQ の第 2 の信号 Q に対する位相差も、図 1

50

2 (A) の O I の I に対する位相差と同様になる。従って、O Q と I の位相差が中心周波数 0 で 90 度になるから、O Q と I の位相差を比較してもよい。すなわち、ミキサ M X (又は M X 1) の入力として、O Q と I を用いてもよい。

【 0 1 4 0 】

式 (8) 又は式 (1 5) に示すように、積算電圧の差分 $V_{S1} - V_{S2}$ 又は積算電圧 V_S が負の場合には、補正電流 I_{CR} が負になるから、トランスコンダクタンス (g_m) を減少させる調整を行う。 g_m が減少することで、中心周波数 ($= g_m / C$) は低くなり、設計値 0 に近づく。一方、積算電圧の差分 $V_{S1} - V_{S2}$ 又は積算電圧 V_S が正の場合には、補正電流 I_{CR} が正になるから、トランスコンダクタンスを増加させる調整を行う。 g_m が増加することで、中心周波数は高くなり、設計値 0 に近づく。そして中心周波数が設計値 0 に一致した場合には、平滑回路の出力信号の差分 $V_{A1} - V_{A2}$ 又は差分信号電流 I_D は 0 になり、それ以降積算電圧の差分 $V_{S1} - V_{S2}$ 又は積算電圧 V_S は一定の電圧に保持されるから、 g_m も一定値に保持される。

【 0 1 4 1 】

なお、トランスコンダクタンス調整信号 A G M により、O T A の g_m がどのようにして調整されるかについては、後述する。

【 0 1 4 2 】

上述したように、トランスコンダクタンスの調整は、レプリカ回路 1 1 0 に含まれる O T A だけではなく、調整対象回路 2 0 0 に含まれる O T A に対しても同じように行われるから、調整対象回路 2 0 0 の中心周波数並びに 2 つの遮断周波数 H と L も設計値に補正される。上述したように $0 = g_m / C$ の関係があるから、 g_m を調整することで、キャパシタの容量値 C の変動も含めて中心周波数を補正することができる。例えば容量値 C が設計値の k 倍に変化した場合に、 g_m 値も設計値の k 倍に調整することで、中心周波数を設計値に補正することができる。

【 0 1 4 3 】

また、インダクター相当回路 X 1 ~ X 4 (図 1 0) のインダクタンスと隣接するキャパシタ C 1 a 、 C 3 a 、 C 1 b 、 C 3 b の容量値との積を所定の設計値に保持すれば、調整対象回路 (複素 B P F 回路) 2 0 0 の特性は保持される。例えば、X 1 (L 2 a) のインダクタンス値を L L 2 a 、隣接するキャパシタ C 1 a 、 C 3 a の容量値を C C 1 a 、 C C 3 a とした場合に、インダクタンス値と容量値との積 $L L 2 a \times C C 1 a$ 、 $L L 2 a \times C C 3 a$ を所定の設計値に保持すれば、複素 B P F 回路 2 0 0 の特性は保持される。ここで、上述したように、 $L L 2 a = C C 2 a / g_m^2$ の関係があるから、

$$L L 2 a \times C C 1 a = C C 2 a \times C C 1 a / g_m^2 \quad (2 1)$$

$$L L 2 a \times C C 3 a = C C 2 a \times C C 3 a / g_m^2 \quad (2 2)$$

となる。上式から分かるように、容量値が設計値の k 倍に変化した場合でも、 g_m 値を設計値の k 倍に調整することで、インダクタンス値と容量値との積を一定値に保持することができる。

【 0 1 4 4 】

このように本実施形態のトランスコンダクタンス調整回路 1 0 0 によれば、複素 B P F 回路 (広義には調整対象回路) 2 0 0 の中心周波数の設計値からのずれを直接検出する代わりに、1 次複素 B P F (広義にはレプリカ回路) 1 1 0 の位相誤差を検出し、その検出結果に基づいて O T A のトランスコンダクタンスを調整することで、中心周波数及び伝送特性 (遮断周波数など) の設計値からのずれを補正することができる。その結果、本実施形態のトランスコンダクタンス調整回路を無線機器等に用いた場合には、製造ばらつきや電源電圧、温度の変動などによる中心周波数及び伝送特性の設計値からのずれを、例えば無線通信の開始前に、或いは無線通信中に補正することができるから、より安定で確実な無線通信を実現することなどが可能になる。

【 0 1 4 5 】

図 1 3 に、演算トランスコンダクタンス増幅器 (O T A) の第 1 の構成例を示す。なお、本実施形態の O T A は図 1 3 の構成に限定されず、その構成要素の一部を省略したり、

他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 1 4 6 】

図 1 3 に示す O T A の第 1 の構成例は、N 型トランジスタ T N 1、T N 2、T N 3 及び P 型トランジスタ T P 1、T P 2 を含む。T N 1 のゲートは非反転入力端子 V I N + に接続され、T N 2 のゲートは反転入力端子 V I N - に接続される。T P 1、T P 2 はカレントミラー回路を構成する。T N 1 のドレイン、T P 1 のドレインとゲート、T P 2 のゲートは共通接続される。また、T N 2 のドレインと T P 2 のドレインは共通接続され、さらに電流出力端子 I O U T に接続される。T N 3 は、テール電流 I S S の電流源として動作し、ゲートに入力されるトランスコンダクタンス調整信号 A G M によりゲートバイアス電圧が調整されることで、テール電流 I S S の電流値が調整される。

10

【 0 1 4 7 】

T N 3 と電流加算回路 1 6 0 (図 4、図 9) の T N 4 とはカレントミラー回路を構成するから、T N 3 のドレイン電流 (テール電流 I S S) の電流値は、T N 4 のドレイン電流 (I C R + I R E F) の電流値に比例する。この比例定数は、T N 3 と T N 4 のサイズにより決まる。例えば T N 3 と T N 4 とのチャネル長が同一である場合には、チャネル幅の比になる。このようにして、O T A のテール電流 I S S の電流値は I C R + I R E F に比例するように設定される。

【 0 1 4 8 】

O T A のトランスコンダクタンス g_m は、テール電流 I S S を用いて次式で表される。

20

【 0 1 4 9 】

【 数 3 】

$$g_m = \sqrt{\beta \cdot I_{SS}} \quad (23)$$

【 0 1 5 0 】

ここで は式 (2 0) で与えられる T N 1、T N 2 の特性パラメーターである。この式 (2 3) は、例えば公知文献である谷口研二著「C M O S アナログ回路入門」第 4 版 (2 0 0 6 年 8 月 1 日、C Q 出版) P 1 0 1 ~ P 1 0 3 に導出が与えられている。

【 0 1 5 1 】

30

式 (2 3) から分かるように、テール電流 I S S を調整することで、O T A の g_m を調整することができる。上述したように、電流加算回路 1 6 0 に含まれる T N 4 (図 4、図 9) とテール電流源の T N 3 とはカレントミラー回路を構成するから、T N 4 のドレイン電流 $I_{ds} = I_{CR} + I_{REF}$ に比例するテール電流 I S S を得ることができる。

【 0 1 5 2 】

図 1 4 に、演算トランスコンダクタンス増幅器 (O T A) の第 2 の構成例を示す。なお、本実施形態の O T A は図 1 4 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 1 5 3 】

40

図 1 4 に示す O T A の第 2 の構成例では、N 型トランジスタ N M 3、N M 4 は、O T A の入力差動対を構成し、各ゲートが入力端子 I N N、I N P にそれぞれ接続される。P 型トランジスタ P M 5、P M 6 は、負荷電流源を構成し、各ドレインが出力端子 O U T P、O U T N にそれぞれ接続される。N 型トランジスタ N M 1、N M 2 は、各ゲートにバイアス電圧 V B N が印加され、入力差動対 N M 3、N M 4 に対してそれぞれカスコード接続される。これら N M 1、N M 2 は、O T A の出力インピーダンスを高くして、負荷の変動の影響を低減する働きをする。N 型トランジスタ N M 5、N M 6 は、テール電流の電流源を構成し、各ゲートに入力されるトランスコンダクタンス調整信号 A G M により O T A のテール電流が調整される。

【 0 1 5 4 】

50

P型トランジスタPM3、PM4、PM8は、コモンフィードバック用トランジスタであり、OTAの動作点の直流電位を安定させる働きをする。また、P型トランジスタPM9及びN型トランジスタNM7、NM8、NM9は、バイアス電圧生成回路を構成し、負荷電流源PM5、PM6のゲートバイアス電圧を生成する。

【0155】

図15に、ミキサMX、MX1、MX2の構成例を示す。なお、本実施形態のミキサMX、MX1、MX2は図15の構成に限定されず、その構成要素の一部を省略したり、他の構成要素に置き換えたり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0156】

図15に示すミキサの構成例は、N型トランジスタTB1～TB6、抵抗素子RB1、RB2及び電流源ISを含む。TB1、TB2の各ゲートには入力信号VIN1が入力され、TB3～TB6の各ゲートには、入力信号VIN2が入力される。TB3、TB6の各ドレインの共通接続ノードと、TB4、TB5の各ドレインの共通接続ノードから出力信号VOUTが出力される。

【0157】

図16(A)、図16(B)は、図15に示したミキサの動作を説明する信号波形である。図16(A)は、2つの入力信号VIN1、VIN2が同位相である場合の信号波形である。この場合には、出力信号VOUTは共通電位VCOMに対して正側(+側)の波形になる。一方、VIN1とVIN2が90度の位相差をもっている場合には、図16(B)に示すように、出力信号VOUTは共通電位VCOMに対して正側(+側)の部分と負側(-側)の部分をもつ波形になる。

【0158】

例えば、入力信号VIN1を第2の信号 $Q(\sin(t))$ とし、入力信号VIN2を第1の出力信号OI $(\cos(t + \theta))$ とした場合には、出力信号VOUTは $k \times (\sin(2t + \theta) - \sin \theta)$ となる。この出力信号VOUTを平滑回路LPFで平滑して、上式の第2項の直流成分 $(-k \cdot \sin \theta)$ を取り出すことができる。平滑回路LPFの遮断周波数は、0と2との間に設定する必要があり、平滑回路を構成するキャパシタと抵抗素子の占有面積の許す範囲で、0に近いことが望ましい。

【0159】

このように、ミキサの出力信号の直流成分を取り出すことで、ミキサに入力される2つの信号の位相差に応じた直流信号を生成することができる。この直流信号は、位相差が90度の場合には、0Vになり、それ以外の場合には正又は負になる。

【0160】

図17に、本実施形態のトランスコンダクタンス調整回路100の第3の構成例を示す。第3の構成例の調整信号生成回路120は、上述した第1の構成例(図3)において、第1、第2のスイッチ素子SW1、SW2及び抵抗値調整回路190をさらに含む。

【0161】

レファレンス信号生成回路180は、第1、第2の信号I、Q及びI又はQと位相が異なる第3の信号Pを出力する。具体的には、例えば第3の信号Pは、Iに対して位相が45度進む、又は45度遅れる信号である。

【0162】

調整信号生成回路120は、第3の信号Pと第1の出力信号OIとに基づいて、又は第3の信号Pと第2の出力信号OQとに基づいて、第1の抵抗素子RA1、第2の抵抗素子RA2及び調整対象回路(複素BPF回路)200に対して抵抗値を調整する信号ARSを出力する。具体的には、例えば図10に示す複素BPF回路200に含まれる抵抗素子R1a～R1d、R2a～R2dの各抵抗値が、抵抗値を調整する信号(抵抗値調整信号)ARSにより調整される。

【0163】

第1のスイッチ素子SW1は、ミキサMXの一方の入力信号を切り換える。また、第

10

20

30

40

50

2のスイッチ素子SW2は、平滑回路LPF1、LPF2の出力先を切り換える。具体的には、上述した中心周波数を補正する動作モードでは、SW1によりミキサMXの一方の入力信号として第2の信号Qが選択され、SW2により平滑回路LPF1、LPF2の出力信号VA1、VA2の出力先として積算回路135が選択される。また、以下で説明する帯域幅を補正するモードでは、SW1によりミキサMXの一方の入力信号として第3の信号Pが選択され、SW2により平滑回路LPF1、LPF2の出力信号VA1、VA2の出力先として抵抗値調整回路190が選択される。

【0164】

抵抗値調整回路190は、出力信号VA1、VA2に基づいて、第1、第2の抵抗素子RA1、RA2及び調整対象回路(複素BPF回路)200に対して抵抗値調整信号ARSを出力する。

10

【0165】

第3の構成例のトランスコンダクタンス調整回路100によれば、例えば第3の信号Pと第1の出力信号OIとに基づいて、各抵抗素子RA1及びRA2の抵抗値を調整することで、トランスコンダクタンス調整回路100のレプリカ回路110(1次複素BPF回路)の帯域幅、即ち2つ(高周波側及び低周波側)の遮断周波数H、Lを設計値(所望値)に補正することができる。ここで、1次複素BPF回路の帯域幅の変動原因は受動素子として構成された抵抗RA1、RA2のプロセス、電源電圧及び温度による変動である。

【0166】

20

図10に示す複素BPF回路200は受動抵抗R1a~R1d、R2a~R2dを備える。これら受動抵抗は図17における1次複素BPF回路の受動抵抗RA1、RA2と同一構造、同一材料から成る。同一構造、同一材料にて形成されたこれらの受動抵抗は1次複素BPF回路と同一の変動原因(プロセス変動、電源電圧変動、温度変動)によって同一の特性変動を呈する。従って、1次複素BPF回路110の帯域幅変動を検出し、1次複素BPF回路110及び複素BPF回路200に含まれる受動抵抗値を調整することによって複素BPF回路200の特性を設計値に近づけるように補正することが可能となる。

【0167】

図18(A)、図18(B)は、第3の構成例による複素BPF回路の帯域幅の補正を説明する図である。例えば、図18(A)のD1に示す周波数特性が所望の周波数特性であるとする。中心周波数0におけるゲイン(最大ゲイン)から3dB減衰する周波数(遮断周波数)を1、2とすると、 $1 - 2 = 2 \times$ が帯域幅を与える。

30

【0168】

この帯域幅は、1次複素BPF回路の各抵抗素子の抵抗値に依存して決まり次式で表わされる。

【0169】

$$1 - 2 = 2 / (CA1 \times RA1) \quad (24)$$

従って、設計時に所望の帯域幅になるように各抵抗素子の抵抗値を設定したとしても、製造ばらつき、電源電圧変動、或いは周囲温度によって抵抗値が変動すれば、帯域幅も変動する。例えば、RA1が設計値より小さくなる方向に変動すれば、図18(A)のD2、D3に示すように、帯域幅が広がってしまう。

40

【0170】

図18(B)に示すように、第1の出力信号OIの第1の信号Iに対する位相差は、遮断周波数1において-45度になり、遮断周波数2において45度になる。例えば第3の信号PとしてIに対して位相が45度進んだ信号を入力すると、OIのPに対する位相変化は、1において-90度になる。また図示していないが、例えば第3の信号PとしてIに対して位相が45度遅れた信号を入力すると、OIのPに対する位相変化は、2において90度になる。

【0171】

50

このように、第3の信号PとしてIに対して位相が45度遅れた、又は45度進んだ信号を入力し、OIのPに対する位相差が90度又は-90度となる周波数をミキサーMX、平滑回路LPF1、LPF2により検出することができる。

【0172】

具体的には、レファレンス信号生成回路180から周波数1又は2の3つの信号I、Q、Pを入力し、抵抗値調整回路190は、抵抗値調整信号ARSにより各抵抗素子の抵抗値を変化させ、位相変化が90度又は-90度に最も近くなるように抵抗値を設定する。このようにして、抵抗値調整回路190は、遮断周波数が所望の値(設計値)と一致するように各抵抗素子の抵抗値を調整することができる。

【0173】

抵抗素子の抵抗値を調整するためには、例えばポリシリコン薄膜などを用いた受動抵抗素子を複数設けて、選択回路によりそれらの抵抗素子のうちの1つ又は複数の抵抗素子を選択して電氣的に接続すればよい。この場合の抵抗値調整信号ARSは、選択回路を制御する信号である。

【0174】

なお、第3の信号Pと第2の出力信号OQを用いて遮断周波数1、2を検出するためには、第3の信号PとしてQに対して位相が45度遅れる、又は45度進む信号を入力すればよい。

【0175】

図18(A)、図18(B)では、OIとIの位相差が-45度又は45度となる周波数を遮断周波数1、2として説明したが、それ以外の位相差であってもよい。例えば-40度又は40度としてもよい。この場合には、第3の信号Pを、Iに対して位相が40度進む、又は40度遅れる信号とすればよい。

【0176】

以上説明したように、本実施形態のトランスコンダクタンス調整回路100によれば、トランスコンダクタンス調整回路100に含まれるレプリカ回路(1次複素BPF回路)110の中心周波数の設計値からのずれを検出し、検出結果に基づいてOTAのトランスコンダクタンスを調整することで、中心周波数の設計値からのずれを精度良く補正することができる。同時に、複素BPF回路(広義には調整対象回路)200の中心周波数及び遮断周波数の設計値からのずれを精度良く補正することができる。その結果、本実施形態のトランスコンダクタンス調整回路を無線機器等に用いた場合には、製造ばらつきや電源電圧、温度の変動などによる中心周波数の設計値からのずれを、例えば無線通信の開始前に、或いは無線通信中に補正することができる。

【0177】

さらに遮断周波数など複素BPF回路の帯域幅を規定する特性を検出して、検出結果に基づいて抵抗素子の抵抗値を調整することができるから、製造ばらつきなどによる帯域幅の設計値からのずれを補正することができる。その結果、より安定で確実な無線通信を実現することなどが可能になる。図17に示す第3の構成例の場合には、具体的には、例えば無線通信の開始前に受動抵抗の調整を行い、無線通信中にOTAのトランスコンダクタンスgmの調整を行えば好都合である。

【0178】

3. 回路装置

図19に、本実施形態のトランスコンダクタンス調整回路100及び複素BPF回路(広義には調整対象回路)200を含む回路装置(例えば無線通信用LSI)300の構成例を示す。回路装置300は、送信回路210、受信回路310、基準クロック生成回路220及び制御回路260を含む。送信回路210は、送信用PLL(Phase-Locked Loop)回路230、変調用制御電圧生成回路250及びパワーアンプ(PA)240を含む。受信回路310は、低雑音増幅器(LNA)320、周波数変換回路330、受信用PLL回路350、複素BPF回路200、トランスコンダクタンス調整回路100、復調回路360を含む。

10

20

30

40

50

【 0 1 7 9 】

送信用 P L L 回路 2 3 0 は、基準クロック生成回路 2 2 0 からの基準クロックに基づいて、搬送波の周波数の信号を生成する。変調用制御電圧生成回路 2 5 0 は、制御回路 2 6 0 からの送信データに基づいて変調用制御電圧信号を生成し、送信用 P L L 回路 2 3 0 に対して出力する。パワーアンプ (P A) 2 4 0 は、送信用 P L L 回路 2 3 0 の出力信号を増幅し、アンテナ A N T に供給する。

【 0 1 8 0 】

基準クロック生成回路 2 2 0 は、基準クロックを生成して送信用 P L L 回路 2 3 0 及び受信信用 P L L 回路 3 5 0 に出力する。

【 0 1 8 1 】

低雑音増幅器 (L N A) 3 2 0 は、アンテナ A N T から入力される受信信号を増幅する。周波数変換回路 3 3 0 は、受信周波数から中間周波数へ周波数変換を行う。複素 B P F 回路 2 0 0 は、周波数変換後の信号から不要な周波数成分を除去して所望の信号を出力する。受信信用 P L L 回路 3 5 0 は、基準クロック生成回路 2 2 0 からの基準クロックに基づいて、局所周波数の信号を生成し、周波数変換回路 3 3 0 に出力する。復調回路 3 6 0 は、所望波の信号を復調して必要なデータを取り出す。トランスコンダクタンス調整回路 1 0 0 は、上述したように、複素 B P F 回路 2 0 0 のトランスコンダクタンスの調整などを行う。

【 0 1 8 2 】

制御回路 2 6 0 は、送受信の制御処理や回路装置 3 0 0 の外部の回路 (ホストなど) とのデータ通信を行う。具体的には、例えば制御回路 2 6 0 は、搬送周波数の設定処理、変調処理、復調処理などを行う。

【 0 1 8 3 】

本実施形態のトランスコンダクタンス調整回路 1 0 0 及び複素 B P F 回路 2 0 0 によれば、トランスコンダクタンス調整回路 1 0 0 に含まれるレプリカ回路 (1 次複素 B P F 回路) 1 1 0 の中心周波数の設計値からのずれを検出し、検出結果に基づいて O T A のトランスコンダクタンスを調整することで、複素 B P F 回路 2 0 0 の中心周波数の設計値からのずれを精度良く補正することができる。その結果、製造ばらつきや電源電圧、温度の変動などによる中心周波数の設計値からのずれを、例えば無線通信の開始前に、或いは無線通信中に補正することができる。さらに遮断周波数など 1 次複素 B P F 回路の帯域幅を規定する特性を検出して、検出結果に基づいて複素 B P F 回路 2 0 0 に含まれる抵抗素子の抵抗値を調整することができるから、製造ばらつきなどによる帯域幅の設計値からのずれを補正することができる。その結果、より安定で確実な無線通信を実現することなどが可能になる。

【 0 1 8 4 】

4 . 電子機器

図 2 0 に、本実施形態の回路装置 3 0 0 を含む電子機器 4 0 0 の構成例を示す。本実施形態の電子機器 4 0 0 は、回路装置 3 0 0 、センサー部 4 1 0 、 A / D 変換器 4 2 0 、記憶部 4 3 0 、ホスト 4 4 0 、操作部 4 5 0 を含む。

【 0 1 8 5 】

電子機器 4 0 0 は、例えば温度・湿度計、脈拍計、歩数計等であって、検出したデータを無線により送信することができる。センサー部 4 1 0 は、温度センサー、湿度センサー、ジャイロセンサー、加速度センサー、フォトセンサー、圧力センサー等を含み、電子機器 4 0 0 の用途に応じたセンサーが用いられる。センサー部 4 1 0 は、センサーの出力信号 (センサー信号) を増幅し、フィルターによりノイズを除去する。A / D 変換器 4 2 0 は、増幅された信号をデジタル信号に変換して回路装置 3 0 0 へ出力する。ホスト 4 4 0 は、例えばマイクロコンピュータ等で構成され、デジタル信号処理や或いは記憶部 4 3 0 に記憶された設定情報や操作部 4 5 0 からの信号に基づいて電子機器 4 0 0 の制御処理を行う。記憶部 4 3 0 は、例えばフラッシュメモリーなどで構成され、設定情報や検出したデータ等を記憶する。操作部 4 5 0 は、例えばキーボード等で構成され、使用者が電子

10

20

30

40

50

機器 400 を操作するために用いられる。

【0186】

なお、以上のように本実施形態について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例は全て本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。またトランスコンダクタンス調整回路、回路装置及び電子機器の構成、動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【符号の説明】

【0187】

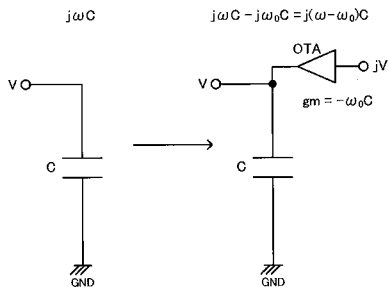
100 トランスコンダクタンス調整回路、110 レプリカ回路、
 112 中心周波数シフト回路、120 調整信号生成回路、
 130 差分信号生成回路、135 積算回路、140 補正電流生成回路、
 150 基準バイアス電流生成回路、160 電流加算回路、170 位相比較回路、
 180 レファレンス信号生成回路、182 信号生成回路、
 184 電圧レベル変換回路、190 抵抗値調整回路、
 200 調整対象回路、210 送信回路、220 基準クロック生成回路、
 230 PLL回路（送信用）、240 パワーアンプ、
 250 変調用制御電圧生成回路、260 制御回路、
 300 回路装置、310 受信回路、320 低雑音増幅器、
 330 周波数変換回路、350 PLL回路（受信用）、360 復調回路、
 400 電子機器、410 センサー部、420 A/D変換器、430 記憶部、
 440 ホスト、450 操作部、
 AGM トランスコンダクタンス調整信号、CA1、CA2 キャパシター、
 RA1、RA2 抵抗素子、
 OTA1、OTA2 演算トランスコンダクタンス増幅器、MX ミキサー、
 LPF1、LPF2 平滑回路、I 第1の信号、Q 第2の信号、
 OI 第1の出力信号、OQ 第2の出力信号

10

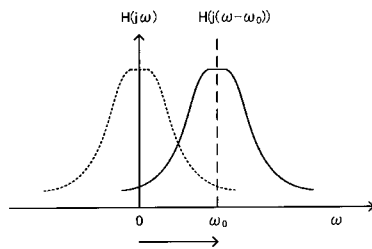
20

【図 1】

(A)

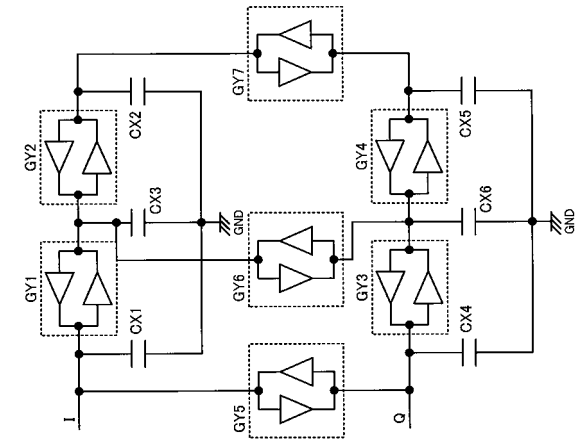


(B)

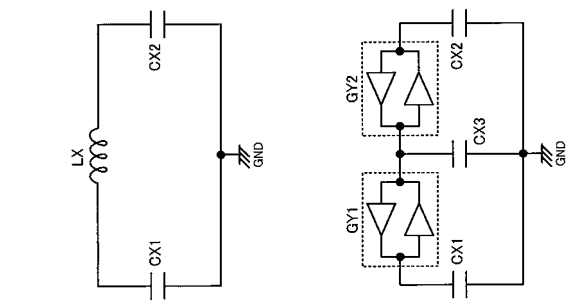


【図 2】

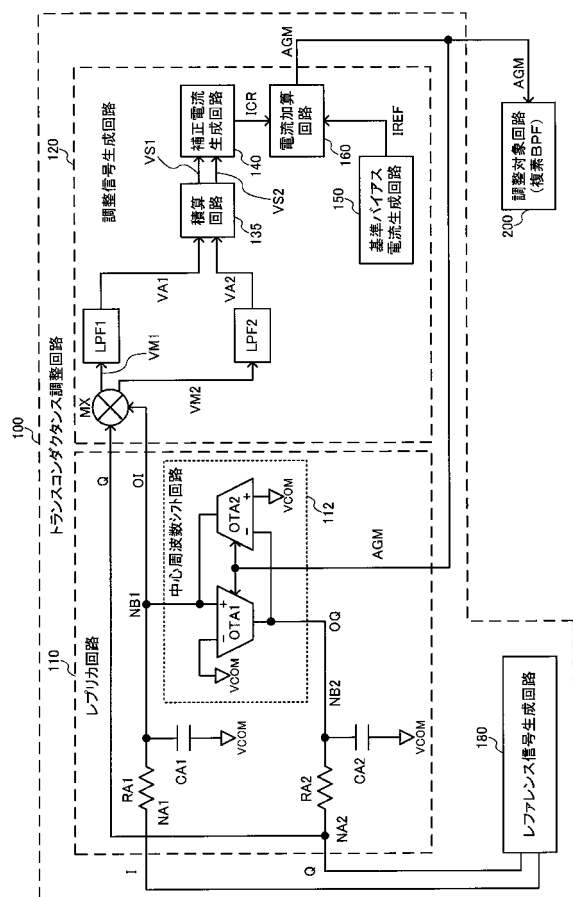
(A)



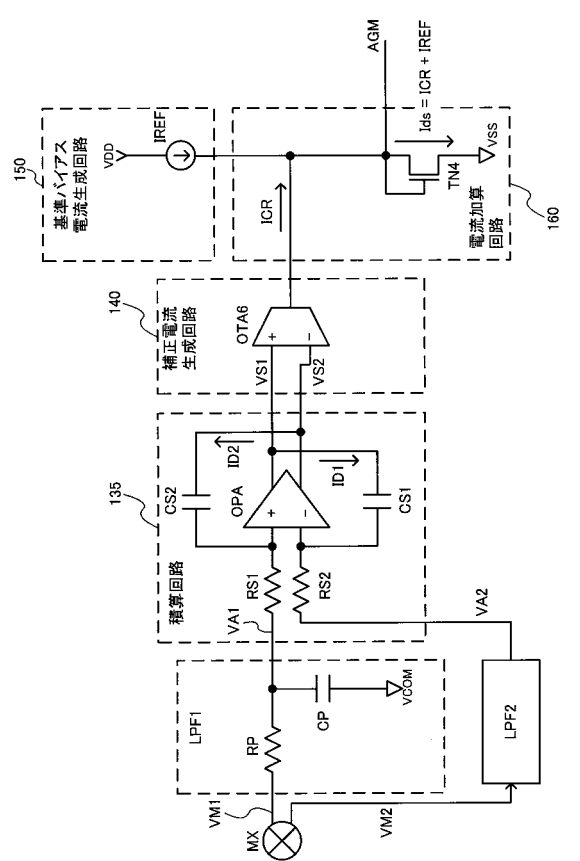
(B)



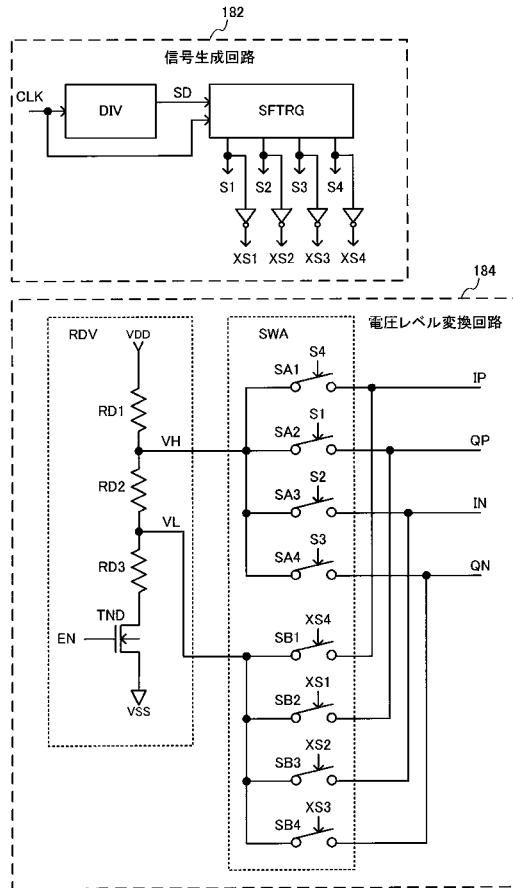
【図 3】



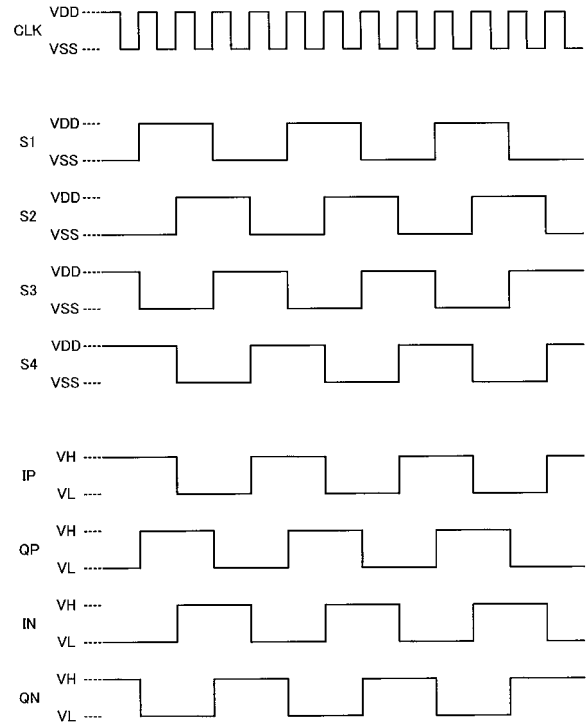
【図 4】



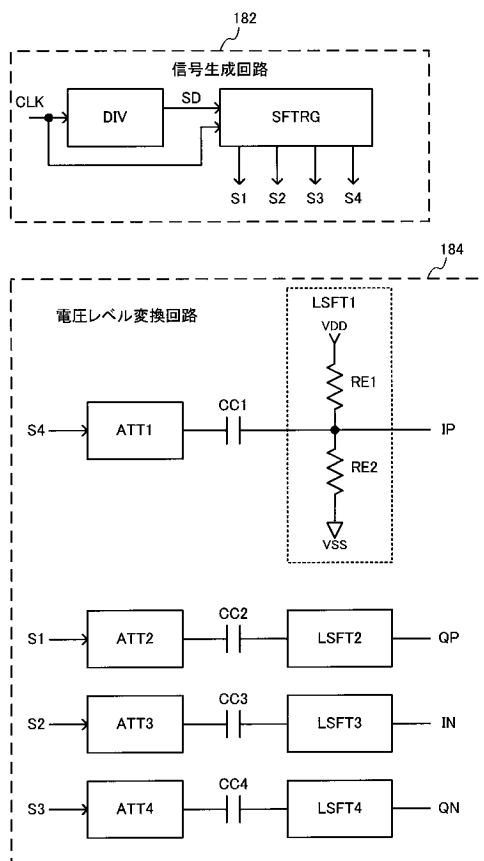
【図 5】



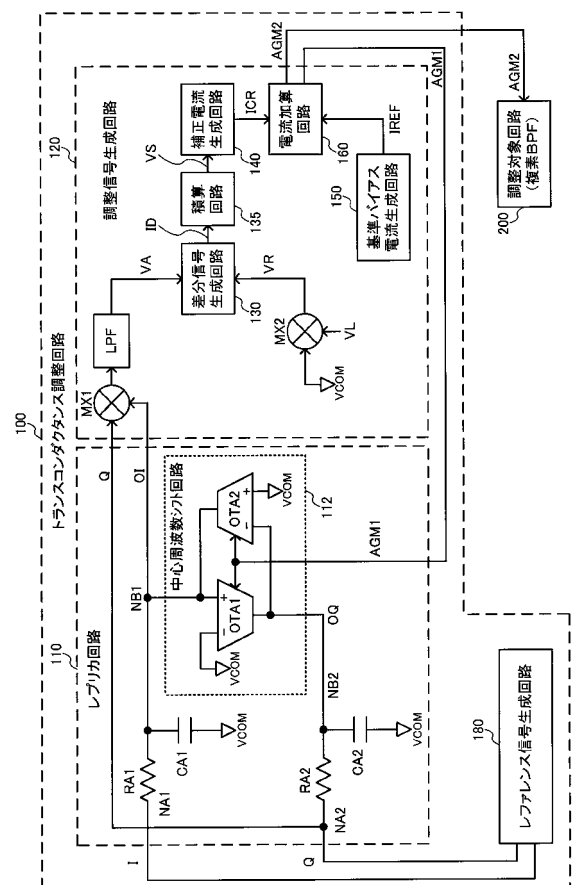
【図 6】



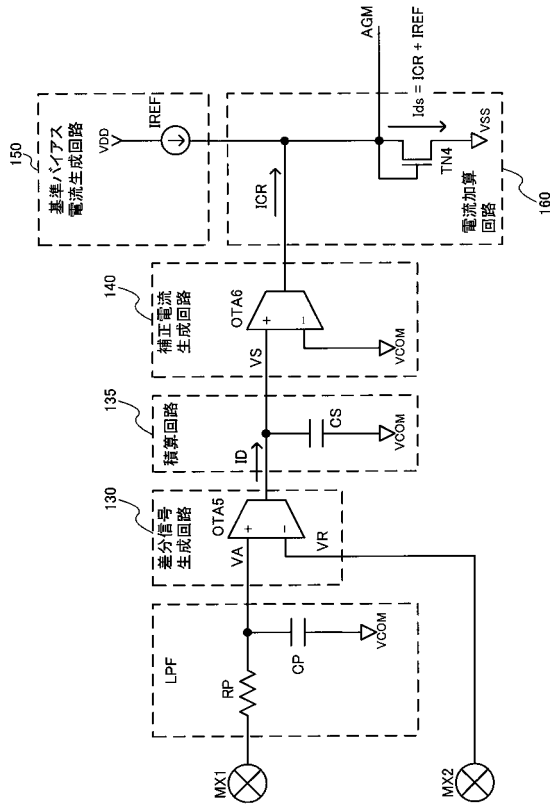
【図 7】



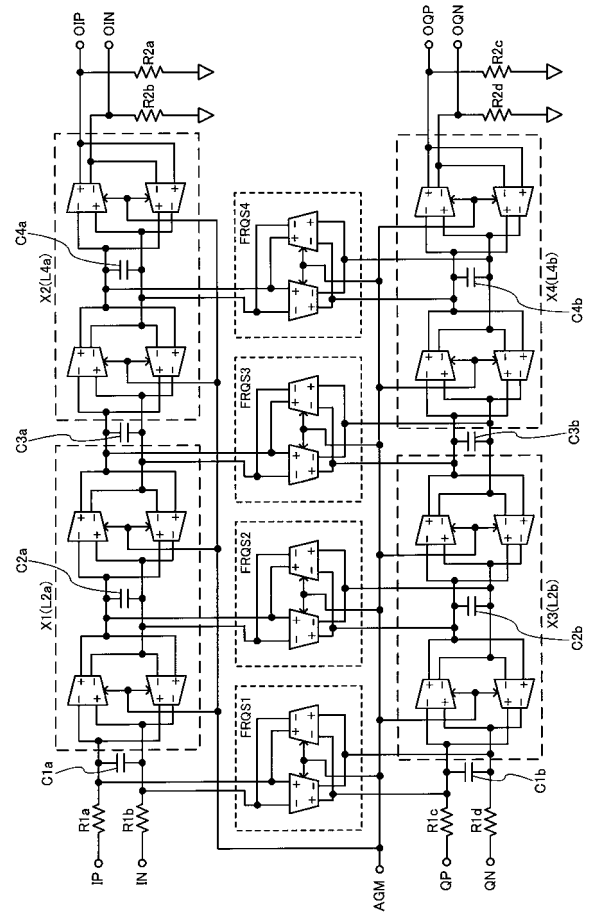
【図 8】



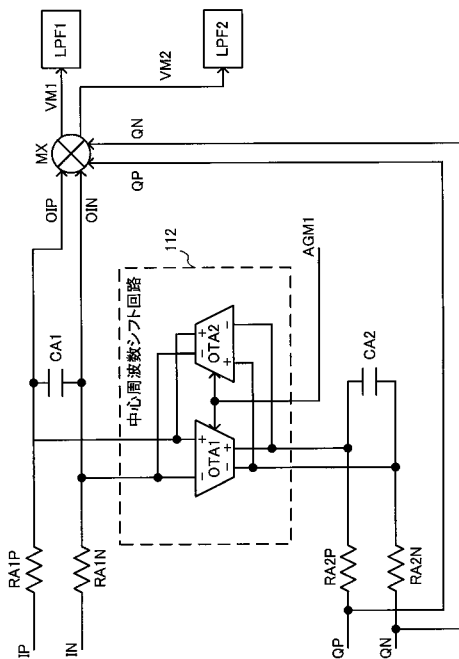
【図 9】



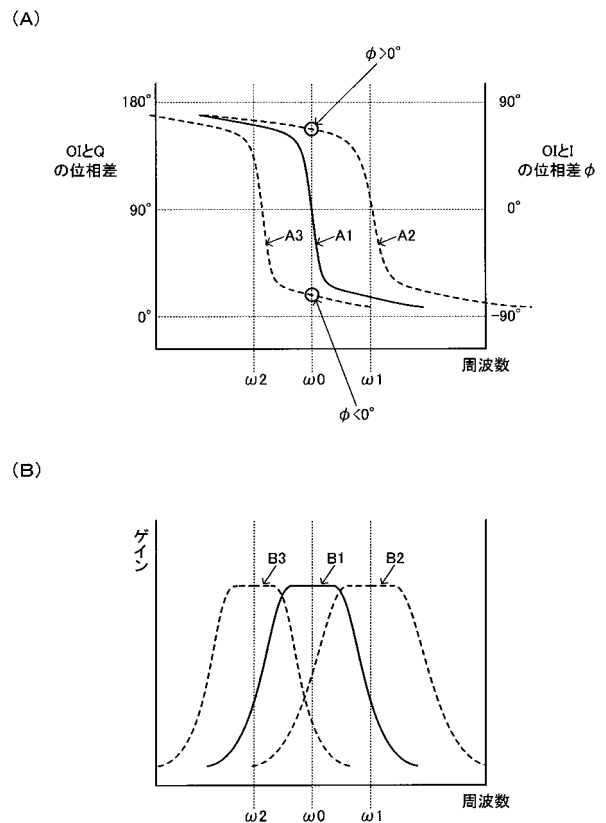
【図 10】



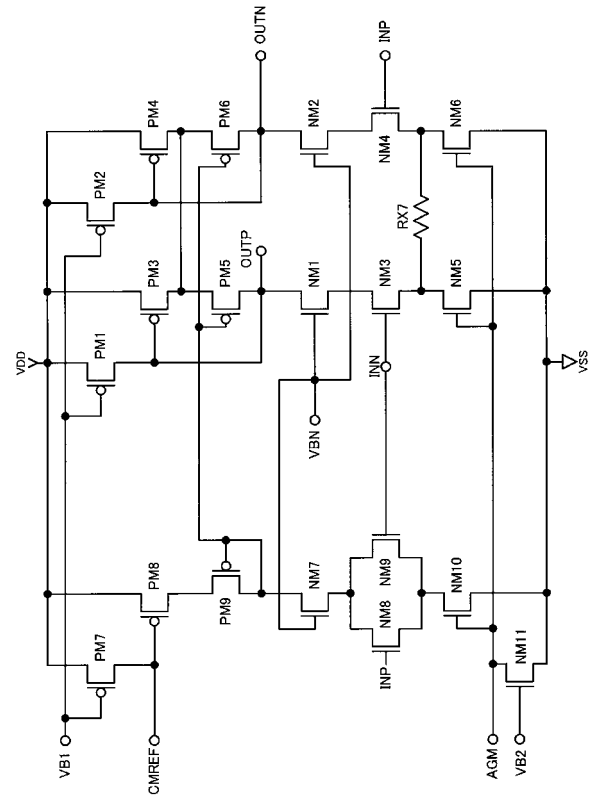
【図 11】



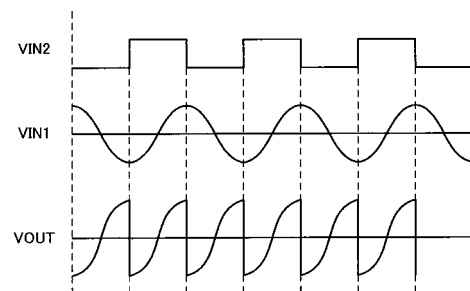
【図 12】



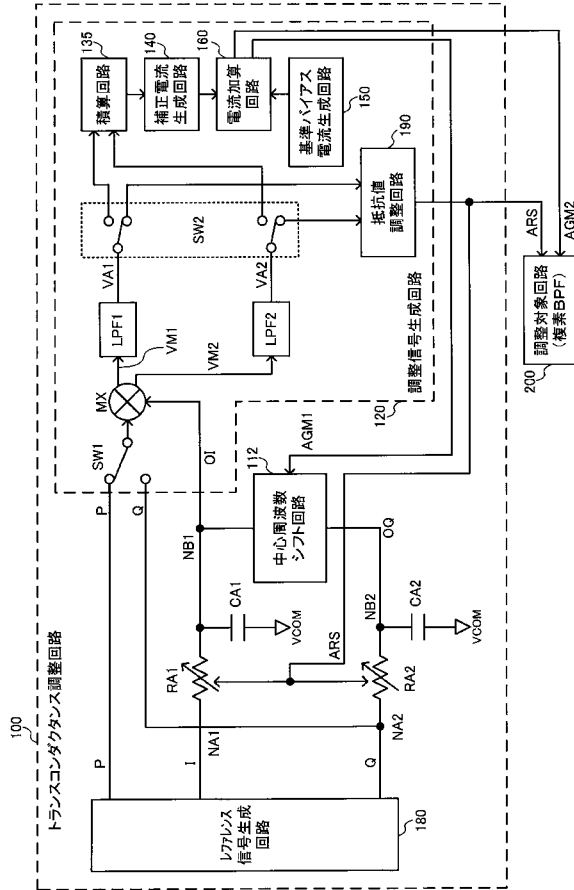
【 図 1 4 】



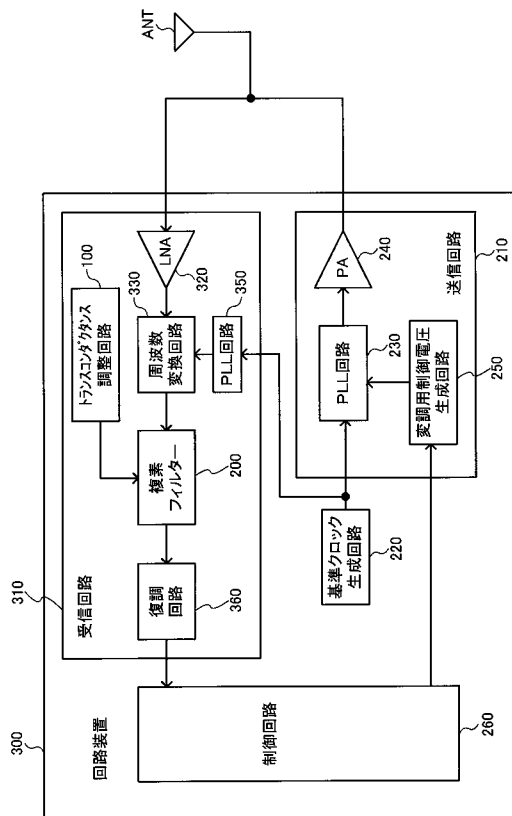
【 図 1 6 】



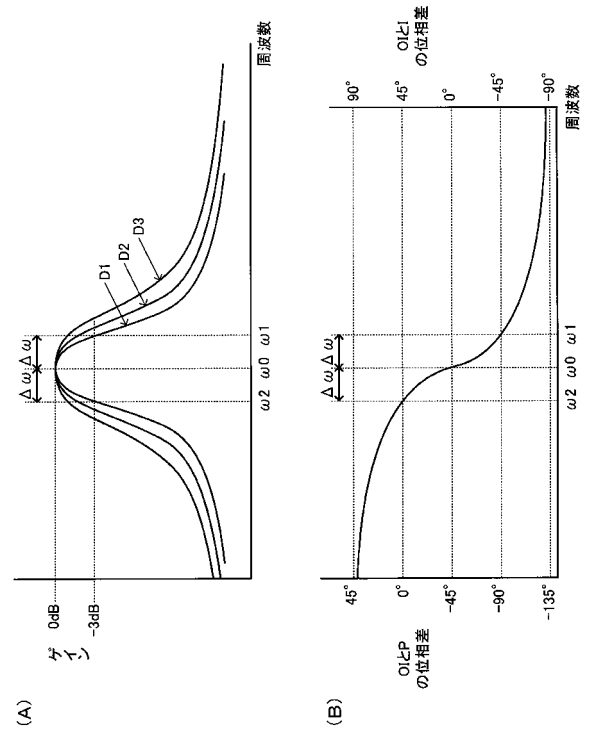
【 図 1 7 】



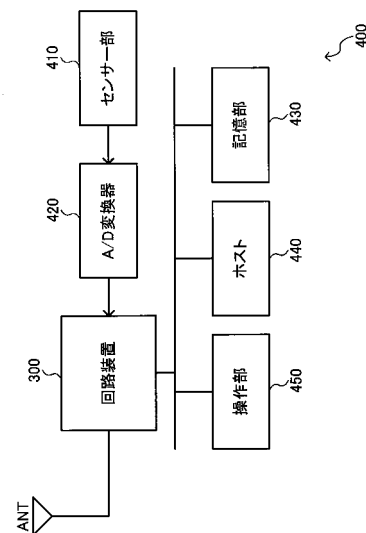
【 図 1 9 】



【 図 1 8 】



【 図 2 0 】



フロントページの続き

F ターム(参考) 5J098 AA03 AA11 AA14 AB03 AB07 AB11 AB12 AB15 AB31 AC02
AC03 AC09 AC22 AD04 AD05 AD16 AD24 CA05 CB03 CB05
CB10