

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-192261  
(P2017-192261A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl. F I テーマコード(参考)  
**H02M 7/12 (2006.01)** H02M 7/12 H 5H006  
 H02M 7/12 601A

審査請求 未請求 請求項の数 13 O L (全 13 頁)

(21) 出願番号 特願2016-82074(P2016-82074)  
 (22) 出願日 平成28年4月15日(2016.4.15)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2-1番地  
 (74) 代理人 100105924  
 弁理士 森下 賢樹  
 (74) 代理人 100133215  
 弁理士 真家 大樹  
 (72) 発明者 井上 直樹  
 京都府京都市右京区西院溝崎町2-1番地  
 ローム株式会社内  
 Fターム(参考) 5H006 CA02 CB01 CB07 CC02 DA04  
 DB01 DC05 FA01

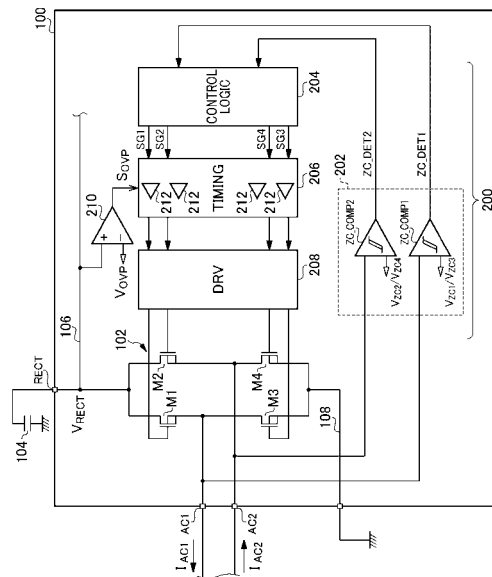
(54) 【発明の名称】ワイヤレス受電装置の同期整流回路、その制御回路、制御方法、ワイヤレス受電装置および受電制御回路、電子機器

(57) 【要約】

【課題】従来と異なる同期整流回路の過電圧保護機能を提供する。

【解決手段】ゼロカレント検出回路202は、フルブリッジ回路102が接続されるAC1端子およびAC2端子の電圧にもとづいて、電流のゼロクロス点を検出する。制御ロジック204は、ゼロカレント検出回路202からの検出信号ZC\_DETに応じて、フルブリッジ回路102を構成する4個のトランジスタM1~M4のオン、オフを指示する4個の制御信号SG1~SG4を生成する。過電圧検出コンパレータ210は、フルブリッジ回路102の整流ライン106の電圧V\_RECTが過電圧しきい値電圧V\_OVPを超えると過電圧検出信号S\_OVPをアサートする。タイミング制御部206は、過電圧検出信号S\_OVPのアサートにตอบสนองして4個のトランジスタM1~M4の少なくともひとつのスイッチングタイミングを、制御信号SG1~SG4の指示するタイミングと異ならしめる。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

ワイヤレス受電装置に使用され、フルブリッジ回路とともに同期整流回路を構成する制御回路であって、

前記制御回路は、

前記フルブリッジ回路が接続される第 1 交流入力および第 2 交流入力の電圧の少なくともひとつをしきい値電圧と比較し、比較結果を示す少なくともひとつの検出信号を生成するゼロカレント検出回路と、

前記少なくともひとつの検出信号に応じて、前記フルブリッジ回路を構成する 4 個のトランジスタのオン、オフを指示する 4 個の制御信号を生成する制御ロジックと、

前記フルブリッジ回路の整流ラインの電圧が過電圧しきい値電圧を超えると過電圧検出信号をアサートする過電圧検出コンパレータと、

前記過電圧検出信号のアサートに 응답して前記 4 個のトランジスタの少なくともひとつのスイッチングタイミングを、前記制御信号の指示するタイミングと異ならしめるタイミング制御部と、

を備えることを特徴とする制御回路。

**【請求項 2】**

前記タイミング制御部は、前記過電圧検出信号のアサートに 응답して、少なくともローサイド側の 2 個のトランジスタのスイッチングタイミングを変化させることを特徴とする請求項 1 に記載の制御回路。

**【請求項 3】**

前記タイミング制御部は、前記過電圧検出信号のアサートに 응답して、前記 4 個のトランジスタのスイッチングタイミングを変化させることを特徴とする請求項 1 に記載の制御回路。

**【請求項 4】**

前記タイミング制御部は、前記過電圧検出信号のアサートに 응답して、前記 4 個の制御信号の少なくともひとつを遅延させる遅延回路を含むことを特徴とする請求項 1 から 3 のいずれかに記載の制御回路。

**【請求項 5】**

前記遅延回路の遅延量は、レジスタの設定値に応じていることを特徴とする請求項 4 に記載の制御回路。

**【請求項 6】**

前記過電圧検出信号がアサートされたときの遅延量は、前記整流ラインの電圧の傾きに応じていることを特徴とする請求項 4 に記載の制御回路。

**【請求項 7】**

前記過電圧検出信号がアサートされたときの遅延量は、前記整流ラインの電圧レベルに応じていることを特徴とする請求項 4 に記載の制御回路。

**【請求項 8】**

ひとつの半導体基板に集積化されることを特徴とする請求項 1 から 7 のいずれかに記載の制御回路。

**【請求項 9】**

フルブリッジ回路と、

前記フルブリッジ回路を制御する請求項 1 から 8 のいずれかに記載の制御回路と、

を備え、受信コイルの電流を整流することを特徴とする同期整流回路。

**【請求項 10】**

ワイヤレス受電装置に使用される受電制御回路であって、

受信コイルと接続されるフルブリッジ回路を制御する請求項 1 から 8 のいずれかに記載の制御回路と、

前記フルブリッジ回路により生成される整流電圧を安定化するレギュレータと、

ワイヤレス送電装置に送信すべきデータを生成するコントローラと、

10

20

30

40

50

前記データを変調し、前記受信コイルに重畳する変調器と、  
を備えることを特徴とする受電制御回路。

【請求項 1 1】

受信コイルと、  
前記受信コイルと接続されるフルブリッジ回路と、  
前記フルブリッジ回路と接続される平滑キャパシタと、  
前記フルブリッジ回路を制御する請求項 1 から 8 のいずれかに記載の制御回路と、  
前記平滑キャパシタに生ずる整流電圧を安定化するレギュレータと、  
を備えることを特徴とするワイヤレス受電装置。

【請求項 1 2】

請求項 1 1 に記載のワイヤレス受電装置を備えることを特徴とする電子機器。

【請求項 1 3】

ワイヤレス受電装置の受信コイルに流れる電流を整流するフルブリッジ回路の制御方法であって、

前記フルブリッジ回路の第 1 交流入力および第 2 交流入力の電圧にもとづき、前記フルブリッジ回路をソフトスイッチングさせることができるタイミングで遷移する 4 個の制御信号を生成するステップと、

前記 4 個の制御信号にもとづいて前記フルブリッジ回路を駆動するステップと、

前記フルブリッジ回路の出力である整流電圧が過電圧しきい値電圧を超えると、前記 4 個の制御信号の少なくともひとつを遅延させて、前記フルブリッジ回路を非ソフトスイッチング動作させるステップと、

を備えることを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ワイヤレス受電装置の同期整流回路に関する。

【背景技術】

【0002】

図 1 は、ワイヤレス給電システム 900 のブロック図である。ワイヤレス給電システム 900 は、ワイヤレス送電装置 902 と、ワイヤレス受電装置 910 を備える。ワイヤレス送電装置 902 は、送信コイル 904 から電力信号 S1 を送信する。ワイヤレス受電装置 910 は、受信コイル 912 に電力信号 S1 を受ける。フルブリッジ回路 914 は、受信コイル 912 に流れる電流  $I_{AC}$  を整流する。コントローラ 918 は、フルブリッジ回路 914 を、電流  $I_{AC}$  の波形と同期してスイッチング制御する。

【0003】

フルブリッジ回路 914 により整流された電流は、平滑キャパシタ 916 により平滑化される。平滑キャパシタ 916 に生ずる電圧  $V_{RECT}$  は、レギュレータ（たとえば LDO）920 によって定電圧化される。フルブリッジ回路 914、コントローラ 918、レギュレータ 920 等は、受電制御 IC（Integrated Circuit）930 に集積化されている。

【0004】

送電装置 902 と受電装置 910 は通信可能であり、整流電圧  $V_{RECT}$  を目標値（DP：Desired Point）に保つようなフィードバックループが形成される。ところが、フィードバックの応答速度を超えるような速度で、送信コイル 904 と受信コイル 912 の結合度が変化したり、あるいはレギュレータ 920 の負荷が急激に変動すると、整流電圧  $V_{RECT}$  が跳ね上がる。整流電圧  $V_{RECT}$  が過電圧となると、フルブリッジ回路 914 やレギュレータ 920 を構成するトランジスタの耐圧を超えるおそれがある。

【0005】

整流電圧  $V_{RECT}$  の過電圧を検出するために、コンパレータ 932 が設けられている。また、 $V_{RECT} > V_{OV_P}$  となり過電圧状態が検出されると、スイッチ SW91、S

10

20

30

40

50

W 9 2 がターンオンする。これにより受信アンテナ 9 3 4 に、キャパシタ C 9 1 , C 9 2 が並列に接続されることとなり、受信アンテナ 9 3 4 の共振周波数が変化し、受信電力が低下する。その結果、整流電圧  $V_{RECT}$  の上昇が抑制され、過電圧保護がかかる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第 8 , 2 7 8 , 8 8 9 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

図 1 の過電圧保護では、共振周波数を変化させるために、外付けのキャパシタ C 9 1 , C 9 2 が必要となり、コストアップ、実装面積の増加の要因となる。特にワイヤレス受電装置では、キャパシタ C 9 1 , C 9 2 のほかにも、共振周波数を設定するためのキャパシタ C 9 3 , C 9 4 、変調用のキャパシタ（不図示）などが外付けされるため、キャパシタの個数を減らすことができれば有意義である。

【0008】

また、この過電圧保護では、受信アンテナ 9 3 4 の共振周波数を変化させるため、保護がかかるまでに遅延が生じ、整流電圧  $V_{RECT}$  が低下するまでに時間を要する場合がある。

【0009】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、従来と異なる過電圧保護機能を備える同期整流回路の提供にある。

【課題を解決するための手段】

【0010】

本発明のある態様は、フルブリッジ回路とともに同期整流回路を構成する制御回路に関する。制御回路は、フルブリッジ回路が接続される第 1 交流入力および第 2 交流入力の電圧の少なくともひとつをしきい値電圧と比較し、比較結果を示す少なくともひとつの検出信号を生成するゼロカレント検出回路と、少なくともひとつの検出信号に応じて、フルブリッジ回路を構成する 4 個のトランジスタのオン、オフを指示する 4 個の制御信号を生成する制御ロジックと、フルブリッジ回路の整流ラインの電圧が過電圧しきい値電圧を超えると過電圧検出信号をアサートする過電圧検出コンパレータと、過電圧検出信号のアサートにตอบสนองして 4 個のトランジスタの少なくともひとつのスイッチングタイミングを、制御信号の指示するタイミングと異ならしめるタイミング制御部と、を備える。

【0011】

この態様によると、過電圧状態において、スイッチングタイミングを制御信号が示す最適点からずらすことにより、電圧波形に対する電流波形の位相をずらし、力率を制御することにより、整流回路を過電圧状態から保護でき、また過電圧状態を抑制できる。

【0012】

タイミング制御部は、過電圧検出信号のアサートにตอบสนองして、少なくともローサイド側の 2 個のトランジスタのスイッチングタイミングを変化させてもよい。タイミング制御部は、過電圧検出信号のアサートにตอบสนองして、4 個のトランジスタのスイッチングタイミングを変化させてもよい。

【0013】

タイミング制御部は、過電圧検出信号のアサートにตอบสนองして、4 個の制御信号の少なくともひとつを遅延させる遅延回路を含んでもよい。

【0014】

遅延回路の遅延量は、レジスタの設定値に応じていてもよい。外部から遅延量を調節できるようにすることで、システムに最適な過電圧保護を実現できる。

【0015】

過電圧検出信号がアサートされたときの遅延量は、整流ラインの電圧の傾きに応じてい

10

20

30

40

50

てもよい。電圧の傾きが大きいほど遅延量を大きくすることで、適応的な過電圧保護が実現できる。

【0016】

過電圧検出信号がアサートされたときの遅延量は、整流ラインの電圧レベルに応じていてもよい。電圧レベルの高いほど遅延量を大きくすることで、適応的な過電圧保護が実現できる。

【0017】

制御回路は、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

10

【0018】

本発明の別の態様は、同期整流回路に関する。同期整流回路は、フルブリッジ回路と、フルブリッジ回路を制御する上述のいずれかの制御回路と、を備えてもよい。

【0019】

同期整流回路は、ワイヤレス受電装置に使用され、受信コイルの電流を整流してもよい。

【0020】

本発明の別の態様は、ワイヤレス受電装置に使用される受電制御回路に関する。受電制御回路は、受信コイルと接続されるフルブリッジ回路を制御する上述のいずれかの制御回路と、フルブリッジ回路により生成される整流電圧を安定化するレギュレータと、ワイヤレス送電装置に送信すべきデータを生成するコントローラと、データを変調し受信コイルに重畳する変調器と、を備えてもよい。

20

【0021】

本発明の別の態様は、ワイヤレス受電装置に関する。ワイヤレス受電装置は、受信コイルと、受信コイルと接続されるフルブリッジ回路と、フルブリッジ回路と接続される平滑キャパシタと、フルブリッジ回路を制御する制御回路と、平滑キャパシタに生ずる整流電圧を安定化するレギュレータと、を備えてもよい。

【0022】

本発明の別の態様は電子機器に関する。電子機器は、ワイヤレス受電装置を備える。

30

【0023】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0024】

本発明のある態様によれば、同期整流回路を過電圧状態から保護できる。

【図面の簡単な説明】

【0025】

【図1】ワイヤレス給電システムのブロック図である。

【図2】実施の形態に係る制御回路を備える同期整流回路の回路図である。

40

【図3】図2の同期整流回路の正常時の動作波形図である。

【図4】過電圧状態における動作波形図である。

【図5】図2の同期整流回路を備えるワイヤレス受電装置のブロック図である。

【図6】ワイヤレス受電装置を備える電子機器を示す図である。

【発明を実施するための形態】

【0026】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なも

50

のであるとは限らない。

【 0 0 2 7 】

本明細書において、「部材 A が、部材 B と接続された状態」とは、部材 A と部材 B が物理的に直接的に接続される場合のほか、部材 A と部材 B が、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 2 8 】

同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

10

【 0 0 2 9 】

図 2 は、実施の形態に係る制御回路 2 0 0 を備える同期整流回路 1 0 0 の回路図である。同期整流回路 1 0 0 は、フルブリッジ回路 1 0 2 および制御回路 2 0 0 を備える。制御回路 2 0 0 は、フルブリッジ回路 1 0 2 とともにひとつの半導体基板に集積化された IC (Integrated Circuit) である。なお大電力のアプリケーションでは、フルブリッジ回路 1 0 2 を構成するパワートランジスタを、ディスクリート素子で構成してもよい。

【 0 0 3 0 】

同期整流回路 1 0 0 は、A C 1 端子 (第 1 交流入力)、A C 2 端子 (第 2 交流入力)、R E C T 端子、G N D 端子を有する。A C 1 端子、A C 2 端子には、交流信号を発生する電源やコイル、アンテナが接続される。R E C T 端子には、平滑キャパシタ 1 0 4 が接続され、G N D 端子は接地される。フルブリッジ回路 1 0 2 は、整流ライン 1 0 6 および R E C T 端子と接続され、接地ライン 1 0 8 を介して G N D 端子と接続される。

20

【 0 0 3 1 】

フルブリッジ回路 1 0 2 は、H ブリッジ形式で接続される第 1 トランジスタ M 1 ~ 第 4 トランジスタ M 4 を備える。本実施の形態において第 1 トランジスタ M 1 ~ 第 4 トランジスタ M 4 は M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) であるが、I G B T (Insulated Gate Bipolar Transistor) やバイポーラトランジスタ、G a N (窒化ガリウム) F E T などを用いてもよい。またハイサイド側の第 1 トランジスタ M 1、第 2 トランジスタ M 2 は、P チャンネル (あるいは P N P 型) を用いてもよい。

30

【 0 0 3 2 】

また第 1 トランジスタ M 1 ~ 第 4 トランジスタ M 4 それぞれと並列に、還流 (フライホイール) ダイオードが設けられるが、図示していない。還流ダイオードは、M O S F E T のボディダイオードであってもよいし、ディスクリート素子であってもよい。

【 0 0 3 3 】

制御回路 2 0 0 は、通常状態においていわゆるゼロカレントスイッチングを行い、以下の状態 1 ~ 4 を繰り返す。

・ 第 1 状態 1

第 1 トランジスタ M 1 = O F F

第 2 トランジスタ M 2 = O N

第 3 トランジスタ M 3 = O N

第 4 トランジスタ M 4 = O F F

・ 第 2 状態 2

第 1 トランジスタ M 1 = O F F

第 2 トランジスタ M 2 = O F F

第 3 トランジスタ M 3 = O F F

第 4 トランジスタ M 4 = O F F

・ 第 3 状態 3

第 1 トランジスタ M 1 = O N

第 2 トランジスタ M 2 = O F F

40

50

第3トランジスタM3 = OFF

第4トランジスタM4 = ON

・第4状態 4

第1トランジスタM1 = OFF

第2トランジスタM2 = OFF

第3トランジスタM3 = OFF

第4トランジスタM4 = OFF

【0034】

制御回路200は、ゼロカレントスイッチングのために、ゼロカレント検出回路202、制御ロジック204、ドライバ208を備える。

10

【0035】

ゼロカレント検出回路202は、AC1端子およびAC2端子の電圧 $V_{AC1}$ 、 $V_{AC2}$ の少なくともひとつをしきい値電圧と比較し、比較結果を示す少なくともひとつの検出信号 $ZC\_DET1$ 、 $ZC\_DET2$ を生成する。 $ZC\_DET1$ 信号は、電流 $I_{AC1}$ のゼロクロスタイミングごとにレベルが遷移する。 $ZC\_DET2$ 信号は、電流 $I_{AC2}$ のゼロクロスタイミングごとにレベルが遷移する。なお $ZC\_DET1$ 信号および $ZC\_DET2$ 信号が示すゼロクロスタイミングは、回路の遅延時間を考慮して、厳密な電流ゼロクロス点を示すのではなく、それよりも時間的に前の時刻を示すものであってもよい。

【0036】

制御ロジック204は、 $ZC\_DET1$ 信号および $ZC\_DET2$ 信号にもとづいて、フルブリッジ回路102を構成する4個のトランジスタM1~M4のオン、オフを指示する4個の制御信号SG1~SG4を生成する。

20

【0037】

ゼロカレント検出回路202および制御ロジック204の構成は特に限定されず、公知技術を用いればよい。

【0038】

本実施の形態では、ゼロカレント検出回路202は、第1コンパレータ $ZC\_COMP1$ および第2コンパレータ $ZC\_COMP2$ を含む。第1コンパレータ $ZC\_COMP1$ は、AC1端子の電圧 $V_{AC1}$ をしきい値電圧 $V_{ZC1}$ と比較し、 $ZC\_DET1$ 信号を生成する。第2コンパレータ $ZC\_COMP2$ は、AC2端子の電圧 $V_{AC2}$ をしきい値電圧 $V_{ZC2}$ と比較し、 $ZC\_DET2$ 信号を生成する。

30

【0039】

しきい値電圧 $V_{ZC1}$ および $V_{ZC2}$ は、ゼロ近傍に設定され、通常はゼロよりわずかに低い電圧レンジ(-数mV~数十mV)に設定される。しきい値電圧 $V_{ZC1}$ 、 $V_{ZC2}$ が低いほど、ゼロカレントの検出が時間的に早められ、高いほど、ゼロカレントの検出が時間的に遅くなる。したがってしきい値電圧 $V_{ZC1}$ 、 $V_{ZC2}$ は、コンパレータの応答速度や信号の伝搬遅延等を考慮して定められる。

【0040】

$ZC\_DET1$ 信号は、 $V_{AC1} > V_{ZC1}$ のときに第1レベル(本実施の形態ではハイレベル)、低いとき第2レベル(ローレベル)となる。第1コンパレータ $ZC\_COMP1$ はヒステリシスコンパレータであり、 $V_{AC1} < V_{ZC1}$ であるときには、しきい値電圧 $V_{ZC1}$ は高い値に設定され、 $V_{AC1} > V_{ZC1}$ であるときには、しきい値電圧 $V_{ZC1}$ は低い値(便宜的に $V_{ZC3}$ と記す)に設定される。

40

【0041】

$ZC\_DET2$ 信号は、 $V_{AC2} > V_{ZC2}$ のとき第1レベル(ハイレベル)、 $V_{AC2} < V_{ZC2}$ のとき第2レベル(ローレベル)となる。第2コンパレータ $ZC\_COMP2$ もヒステリシスコンパレータで構成され、 $V_{AC2} < V_{ZC2}$ であるときには、しきい値電圧 $V_{ZC2}$ は高い値に設定され、 $V_{AC2} > V_{ZC2}$ であるときには、しきい値電圧 $V_{ZC2}$ は低い値(便宜的に $V_{ZC4}$ と記す)に設定される。

【0042】

50

ゼロカレント検出回路 202 は、第 1 コンパレータ ZC\_COMP 1、第 2 コンパレータ ZC\_COMP 2 のノイズを除去するためのマスク回路を含んでもよい。

【0043】

制御ロジック 204 は、

(1) ZC\_DET 1 信号が第 1 レベル (ハイレベル) となると、フルブリッジ回路 102 を第 1 状態 1 から第 2 状態 2 に遷移させ、

(2) ZC\_DET 2 信号が第 2 レベル (ローレベル) となると、フルブリッジ回路 102 を第 2 状態 2 から第 3 状態 3 に遷移させ、

(3) ZC\_DET 2 信号が第 1 レベル (ハイレベル) となると、フルブリッジ回路 102 を、第 3 状態 3 から第 4 状態 4 に遷移させ、

(4) ZC\_DET 1 信号が第 2 レベル (ローレベル) となると、フルブリッジ回路 102 を第 4 状態 4 から第 1 状態 1 に遷移させる。

10

【0044】

制御ロジック 204 はステートマシンであってもよい。制御ロジック 204 は、第 1 トランジスタ M1 ~ 第 4 トランジスタ M4 それぞれのオン、オフを指示する制御信号 SG1 ~ SG4 を生成する。ドライバ 208 は、ゲート信号 SG1 ~ SG4 に応じて第 1 トランジスタ M1 ~ 第 4 トランジスタ M4 のオン、オフを切りかえる。なおハイサイドトランジスタ M1, M2 が N チャンネルである場合、ドライバ 208 はブートストラップ回路を用いて構成されるが、ここではブートストラップ用のキャパシタ等は省略している。

【0045】

以上の構成より、正常状態においてフルブリッジ回路 102 がゼロカレントスイッチングされ、高効率動作が実現される。続いて、過電圧保護について説明する。

20

【0046】

制御回路 200 は、過電圧保護のために、タイミング制御部 206 および過電圧検出コンパレータ (OVP コンパレータ) 210 を備える。

【0047】

OVP コンパレータ 210 は、フルブリッジ回路 102 の整流ライン 106 の電圧  $V_{RECT}$  が過電圧しきい値電圧  $V_{OVP}$  を超えると過電圧検出信号 (OVP 信号)  $S_{OVP}$  をアサート (たとえばハイレベル) する。

【0048】

タイミング制御部 206 は、たとえば制御ロジック 204 とドライバ 208 の間に挿入され、あるいは制御ロジック 204 に内蔵され、あるいはドライバ 208 に組み込まれる。

30

【0049】

タイミング制御部 206 は、OVP 信号  $S_{OVP}$  のアサートに 응답して 4 個のトランジスタ M1 ~ M4 の少なくともひとつのスイッチングタイミングを、制御信号 SG1 ~ SG4 の指示するタイミングと異ならしめる。本実施の形態では、4 個の制御信号 SG1 ~ SG4 すべてのタイミングを、制御信号 SG1 ~ SG4 が示すゼロカレントスイッチングのための最適タイミングからシフトさせる。

【0050】

タイミング制御部 206 は、たとえば複数の遅延回路 212 を含む。各遅延回路 212 は、OVP 信号  $S_{OVP}$  に応じてイネーブル、ディセーブルが切りかえ可能であり、イネーブル状態において対応する制御信号 SG に、遅延  $t_{OVP}$  を与え、ディセーブル状態において制御信号 SG をスルーする。遅延量  $t_{OVP}$  は、数 ns ~ 数十 ns 程度とすることができる。

40

【0051】

遅延回路 212 の遅延量は、レジスタに格納される設定値に応じて調節可能とすることが好ましい。レジスタには、外部のマイコン等から、遅延量の設定値を書き込み可能となっている。

【0052】

50

以上が同期整流回路 100 の構成である。続いてその動作を説明する。図 3 は、図 2 の同期整流回路 100 の正常時の動作波形図である。M1 ~ M4 は、ゲート信号を示す。

【0053】

時刻  $t_0$  より前は第 1 状態 1 である。時刻  $t_0$  に、AC1 端子の第 1 電圧  $V_{AC1}$  が第 1 しきい値電圧  $V_{ZC1}$  を超えると、ZC\_\_DET1 信号が第 1 レベル（ハイレベル）となり、制御回路 200 は、第 2 状態 2 への遷移を指示する。なお理解を容易とするために、ZC\_\_DET1 信号は、 $V_{AC1} = V_{ZC1}$  となると同時にレベル遷移するものとして示すが、実際にはコンパレータの応答遅れによって、ZC\_\_DET1 信号の遷移は、時刻  $t_0$  より遅れる。ZC\_\_DET2 信号についても同様である。その後、制御遅延 1 の経過後の時刻  $t_1$  に、第 2 トランジスタ M2、第 3 トランジスタ M3 のゲート信号 SG2, SG3 がローレベルとなり、ターンオフする。制御遅延 1 は、ゼロカレント検出回路（コンパレータ）202 の検出遅延、制御ロジック 204 の演算遅延、ドライバ 208 の伝搬遅延などを含む。この制御遅延 1（2 ~ 4）は、上述の過電圧状態において追加される遅延時間  $t_{ovp}$  は含まない。

10

【0054】

時刻  $t_2$  に、AC2 端子の第 2 電圧  $V_{AC2}$  がしきい値電圧  $V_{ZC4}$  を下回ると、ZC\_\_DET2 信号が第 2 レベル（ローレベル）となり、制御回路 200 は、第 3 状態 3 への遷移を指示する。その後、制御遅延 2 の経過後の時刻  $t_3$  に第 4 トランジスタ M4 がオンし、遅れた時刻  $t_4$  に第 1 トランジスタ M1 がオンする。

20

【0055】

時刻  $t_5$  に、AC2 端子の第 2 電圧  $V_{AC2}$  が第 2 しきい値電圧  $V_{ZC2}$  を超えると、ZC\_\_DET2 信号が第 1 レベル（ハイレベル）となり、制御回路 200 は、第 4 状態 4 への遷移を指示する。その後、制御遅延 3 の経過後の時刻  $t_6$  に、第 1 トランジスタ M1、第 4 トランジスタ M4 のゲート信号 SG1, SG4 がローレベルとなり、第 1 トランジスタ M1、第 4 トランジスタ M4 がターンオフする。

【0056】

時刻  $t_7$  に、AC1 端子の第 1 電圧  $V_{AC1}$  がしきい値電圧  $V_{ZC3}$  を下回ると、ZC\_\_DET1 信号が第 2 レベル（ローレベル）となり、制御回路 200 は、第 1 状態 1 への遷移を指示する。その後、制御遅延 4 の経過後の時刻  $t_8$  に第 3 トランジスタ M3 がオンし、遅れた時刻  $t_9$  に第 2 トランジスタ M2 がオンする。

30

【0057】

フルブリッジ回路 102 の状態（実際のトランジスタの状態）1' ~ 4' はそれぞれ、制御回路 200 の対応する状態 1 ~ 4 よりも遅延して遷移する。制御回路 200 の第 1 しきい値電圧  $V_{ZC1}$  ~ 第 4 しきい値電圧  $V_{ZC4}$  は、遅延したフルブリッジ回路 102 の状態 1' ~ 4' が、実際の電流  $I_{AC1}$ 、 $I_{AC2}$  のゼロクロス点と一致するように定められる。

【0058】

第 1 状態 1 から第 2 状態 2 への遷移に着目する。

第 1 状態 1 における第 1 電圧  $V_{AC1}$  は、 $I_{AC1} \times R_{ON3}$  で与えられる。 $R_{ON3}$  は、第 3 トランジスタ M3 のオン抵抗である。しきい値電圧  $V_{ZC1}$  は、 $V_{AC1}$  が  $V_{ZC1}$  と交差してから遅延時間 1 の経過後に、実際の電流ゼロカレント（ $I_{AC1} = 0$ ）が発生するように定めればよい。

40

【0059】

電流  $I_{AC1}$  の傾きを（A/s）とすれば、第 1 電圧  $V_{AC1}$  の傾きは、 $\frac{dV_{AC1}}{dt} \times R_{ON3}$ （V/s）となる。したがって、式（1）を満たすようにしきい値電圧  $V_{ZC1}$  を定めることで、理想的なゼロカレントスイッチングが実現できる。

$$V_{ZC1} = \frac{dV_{AC1}}{dt} \times R_{ON3} \times t_{ovp} \quad \dots (1)$$

【0060】

続いて、過電圧状態の動作を説明する。図 4 は、過電圧状態における動作波形図である。一点鎖線は、図 3 のゼロカレントスイッチングにおける波形を参考のために示したもの

50

である。第1トランジスタM1～第4トランジスタM4のゲート信号は、図3の波形図に比べて、遅延時間  $t_{ovp}$  だけ遅れている。この遅延時間  $t_{ovp}$  により、電圧がクロスしている状態で電流が反転することとなり、無効電力区間が発生する。この区間では、送電装置からみて、同期整流回路100よりも後段の負荷がハイインピーダンスに見えるため、負荷に電力が供給されなくなる。これにより、平滑キャパシタ104および整流ライン106に供給される電流が減少し、過電圧状態を抑制することができる。

【0061】

以上が同期整流回路100の動作である。この同期整流回路100によれば、過電圧状態を抑制できる。

【0062】

図1のようなキャパシタC91, C92を必要としないため、コストを削減でき、ICのピン数を減らすことができ、回路の実装面積を小さくできる。

【0063】

またキャパシタC91, C92による共振周波数のシフトでは、電力信号S1の数サイクルをかけて緩やかに過電圧保護が有効となる。これに対して本実施の形態によれば、OVPコンパレータ210およびタイミング制御部206によって、サイクルバイサイクルで、無効電力区間を発生させることができるため、高速な過電圧保護が実現できる。

【0064】

また整流電圧  $V_{RECT}$  の上昇を従来よりも抑制できるため、回路に要求される耐圧を下げる場合もある。

【0065】

(用途)

続いて同期整流回路100の好ましい用途を説明する。図5は、図2の同期整流回路100を備えるワイヤレス受電装置300のブロック図である。ワイヤレス受電装置300は、受信コイル  $L_{RX}$ 、共振キャパシタ  $C_s$ ,  $C_d$ 、平滑キャパシタ  $C_{RECT}$  (104) および受電制御IC400を備える。同期整流回路100は、受電制御IC400に集積化されている。受電制御IC400は、同期整流回路100に加えて、レギュレータ310、コントローラ312、変調器314を備える。同期整流回路100は、受信コイル302に流れる電流を整流する。

【0066】

レギュレータ310は、フルブリッジ回路102および平滑キャパシタ104により生成される整流電圧  $V_{RECT}$  を安定化し、出力(OUT)ピンから外部へと出力する。

【0067】

コントローラ312は、受電制御IC400全体を統括的に制御するとともに、ワイヤレス送電装置902に送信すべきデータを生成する。このデータには、整流電圧  $V_{RECT}$  とその目標値DPの誤差を示すコントロールエラーパケットや、ワイヤレス受電装置300が受信した電力を示すパケットなどを含んでもよい。変調器314はコントローラ312からのデータ(パケット)を変調し、COMM1, COMM2端子を介して受信コイル302に重畳する。

【0068】

ワイヤレス受電装置300は、電磁誘導方式、磁気共鳴方式のいずれに採用してもよい。前者としては、WPC(Wireless power consortium)が策定するQi規格や、Air-Fuel Alliance規格が例示される。Air-Fuel Alliance規格が採用する磁気共鳴方式では、電磁誘導方式の150k～200kHzよりも高い周波数帯域(たとえば6.78MHz)が用いられる。したがって過電圧保護に関しても、より高速な応答性が求められるため、実施の形態に係る同期整流回路100のメリットをより享受できる可能性がある。あるいは、電気シェーバや電動歯ブラシ、コードレスホン、ゲーム機器のコントローラ、電動工具などに使用される非接触電力伝送(無接点電力伝送、ワイヤレス給電ともいう)に用いることもできる。

【0069】

10

20

30

40

50

ワイヤレス受電装置 300 は電子機器 500 に搭載される。図 6 は、ワイヤレス受電装置 300 を備える電子機器 500 を示す図である。電子機器 500 は、携帯電話端末やタブレット端末、ノート PC、デジタルカメラ、デジタルビデオカメラ、ポータブルオーディオ機器、ポータブルゲーム機器などであってもよい。

【0070】

電子機器 500 の筐体 502 には、受信コイル  $L_{RX}$  や受電制御 IC 400 に加えて、充電回路 504 や二次電池 506 が収容される。充電回路 504 は、受電制御 IC 400 の出力電圧  $V_{OUT}$  を受け、二次電池 506 を充電する。なお、これらの部品のレイアウトは特に限定されない。

【0071】

以上、本発明について、実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【0072】

(第 1 変形例)

実施の形態では過電圧状態において、第 1 トランジスタ  $M_1$  ~ 第 4 トランジスタ  $M_4$  のすべてのゲート信号を遅延させたが、本発明はそれに限定されない。たとえばタイミング制御部 206 は、ローサイド側の 2 個のトランジスタ  $M_3$ ,  $M_4$  のゲート信号を遅延させてもよい。さらに言えば、過電圧状態において、理想的なゼロカレントスイッチングから遠ざければよいため、少なくともひとつのゲート信号を遅延させてもよい。

【0073】

あるいは、タイミング制御部 206 は、過電圧状態において、各トランジスタのスイッチングタイミングを、ゼロカレントスイッチングの理想タイミングよりも、早めてもよい。

【0074】

(第 2 変形例)

過電圧検出信号  $S_{OVP}$  がアサートされたときの、スイッチングのタイミングの変化量、たとえば遅延量  $\Delta t_{OVP}$  は、整流ライン 106 の電圧  $V_{RECT}$  の傾きに依拠していてもよい。電圧  $V_{RECT}$  の傾きが大きいほど遅延量  $\Delta t_{OVP}$  を大きくすることで、適応的な過電圧保護が実現できる。電圧  $V_{RECT}$  の傾きは、ハイパスフィルタ (微分回路) を利用して検出してもよいし、A/D コンバータで取り込んだデジタル値から計算してもよい。

【0075】

(第 3 変形例)

過電圧検出信号  $S_{OVP}$  がアサートされたときのスイッチングのタイミングの変化量、たとえば遅延量  $\Delta t_{OVP}$  は、整流ライン 106 の電圧レベル  $V_{RECT}$  に依拠していてもよい。整流電圧  $V_{RECT}$  が高いほど遅延量  $\Delta t_{OVP}$  を大きくすることで、適応的な過電圧保護が実現できる。整流電圧  $V_{RECT}$  の電圧レベルは、A/D コンバータで取り込んだもよいし、しきい値が異なる複数の OVP コンパレータを併用して検出してもよい。

【0076】

(第 4 変形例)

実施の形態では、フルブリッジ回路 102 が制御回路 200 と同一の IC に集積化される場合を説明したが、大電力のアプリケーションでは、フルブリッジ回路 102 のトランジスタ  $M_1$  ~  $M_4$  としてディスクリート素子を用いてもよい。

【0077】

(第 5 変形例)

実施の形態では、しきい値電圧  $V_{ZC1}$  ~  $V_{ZC4}$  をゼロ近傍としたが、整流電圧  $V_{RECT}$  側に設定してもよい。

【0078】

10

20

30

40

50

(第6変形例)

実施の形態に係る同期整流回路100は、電力信号の周波数が、商用交流よりも高いワイヤレス給電の整流回路として好適に使用できる。なお同期整流回路100の用途はこれには限定されず、AC/DCコンバータなどさまざまな用途に利用しうる。

【0079】

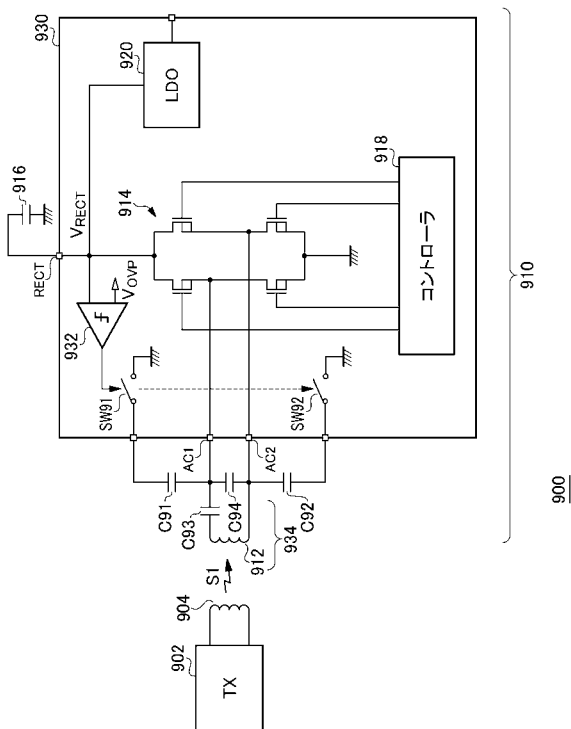
実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【符号の説明】

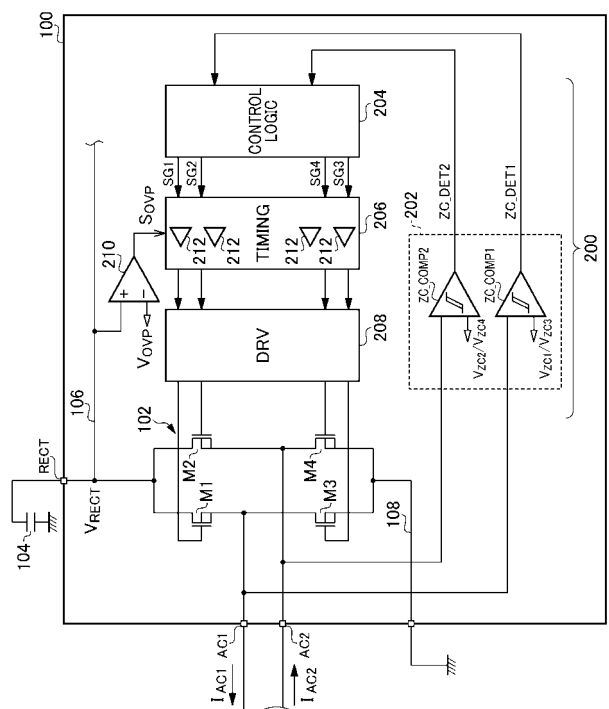
【0080】

100...同期整流回路、102...フルブリッジ回路、104...平滑キャパシタ、106...整流ライン、108...接地ライン、200...制御回路、202...ゼロカレント検出回路、204...制御ロジック、206...タイミング制御部、208...ドライバ、210...OVPコンパレータ、300...ワイヤレス受電装置、L<sub>RX</sub>...受信コイル、C<sub>s</sub>, C<sub>d</sub>...共振キャパシタ、310...レギュレータ、312...コントローラ、314...変調器、400...受電制御IC、500...電子機器、502...筐体、504...充電回路、506...二次電池、M1...第1トランジスタ、M2...第2トランジスタ、M3...第3トランジスタ、M4...第4トランジスタ。

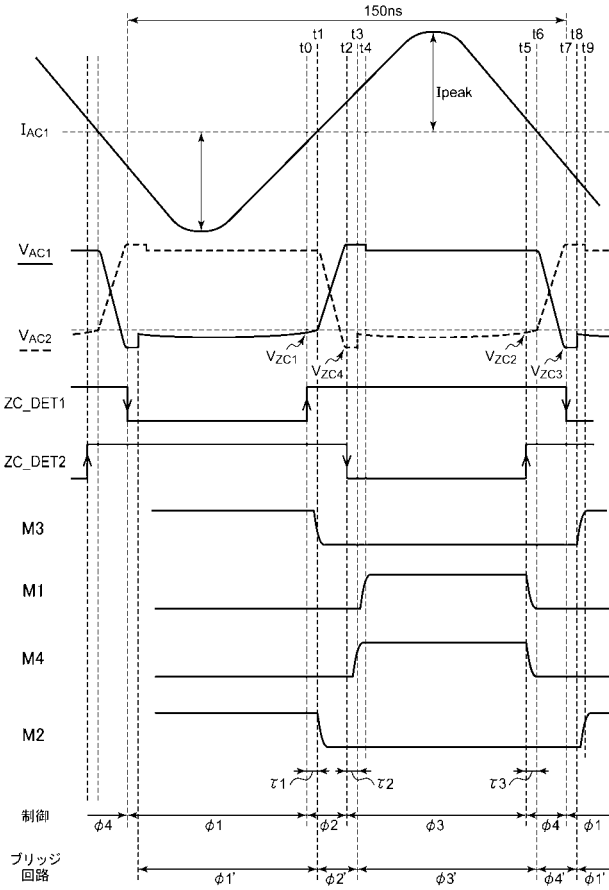
【図1】



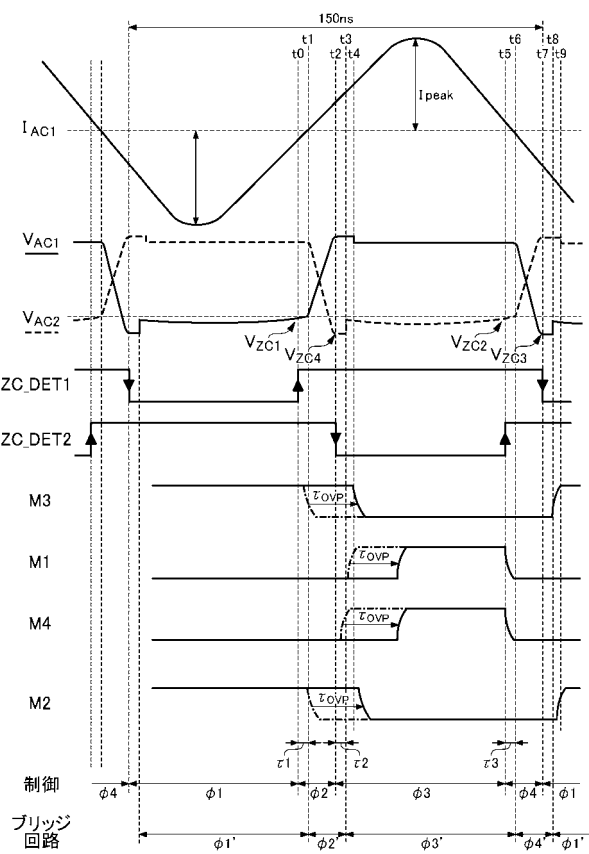
【図2】



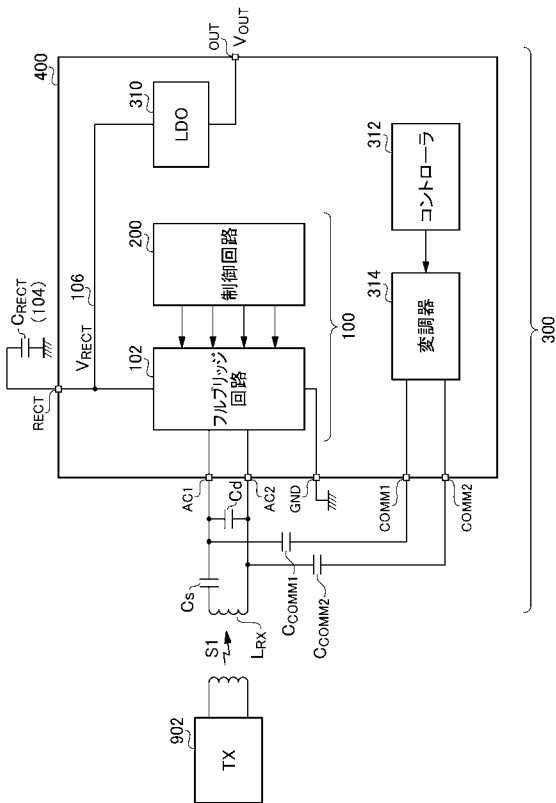
【図3】



【図4】



【図5】



【図6】

