



1. 一种时脉信号调整方法，其特征在于，该时脉信号调整方法，用以根据一输入数据的频率调整一参考时脉的频率，该方法包含有：

以该时脉信号的倍频取样该输入数据；

取样该输入数据以得到一数据转换时间点的分布波形；以及  
定义该输入数据的位时间为至少二区，根据该数据转换时间点的分布波形于该位时间的移动情形，判断增加或降低该时脉信号的频率。

2. 根据权利要求1所述的时脉信号调整方法，其特征在于，当该数据转换时间点的分布波形向左平移时，则增加该时脉信号的频率；当该数据转换时间点的分布波形向右平移时，则降低该时脉信号的频率。

3. 一种时脉信号调整装置，其特征在于，该时脉信号调整装置，用以根据一输入数据的频率调整一时脉信号的频率，该装置包含有：

一第一倍频取样 - 统计判断电路，用以接收该输入数据，并以该时脉信号的倍频取样该输入数据，并输出一第一数据转换时间点的分布波形；

一第一正反器，连接至该第一倍频取样 - 统计判断电路，接收该第一数据转换时间点的分布波形并以该时脉信号的频率取样该第一数据转换时间点的分布波形后输出；以及

一逻辑判断电路，连接至该第一正反器，判断该第一数据转换时间点的分布波形取样平移的情形；

其中该输入数据的位时间定义成至少二区，根据该第一数据转换时间点的分布波形取样后于该位时间移动的情形，增加或减少该时脉信号的频率。

4. 根据权利要求3所述的时脉信号调整装置，其特征在于，

当该第一数据转换时间点的分布波形取样后为向左平移，则增加该时脉信号的频率；当该第一数据转换时间点的分布波形取样后为向右平移，则降低该时脉信号的频率。

5. 根据权利要求3所述的时脉信号调整装置，其特征在于，当该第一倍频取样-统计判断电路以该时脉信号的双倍频取样该输入数据，该时脉信号调整装置更包含有：

一第二倍频取样-统计判断电路，用以接收一延迟输入数据，并以该时脉信号的双倍频取样该延迟输入数据，并输出一第二数据转换时间点的分布波形；以及

一第二正反器，连接至该第二倍频取样-统计判断电路，接收该第二数据转换时间点的分布波形并以该时脉信号的频率取样该第二数据转换时间点的分布波形后输出；

而其中该位时间由左到右依序定义为一第一区以及一第二区，该逻辑判断电路根据该第一数据转换时间点的分布波形取样后以及该第二数据转换时间点的分布波形取样后于该位时间移动的情形，增加或减少该时脉信号的频率。

6. 根据权利要求5所述的时脉信号调整装置，其特征在于，更包含一延迟单元，用以将该输入数据延迟一预定时间后再传送至该第二倍频取样-统计判断电路，其中预定时间小于该输入数据的位时间。

7. 一种时脉信号调整方法，其特征在于，该时脉信号调整方法，用以根据一输入数据、一参考时脉调整一时脉信号，其方法包含下列步骤：

根据该参考时脉与该时脉信号间的频率差异而调整该时脉信号的频率；

根据该输入数据的频率与该时脉信号间的频率差异而调整该时脉信号的频率；以及

根据该输入数据的相位与该时脉信号间的相位差异而调整该时脉信号的相位，用以完成该时脉信号的调整并利用该时脉信号来处理该输入数据。

8. 根据权利要求7所述的时脉信号调整方法，其特征在于，当该参考时脉的频率大于该时脉信号的频率时，将该时脉信号的频率向上调整，而当该参考时脉的频率小于该时脉信号的频率时，将该时脉信号的频率向下调整。

9. 根据权利要求7所述的时脉信号调整方法，其特征在于，当该时脉信号的频率大于该串行式输入数据的信号频率时，将该时脉信号的频率向下调整，而当该时脉信号的频率小于该串行式输入数据的信号频率时，将该时脉信号的频率向上调整。

10. 根据权利要求7所述的时脉信号调整方法，其特征在于，该输入数据与该时脉信号频率的调整更包含：

以该时脉信号的倍频取样该输入数据；

量化该输入数据，以得到一数据转换时间点的分布波形；

定义该输入数据的位时间为至少二区；以及

根据该数据转换时间点的分布波形于该位时间的移动情形，判断增加或降低该时脉信号的频率。

11. 根据权利要求10所述的时脉信号调整方法，其特征在于，当以该时脉信号的双倍频取样该输入数据时，则该位时间由左到右依序定义为一第一区以及一第二区；且将该数据转换时间点的分布波形延迟一预定时间后输出一延迟数据转换时间点的分布波形，根据该数据转换时间点的分布波形以及该延迟数据转换时间点的分布波形移动的方向，判断增加或降低该时脉信号的频率，其中该预定时间小于该输入数据的位时间。

12. 根据权利要求10所述的时脉信号调整方法，其特征在于，以该时脉信号的三倍频取样该输入数据，该位时间由左到右依序

定义为一第一区，一第二区以及一第三区，其中若该数据转换时间点的分布波形由该第三区移动到该第二区，再移动至该第一区，则增加该时脉信号的频率；其中若该数据转换时间点的分布波形由该第一区移动到该第二区，再移动至该第三区，则降低该时脉信号的频率。

13. 一种时脉信号调整装置，其特征在于，该时脉信号调整装置，用以根据一输入数据、一参考时脉调整一时脉信号，其装置包含：

一锁相回路主体，输出一时脉信号；

一相位/频率侦测器，电连接于该锁相回路主体，接收该参考时脉，并根据该参考时脉与该时脉信号间的频率差异而发出一第一调整信号；

一数据频率侦测器，电连接于该锁相回路主体，接收该输入数据并根据该输入数据与该时脉信号间的频率差异而发出一第二调整信号；

一相位侦测器，电连接于该锁相回路主体，接收该输入数据并根据该输入数据与该时脉信号间的相位差异而发出一第三调整信号；

一第一多工器，电连接于该相位/频率侦测器与该相位侦测器，选择输出该第一调整信号与该第三调整信号其中之一；以及

一第二多工器，电连接于该第一多工器与该数据频率侦测器，选择输出该第一多工器的输出信号与该第二调整信号其中之一至该锁相回路主体，进而调整该锁相回路主体输出的该时脉信号。

14. 根据权利要求13所述的时脉信号调整装置，其特征在于，该锁相回路主体包含：

一电荷充放器，电连接于该第二多工器；

一回路滤波器，电连接于该电荷充放器；以及

一电压控制振荡器，电连接于该回路滤波器、该相位/频率侦测器、该数据频率侦测器以及该相位侦测器，其是因应该回路滤波器的输出而调整其输出的该时脉信号的频率。

15. 根据权利要求13所述的时脉信号调整装置，其特征在于，该数据频率侦测器包含有：

一第一倍频取样-统计判断电路，用以接收该输入数据，并以该时脉信号的倍频取样该输入数据，并输出一第一数据转换时间点的分布波形；

一第一正反器，连接至该第一倍频取样-统计判断电路，接收该第一数据转换时间点的分布波形并以该时脉信号的频率取样该第一数据转换时间点的分布波形后输出；以及

一逻辑判断电路，连接至该第一正反器，判断该第一数据转换时间点的分布波形取样平移的情形；

其中该输入数据的位时间定义成至少二区，根据该第一数据转换时间点的分布波形取样后于该位时间移动的情形，增加或减少该时脉信号的频率。

16. 根据权利要求15所述的时脉信号调整装置，其特征在于，当该第一数据转换时间点的分布波形取样后为向左平移，则增加该时脉信号的频率；当该第一数据转换时间点的分布波形取样后为向右平移，则降低该时脉信号的频率。

17. 根据权利要求15所述的时脉信号调整装置，其特征在于，当该第一倍频取样-统计判断电路以该时脉信号的双倍频取样该输入数据，该时脉信号调整装置更包含有：

一第二倍频取样-统计判断电路，用以接收一延迟输入数据，并以该时脉信号的双倍频取样该延迟输入数据，并输出一第二数据转换时间点的分布波形；以及

一第二正反器，连接至该第二倍频取样-统计判断电路，接

收该第二数据转换时间点的分布波形并以该时脉信号的频率取样该第二数据转换时间点的分布波形后输出；

其中该位时间由左到右依序定义为一第一区以及一第二区，该逻辑判断电路根据该第一数据转换时间点的分布波形取样后以及该第二数据转换时间点的分布波形取样后于该位时间移动的情形，增加或减少该时脉信号的频率。

18. 根据权利要求17所述的时脉信号调整装置，其特征在于，更包含一延迟单元，用以将该输入数据延迟一预定时间后再传送至该第二倍频取样-统计判断电路，其中预定时间小于该输入数据的位时间。

## 时脉信号调整方法与装置

### 技术领域

本发明是为一种时脉信号调整方法与装置，尤指应用于一串行式输入数据与一本地参考时脉间的时脉信号调整方法与装置。

### 背景技术

对于高速非同步串行式总线（high speed un-synchronous serial bus）而言，时脉数据恢复技术（Clock Data Recovery，简称CDR）是此类高速输入/出接口的关键技术。请参见图1，其是一常用以锁相回路（Phase Lock Loop，简称PLL）为基础所完成的时脉数据恢复电路的部分功能方块示意图，其中是设有一相位/频率侦测器（Phase/Frequency Detector）11，而在频率模式（Frequency mode）中，其是根据一本地参考时脉（ref-clock）与电压控制振荡器16所送出的一时脉信号CK间的相位/频率差异而输出一向上/向下脉波信号，当本地参考时脉的频率高于时脉信号CK的频率时，相位/频率侦测器11的输出端会输出一向上（Up）脉波信号；反之若是本地参考时脉的频率低于时脉信号CK的频率时，输出端会输出向下（Down）脉波信号。如此一来，相位/频率侦测器11所产生的脉波信号随后经由电荷充放器14（Charge Pump）与回路滤波器15（Loop Filter），转换为最后一级-电压控制振荡器16（Voltage Controlled Oscillator，简称VCO）的控制电压，进而使该电压控制振荡器16输出的时脉信号CK逐渐接近该本地参考时脉（ref-clock），直到时脉信号CK的频率差不多与该本地参考时脉（ref-clock）相同时，系统便控制该多工器13切换至一相位模式（Phase mode），即开始利用频率与该本地参考时脉（ref-clock）差不多的时脉信号CK对接收到的数据Rdata

进行取样。

而由于以上述的高速非同步串行方式传送数据时，并无法根据接收到的数据Rdata本身的波形来产生一定的取样频率，因此进入该相位模式（Phase mode）时，常用时脉数据恢复技术便需要一个相位侦测器（Phase Detector）12来侦测接收数据与内部取样时脉（即上述时脉信号CK）间的相位差异，再通过调整上述时脉信号CK的相位，进而能稳定地锁住数据来进行恢复动作。但是在两个接口间使用两种不同的时脉来源或是接口间的低频电源/接地噪声（low frequency power/ground noise），都将让数据Rdata的传输速率与本地参考时脉（ref-clock）间的频率差异（frequency difference）变成无法避免而且难以预测。而假如上述两者频率差异值过大，上述常用装置在该相位模式（Phase mode）中将在对接收到的数据Rdata进行锁定时产生问题，因为常用的相位侦测器（Phase Detector）对于追踪（track）频率变化的方面仍有其极限存在，所以在旧的设计观念下，常用时脉数据恢复技术在频率差异过大的情况下，即使提高其中所运用的锁相回路（PLL）的反应速度，仍很有可能无法有效锁住数据来进行数据恢复动作。

## 发明内容

有鉴于此，如何发展出有效改善上述常用机制缺失的技术手段，是本发明的主要目的。

本发明是为一种时脉信号调整的方法，用以根据一输入数据的频率调整一参考时脉的频率，该方法包含有：以该时脉信号的倍频取样该输入数据；取样该输入数据以得到一数据转换时间点的分布波形；以及定义该输入数据的位时间为至少二区，根据该数据转换时间点的分布波形于该位时间的移动情形，判断增加或

降低该时脉信号的频率。

本发明的另一方面是为一种时脉信号调整装置，用以根据一输入数据的频率调整一时脉信号的频率，该装置包含有：一第一倍频取样-统计判断电路，用以接收该输入数据，并以该时脉信号的倍频取样该输入数据，并输出一第一数据转换时间点的分布波形；一第一正反器，连接至该第一倍频取样-统计判断电路，接收该第一数据转换时间点的分布波形并以该时脉信号的频率取样该第一数据转换时间点的分布波形后输出；以及一逻辑判断电路，连接至该第一正反器，判断该第一数据转换时间点的分布波形取样平移的情形；其中该输入数据的位时间定义成至少二区，根据该第一数据转换时间点的分布波形取样后于该位时间移动的情形，增加或减少该时脉信号的频率。

本发明的再一方面是为一种时脉信号调整方法，用以根据一输入数据、一参考时脉调整一时脉信号，其方法包含下列步骤：根据该参考时脉与该时脉信号间的频率差异而调整该时脉信号的频率；根据该输入数据的频率与该时脉信号间的频率差异而调整该时脉信号的频率；以及根据该输入数据的相位与该时脉信号间的相位差异而调整该时脉信号的相位，用以完成该时脉信号的调整并利用该时脉信号来处理该输入数据。

本发明所述的时脉信号调整方法与装置，消除了输入数据的传输速率与时脉信号的频率差异，稳定地锁住了数据来进行恢复动作。

## 附图说明

图1是一常用以锁相回路（Phase Lock Loop，简称PLL）为基础所完成的时脉数据恢复电路的部分功能方块示意图；

图2是本发明为改善常用手段所发展出来的一时脉信号调整

装置的功能方块示意图；

图3是本发明第一多工器以及第二多工器的控制信号波形示意图；

图4是对串行式输入数据进行双倍频取样后所产生的数据转换时间点的分布示意图；

图5是本发明对该串行式输入数据进行一段时间的延迟后再进行双倍频取样（即时脉信号CK的两倍），进而分离成的一正常分布波形50以及一延迟后分布波形51的示意图；

图6是本发明关于数据频率侦测器的较佳实施例功能方块示意图；

图7是本发明对该串行式输入数据进行一特定数量的三倍频取样所得到的数据转换时间点的分布示意图；

图8是本发明数据频率侦测器的另一较佳实施例功能方块示意图。

## 具体实施方式

请先参见图2，其是本发明为改善常用手段所发展出来的一时脉信号调整装置的功能方块示意图，其装置主要包含有一锁相回路主体20、一相位/频率侦测器21、一数据频率侦测器22、一相位侦测器23、一第一多工器24、一第二多工器25，而其运作程序如下所述：

首先，系统于一开始便进入一第一状态，于该第一状态中，相位/频率侦测器21是因应本地参考时脉ref-clock与该锁相回路主体20输出的一时脉信号CK间的频率差异而发出第一调整信号SD1，进而调整锁相回路主体20输出的该时脉信号CK的频率。所以，当该本地参考时脉ref-clock的频率大于该锁相回路输出该时脉信号CK的频率时，便将时脉信号CK的频率向上调整，至于当

该本地参考时脉ref-clock的频率小于该锁相回路输出该时脉信号CK的频率时，便将该时脉信号CK的频率向下调整。如此一来，经过一段时间的调整之后，时脉信号CK的频率便会逐渐逼近本地参考时脉ref-clock的频率。

因此，当时脉信号CK的频率足够接近本地参考时脉ref-clock的频率后，系统便可由第一状态切换到第二状态，而于该第二状态中，系统是改用数据频率侦测器22来因应该串行式输入数据Rdata的信号频率与时脉信号CK间的频率差异而发出第二调整信号SD2，进而调整时脉信号CK的频率。如此一来，经过一段时间的调整后，时脉信号CK的频率便会在此状态中逐渐逼近串行式输入数据Rdata的信号频率（即数据传输速率），进而消除串行式输入数据Rdata的传输速率与本地参考时脉（ref-clock）间的频率差异（frequency difference）。

如此一来，系统便再由该第二状态切换至一第三状态，改用相位侦测器23来因应该串行式输入数据Rdata的信号相位与该时脉信号CK间的相位差异而发出第三调整信号SD3，进而调整时脉信号CK的相位，并可进一步利用该时脉信号CK来对该串行式输入数据进行数据恢复的处理。

至于上述由第一状态切换至第二状态以及由第二状态切换至第三状态的动作可通过改变第一多工器24以及第二多工器25的控制信号来进行切换，其信号切换示意图请参见图3的所示。其中第一多工器24以及第二多工器25的控制信号分别为(Mux1, Mux2)，当(Mux1, Mux2) = (0, 0)时便代表第一状态，而当(Mux1, Mux2) = (x, 1)时则代表切换至第二状态（x表示0或1都可），当(Mux1, Mux2) = (1, 0)时，则代表切换至第三状态。

而如何调整该锁相回路主体20输出的该时脉信号CK的频率，进而缩小与该串行式输入数据Rdata信号间的频率差异，数据频率

侦测器22是扮演重要的角色，其主要是因应该串行式输入数据Rdata与该锁相回路主体20输出的该时脉信号间的频率差异来发出第二调整信号SD2，当时脉信号CK的频率大于该串行式输入数据Rdata的信号频率时，将时脉信号CK的频率向下调整，而当时脉信号CK的频率小于该串行式输入数据Rdata的信号频率时，便将时脉信号CK的频率向上调整。如此一来，时脉信号CK的频率便会逐渐逼近该串行式输入数据Rdata的信号频率。而下列叙述将可清楚说明数据频率侦测器22如何可达成上述功能。

因为无法直接透过串行式输入数据Rdata的波形来侦测其信号频率的变化，所以必须对该串行式输入数据Rdata进行一特定数量（例如10个位时间）的双倍频取样（即时脉信号CK的两倍），进而得到如图4所示的数据转换（Data transition）时间点的分布示意图。为了方便判断，把串行式输入数据Rdata的位时间（bit time）分割成两区以便初步将该分布波形所在位置定义在第一区或第二区。然后通过持续对该串行式输入数据Rdata进行双倍频取样后，再观察该分布波形的移动方向来判断出该串行式输入数据Rdata信号频率与时脉信号CK的频率间的大小关系，因为当两者有差异时，该数据转换（Data transition）时间点的分布波形便会开始平移。其中当该串行式输入数据Rdata信号频率大于时脉信号CK的频率时，分布波形40便会向左平移而变成分布波形41，反之，当该串行式输入数据Rdata信号频率小于时脉信号CK的频率时，分布波形便会向右平移而变成分布波形42。但是很不幸的，在此双倍频取样的例子下，原本位于第一区的分布波形，无论是向左或向右平移，最后都会被观察到移动至第二区，因此无法有效判断出该串行式输入数据Rdata信号频率与时脉信号CK的频率间的大小关系。

于是，为能解决此一问题，便将该串行式输入数据Rdata进行

一段时间的延迟后再进行双倍频取样（即时脉信号CK的两倍），形成如图5所示的一正常分布波形50以及一延迟后分布波形51。如此一来，根据下列表1的判断基准，便能清楚分辨出移动的方向，进而判断出该串行式输入数据Rdata信号频率与时脉信号CK的频率间的大小关系。

表1

正常分布波形的 位置移动方向	延迟后分布波形 的位置移动	大小关系
从第一区移动到 第二区	维持在第一区	Rdata信号频率大于 时脉信号CK
维持在第一区	从第一区移动到 第二区	Rdata信号频率小于 时脉信号CK
从第二区移动到 第一区	维持在第二区	Rdata信号频率大于 时脉信号CK
维持在第二区	从第二区移动到 第一区	Rdata信号频率小于 时脉信号CK

所以根据上述现象，便发展出来如图6所示的数据频率侦测器较佳实施例功能方块示意图22，其主要包含有一延迟单元220、一第一双倍频取样-统计判断电路221、一第二双倍频取样-统计判断电路222、第一正反器223、第二正反器224以及逻辑判断电路225，其中该延迟单元220是接收该串行式输入数据Rdata，并将该串行式输入数据Rdata延迟达一预定时间后输出，该预定时间小于该串行式输入数据的位时间，例如1/4位时间，然后第一双倍频取样-统计判断电路221以及第二双倍频取样-统计判断电路222，便分别接收该串行式输入数据Rdata与经延迟后的该串行式输入数据Rdata\_delay而进行双倍频取样而得到一连串的取样点，

并于取样点累积达一预定数量后进行统计，而于取样点位于两时域中的一第一时域（上述的第一区）中的数量较多时发出一第一数值（例如：逻辑1），代表该串行式输入数据Rdata或经延迟后的该串行式输入数据Rdata\_delay的分布波形位于第一区，并于该等取样点位于两时域中的一第二时域（上述的第二区）中的数量较多时发出一第二数值（例如：逻辑0），代表该串行式输入数据Rdata或经延迟后的该串行式输入数据Rdata\_delay的分布波形位于第二区。再者，电连接于该第一双倍频取样-统计判断电路221的第一正反器223以及电连接于该第二双倍频取样-统计判断电路222的第二正反器224则分别接收该第一数值或该第二数值并延迟该位时间后输出，最后电连接于该第一双倍频取样-统计判断电路221、该第二双倍频取样-统计判断电路222、第一正反器223、该第二正反器224以及该第二多工器25的该逻辑判断电路225，其是因应该等电路输出的数值变化而根据下列表2揭露的真值表（truth table）来发出该第二调整信号SD2。

表2

up	up - p	up - delay	up - delay - p	up - freq
1	0	1	1	1
0	1	0	0	1
1	1	1	0	0
0	0	0	1	0

其中up、up - delay、up - p、up - delay - p分别代表第一双倍频取样-统计判断电路221、该第二双倍频取样-统计判断电路222、第一正反器223以及第二正反器224的输出信号，而逻辑“1”代表分布波形位于第一区，逻辑“0”则代表分布波形位于第二区。如此一来，逻辑判断电路225便可根据两个分布波形连续移动的变

化，分辨出Rdata信号频率与时脉信号CK频率的大小关系，进而改变其输出信号up-freq的状态，当up-freq为逻辑“1”时代表将时脉信号CK的频率向上调整，而当up-freq为逻辑“0”时，便将时脉信号CK的频率向下调整。

至于该锁相回路主体20主要由电荷充放器201、回路滤波器202以及电压控制振荡器203所构成，其中电荷充放器201、回路滤波器202以及电压控制振荡器203本身的动作与常用手段并无不同，故在此不予赘述。但其连接关系则为该电荷充放器201电连接于该第二多工器25，而回路滤波器202电连接于该电荷充放器201，至于该电压控制振荡器203则电连接于该回路滤波器202、该相位/频率侦测器21、该数据频率侦测器22以及该相位侦测器23，其是因应该回路滤波器202的输出而调整其输出的该时脉信号CK的频率。

另外，再请参见图7，其是对该串行式输入数据Rdata进行一特定数量（例如10个位时间）的三倍频取样（即时脉信号CK的三倍），进而得到的数据转换（Data transition）时间点的分布示意图。如此一来，串行式输入数据Rdata的位时间（bit time）将等分成三区以便初步将该分布波形所在位置定义在第一区、第二区或第三区。而在此例中，通过持续对该串行式输入数据Rdata进行三倍频取样后，再连续观察该分布波形的移动方向便可直接判断出该串行式输入数据Rdata信号频率与时脉信号CK的频率间的大小关系，因为当两者有差异时，该数据转换（Data transition）时间点的分布波形便会开始平移。其中当该串行式输入数据Rdata信号频率大于时脉信号CK的频率时，分布波形便会向左平移，于是移动的顺序便会呈现出第三区→第二区→第一区的顺序。反之，当该串行式输入数据Rdata信号频率小于时脉信号CK的频率时，分布波形便会向右平移，于是移动的顺序便会呈现出第一区→第

二区→第三区的顺序。如此便可有效判断出该串行式输入数据Rdata信号频率与时脉信号CK的频率间的大小关系。

于是，如图8所示本发明数据频率侦测器的另一较佳实施例功能方块示意图便被发展出来，其主要包含有一三倍频取样-统计判断电路80、一正反器81以及逻辑判断电路82，其中该三倍频取样-统计判断电路80是接收该串行式输入数据Rdata，然后进行三倍频取样而得到一连串的取样点，并于取样点累积达一预定数量后进行统计，而当分布波形位于第一区时，其输出信号S0将输出逻辑“1”，若分布波形不在第一区时，则输出信号S0将输出逻辑“0”，同理，当分布波形位于第二区时，其输出信号S1将输出逻辑“1”，若分布波形不在第二区时，则输出信号S1将输出逻辑“0”，而当分布波形位于第三区时，其输出信号S2将输出逻辑“1”，若分布波形不在第三区时，则输出信号S2将输出逻辑“0”。而正反器81接收该等输出信号S0、S1、S2进行延迟一时脉信号CK的周期后，产生延迟后的输出信号S0\_P、S1\_P、S2\_P，而该逻辑判断电路82则因应该等输出信号S0、S1、S2、S0\_P、S1\_P、S2\_P的变化而根据下列表3揭露的真值表(truth table)来发出该第二调整信号up-freq，其中up-freq=0代表串行式输入数据Rdata信号频率小于时脉信号CK的频率，所以要将时脉信号CK调低，而up-freq=1则代表串行式输入数据Rdata信号频率大于时脉信号CK的频率，所以要将时脉信号CK调高。

表3

S0_P	S1_P	S2_P	S0	S1	S2	Up - freq
1	0	0	0	1	0	0
0	1	0	0	0	1	0
0	0	1	1	0	0	0

1	0	0	0	0	1	1
0	1	0	1	0	0	1
0	0	1	0	1	0	1

综上所述，本发明所发展出的多个实施例方法与装置皆可有效侦测出串行式输入数据Rdata信号频率与时脉信号CK间频率的差异，进而有效改善上述常用手段的缺失，进而达成发展本发明的主要目的。当然，除了两倍频与三倍频的取样速度外，其它更高倍频的取样速度也是可以达到本发明的目的，但其已是可简单推知的技术变化，故在此不予赘述。

以上所述仅为本发明较佳实施例，然其并非用以限定本发明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下：

相位/频率侦测器： 11

电压控制振荡器： 16

电荷充放器： 14

回路滤波器： 15

多工器： 13

相位侦测器： 12

锁相回路主体： 20

相位/频率侦测器： 21

数据频率侦测器： 22

相位侦测器： 23

第一多工器： 24

第二多工器： 25

---

电荷充放器：	201
回路滤波器：	202
电压控制振荡器：	203
分布波形：	40、41、42
正常分布波形：	50
延迟后分布波形：	51
延迟单元：	220
第一双倍频取样 - 统计判断电路：	221
第二双倍频取样 - 统计判断电路：	222
第一正反器：	223
第二正反器：	224
逻辑判断电路：	225
三倍频取样 - 统计判断电路：	80
正反器：	81
逻辑判断电路：	82

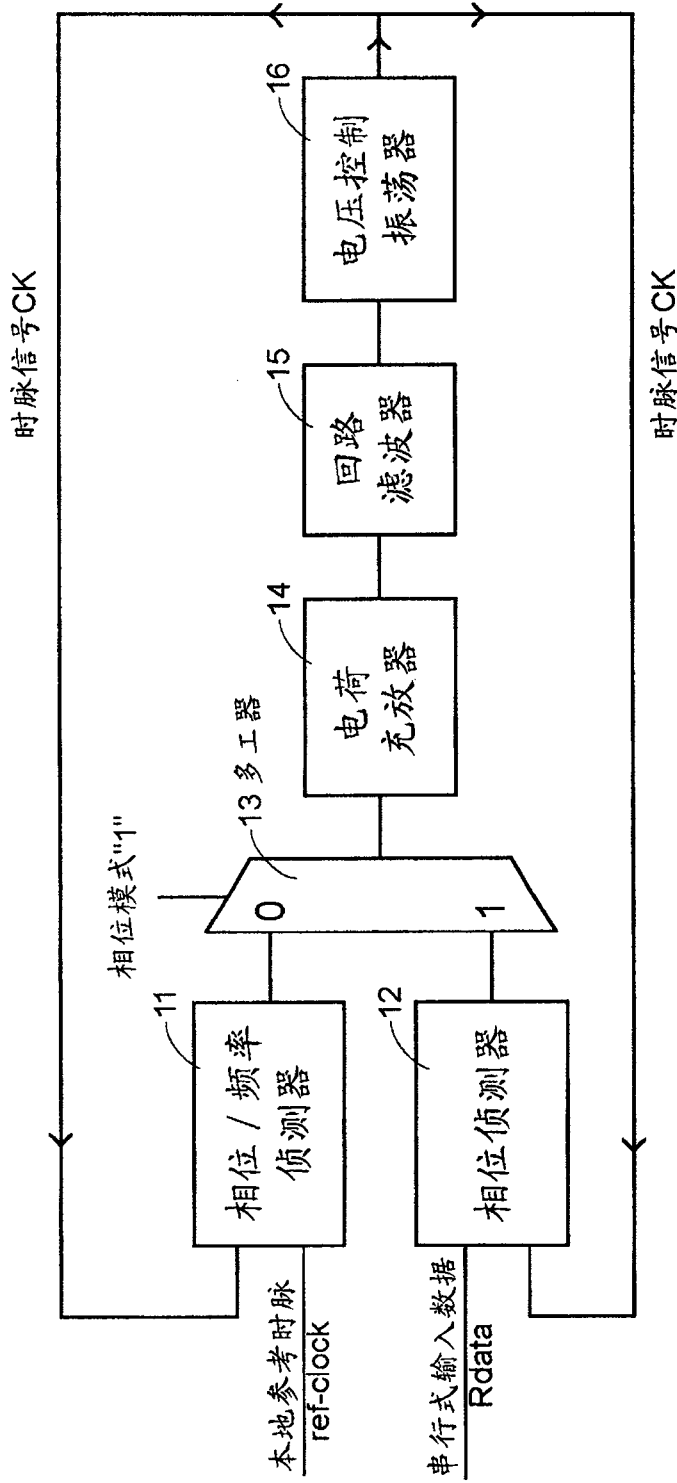


图 1

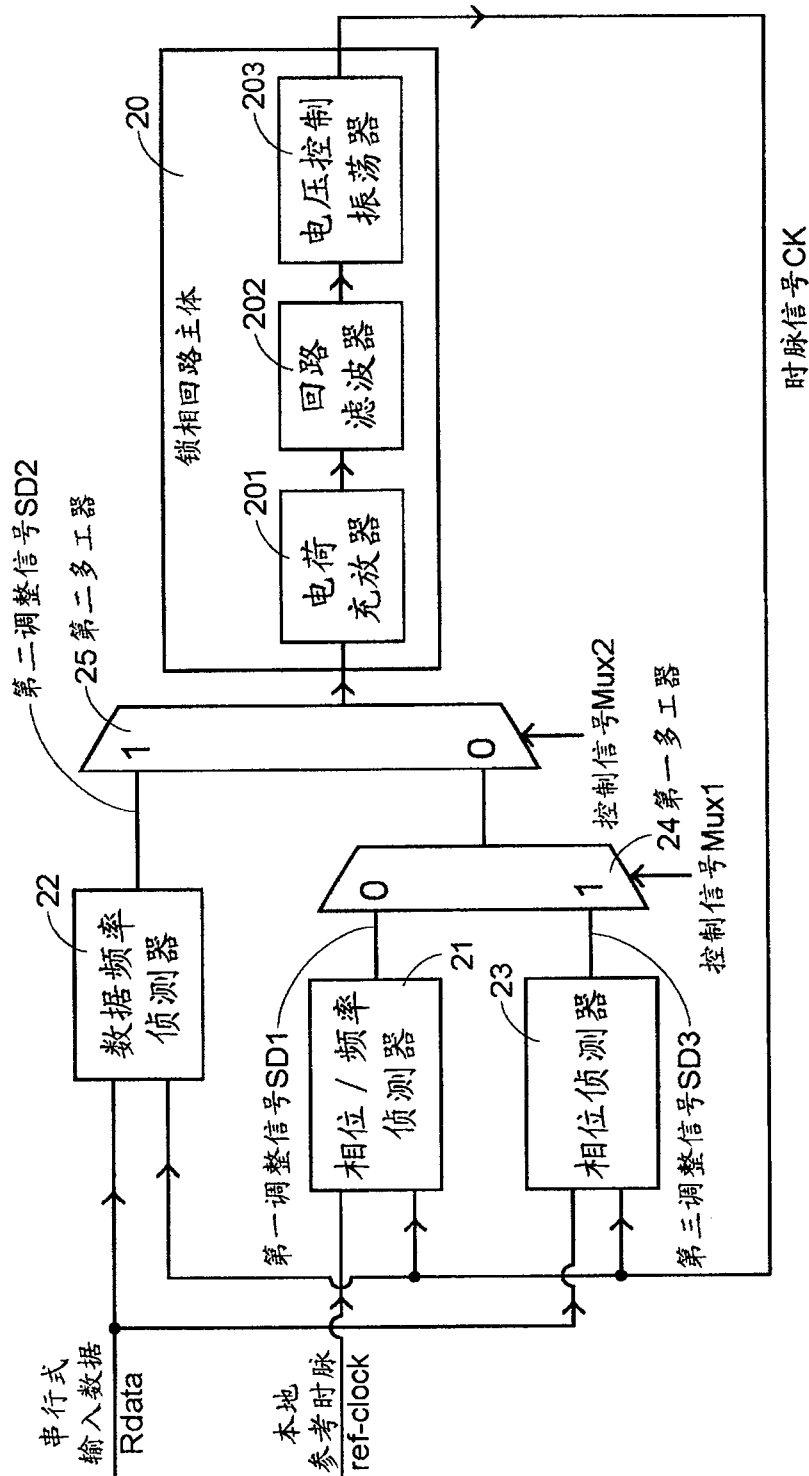


图 2

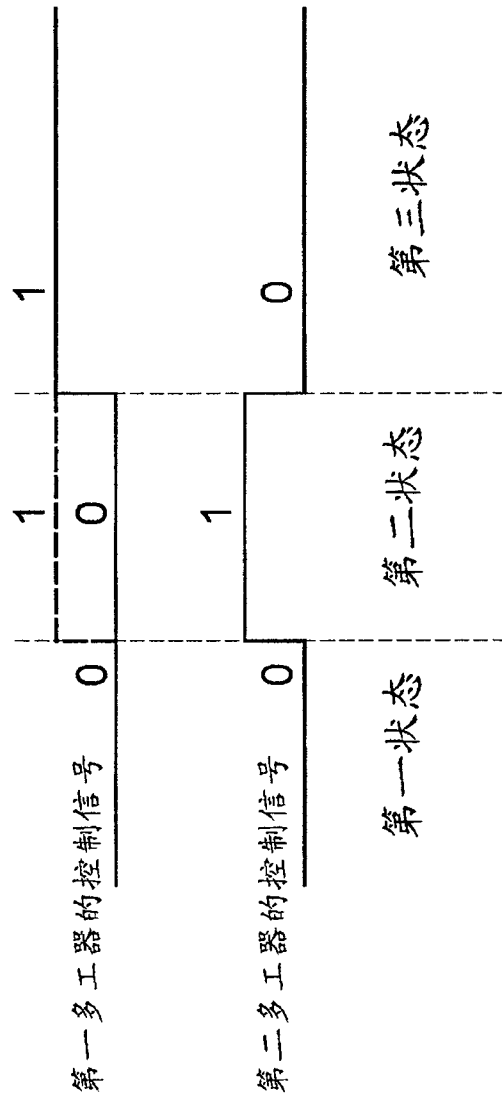


图 3

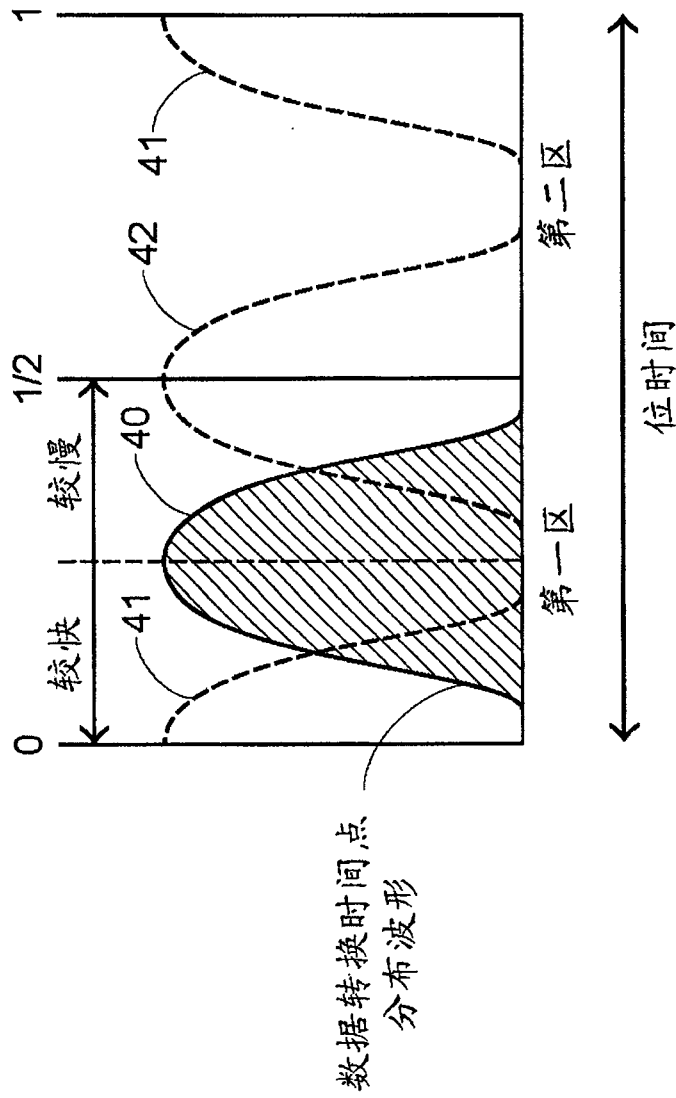


图 4

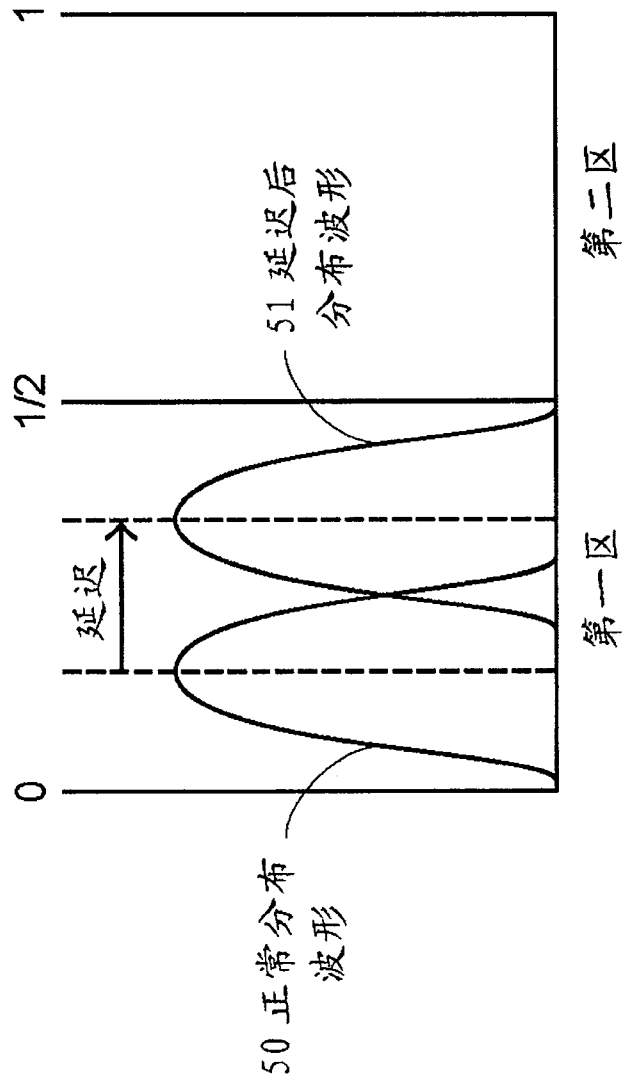


图 5

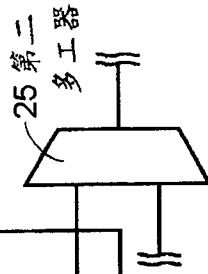
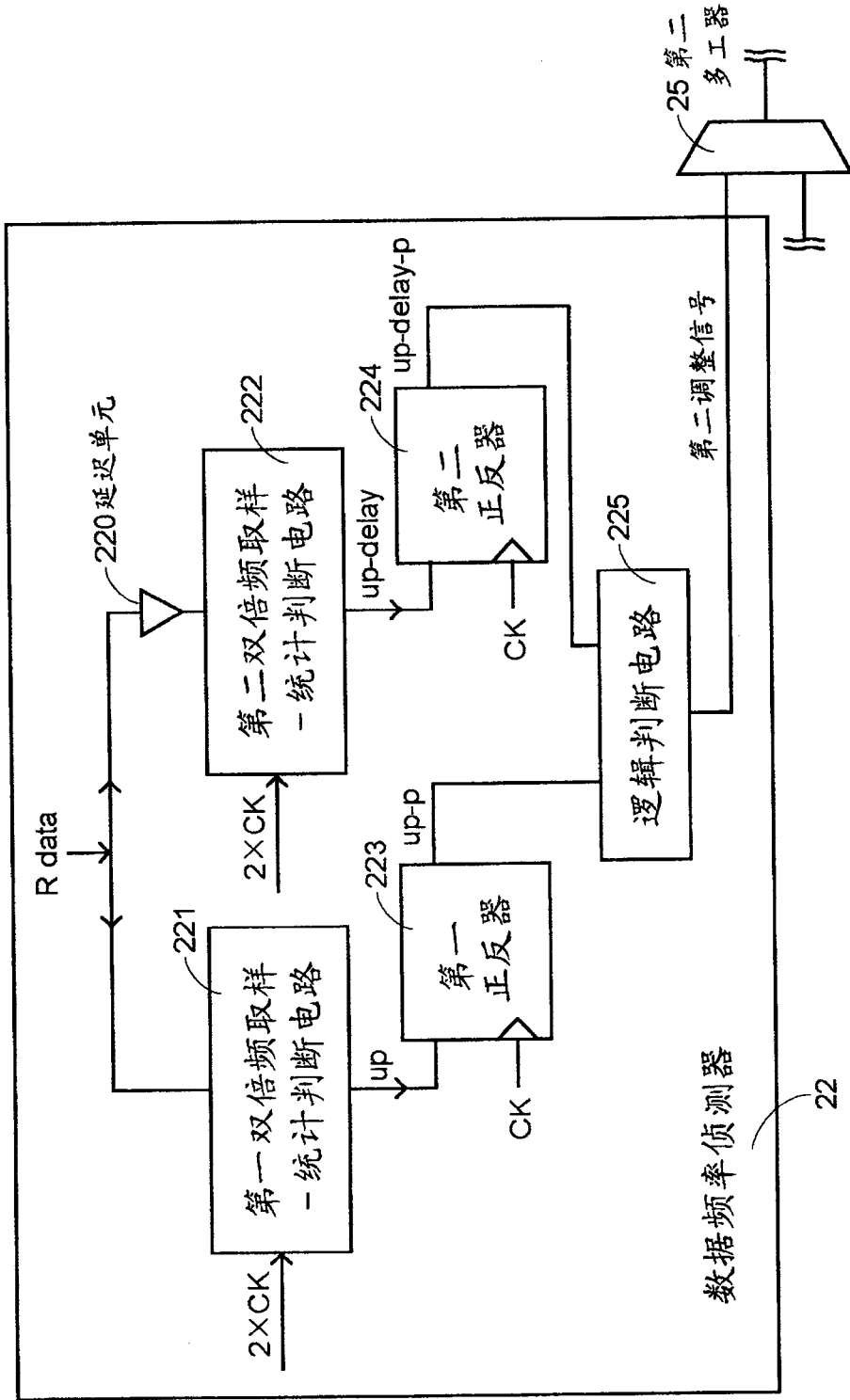


图 6

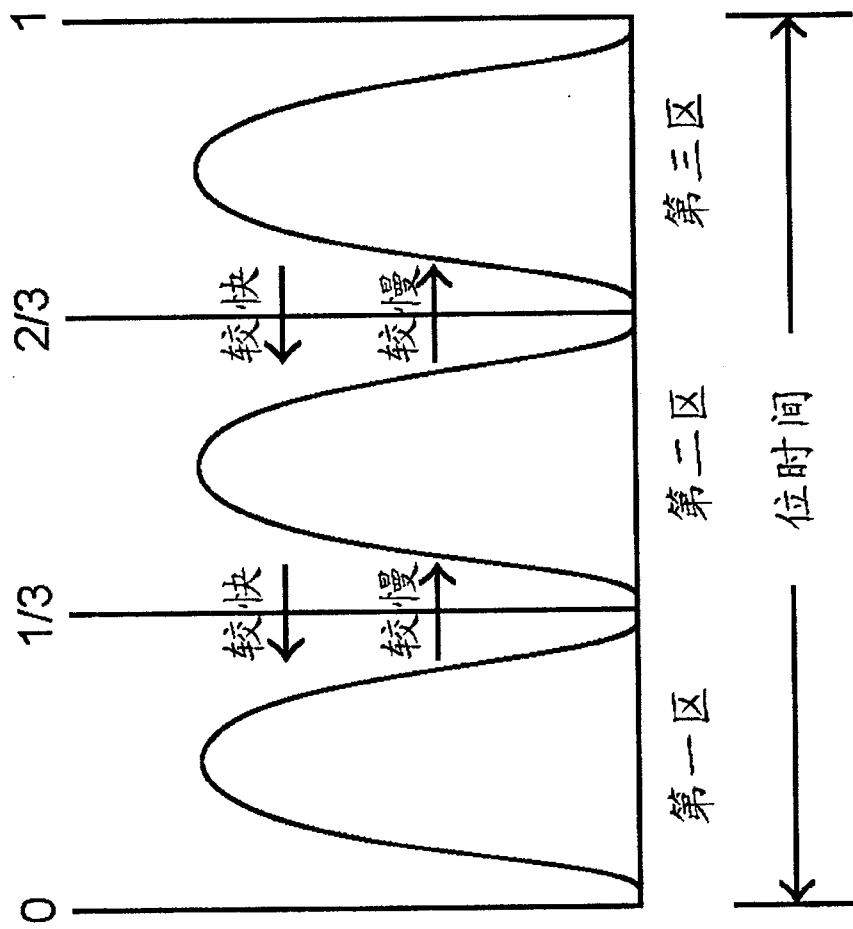


图 7

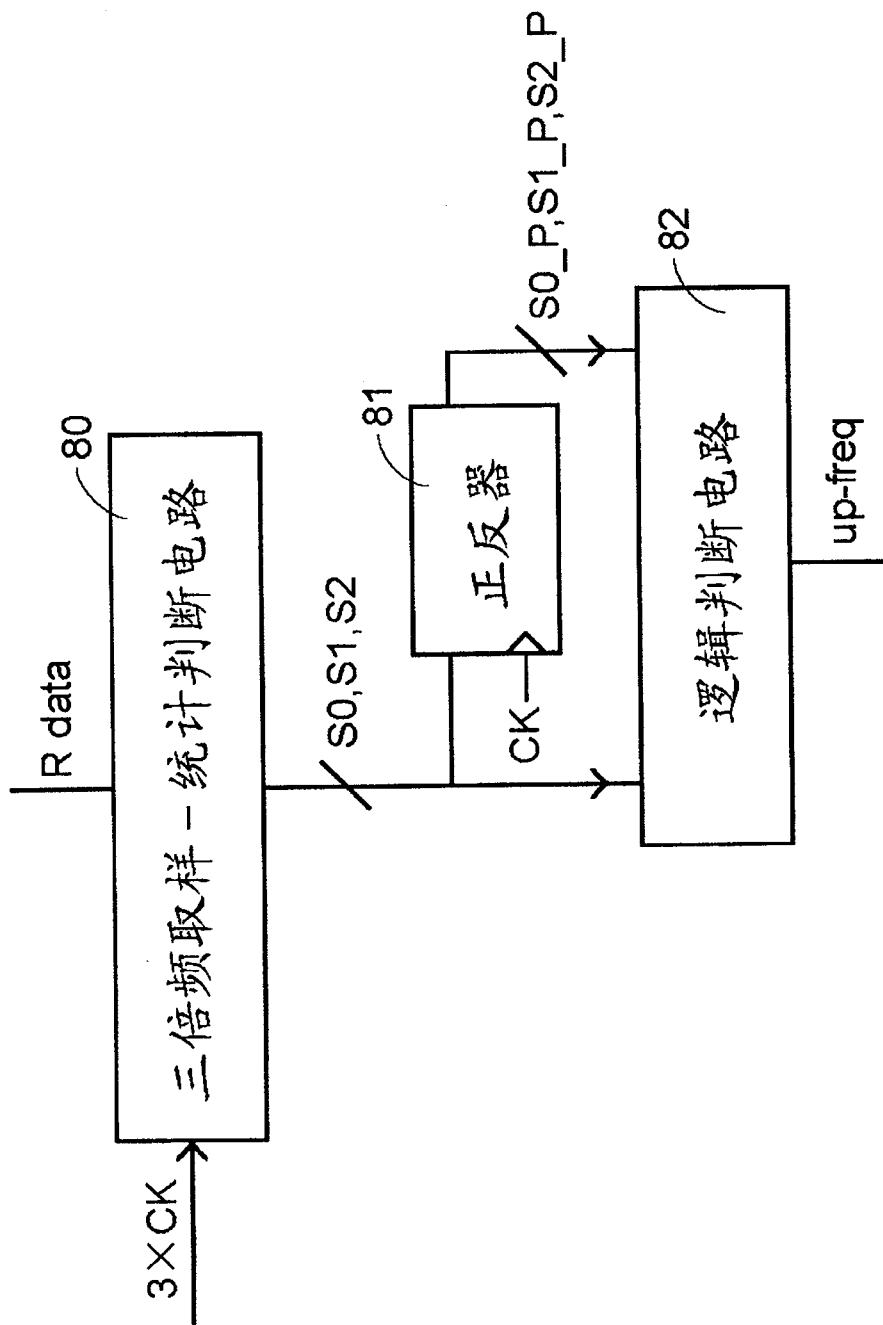


图 8