



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96143753

※ 申請日期：96.11.15

※IPC 分類：H01L 21/8247, 27/19(2006.01)  
C11C 19/16 (2006.01)

## 一、發明名稱：(中文/英文)

相鄰於矽化物而晶體化且與介電反熔絲串列的P-I-N二極體及其形成方法  
P-I-N DIODE CRYSTALLIZED ADJACENT TO A SILICIDE IN SERIES  
WITH A DIELECTRIC ANTIFUSE AND METHODS OF FORMING  
THE SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克3D公司

SANDISK 3D LLC

代表人：(中文/英文)

麗莎 K 托斯

TOTH, LIZA K.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

## 三、發明人：(共 1 人)

姓名：(中文/英文)

S 布萊德 賀納

HERNER, S. BRAD

國籍：(中文/英文)

美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年11月15日；11/560,283

2. 美國；2006年11月15日；11/560,289

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明揭示一種用於形成一具有降低程式化電壓之非揮發性單次可程式化記憶體單元的方法。一鄰近p-i-n二極體係與一由高介電常數材料形成之介電斷裂反熔絲配對，該介電斷裂反熔絲具有一大於約8之介電常數。在較佳具體實施例中，該高介電常數材料係藉由原子層沈積形成。該二極體較佳由沈積之低缺陷半導體材料形成，其接觸於一矽化物而晶體化。該等單元之一單體三維記憶體陣列可以在晶圓基板上形成堆疊式記憶體層級。

## 六、英文發明摘要：

A method is described for forming a nonvolatile one-time-programmable memory cell having reduced programming voltage. A contiguous p-i-n diode is paired with a dielectric rupture antifuse formed of a high-dielectric-constant material, having a dielectric constant greater than about 8. In preferred embodiments, the high-dielectric-constant material is formed by atomic layer deposition. The diode is preferably formed of deposited low-defect semiconductor material, crystallized in contact with a silicide. A monolithic three dimensional memory array of such cells can be formed in stacked memory levels above the wafer substrate.

**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 5 ) 圖。

(二)本代表圖之元件符號簡單說明：

|         |               |
|---------|---------------|
| 104     | 黏 接 層         |
| 106、406 | 導 電 層         |
| 110     | 阻 障 層         |
| 118     | 介 電 斷 裂 反 熔 絲 |
| 122     | 矽 化 物 層       |
| 200     | 底 部 導 體       |
| 300     | 柱 體           |
| 302     | 二 極 體         |
| 400     | 頂 部 導 體       |
| 404     | 導 電 黏 接 層     |

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本發明關於一種非揮發性記憶體單元，其包括呈電串列形成於多數個導體之間之一二極體與一介電斷裂反熔絲。一般而言，其有利於將程式化此一記憶體單元所需之電壓減到最小。

### 【發明內容】

本發明係由以下申請專利範圍來定義，而此章節中的任何內容皆不應視為對該些申請專利範圍形成限制。一般而言，本發明係指一種非揮發性記憶體單元，其包括一由高介電常數-反熔絲材料形成之介電斷裂反熔絲及一由低電阻率半導體材料形成之半導體二極體。

本發明之一第一態樣提供一種用於形成及程式化一非揮發性記憶體單元的方法，該方法包含：形成一鄰近p-i-n二極體，該鄰近p-i-n二極體包含沈積之半導體材料；形成一與該沈積之半導體材料接觸的矽化物、矽化物-鍺化物、或鍺化物層；將與該矽化物、矽化物-鍺化物、或鍺化物層接觸的該沈積之半導體材料晶體化；形成一介電材料層，其具有一大於8之介電常數；及將該介電材料層之一部分經歷介電崩潰，其中該記憶體單元包含該鄰近p-i-n二極體及該介電材料層。

本發明之另一態樣提供一種第一記憶體層級，其包含：複數個第一實質上平行、實質上共面之導體，其形成於一基板上；複數個第二實質上平行、實質上共面之導體，其

形成於該等第一導體上；複數個垂直定位之鄰近p-i-n二極體，其包含半導體材料，該半導體材料係相鄰於一矽化物、矽化物-鍺化物、或鍺化物層而晶體化；複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成，其中該等鄰近p-i-n二極體之每一者位於該等第一導體之一與該等第二導體之一之間，及其中該等介電斷裂反熔絲之每一者位於該等第一導體之一與該等鄰近p-i-n二極體之一之間或該等第二導體之一與該等鄰近p-i-n二極體之一之間；及複數個記憶體單元，各記憶體單元包含該等鄰近p-i-n二極體之一及該等介電斷裂反熔絲之一。

本發明之一較佳具體實施例提供一種形成於一基板上之單體三維記憶體陣列，其包含：a)一第一記憶體層級，其單體地形成於該基板上，該第一記憶體層級包含：i)複數個第一實質上平行、實質上共面之導體，其延伸於一第一方向中；ii)複數個第二實質上平行、實質上共面之導體，其延伸於一與該第一方向不同的第二方向中，該等第二導體位於該等第一導體上；iii)複數個垂直定位之鄰近p-i-n二極體，其係由沈積之半導體材料形成，該半導體材料係相鄰於一矽化物、矽化物-鍺化物、或鍺化物層而晶體化，各二極體垂直位於該等第一導體之一與該等第二導體之一之間；iv)複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成；及v)複數個記憶體單元，各該記憶體單元包含串列配置之該等二極體之一及該等介電斷裂反熔絲之一；及b)一第二記憶體層級，其單體地形

成於該第一記憶體層級上方。

本發明之另一態樣提供一種裝置，其包含：一鄰近p-i-n二極體，其包含半導體材料，一矽化物、或矽化物-鍺化物層，其接觸於該鄰近p-i-n二極體之半導體材料；及一介電斷裂反熔絲，其包含一介電材料，該介電材料具有一8或更大之介電常數，其中該鄰近p-i-n二極體與該介電斷裂反熔絲係呈電串列配置於一第一導體與一第二導體之間。

本發明之又另一態樣提供一種用於形成及程式化一非揮發性記憶體單元的方法，該方法包含：形成一鄰近p-i-n二極體，該鄰近p-i-n二極體包含沈積之半導體材料；形成一與該沈積之半導體材料接觸的矽化物、矽化物-鍺化物、或鍺化物層；將與該矽化物、矽化物-鍺化物、或鍺化物層接觸的該沈積之半導體材料晶體化；形成一介電材料層，其具有一大於8之介電常數；及將該介電材料層之一部分經歷介電崩潰，其中該記憶體單元包含該鄰近p-i-n二極體及該介電材料層。

本發明之一額外態樣提供一種用於單體地形成一第一記憶體層級於一基板上之方法，該方法包含：形成複數個第一實質上平行、實質上共面之導體於該基板上，該等第一導體延伸於一第一方向中；形成複數個垂直定位之鄰近p-i-n二極體於該等第一導體上，該鄰近p-i-n二極體包含接觸於一矽化物、矽化物-鍺化物、或鍺化物層而晶體化之半導體材料；形成複數個第二實質上平行、實質上共面之導體，該等第二導體位於該等鄰近p-i-n二極體上，該等第

二導體延伸於一與該第一方向不同之第二方向中，各鄰近p-i-n二極體係垂直位於該等第一導體之一與該等第二導體之一之間；及形成複數個介電斷裂反熔絲，各該介電斷裂反熔絲位於該等鄰近p-i-n二極體之一與該等第一導體之一之間或該等鄰近p-i-n二極體之一與該等第二導體之一之間，其中該等介電斷裂反熔絲包含介電材料，該介電材料具有一大於約8之介電常數。

本發明之一較佳具體實施例提供一種用於形成一單體三維記憶體陣列於一基板上之方法，該方法包含：a)單體地形成一第一記憶體層級於該基板上，該第一記憶體層級係由一方法形成，其包含：i)形成複數個第一實質上平行、實質上共面之導體，其延伸於一第一方向中；ii)形成複數個第二實質上平行、實質上共面之導體，其延伸於一與該第一方向不同的第二方向上，該等第二導體位於該等第一導體上；iii)形成複數個垂直定位之鄰近p-i-n二極體，其係由沈積之半導體材料形成，該沈積之半導體材料係接觸於一矽化物、矽化物-鍍化物、或鍍化物層而晶體化，各該二極體垂直位於該等第一導體之一與該等第二導體之一之間；iv)形成複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成；及v)形成複數個記憶體單元，各記憶體單元包含串列配置之該等二極體之一及該等介電斷裂反熔絲之一；及b)單體地形成一第二記憶體層級於該第一記憶體層級上。

本文所述本發明之若干態樣及具體實施例中的每一者均

可單獨或相互組合使用。

現將參考附圖來說明該等較佳態樣及具體實施例。

### 【實施方式】

圖 1 顯示 Herner 等人之美國專利第 6,952,030 號 "High-density three-dimensional memory cell"(文後稱之為 '030 專利)所描述之一記憶體單元之具體實施例。在此非揮發性記憶體單元中，包含一二極體 302 及一介電斷裂反熔絲 118 在內之柱體 300 係電串列配置於頂部導體 400 與底部導體 200 之間。在此記憶體單元之初始狀態中，當一讀取電壓施加於頂部導體 400 與底部導體 200 之間時，極少電流會流過其間。一較大程式化電流之施加則永久性地改變圖 1 之記憶體單元，使得在程式化之後，有相當多電流會在相同讀取電壓時流動。在相同施加讀取電壓下之此項電流差異可供一程式化單元區別於一未程式化單元，例如一資料 "0" 區別於一資料 "1"。

如 Herner 等人在 2004 年 9 月 29 日申請之美國專利申請案第 10/955,549 號 "Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States" 且文後稱之為 '549 申請案，及 Herner 等人在 2005 年 6 月 8 日申請之美國專利申請案第 11/148,530 號 "Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material" 且文後稱之為 '530 申請案中所詳述，此兩案皆歸本發明之受讓者擁有且以引用方式併入本文，二極體 302 係由半導體材料形成，其在初始之未程式

化裝置時係在一較高電阻率狀態。一程式化電壓施加通過二極體302則將半導體材料從一高電阻率狀態變成一低電阻率狀態。

在如圖1所示之一單元中，程式化電壓必須執行二項工作。其必須將二極體302之半導體材料從一高電阻率轉變成一低電阻率狀態，且亦須使介電斷裂反熔絲118之介電材料經歷介電崩潰，在此期間至少一導電路徑係穿過介電斷裂反熔絲118永久性地形成。

圖2顯示一相似於圖1所示者之單元之一第一記憶體層級之一部分，其配置成一包含複數個記憶體單元之交叉點式陣列。各記憶體單元包含一柱體300(其包含圖1所示之二極體302與反熔絲118)，其位於頂部導體400之一與底部導體200之一之間。頂部導體400位於底部導體200上方且延伸於一不同方向中，較佳為垂直於後者。二、三、或更多此類記憶體層級可彼此垂直堆疊，以形成一單體三維記憶體陣列。

圖3說明一偏壓方案，其可用於程式化一相似於圖2所示者之交叉點式記憶體陣列中之一記憶體單元。假設選定單元S經歷一10伏之程式化電壓(此處所供給之電壓僅為舉例而已)。選定位元線B0被設定於10伏且選定字線W0設定於0伏，使10伏通過選定單元S。為了避免單元F之意外程式化，與選定單元S共用位元線B0，未選擇之字線W1設定於9伏；因此單元F僅經歷1伏，其低於二極體之導通電壓。同樣地，未選定位元線B1被設定於1伏，使與選定單元S共

用字線W0的單元H僅經歷1伏。未與選定單元S共用字線或位元線的未選定單元U則經歷-8伏。請注意在此簡化圖式中，僅一未選定位元線B1及僅一未選定字線W1被顯示。實際上尚有許多未選定字線及位元線。一具有N條位元線及M條字線之陣列應包括N-1個F單元、M-1個H單元、及大量 $(N-1)*(M-1)$ 個U單元。

該等U單元之每一者之二極體係處於一低於二極體崩潰電壓之電壓反向偏壓下，因此將流過此單元之電流減到最小。(一二極體不對稱地導引電流，亦即其在某一方向中比其他方向容易導通電流。)然而，不可避免地仍會有些反向之洩漏電流，而且由於大量U單元之故，該反向之洩漏電流會在該等選定單元之程式化期間耗損大量功率。在該等選定單元S之程式化期間，已被程式化之H單元及F單元上之正向電流雖小，卻同樣會耗損功率。高程式化電壓本身經常難以產生。針對所有這些理由，需將程式化此一交叉點式記憶體陣列中之選定記憶體單元所需之電脈衝振幅減到最小。

特徵尺寸為可以藉由一光微影程序製成之最小特徵。應該注意的係對於水平定位之裝置而言，例如電晶體，則隨著特徵尺寸減小，用於操作該裝置所需之電壓大致上亦減小。然而，在圖1之記憶體單元中，因為該記憶體單元之垂直定位，使二極體之半導體材料轉變及使反熔絲斷裂所需之電脈衝振幅大致上並未隨著特徵尺寸而減小。

在'510申請案中，一介電斷裂反熔絲係與一由半導體材

料(例如矽)形成之半導體二極體配對，其中二極體之半導體材料係在形成時即為一低電阻率狀態，且不需要被轉換。

'030專利及'549申請案之二極體係藉由沈積一半導體材料，例如一非晶狀態之矽，接著執行一熱退火以將矽晶體化，形成一多晶矽或聚矽二極體而形成。如'530申請案中所述，當沈積之非晶矽僅與具有一高晶格失配之材料接觸而晶體化時，例如二氧化矽及氮化鈦，則該聚矽即形成大量結晶缺陷，致使其成為高電阻率。一程式化脈衝之施加通過此高缺陷之聚矽將顯著改變該聚矽，致使其成為低電阻率。

然而，經發現當沈積之非晶矽係與一適當之矽化物層接觸而晶體化時，例如矽化鈦或矽化鈷，則生成之結晶矽為相當高之品質，其僅有少許缺陷且有相當低之電阻率。矽化鈦或矽化鈷之晶格間距極接近於矽者，且據信當非晶矽係與一位於有利定向之適當矽化物層接觸而晶體化時，該矽化物即提供一用於矽晶體生長之樣板，使缺陷之形成減到最小。不同於僅與具有一高晶格失配材料之相鄰晶體化的高缺陷矽，一大電脈衝之施加並未顯著改變與該矽化物層接觸而晶體化之該低缺陷、低電阻率矽之電阻率。

藉由將一介電斷裂反熔絲與此一低缺陷、低電阻率之二極體配對，即可形成一記憶體單元，其中程式化脈衝僅需足以使該介電斷裂反熔絲斷裂；該二極體係由半導體材料製成，其在初始狀態時已係低電阻率且不需要經歷一高電

阻率至低電阻率之轉變。

在'510申請案之具體實施例中，低缺陷之二極體係與一由習知介電材料(例如二氧化矽)形成之介電斷裂反熔絲配對。在此一裝置中之介電斷裂反熔絲必須厚到足以確實絕緣，這需要一較大之程式化電壓。此程式化電壓可以藉由減小該二氧化矽反熔絲之厚度而減小。然而，隨著該二氧化矽反熔絲變薄，其亦更容易缺陷，此將造成不必要之洩漏電流。

使用作為一反熔絲之該二氧化矽層一般為熱生長。藉由以一較高溫度生長該反熔絲，例如 $1000^{\circ}\text{C}$ ，該反熔絲之品質可以提昇，且缺陷減少。然而，高溫度有其他缺點，即其導致二極體內及形成於記憶體層級下方之CMOS控制電路內之摻雜物的不必要擴散，損害及潛在破壞該些裝置。

一材料有一特徵性介電常數 $k$ 。一材料之介電常數說明了其作為一絕緣體之行為。一良好之絕緣體(例如一般形成之二氧化矽)有一低介電常數3.9。在定義上，真空具有最低可行之介電常數1。包括(例如) $\text{HfO}_2$ 及 $\text{Al}_2\text{O}_3$ 在內之一材料範圍雖被視為介電質，但是其仍有較高於二氧化矽者之介電常數。

使用作為一介電斷裂反熔絲之一較高 $k$ 材料層，例如 $\text{HfO}_2$ 或 $\text{Al}_2\text{O}_3$ ，其可以較厚於一較低 $k$ 材料層，例如可相較品質之二氧化矽，同時仍具有相同介電行為。

McPherson 等人曾在2002 IEDM會議記錄 "Proposed universal relationship between dielectric breakdown and

dielectric constant"第633-636頁中論證較高介電常數k材料會在較低於較低介電常數材料者之電場中經歷介電崩潰。針對上述原因，故有必要降低一記憶體陣列中之程式化電壓。在本發明中，一由相鄰於一矽化物而晶體化之低缺陷沈積半導體材料形成的二極體係與一由介電常數k約大於8之高k材料形成的介電斷裂反熔絲配對。"沈積半導體材料"一詞係指已沈積之半導體材料，例如矽、鍺、或矽-鍺合金，且不包括可供裝置建構於其上方之單晶性晶圓基板在內。將該單元程式化所需之電壓僅藉由使其經歷介電崩潰以令反熔絲斷裂時所需者。形成一高k材料之反熔絲可用於降低程式化電壓，同時在以低洩漏電流程式化之前且在程式化之後仍可維持一相當可靠之反熔絲。

請注意該高k材料經調查為用在電晶體之閘極氧化物，因為其可製成比二氧化矽之閘極氧化物厚同時仍有相同或較佳之電容。然而，這些閘極氧化物在電晶體內所扮演之角色係不同於本文內所述之反熔絲。在裝置壽命中之任一時刻，這些閘極氧化物都不會有介電崩潰之虞。

在較佳具體實施例中，原子層沈積(ALD)被用於形成一高k材料之介電斷裂反熔絲。近年來ALD技術之進步已容許一極高品質之高k材料層極薄地形成，例如50、30、20、或10埃，或更小。此極薄層係其洩漏電流低到可以被接受的高品質，且此一薄層僅需較低電壓即可使之崩潰。

McPherson等人指出較高k介電質另有其外優點，即其比較低k介電質(例如二氧化矽)更能呈現均一之崩潰行為。當

一記憶體陣列之介電斷裂反熔絲在通過一廣範圍之程式化電壓時斷裂，則該程式化電壓必須高到足以在配電之高端將反熔絲斷裂，即使一較低電壓已可以滿足該陣列中之大部分記憶體單元。一較緊密之配電可容許程式化電壓進一步降低。

許多高k介電質可以藉由不同沈積程序在較低溫度時形成，包括ALD。作為一般規則，降低處理溫度一向有利於一複雜半導體裝置之製造，其將摻雜物擴散、剝離、等等減到最小。

一二極體不對稱地導引電流，亦即其在正向偏壓下比反向偏壓容易導通。反向洩漏電流，即在反向偏壓下流動之電流，其係不必要的。反向洩漏電流超線性地減小且在通過二極體時有減小之負電壓。例如，在一具有0.15微米特徵尺寸且由本發明之低電阻率半導體材料形成的二極體中，當該二極體在-7伏時，反向洩漏電流為 $-7.5 \times 10^{-11}$ 安培。當電壓為-5.5伏時，反向洩漏電流實質上減小到 $-3.0 \times 10^{-11}$ 安培。在-4.5伏電壓下，反向洩漏電流減小到 $1.6 \times 10^{-11}$ 安培。在圖2繪示之交叉點式陣列中，請注意將選定單元S程式化所需之較低電壓造成通過未選定單元U之較低負電壓。例如，請參閱圖4，假設選定單元S上之程式化電壓僅需5.4伏。選擇位元線B0上之電壓為5伏，選擇字線W0為0伏，而有5.4伏通過選定單元S。若未選擇位元線B1設定為1伏且未選擇字線W1設定為4.4伏，則單元H及F二者皆經歷1伏。未選定單元U經歷-3.4伏，其明顯低於-8

伏，如同圖3之範例。

在所述之單體記憶體陣列中，矽通常較佳地形成該二極體。鍺具有一比矽者小之帶隙，且經發現一由矽鍺合金形成之二極體具有比一純矽二極體高之反向洩漏電流。反向洩漏電流隨著鍺之分率而增加。在一交叉點式記憶體陣列中，由於未選定單元U僅-3.4伏，反向洩漏電流實質上甚少，故可減輕此項缺點。如Herner等人在2005年3月9日申請之美國專利申請案第11/125,606號 "High-density Nonvolatile Memory Array Fabricated at Low Temperature Comprising Semiconductor Diodes"中所述，該案歸本發明之受讓者擁有且以引用方式併入本文，文後稱之為'606申請案，利用習知方法將矽沈積及晶體化所需之溫度通常不適用於鋁與銅之金屬化，因為其無法承受高溫。如本申請案中所述，使用相當高鍺含量之矽鍺二極體可以降低整體製造溫度、容許使用這些低電阻率金屬、改善裝置性能。

圖5顯示根據本發明之一較佳具體實施例形成之一記憶體單元。底部導體200包括黏接層104(較佳為氮化鈦)及導電層106(較佳為鎢)。一由高k介電材料形成之介電斷裂反熔絲118形成於底部導體200上。一(例如)為氮化鈦之阻障層110介置於介電斷裂反熔絲118與垂直定位之鄰近p-i-n二極體302之間。在一些具體實施例中層110可以省略。柱體300包括阻障層110及二極體302。矽化物層122(較佳為矽化鈷或矽化鈦)係頂部導體400之一部分，該頂部導體進一步包括導電層，例如，氮化鈦層404及鎢層406。(可以看

出，該矽化物僅在一矽化物形成金屬與二極體302之矽接觸處形成，層122之陰影線部分係未反應之金屬，並非矽化物。)顯示成與下方之柱體300略為錯位之頂部導體400較佳呈軌道形，其以斷面顯示則延伸至紙面外。用於反熔絲118之較佳材料包括 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及 $\text{ZrSiAlON}$ 。二極體302之矽較佳為沈積之非晶性，接著予以晶體化。在一些具體實施例中，可以較佳地先將二極體302晶體化，隨後剝離矽化物122，使其不存在於製成之裝置內。圖中未示之額外層亦可存在，例如阻障層及黏接層，另者，包含在一些具體實施例中之某些阻障層也可以省略。

圖6顯示一替代性具體實施例。底部導體200係形成如圖5之該具體實施例者。柱體300包括阻障層110(較佳為氮化鈦)、鄰近p-i-n二極體302、矽化物層122、導電阻障層123、由高k介電材料形成之介電斷裂反熔絲118、及導電阻障層125。頂部導體400包括導電黏接層404(較佳為氮化鈦)及導電層406(例如鎢)。

圖7顯示另一替代性具體實施例。底部導體200係形成如圖5及6之該等具體實施例者。柱體300包括阻障層110(較佳為氮化鈦)及鄰近p-i-n二極體302。在一不同於柱體300者之蝕刻步驟中蝕刻之短柱體304包括矽化物層122及導電阻障層123。頂部導體400包括導電黏接層402(較佳為氮化

鈦)及導電層406(例如鎢)。由一高k介電材料形成之介電斷裂反熔絲118介置於頂部導體400與導電阻障層123之間。其可以是一連續性包覆層，或者可以由頂部導體400圖案化，如圖中所示。Many 許多其他替代性具體實施例亦可以想見，其同樣包括一鄰近p-i-n二極體及一高k介電斷裂反熔絲。

該些該具體實施例之每一者係一半導體裝置，包含：一鄰近p-i-n二極體，其係由沈積半導體材料形成，其中該半導體材料係相鄰於一矽化物、鍺化物、或矽化物-鍺化物層而晶體化；及一介電斷裂反熔絲，其與該二極體電串列配置，該介電斷裂反熔絲包含一具有介電常數大於8之介電材料。在各該具體實施例中，該垂直定位之二極體位於一底部導體與一頂部導體之間，該介電斷裂反熔絲則位於該二極體與該頂部導體之間或該二極體與該底部導體之間。在這些實例中，該頂部或該底部導體皆不包含一矽層。

"鄰近p-i-n二極體"一詞在於說明一由半導體材料形成之二極體係在其一端具有重度摻雜之p型半導體材料，及在其另一端具有重度摻雜之n型半導體材料，且本質性或輕度摻雜之半導體材料位於其間，而在該p型區與該n型區之間受到破壞性介入之前並無介電斷裂反熔絲足以防止大部分電流流動。一p-i-n二極體較佳使用在一大型記憶體陣列中，因為此一二極體可在反向偏壓下使洩漏電流減到最小。

在這些單元之任一者中，在程式化前，反熔絲118原封不動且阻止電流流動。在程式化期間，當一程式化電壓施加於頂部導體400與底部導體200之間時，該介電斷裂反熔絲之一部分遭受到介電崩潰，形成一導電路徑通過鄰近p-i-n二極體302與頂部導體400之間或鄰近p-i-n二極體302與底部導體200之間之介電斷裂反熔絲118。

在本發明之個具體實施例中，由一高k介電材料形成之該介電斷裂反熔絲較佳為位於二金屬或金屬層之間，例如氮化鈦或一導電金屬矽化物。這些導電層有助於在該反熔絲處建立電容，使其比該反熔絲位於該等半導體層之間、或一半導體層與一金屬或金屬層之間時更易於斷裂。

文後將提供製造根據本發明之一較佳具體實施例所形成之一單體三維記憶體陣列的一詳細範例。為了完整起見，將提供明確之程序條件、尺寸、方法、及材料。然而，應該瞭解的是該等細節並非為了設限，且該等細節有許多係可以修改、省略或增加，而其結果仍在本發明之範疇內。例如，來自'030專利、'549、'530、及'510申請案之一些細節亦可使用。為了避免混淆本發明，來自這些專利及申請案之所有細節皆未涵括在內，但是可以瞭解的係不應排除相關之說明。

#### 範例

接著參閱圖8a，該記憶體之形成起始於一基板100。此基板100可為此技術中所熟知的任何半導體基板，如單晶矽、IV-IV化合物(如矽鍺或矽鍺碳)、III-V化合物、II-VII

化合物、此類基板上之磊晶層、或任何其他半導體材料。該基板可包括其中所製造之積體電路。

一絕緣層102形成於基板100之上。該絕緣層102可為氧化矽、氮化矽、Si-C-O-H薄膜或任何其他合適的絕緣材料。

第一導體200形成於基板100與絕緣層102之上。一黏接層104可包含在絕緣層102與導電層106之間，以協助導電層106黏接於絕緣層102。若上方之導電層106為鎢，則較佳使用氮化鈦作為黏接層104。導電層106可以包含此技術中已知之任何導電材料，例如鎢，或其他材料，包括鉭、鈦、銅、鈷、或其合金。

形成導體軌道之所有層一旦沈積，即可使用任何合適的掩膜及蝕刻程序來圖案化及蝕刻該等層，以形成實質上平行、實質上共平面之導體200，如圖8a之斷面所示。導體200延伸至紙面外。在一具體實施例中，光阻係沈積、由光微影製程及該等蝕刻層圖案化、及隨後利用標準程序技術將該光阻移除。

接著，一介電材料108沈積於導體軌道200之上及其間。介電材料108可以係任何已知電絕緣材料，例如氧化矽、氮化矽、或氮氧化矽。在一較佳具體實施例中，藉由一高密度電漿方法沈積之二氧化矽被使用作為介電材料108。

最後，移除導體軌道200頂部上多餘的介電材料108，將藉由介電材料108而分離之導體軌道200之頂部曝露，且留下一實質上平坦表面。圖8a顯示所得結構。可藉由此項技

術中習知之任何製程，例如化學機械拋光(CMP)或回蝕，來執行介電質過量填充之此移除，以形成該平坦表面。在一替代性具體實施例中，導體200可以改由一鑲嵌法形成。

參閱圖8b，接著形成一高k介電材料之薄層118，其具有一約大於8之介電常數k。(為了簡明起見，基板100即在圖8b及其後之圖式中省略，可假想其存在。)此材料之介電常數值較佳在8與50之間，最佳係在大約8與大約25之間。此層較佳在大約10與大約200埃之間，例如在大約20與大約100埃之間。用於層118之較佳材料包括 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及 $\text{ZrSiAlON}$ 。在一些具體實施例中可以將這些材料之一或二種混合。最佳的材料包括 $\text{HfO}_2$ (其具有一大約25之介電常數)或是 $\text{Al}_2\text{O}_3$ (其具有一大約9之介電常數)。在較佳具體實施例中，層118係藉由ALD形成，以形成一極高品質薄膜。一高品質薄膜較佳呈濃密狀，盡可能接近其理論上之密度，其具有少許或無針孔之完整涵蓋範圍，及具有一低密度之電性缺陷。大體上較佳為具有一較高介電常數之可相提並論薄膜品質之材料能比具有一較低介電常數者厚。例如，一藉由ALD形成之 $\text{Al}_2\text{O}_3$ 薄膜較佳具有一在大約5與大約80埃之間之厚度，且較佳為大約30埃，而一藉由ALD形成之 $\text{HfO}_2$ 薄膜較佳具有一在大約5與大約100埃之間之厚度，且較佳為大約40埃。層118將作為

一介電斷裂反熔絲。在一些具體實施例中，較佳為在將層118沈積之前先沈積一導電阻障層(圖中未示)。此阻障層(例如大約100埃之氮化鈦)將提供一均勻表面，供將高k之介電斷裂反熔絲層118沈積於其上，可改善該層之均一性。

阻障層111沈積於層118上。其可為任何適當之導電阻障材料，例如氮化鈦，具有任何適當厚度，例如50至200埃，較佳為100埃。在一些具體實施例中，可省略阻障層111。

接著，將欲圖案化成該柱體之半導體材料沈積。該半導體材料可以係矽、鍺、一矽鍺合金、或其他適當之半導體、或半導體合金。為了簡明起見，本說明將該半導體材料視為矽，但是應該瞭解的係熟知此技術者可以改為選擇其他適當材料之任一者。

底部重度摻雜區112可以藉由此技術中已知之任何沈積與摻雜方法形成。矽可以被沈積及隨後摻雜，但是較佳在矽沈積期間令一提供n型摻雜物原子(例如磷)之施體氣體流動，而在原處摻雜。重度摻雜區112較佳在大約100與大約800埃厚度之間。

本質區114可以藉由此技術中已知之任何方法形成。區114可以係矽、鍺、或者矽或鍺之任何合金，且具有一在大約1100與大約3300埃之間之厚度，較佳為大約2000埃。重度摻雜區112與本質區114之矽在沈積時較佳為非晶性。

連同下方之阻障層111、高k介電層118、及阻障層110，

沈積之半導體區114及112亦經圖案化及蝕刻，以形成柱體300。柱體300應具有和下方導體200大致相同之間距及大致相同之寬度，以致使各柱體300形成於一導體200之頂部上。某些微錯位係可以被容許的。

可使用任何適當的掩膜及蝕刻程序來形成柱體300。例如，可沈積光阻，使用標準光微影技術加以圖案化，並加以蝕刻，然後移除光阻。或者，可在半導體層堆疊之頂部上形成某一其他材料(例如二氧化矽)之硬遮罩，底部抗反射塗層(BARC)在頂部上，然後加以圖案化及蝕刻。同樣地，介電抗反射塗層(DARC)可以使用作為一硬遮罩。

Chen於2003年12月5日申請的美國申請案第10/728436號"Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting"；或Chen於2004年4月1日申請的美國申請案第10/815312號"Photomask Features with Chromeless Nonprinting Phase Shifting Window"中所述光微影技術可較佳地用以執行依據本發明之記憶體陣列之形成中所使用之任何光微影步驟，兩申請案均歸本發明之受讓者擁有且以引用方式併入本文。

在柱體300上及其間沈積介電材料108，填充柱體間之間隙。介電材料108可為任何熟知的電絕緣材料，例如氧化矽、氮化矽或氮氧化矽。在一較佳具體實施例中，二氧化矽用作絕緣材料。

接著，移除柱體300頂部上之介電材料，將藉由介電材料108而分離之柱體300之頂部曝露，且留下一實質上平坦

表面。可藉由此項技術中所熟知的任何程序(例如CMP或回蝕)來執行移除介電質過度填充。在CMP或回蝕之後，執行離子植入以形成重度摻雜p型頂部區116。p型摻雜物較佳為一淺植入之硼，且植入能量例如2 keV，及劑量大約為 $3 \times 10^{15}/\text{cm}^2$ 。此植入步驟完成了二極體302之形成。生成結構揭示於圖8b中。在剛形成之該等二極體中，底部重度摻雜區112為n型而頂部重度摻雜區116為p型，顯然該等二極體之極性可以相反。

概言之，柱體300係藉由將一半導體層堆疊沈積於第一導體200之上，在單一圖案化步驟中將該半導體層堆疊圖案化及蝕刻成柱體300之形式而形成。該裝置完成後，該鄰近p-i-n二極體係位在該柱體內。

請參閱圖8c，在將已形成於柱體300頂部上之任何原有氧化物清除後，沈積一矽化物形成金屬層120，例如鈦、鈷、鉻、鉭、鉑、鎳、銲、或鈹。層120較佳為鈦或鈷，若層120為鈦，其厚度較佳在大約10與大約100埃之間，最佳為大約20埃。層120隨後為氮化鈦層404。層120與層404二者較佳在大約20與大約100埃之間，最佳為大約50埃。接著沈積一導電材料層406，例如鎢。層406、404、及120係經圖案化及蝕刻成軌道形頂部導體400，其較佳延伸於一與底部導體200垂直之方向中。

接著將一介電材料(圖中未示)沈積於導體400之上及其間。該介電材料可以係任何習知電絕緣材料，例如氧化矽、氮化矽、或氮氧化矽。在一較佳具體實施例中，將氮

化矽用作介電材料。

於上文已揭述一第一記憶體層級之形成。額外記憶體層級可形成於此第一記憶體層級之上，以形成一單體三維記憶體陣列。所述之該陣列僅為一範例，且其可用其他方式改變，例如包括圖6及7中所示之任一記憶體單元。

請參閱圖8c，請注意一矽化物形成金屬層120係與頂部重度摻雜區116之矽接觸。在後續之昇溫步驟期間，層120之金屬將與重度摻雜區116之矽之一些部分反應，以形成一矽化物層(圖中未示)。此矽化物層係在一較低於將矽晶體化所需溫度之溫度下形成，因此在其形成之同時，區112、114、及116大部分仍為非晶性。若一矽鍍合金被使用於頂部重度摻雜區116，則一矽化物-鍍化物層(例如)可由鈷矽化物-鍍化物或鈦矽化物-鍍化物形成。

較佳為在所有該等記憶體層級形成後，執行一單一結晶退火以將二極體302晶體化，例如以750°C進行大約60秒，儘管各記憶體層級可在其形成時即退火。生成之二極體一般為多晶性。由於這些二極體之半導體材料係與一具有良好晶格匹配之矽化物或矽化物-鍍化物層接觸，二極體302之半導體材料將呈低缺陷及低電阻率。

若 $\text{HfO}_2$ 被使用於介電斷裂反熔絲118，應細心將處理溫度保持在 $\text{HfO}_2$ 之結晶溫度以下，大約750°C至大約800°C。結晶性 $\text{HfO}_2$ 之一原始反熔絲層會有遠大於一非晶性 $\text{HfO}_2$ 層者之洩漏。

在一些具體實施例中，可在記憶體層級之間共用該等導

體；即，頂部導體400可使用作為下一記憶體層級之底部導體。在其他具體實施例中，一層間介電質(圖中未示)形成於圖8c之第一記憶體層級上，將其表面加以平坦化，且在此已平坦化之層間介電質上開始建構一第二記憶體層級，且無共用之導體。

本發明允許程式化電壓之降低。在'030專利之具體實施例中，足以將一陣列中幾乎(例如大於99%)所有單元程式化之一程式化電壓包括一通過待程式化單元之至少8伏脈衝。在本發明之具體實施例中，如同上述之陣列，其程式化電壓可以降低。例如，一陣列中幾乎所有單元皆可由一低於大約8伏之程式化脈衝予以程式化，且在一些具體實施例中為低於6伏，或低於4.0伏。

在一些具體實施例中，該程式化脈衝較佳係以反向偏壓施加於二極體。這在減少或消除通過該陣列中未選定單元之洩漏上有其優異性，如Kumar等人在2006年7月28日申請之美國專利申請案第11/496,986號"Method For Using A Memory Cell Comprising Switchable Semiconductor Memory Element With Trimmable Resistance"中所詳述，此案係歸本發明之受讓者擁有且以引用方式併入本文。

一單體三維記憶體陣列係一其中在一單一基板(例如，一晶圓)上形成多個記憶體層級之陣列，其中無插入的基板。將形成一記憶體層級之各層直接沈積或生長於一或多個現有層的各層上。對比之下，藉由在分離的基板上形成記憶體層級並將該等記憶體層級頂部疊加黏接以建構堆疊

式記憶體，如 Leedy 之美國專利第 5,915,167 號 "Three dimensional structure memory" 中所述。在焊接前可讓該等基板變薄或將其從該等記憶體層級移除，但是由於該等記憶體層級初始即形成於分離的基板上，因此此類記憶體並非真正的單體三維記憶體陣列。

形成於一基板上之一單體三維記憶體陣列包含：至少一第一記憶體層級，其形成於該基板上的一第一高度；以及一第二記憶體層級，其形成於一與該第一高度不同之第二高度。在此一多層陣列中，可在該基板上形成三、四、八個或甚至任何數目的記憶體層級。

一項用於形成一相似陣列且其中導體係使用鑲嵌結構辟成之替代性方法係揭述於 Radigan 等人在 2006 年 3 月 31 日申請之美國專利申請案第 11/444,936 號 "Conductive Hard Mask to Protect Patterned Features During Trench Etch" 中，此案已讓與本發明之受讓者且以引用方式併入本文。Radigan 等人之方法可用於代替形成本發明之一陣列。

本文已說明詳細製造方法，不過亦可使用任何其他形成相同結構之方法，只要結果屬於本發明之範疇內即可。

以上詳細說明僅說明本發明可採用之許多形式中的若干形式。基於此原因，希望此詳細說明屬於說明之用途，而非限制之用途。僅希望文後之專利申請範圍(包括其全部等效內容)定義本發明的範疇。

### 【圖式簡單說明】

圖 1 係美國專利第 6,952,030 號之記憶體單元之透視圖。

圖2係一包含記憶體單元在內之記憶體層級之透視圖。

圖3係電路圖，其顯示一用於在一交叉點式陣列中將選定單元S程式化，同時避免半選定單元H、F及未選定單元U意外地程式化之偏壓方案。

圖4係電路圖，其顯示在一交叉點式陣列中以減小之程式化電壓通過選定單元S程式化、半選定單元H、F、及未選定單元U之電壓。

圖5係根據本發明之一較佳具體實施例形成之記憶體單元之斷面圖。

圖6係根據本發明之一替代性具體實施例形成之記憶體單元之斷面圖。

圖7係根據本發明之一替代性具體實施例形成之記憶體單元之斷面圖。

圖8a至8c係斷面圖，其顯示根據本發明之一較佳具體實施例形成之一單體三維記憶體陣列之一第一記憶體層級之形成階段。

#### 【主要元件符號說明】

|         |       |
|---------|-------|
| 100     | 基板    |
| 102     | 絕緣層   |
| 104     | 黏接層   |
| 106、406 | 導電層   |
| 108     | 介電材料  |
| 110、111 | 阻障層   |
| 112     | 重度摻雜區 |

|         |          |
|---------|----------|
| 114     | 本質區      |
| 116     | 頂部重度摻雜區  |
| 118     | 介電斷裂反熔絲  |
| 120     | 矽化物形成金屬層 |
| 122     | 矽化物層     |
| 123、125 | 導電阻障層    |
| 200     | 底部導體     |
| 300     | 柱體       |
| 302     | 二極體      |
| 400     | 頂部導體     |
| 404     | 導電黏接層    |

## 十、申請專利範圍：

102年9月27日修正本

1. 一種半導體裝置，其包含：
  - 一鄰近 p-i-n 二極體，其係由沈積之半導體材料形成，其中該半導體材料係相鄰於一矽化物層、鍺化物層、或矽化物-鍺化物層而晶體化；及
  - 一介電斷裂反熔絲，其與該二極體呈電串列配置，該介電斷裂反熔絲包含一具有一介電常數大於 8 之介電材料，其中該介電斷裂反熔絲係相鄰於一第一金屬層及一第二金屬層。
2. 如請求項 1 之半導體裝置，其中該半導體材料係多晶性。
3. 如請求項 1 之半導體裝置，其中該介電材料係選自以  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及  $\text{ZrSiAlON}$  組成之群組中。
4. 如請求項 3 之半導體裝置，其中該介電斷裂反熔絲係大約 30 至 80 埃厚且該介電材料係  $\text{HfO}_2$  或  $\text{Al}_2\text{O}_3$ 。
5. 如請求項 1 之半導體裝置，其中該矽化物層、矽化物-鍺化物層、或鍺化物層係：
  - a) 矽化鈦、鈦矽化物-鍺化物、或鍺化鈦；或
  - b) 矽化鈷、鈷矽化物-鍺化物、或鍺化鈷。
6. 如請求項 1 之半導體裝置，其中該半導體材料包含矽、鍺、及/或一矽鍺合金。
7. 如請求項 6 之半導體裝置，其中該鄰近 p-i-n 二極體係垂

- 直定位且位於該鄰近p-i-n二極體下方之一底部導體與該鄰近p-i-n二極體上方之一頂部導體之間，及該介電斷裂反熔絲位於該鄰近p-i-n二極體與該頂部導體之間或該鄰近p-i-n二極體與該底部導體之間。
8. 如請求項7之半導體裝置，其中該頂部導體或該底部導體不包含一矽層。
  9. 如請求項7之半導體裝置，其中該矽化物層、矽化物-鍍化物層、或鍍化物層係在該鄰近p-i-n二極體上方，及該介電斷裂反熔絲係在該鄰近p-i-n二極體下方。
  10. 如請求項7之半導體裝置，其中該介電斷裂反熔絲大約為50埃厚或更小。
  11. 如請求項10之半導體裝置，其中該介電斷裂反熔絲大約為30至80埃厚。
  12. 如請求項10之半導體裝置，其中該介電斷裂反熔絲係藉由原子層沈積形成。
  13. 如請求項10之半導體裝置，其中該介電斷裂反熔絲之一部分已承受介電崩潰，其形成一導電路徑通過該鄰近p-i-n二極體與該頂部導體之間或該鄰近p-i-n二極體與該底部導體之間之該介電斷裂反熔絲。
  14. 如請求項6之半導體裝置，其中該底部導體、該鄰近p-i-n二極體、及該頂部導體皆形成於一半導體基板上。
  15. 如請求項6之半導體裝置，其中該鄰近p-i-n二極體係一柱體形式。
  16. 一種第一記憶體層級，其包含：

複數個第一實質上平行、實質上共面之導體，其形成於一基板上；

複數個第二實質上平行、實質上共面之導體，其形成於該等第一導體上；

複數個垂直定位之鄰近p-i-n二極體，其包含半導體材料，該半導體材料係相鄰於一矽化物層、矽化物-鍍化物層、或鍍化物層而晶體化；

複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成，

其中該等鄰近p-i-n二極體位於該等第一導體之一者與該等第二導體之一者之間，及

其中該等介電斷裂反熔絲之每一者位於該等第一導體之一者與該等鄰近p-i-n二極體之一者之間或該等第二導體之一者與該等鄰近p-i-n二極體之一者之間，及每一介電斷裂反熔絲係相鄰於一第一金屬層及一第二金屬層；及

複數個記憶體單元，各該記憶體單元包含該等鄰近p-i-n二極體之一及該等介電斷裂反熔絲之一。

17. 如請求項16之第一記憶體層級，其中該介電材料係選自以  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及  $\text{ZrSiAlON}$  組成之群組中。

18. 如請求項16之第一記憶體層級，其中該半導體材料包含

矽、鍺、及/或一矽鍺合金。

19. 如請求項16之第一記憶體層級，其中該介電斷裂反熔絲係位於該等鄰近p-i-n二極體下方。
20. 如請求項16之第一記憶體層級，其中該等介電斷裂反熔絲係位於該等鄰近p-i-n二極體下方，及該等矽化物層、矽化物-鍺化物層、或鍺化物層係位於該等鄰近p-i-n二極體上方。
21. 如請求項16之第一記憶體層級，其中至少一第二記憶體層級係單體地形成於該第一記憶體層級上方。
22. 一種形成於一基板上之單體三維記憶體陣列，其包含：
  - a) 一第一記憶體層級，其單體地形成於該基板上，該第一記憶體層級包含：
    - i) 複數個第一實質上平行、實質上共面之導體，其延伸於一第一方向中；
    - ii) 複數個第二實質上平行、實質上共面之導體，其延伸於一與該第一方向不同的第二方向中，該等第二導體位於該等第一導體上；
    - iii) 複數個垂直定位之鄰近p-i-n二極體，其係由沈積之半導體材料形成，該半導體材料係相鄰於一矽化物層、矽化物-鍺化物層、或鍺化物層而晶體化，各二極體垂直位於該等第一導體之一者與該等第二導體之一者之間；
    - iv) 複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成，其中每一介電斷裂反熔

絲係相鄰於一第一金屬層及一第二金屬層；及

v) 複數個記憶體單元，各該記憶體單元包含串列配置之該等二極體及該等介電斷裂反熔絲；及

b) 一第二記憶體層級，其單體地形成於該第一記憶體層級上方。

23. 如請求項22之單體三維記憶體陣列，其中該介電材料係選自以  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及  $\text{ZrSiAlON}$  組成之群組中。

24. 一種用於形成及程式化一非揮發性記憶體單元之方法，該方法包含：

形成一鄰近 p-i-n 二極體，該鄰近 p-i-n 二極體包含沈積之半導體材料；

形成與該沈積之半導體材料接觸的一矽化物層、矽化物-鍍化物層、或鍍化物層；

將與該矽化物層、矽化物-鍍化物層、或鍍化物層接觸的該沈積之半導體材料晶體化；

形成一介電材料層，其具有一大於8之介電常數；及

將該介電材料層之一部分經歷介電崩潰，

其中該記憶體單元包含該鄰近 p-i-n 二極體及該介電材料層，及

其中該介電材料層係相鄰於一第一金屬層及一第二金屬層。

25. 如請求項24之方法，其中該介電材料層係藉由原子層沈積而沈積。
26. 如請求項24之方法，其中該介電材料層大約為50埃厚或更小。
27. 如請求項26之方法，其中該介電材料層大約為25埃厚或更小。
28. 如請求項24之方法，其中該介電材料係選自以 $\text{TiO}_2$ 及 $\text{Ta}_2\text{O}_5$ 組成之群組中。
29. 如請求項24之方法，其中該介電材料係選自以 $\text{La}_2\text{O}_3$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及 $\text{ZrSiAlON}$ 組成之群組中。
30. 如請求項24之方法，其中該沈積之半導體材料包含矽、鍺、或一矽鍺合金。
31. 如請求項24之方法，其中該矽化物層、矽化物-鍺化物層、或鍺化物層係：a)矽化鈦、鈦矽化物-鍺化物、或鍺化鈦；或b)矽化鈷、鈷矽化物-鍺化物、或鍺化鈷。
32. 如請求項24之方法，其中該鄰近p-i-n二極體係位於一第一導體與一第二導體之間，及其中該介電材料層位於：  
a)該鄰近p-i-n二極體與該第一導體之間；或b)該鄰近p-i-n二極體與該第二導體之間。
33. 如請求項32之方法，其中將該介電層之一部分經歷介電崩潰的該步驟係藉由施加一程式化電壓於該第一導體與該第二導體之間而達成。

34. 如請求項33之方法，其中該程式化電壓不超過大約8伏。
35. 如請求項32之方法，其中該鄰近p-i-n二極體係垂直定位，且垂直位於該第一導體之間與該第二導體之間，及其中該第二導體係在該第一導體上方。
36. 如請求項35之方法，其中形成該鄰近p-i-n二極體之該步驟包含：
- 形成該第一導體；
  - 在形成該第一導體之該步驟後，將一半導體層堆疊沈積於該第一導體上；
  - 在一單一圖案化步驟中，將該半導體層堆疊圖案化及蝕刻成一柱體形式；及
  - 在將該半導體層堆疊圖案化及蝕刻之該步驟後，將該第二導體形成於該柱體上，
  - 其中，在該裝置製成後，該鄰近p-i-n二極體係位於該柱體內。
37. 如請求項24之方法，其中該記憶體單元係在將該介電材料層之一部分經歷介電崩潰的該步驟期間程式化。
38. 如請求項24之方法，其中該半導體材料係多晶性。
39. 一種用於單體地形成一第一記憶體層級於一基板上之方法，該方法包含：
- 形成複數個第一實質上平行、實質上共面之導體於該基板上，該等第一導體延伸於一第一方向中；
  - 形成複數個垂直定位之鄰近p-i-n二極體於該等第一導

體上，該鄰近p-i-n二極體包含接觸於一矽化物層、矽化物-鍍化物層、或鍍化物層而晶體化之半導體材料；

形成複數個第二實質上平行、實質上共面之導體，該等第二導體位於該等鄰近p-i-n二極體上，該等第二導體延伸於一與該第一方向不同之第二方向中，各鄰近p-i-n二極體係垂直位於該等第一導體之一者與該等第二導體之一者之間；及

形成複數個介電斷裂反熔絲，各介電斷裂反熔絲位於該等鄰近p-i-n二極體之一與該等第一導體之一之間或該等鄰近p-i-n二極體之一與該等第二導體之一之間，

其中該等介電斷裂反熔絲包含介電材料，該介電材料具有一大於約8之介電常數，及

其中該複數個介電斷裂反熔絲之每一者係相鄰於一第一金屬層及一第二金屬層。

40. 如請求項39之方法，其中該介電材料係選自以 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及 $\text{ZrSiAlON}$ 組成之群組中。

41. 如請求項39之方法，其中該半導體材料包含矽、鍍、及/或一矽鍍合金。

42. 如請求項39之方法，其中a)該等介電斷裂反熔絲位於該等二極體下方，及該等矽化物層、矽化物-鍍化物層、或鍍化物層係位於該等二極體上方。

43. 如請求項39之方法，其中該基板包含單晶矽。

44. 如請求項39之方法，其中至少一第二記憶體層級係單體地形成於該第一記憶體層級上。

45. 一種用於形成一單體三維記憶體陣列於一基板上之方法，該方法包含：

a) 單體地形成一第一記憶體層級於該基板上，該第一記憶體層級係由一方法形成，其包含：

i) 形成複數個第一實質上平行、實質上共面之導體，其延伸於一第一方向中；

ii) 形成複數個第二實質上平行、實質上共面之導體，其延伸於一與該第一方向不同的第二方向上，該等第二導體位於該等第一導體上；

iii) 形成複數個垂直定位之鄰近p-i-n二極體，其係由沈積之半導體材料形成，該沈積之半導體材料係接觸於一矽化物層、矽化物-鍺化物層、或鍺化物層而晶體化，各二極體垂直位於該等第一導體之一者與該等第二導體之一者之間；

iv) 形成複數個介電斷裂反熔絲，其係由一具有一介電常數大於8之介電材料形成；及

v) 形成複數個記憶體單元，各記憶體單元包含串列配置之該等二極體之一者及該等介電斷裂反熔絲之一者；及

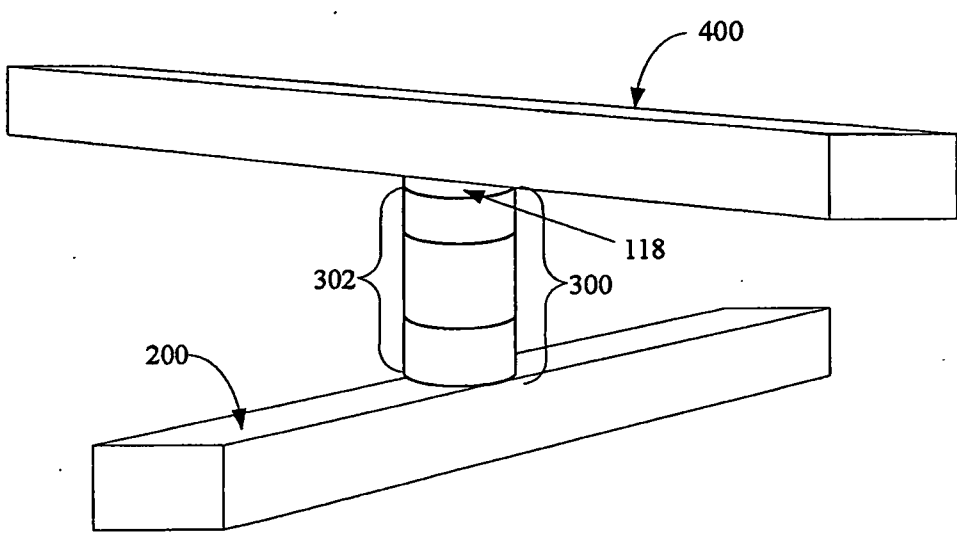
b) 單體地形成一第二記憶體層級於該第一記憶體層級上，及

其中該複數個介電斷裂反熔絲之每一者係相鄰於一第

一金屬層及一第二金屬層。

46. 如請求項 45 之方法，其中該介電材料係選自以  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{RuO}_2$ 、 $\text{ZrSiO}_x$ 、 $\text{AlSiO}_x$ 、 $\text{HfSiO}_x$ 、 $\text{HfAlO}_x$ 、 $\text{HfSiON}$ 、 $\text{ZrSiAlO}_x$ 、 $\text{HfSiAlO}_x$ 、 $\text{HfSiAlON}$ 、及  $\text{ZrSiAlON}$  組成之群組中。

十一、圖式：



6,952,030 之具體實施例

圖 1

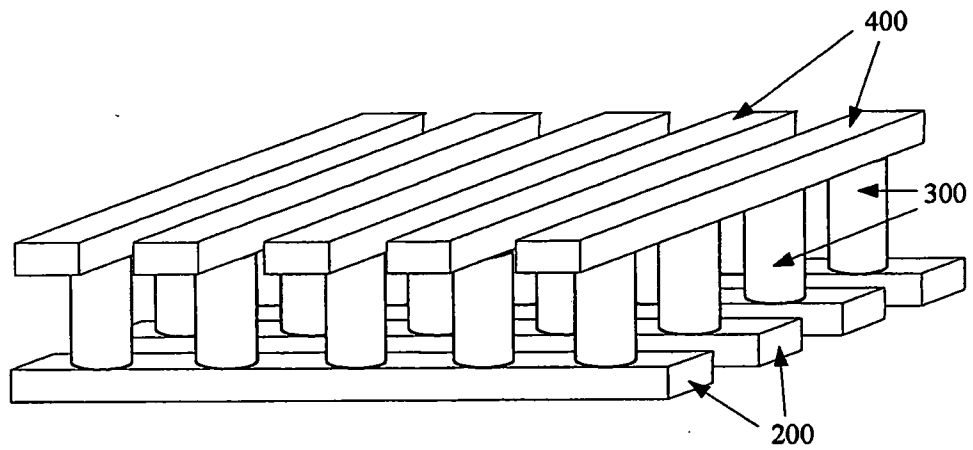


圖 2

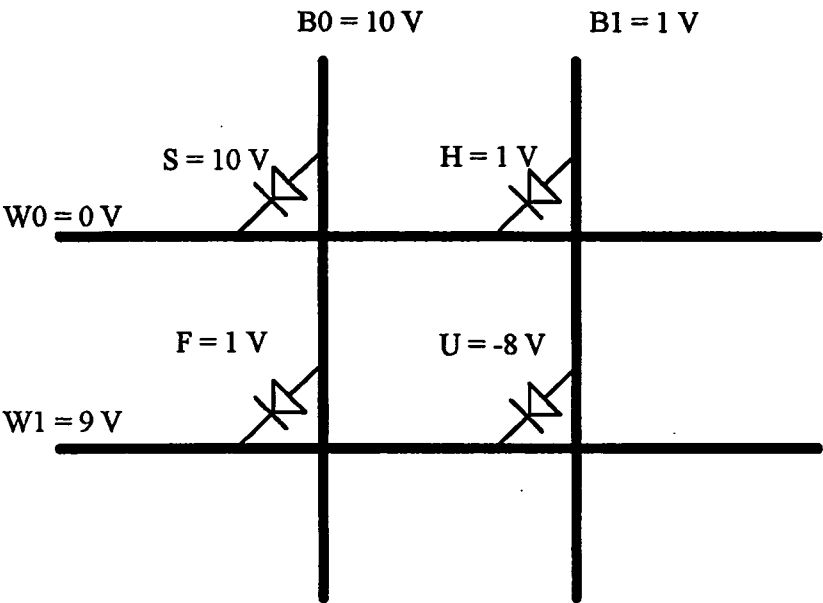


圖 3

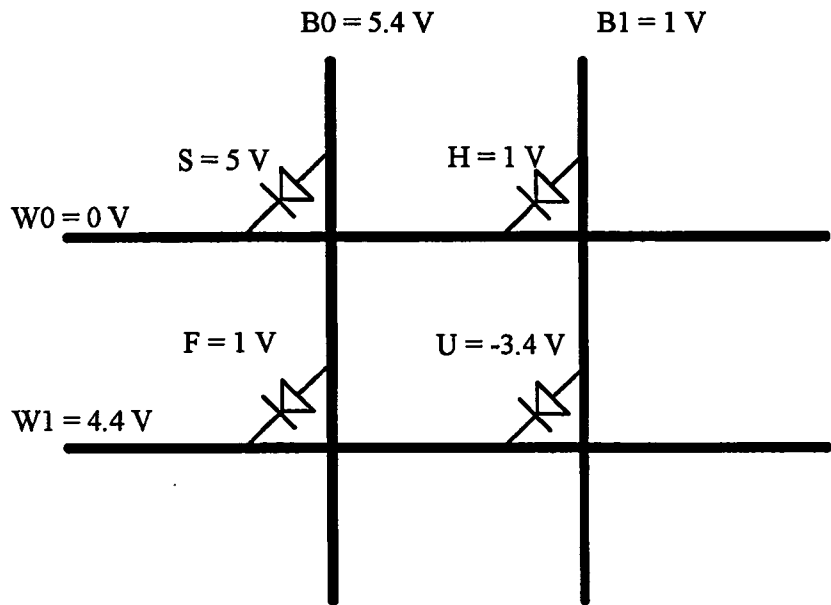


圖 4

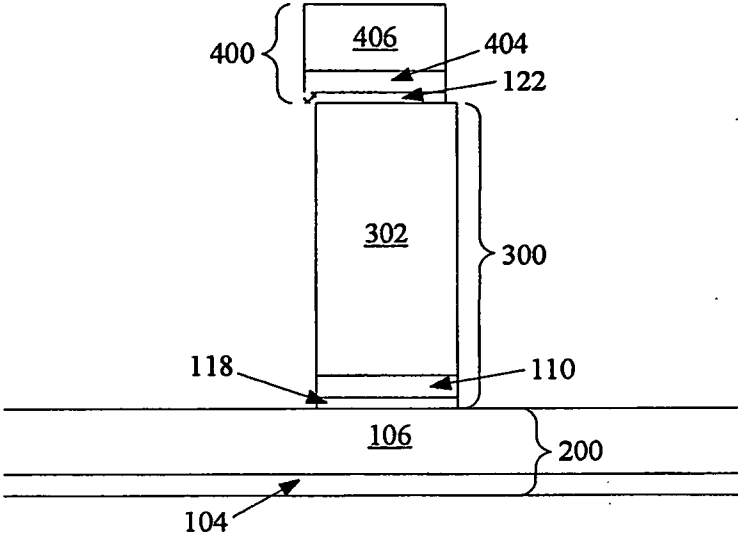


圖 5

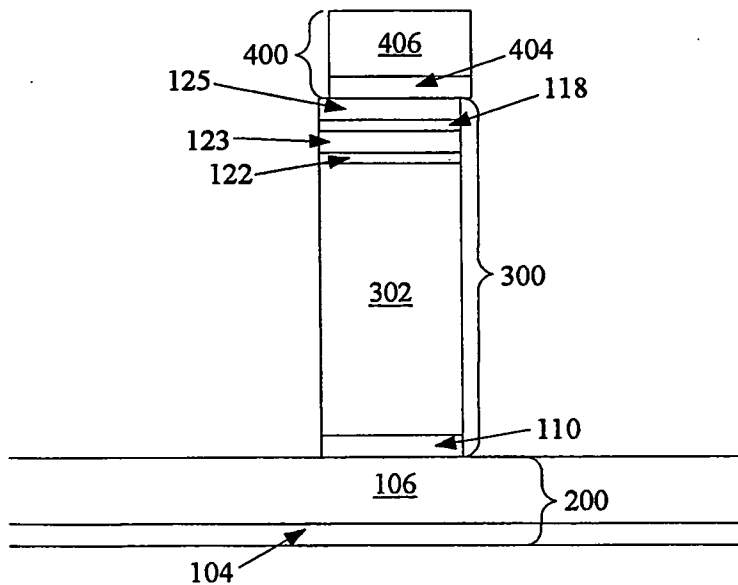


圖 6

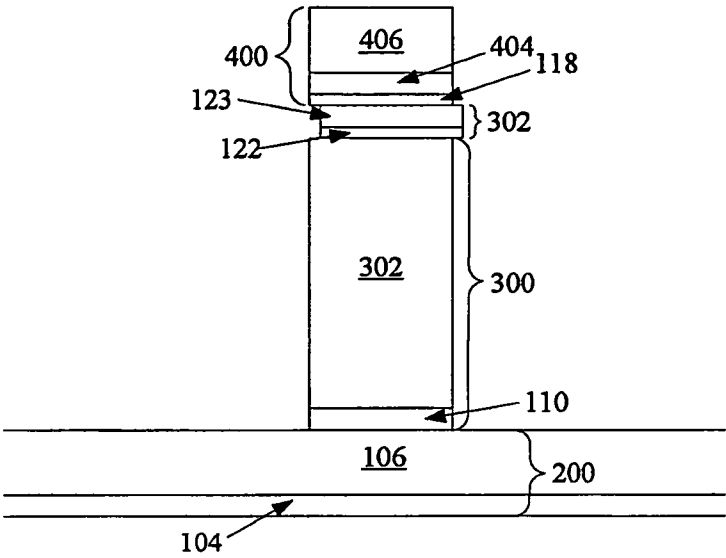


圖 7

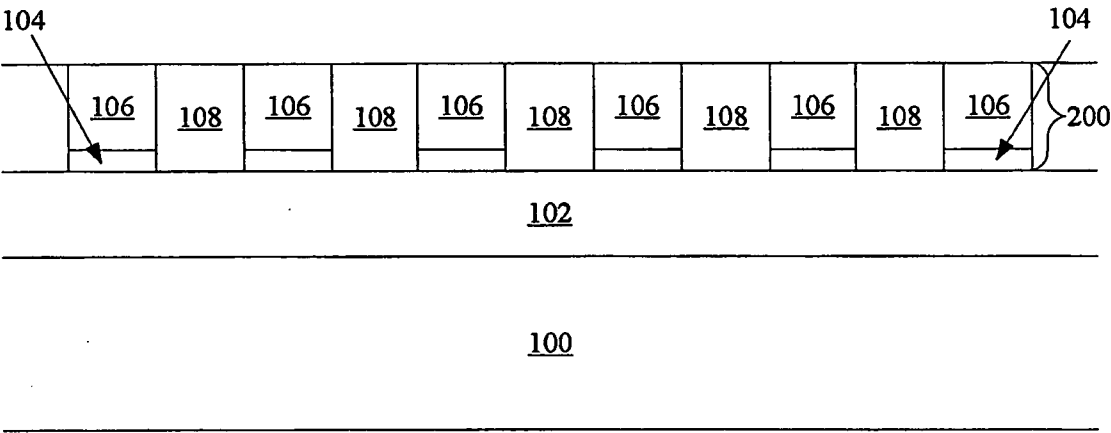


圖 8a

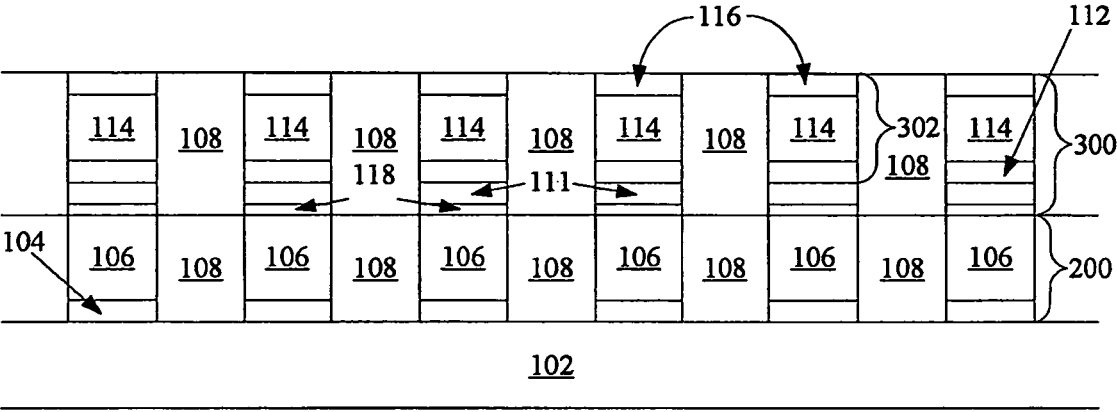


圖 8b

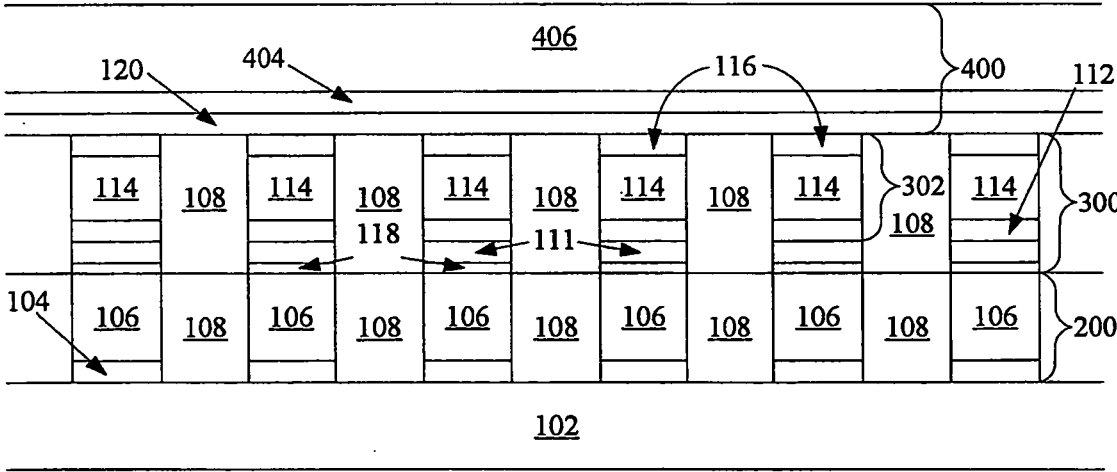


圖 8c