

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ G11C 29/00	(45) 공고일자 1996년 12월 21일	(11) 공고번호 특 1996-0016807
(21) 출원번호 특 1994-0015542	(24) 등록일자 1996년 12월 21일	(65) 공개번호 특 1996-0002370
(22) 출원일자 1994년 06월 30일	(43) 공개일자 1996년 01월 26일	

(73) 특허권자	삼성전자주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 (우:440-370) 김재철 서울특별시 도봉구 방학 3동 신동아아파트 9-610 곽충근
(74) 대리인	서울특별시 노원구 중계 3동 중계2단지아파트 112블럭 212동 313호 이건주

심사관 : 김희태 (책자공보 제4761호)

(54) 반도체 메모리 장치의 리던던시 회로

요약

요약없음

대표도

도 1

명세서

[발명의 명칭]

반도체 메모리 장치의 리던던시 회로

[도면의 간단한 설명]

제1도는 결함 셀 구제를 위한 일반적인 공정 흐름도.

제2도는 종래의 기술에 의한 리던던시 회로를 보이는 도면.

제3도는 일반적인 반도체 메모리 장치의 칩 구성을 보이는 개략적 블록 다이어그램.

제4도는 본 발명에 따른 리던던시 회로를 보이는 도면.

제5도는 본 발명에 따른 리던던시 디코더의 구성을 보이는 도면.

제6도는 제4도에 따른 제어클럭 발생회로를 보이는 도면.

제7도는 본 발명에 따른 리던던시 액세스 검출회로를 보이는 도면.

제8도는 제6도에 따른 퓨즈 커팅 확인회로.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 번-인 테스트 후 감지되는 결함 셀을 패키지 상태에서 리페어할 수 있는 반도체 메모리 장치의 리던던시 회로에 관한 것이다.

반도체 메모리 장치가 점점 고속화 그리고 고집적화됨에 따라 메모리 셀의 수가 증가하며, 그에 따라 칩 내의 결함 셀들의 수도 증가하게 되었다. 일반적으로, 이러한 결함 셀을 감지하기 위해서는 번-인 테스트가 사용되며 번-인 테스트 후 결함 감지된 셀을 정상적인 셀로 대체하기 위한 리던던시 회로 및 리던던시 메모리셀 어레이의 구성은 현재의 모든 반도체 메모리 장치에 필수적으로 구비되어야 한다.

제1도에 도시된 바와 같이, 웨어퍼 단계에서 웨어퍼 상태로 제조 완료(fabrication-out)를 한 이후 일차로 프리-레이저 소팅을 하여 레이저 리페어, 소팅 등 일련의 과정을 거친 후 웨어퍼 상태에서의 소팅을 완료한다. 이후, 패키지 어셈블리(package assembly)를 하여 패키지 소팅을 거친 후 초기 결함 제거를 위한 번-인 테스트를 실시한다.

번-인 테스트에서 감지되는 결함 셀들은 주로 단일 비트성 결함(single bit fail)에 의한 것으로, 번-인 테스트는 결함 셀을 스크린(screen) 하기 위하여 각 메모리 셀에 외부공급 전압 또는 그 이상의 고전압을 장시간 공급하여 메모리 셀들의 결함을 검출 또는 메모리 셀들의 강도를 테스트하는 것이다. 번-인 테스트 중 스크린된 결함 부위는 이미 테스트 과정과 어셈블리(assembly) 과정을 거쳤음에도 불구하고 버리게 되어 시간 및 비용의 증가를 초래한다.

현재 모든 반도체 메모리 장치에서는 결함 셀을 리던던트 셀로 리페어하기 위한 리던던시 회로 및 리던던트 메모리 셀 어레이가 구비되어 있다. 리던던시 동작은 노멀 메모리 셀 어레이 이외의 리던던트 메모리 셀 어레이를 별도로 구비하여, 노멀 메모리 셀 어레이 중의 어느 결함 셀을 지정하는 어드레스 신호가 입력되면 이를 디코딩하여 리던던트 메모리 셀에 연결된 리던던트 로우 또는 컬럼을 선택함으로써 이루어진다. 이러한 동작은 리던던트 디코더에 의하여 이루어지며, 노멀 디코더와 리던던시 디코더의 인에이블 여부는 결함 어드레스를 프로그램하여 두기 위한 리던던시 회로의 출력 신호에 의하여 이루어진다. 이러한 리던던시 회로는 결함 어드레스를 프로그램하는 회로로서 리던던시 디코더를 인에이블하는 경우, 리던던시 회로 내에 구비되는 퓨즈를 디코딩할 어드레스에 따라 레이저 커팅(laser cutting)함으로써 수행된다.

제2도는 종래의 기술에 의한 리던던시 회로를 보이는 도면이다. 제2도에서 인에이블 퓨즈 MF1~MF4는 결함셀이 발생되어 리던던시 동작을 수행시에는 커팅되어 디코딩할 어드레스의 출력을 인에이블시킨다. 퓨즈 F1~F16은 디코딩할 어드레스를 전송하는 퓨즈로서 디코딩할 어드레스에 연결된 퓨즈 이외의 것은 모두 리던던시 동작시에 커팅되어 디코딩할 어드레스가 아닌 어드레스의 출력을 차단한다. 전송 게이트 G1~G16은 리던던시 동작시 '턴온'되고 그 이외에는 '턴오프'상태가 된다.

어드레스 RA0~RA3, RB0~RB3, RC0~RC3, RD0~RD3는 각각 도시되지 않은 프리디코더로부터 출력된 신호로서, 이중에는 결함 셀을 지정하는 어드레스가 포함되어 있다.

신호 AT, BT, CT, DT는 각각 어드레스 RA0~RA3, RB0~RB3, RC0~RC3, RD0~RD3들이 각각 패스게이트 G1~G16을 통해 나오는 신호들로서, 신호 AT의 경우에는 어드레스 RA0~RA3의 입력으로부터 결함 어드레스에 상응하는 퓨즈를 통해 출력되는 1개의 신호이며, 신호 BT의 경우에는 어드레스 RB0~RB3의 입력으로부터 결함어드레스에 상응하는 퓨즈를 통해 출력되는 1개의 신호이며, 신호 CT의 경우에는 어드레스 RC0~RC3의 입력으로부터 결함 어드레스에 상응하는 퓨즈를 통해 출력되는 1개의 신호이며, 신호 DT의 경우에는 어드레스 RD0~RD3의 입력으로부터 결함 어드레스에 상응하는 퓨즈를 통해 출력되는 1개의 신호이다.

신호 ABT 및 CDT는 결국 리던던시 디코더 또는 노멀 디코더를 제어하기 위한 신호를 발생시키기 위한 신호들로서, 신호 ABT는 신호 AT 및 BT를 입력으로 하는 NAND게이트 8을 통해 NAND논리로 연산된 출력 신호이고, 신호 CDT는 신호 CT 및 DT를 입력으로 하는 NAND게이트 10을 통해 NAND논리로 연산된 출력 신호이다. 그리고 NOR게이트 12의 출력 신호 $\emptyset Ri$ ($i=1,2,3,4$)는 리던던시 디코더 또는 노멀 디코더를 제어하기 위한 신호이다.

노멀 메모리 셀 어레이 내에 결함 셀이 발생되지 않을 시에는 제2도의 모든 퓨즈는 커팅되지 않게 된다. 또한, 각각 패스게이트 G1~G16은 모두 '턴오프'되어, 제1 및 제2NAND게이트 8, 10의 일입력이 인에이블 퓨즈 MF3, MF4에 의해 모두 논리 '로우' 상태가 된다. 따라서, 제1 및 제2NAND게이트 8, 10은 각각 논리 '하이' 상태의 신호 ABT 및 CDT를 출력하고 출력단인 NOR게이트 12는 논리 '로우' 상태의 출력 신호 $\emptyset Ri$ ($i=0,1,2,3,4$)를 출력하게 된다. 논리 '로우'의 상태의 출력 신호 $\emptyset Ri$ 는 노멀 디코더를 인에이블시키고 리던던트 디코더를 디세이블시키게 된다.

한편, 노멀 메모리 셀 어레이내에 결함 셀이 발생될시에는 인에이블 퓨즈 MF~MF4가 모두 커팅되어 리던던시 동작을 인에이블시킨다. 각 패스게이트 G1~G16은 모두 '턴온'되어 입력되는 어드레스를 전송하게 된다. 그리고 각 퓨즈 F1~F16중에서 디코딩할 어드레스에 연결되는 퓨즈 이외의 퓨즈는 모두 커팅되어 디코딩할 어드레스(즉, 소정의 발생된 결함 셀을 지정하는 어드레스이다)만 출력이 이루어지게 한다. 즉, 예를 들어 어드레스 A0, B0, C0, D0를 디코딩하여 이들 어드레스에 대응된 셀을 리페어하기 위해서는 퓨즈 F1, F5, F9, F13의 퓨즈를 제외한 나머지의 퓨즈는 모두 (즉, 인에이블 퓨즈(MF1~MF4)를 포함해서 16개) 커팅해야 한다.

이렇게 되면 신호 AT, BT, CT, DT가 논리 '하이' 상태로 발생되고, 신호 ABT 및 CDT는 각각 논리 '로우' 상태로 되어, 출력단의 NOR 게이트 12는 논리 '하이' 상태의 출력 신호 $\emptyset Ri$ 를 출력하게 된다. 이로부터 노멀 디코더는 디세이블되고 리던던트 디코더는 인에이블됨을 쉽게 알것이다. 그러나, 제2도에 도시된 회로의 경우 리던던시 동작시에 소정의 어드레스를 디코딩할 경우, 디코딩할 어드레스에 연결된 퓨즈 이외의 것을 모두 커팅해야 한다. 이로 인하여 4개의 어드레스 신호를 입력하기 위해 16개의 퓨즈를 커팅해야 하는 비효율성이 발생된다. 이것은 또한 만일 커팅되어야 할 퓨즈가 커팅되지 않을시에 리페어 동작이 수행되지 않는 결과를 초래하여 리던던시 기능의 신뢰성을 저하시키게 된다.

종래의 기술에 의한 번-인 테스트 결과 주로 단일 비트성 결함에 의한 불량으로 인하여 번-인 테스트 및 패키지 제작 전 과정을 통하여 시간, 비용 손실 및 번-인 소율의 저하를 야기시키는 문제점이 있었다. 한편, 종래의 기술에 의한 리던던시 회로는 상술한 바와 같은 회로를 비롯하여 다양한 형태로 제공되어 왔으나, 패키지 상태에서 일련의 조작을 통하여 단일 비트성 결함에 의한 결함 셀 구제가 제대로 수행되지 못하였다. 또한, 리던던시 회로에 구비되는 퓨즈의 수가 너무 많아 퓨즈 커팅에 따른 비효율성이 대두될 뿐만 아니라 커팅이 이루어져야 하는 퓨즈가 정확하게 커팅되지 않으므로 인하여 리던던시 동작이 수행되지 않아 전체적인 반도체 메모리 장치의 신뢰성을 저하시키는 문제점이 있다.

따라서, 본 발명의 또다른 목적은 번-인 테스트시 소정의 어드레스에 대하여 노멀 메모리 셀과 리던던트 메모리 셀을 동시에 번-인 할 수 있는 반도체 메모리 장치의 리던던시 회로를 제공함에 있다.

본 발명의 또다른 목적은 번-인 테스트 결과 단일 비트성 결함에 의한 결함 셀구제를 용이하게 할 수 있는 반도체 메모리 장치의 리던던시 회로를 제공함에 있다.

본 발명의 또다른 목적은 효율적으로 퓨즈 커팅을 수행하여 신뢰성있는 리던던시 동작을 수행할 수 있는 반도체 메모리 장치의 리던던시 회로를 제공함에 있다.

이러한 본 발명의 목적은 데이터를 저장하는 노멀 메모리 셀 어레이와, 상기 노멀 메모리 셀 어레이 내의 결함 셀을 대체하기 위한 리던던트 메모리 셀과, 어드레스를 입력하여 상기 노멀 메모리 셀 어레이 내의 상기 노멀 메모리 셀을 지정하기 위한 노멀 디코더와, 상기 리던던트 메모리 셀을 선택하기 위한 리던던시 디코더를 가지는 반도체 메모리 장치의 리던던시 회로에 있어서, 제어 클럭에 제어되며 상기 어드레스

를 입력하여 상기 어드레스 중 결함 어드레스를 프로그램하기 위하여 상기 결함 어드레스에 상응하여 컷팅 여부가 결정되는 퓨즈를 가지는 제어부와, 상기 제어부의 출력 신호에 제어되며 상기 어드레스를 입력하여 상기 어드레스와 동일한 위상을 가지는 상기 어드레스를 출력하는 제1경로와 상기 어드레스와 반대 위상을 가지는 상기 어드레스를 출력하는 제2경로를 가지는 전송부를 구비하여, 리페어 이전에는 상기 제1경로를 선택하여 상기 노멀 디코더와 상기 리던던시 디코더에 의해 상기 노멀 메모리 셀과 상기 리던던트 메모리 셀을 동시에 선택하며, 리페어시 상기 결함 어드레스의 입력에 대응하여 상기 퓨즈를 컷팅하여 상기 제2경로를 선택하여 상기 리던던시 디코더에 의해 상기 리던던트 메모리 셀이 선택하므로써 번-인 테스트시 상기 노멀 메모리 셀 및 상기 리던던트 메모리 셀을 동시에 번-인할 수 있음을 특징으로 한다.

이하 본 발명을 첨부한 도면을 참조하여 더욱 상세하게 설명한다. 제3도는 일반적인 반도체 메모리 장치의 칩 구성을 보이는 개략적 블록 다이어그램이다. 제3도의 회로는 두개의 노멀 메모리 셀 어레이 블록이 데이터 라인을 공유하며, 이러한 데이터 라인은 리이드/라이드 제어회로 32, 34에 의하여 제어된다.

도시된 바와 같이, 어드레스 버퍼 16은 어드레스를 버퍼링한 후 노멀 디코더 18, 20에 어드레스를 입력하며, 노멀 디코더 18은 제1 및 제2노멀 메모리 셀 어레이 블록을 제어하는 Y-패스 게이트 26에 노멀 디코딩 신호를 입력하고, 노멀 디코더 20은 제3 및 제4노멀 메모리 셀 어레이 블록을 제어하는 Y-패스 게이트 30에 노멀 디코딩 신호를 입력한다. 이러한 노멀 디코딩 신호는 제1 내지 제4노멀 메모리 셀 어레이 블록 내의 노멀 메모리 셀을 지정하게 된다. 리던던시 디코더 24는 리던던시 회로로부터 출력된 프로그램 어드레스를 입력하여 리던던트 메모리 셀을 제어하게 된다.

우선, 본 발명의 실시예에 따른 반도체 메모리 장치의 리던던시 회로는 번-인 테스트후 결함 메모리 셀을 패키지 상태에서 리페어하는데 있어서, 번-인 테스트시 소정의 어드레스 입력에 대하여 노멀 메모리 셀 및 리던던트 메모리 셀을 동시에 번-인 할 수 있도록 하는 구성상의 특징을 가진다.

먼저, 리페어된 어드레스가 제1메모리 셀 어레이 블록이나 제2메모리 셀 어레이 블록을 액세스하게 되는 경우, 리던던시 경로가 인에이블됨을 알리는 신호 RYSA가 노멀 디코더 18에 입력되어, 노멀 경로의 Y-패스 게이트 26을 디제이블시켜 리던던트 메모리 셀로부터 데이터가 출력되게 한다. 리페어된 어드레스가 제3 및 제4메모리 어레이 셀 블록을 지정하게 되는 경우, Y-패스 게이트 28, 30가 모두 인에이블되거나 리던던시 디코더 24로부터 출력되는 신호 RYSA가 리이드/라이드 제어회로 32를 제어함으로써 리던던트 셀과 연결된 왼쪽의 데이터 라인에서만 데이터가 출력되게 한다.

제4도는 본 발명에 의한 결함 어드레스를 프로그램하기 위한 리던던시 회로를 보이는 도면이다. 제4도에

도시된 리던던시 회로는 어드레스 RA1~RA6와 제어클럭 $\overline{\text{CLK}}$ 를 입력하여, 제어클럭 $\overline{\text{CLK}}$ 와 퓨즈 f1의 상태에 따라 프로그램 어드레스 PR1~PR6를 출력한다. 제4도의 실시예에 있어서, 어드레스가 6개인 경우, 리던던시 회로는 각 어드레스에 상응하는 6개가 구비되어야 한다. 제4도에 도시된 바와 같이, 어드레스의 각각을 프로그램하기 위하여 상기 어드레스에 상응하는 하나의 퓨즈만이 구비된다.

제4도에 도시된 리던던시 회로는 제어클럭 $\overline{\text{CLK}}$ 와 어드레스 RA1~RA6을 입력하는 NOR게이트 36과, 전원전압 VCC와 출력 노드 N1 사이에 접속하는 퓨즈 f1과, 출력 노드 N1과 접지전압 VSS 사이에 접속하며 NOR게이트 2의 출력 신호에 따라 출력 노드 N1의 방전 여부를 결정하는 엔모오스 트랜지스터 38과, 출력 노드 N1과 접지전압 VSS 사이에 접속된 캐패시터 42 및 저항 44로 구성된 제어부 60을 구비하고 있다.

또한, 제4도의 리던던시 회로는 어드레스 RA1~RA6을 입력하여 반전하는 인버터 46과, 출력 노드 N1에 설정되는 신호를 반전하기 위한 인버터 40과, 인버터 46의 출력 신호, 즉 입력된 어드레스와 반대 위상을 전송하는 전송 게이트 48과, 어드레스 RA1~RA6을 전송하기 위한 전송 게이트 50을 구비하여 프로그램 어드레스 PR1~PR6를 출력하는 전송부 62로 구성된다.

제4도에 도시된 리던던시 회로의 동작을 더욱 상세하게 설명한다. 제어클럭 $\overline{\text{CLK}}$ 는 결함 셀을 리던던트 셀로 리페어하는 경우 인에이블되는 신호로서 리페어동작 이전에는 항상 논리 '하이' 상태를 유지한다. 어드레스 RA1~RA6은 어드레스 버퍼의 출력 신호로서 어드레스 입력과 동일한 논리 상태를 가진다고 가정한다.

먼저, 리페어 동작 이전의 제4도의 리던던시 회로의 동작을 설명한다. 제어클럭 $\overline{\text{CLK}}$ 는 논리 '하이' 상태를 유지하고 있으므로 출력 노드 N1은 논리 '하이' 상태가 되어 전송 게이트 50을 턴온시키고 전송 게이트 48을 턴오프시킨다. 따라서, 리페어하기 이전에 프로그램 어드레스 신호 PR1~PR6은 어드레스 RA1~RA6을 그대로 전송받는다. 즉, 어드레스 버퍼로부터 출력되는 어드레스 RA1~RA6의 상태가 '111111'이라면 프로그램 어드레스 PR1~PR6의 상태도 '111111'이 된다. 프로그램 어드레스 PR1~PR6은 리던던시 디코더에 입력된다. 리페어 이전, 프로그램 어드레스 PR1~PR6가 모두 논리 '하이' 상태를 유지하는 경우, 노멀 디코더 및 리던던시 디코더에 의하여 각각 노멀 메모리 셀과 리던던트 메모리 셀이 동시에 선택되며, 그 이외의 어드레스 입력에 대해서는 노멀 셀 어레이만 선택되고 리던던트 메모리 셀은 선택되지 않는다. 즉, 이는 번-인 테스트 결과 결함 메모리 셀을 패키지 상태에서 리페어할 수 있는 리던던시 회로에 있어서, 번-인 테스트시 임의의 특정 어드레스에 대하여 노멀 펌리 셀과 리던던트 메모리 셀을 동시에 번-인할 수 있음을 의미한다.

한편, 번-인 테스트 결과 스트리븐 결함 셀을 리페어하는 경우의 동작을 설명한다. 제4도의 리던던시 회로는 어드레스 RA1~RA6가 모두 논리 '하이' 상태인 경우, 프로그램 어드레스 PR1~PR6도 모두 논리 '하이' 상태가 되어 리던던트 메모리 셀을 선택하게 되므로, 결함 어드레스 중 '0'의 어드레스만을 리페어하면 된다. 이러한 동작은 어드레스 '0'에 상응하는 제3도의 리던던시 회로의 퓨즈 f1을 컷팅하고, 어드레스 RA1~RA6과 동일한 위상을 전달하는 전송 게이트 50을 턴오프시키고, 반대 위상을 전달하는 전송 게

트 48을 턴온시킴으로써 가능하다.

만일, 결함 어드레스가 '010101'이라고 가정했을 경우, 결함 어드레스를 프로그램하는 방법은 다음과 같다. 먼저, 결함 어드레스 '010101'중 첫번째 어드레스 '0'을 프로그램하기 위하여 어드레스 RA1~RA6을

'011111' 설정한 후 제어클럭 $\overline{\text{CLK}}$ 를 논리 '로우'상태로 입력하고 퓨즈 f1을 컷팅한다. 이렇게 하면, NOR 게이트 36의 출력 신호는 논리 '하'가 되고, 앤모오스 트랜지스터 38이 턴온되며 퓨즈 f1이 컷팅되어 출력 노드 N1에 설정된 전압은 방전된다. 따라서, 전송 게이트 50은 턴오프되고, 전송 게이트 48은 턴온되어, 어드레스 '0'와 반대 위상의 프로그램 어드레스 '1'을 출력하게 된다.

그 다음, 결함 어드레스 '010101'의 세번째 어드레스 '0'을 프로그램하기 위하여 어드레스 RA1~RA6을

'110111'로 설정한 후 제어클럭 $\overline{\text{CLK}}$ 를 논리 '로우' 상태로 입력하고 상응하는 퓨즈를 컷팅한다. 마찬가지로, 결함 어드레스 '010101'의 다섯번째 어드레스 '0'을 프로그램하기 위하여 어드레스 RA1~RA6을

을 '111110'로 설정한 후 제어클럭 $\overline{\text{CLK}}$ 를 논리 '로우' 상태로 입력하고 상응하는 퓨즈를 컷팅함으로써 결함 어드레스를 프로그램할 수 있게 된다. 즉, 본 발명에 의한 리던던시 회로에 있어서는 결함 어드레스중 어느 특정 논리 상태 하나만을 기준으로 하여 퓨즈를 컷팅함으로써 프로그램이 가능하다.

따라서, 제4도의 리던던시 회로를 프로그램한 결과, 어드레스 RA1~RA6의 입력이 결함 어드레스 '010101'인 경우에만 프로그램 어드레스 PR1~PR6은 모두 '111111'의 논리 '하이' 상태가 되어 리던던시 메모리 셀어레이가 선택된다.

본 발명에 의한 리던던시 회로에 있어서는, 제어부 60의 출력 신호에 따라 입력되는 어드레스와 동일한 위상을 가지는 어드레스를 출력하는 제1경로와 상기 어드레스와 반대 위상을 가지는 어드레스를 출력하는 제2경로를 가지는 전송부 62를 구비하여, 리페어 이전에는 리페어 프로그램 어드레스 중 어느 하나의 특정 어드레스에 대하여 제1경로를 선택하여 노멀 디코더와 리던던시 디코더에 의하여 노멀 메모리 셀과 리던던트 메모리 셀이 동시에 선택되며, 결함 어드레스의 리페어시 상기 퓨즈를 컷팅하여 제2경로를 선택하여 리던던시 디코더에 의해 상기 리던던트 메모리 셀이 선택되도록 한다.

제5도는 본 발명에 따른 리던던시 디코더를 보이는 도면이다. 제5도의 리던던시 디코더는 제4도의 리던던시 회로로부터 출력되는 프로그램 어드레스 PR1~PR6을 입력하여 리던던트 메모리 셀에 접속하는 Y-패스 게이트 28을 제어하는 신호RY와 제어 신호 RYCON을 발생하는 회로이다.

제6도는 제4도에 따른 제어클럭 발생회를 보이는 도면이다. 제6도의 제어클럭 발생회로는 제1데이터 포맷

(data format)과 제2데이터 포맷을 입력하여, 제어클럭 $\overline{\text{CLK}}$ 를 출력한다. 제6도의 제어클럭 발생회로는 제1데이터 포맷을 입력하는 NOR 게이트 76, 78과, NOR 게이트 76의 출력 신호에 게이트 단자가 접속하는 피모오스 트랜지스터 80 및 앤모오스 트랜지스터 86과, 게이트 단자가 NOR 게이트 78의 출력 신호

에 접속하며 전원전압 VCC와 출력 노드 $\overline{\text{CLK}}$ 사이에 접속하는 피모오스 트랜지스터 82와, 게이트

단자가 노드 RYSEL에 접속하며 전원전압 VCC와 출력 $\overline{\text{CLK}}$ 사이에 접속하는 피모오스 트랜지스터 84와, 게이트 단자가 NOR 게이트 78의 출력 신호에 접속하는 앤모오스 트랜지스터 88을 구비한다. 또한, 제6도의 제어클럭 발생회로는 제2데이터 포맷을 입력하는 NOR 게이트 102, 104와, NOR 게이트 102 및 104의 출력 신호를 입력하는 NAND 게이트 100과, NAND 게이트 100의 출력 신호를 반전하기 위한 인버터 98과, 전원전압 VCC와 노드 RYSEL 사이에 접속하는 퓨즈 f2와, 게이트 단자가 인버터 98의 출력 신호에 접속하며 퓨즈 f2와 접지전압 VSS 사이에 접속하는 앤모오스 트랜지스터 96과, 노드 RYSEL과 접지전압 VSS 사이에 접속하는 캐패시터 92 및 저항 94를 구비한다.

제4도의 리던던시 회로에 있어서, 결함 어드레스를 프로그램하기 위해서는 제어클럭 $\overline{\text{CLK}}$ 를 논리 '로우' 상태로 설정하여 입력한다. 이를 위해, 제1데이터 포맷을 예를 들어 '11001100'로 설정하여 입력

하여, 제어클럭 $\overline{\text{CLK}}$ 를 논리 '로우' 상태로 되게 한다. 결함 어드레스의 프로그램이 끝나면, 제6도의 제어클럭 발생회로는 제1데이터 포맷과는 다른 특성의 제2데이터 포맷을 예를 들어, '00110011'로 설정하면 인버터 98의 출력 신호가 논리 '하이' 상태로 설정한다. 이후 퓨즈 f2를 컷팅하면 노드 RYSEL에는 항상 논리 '로우' 상태가 되게 하여 피모오스 트랜지스터 84를 턴온시켜 논리 '하이' 상태의 제어클럭

$\overline{\text{CLK}}$ 를 발생한다. 즉, 제어클럭 $\overline{\text{CLK}}$ 는 디세이블된다. 이는 샘플 아웃(sample out) 후 실제 칩을 사용함에 있어서 뜻하지 않게 제4도에 도시된 리던던시 회로의 퓨즈 f1이 컷팅되는 것을 방지하기 위해서이다.

상술한 바와 같이 제1 및 제2데이터 포맷 '11001100'과, '00110011'을 이용할 수 있는 것은 칩 테스트 과정시 '00000000', '11111111', '01010101', '10101010' 등의 특정 데이터만을 사용하기 때문에 가능하다.

제7도는 본 발명에 따른 리던던시 액세스 검출회로를 보이는 도면이다. 제7도의 리던던시 액세스 검출회로는 리던던시 경로가 인에이블됨을 알리는 신호 RYSA를 발생하는 회로로서 리페어 이전 번-인 테스트시, 어드레스 입력 '111111'에 대하여 리던던시 메모리 셀과 노멀 메모리 셀이 동시에 선택되어야 하므로 신호 RYSA는 논리 '로우'로 디세이블된다. 왜냐하면, NOR 이트 106의 일입력 신호가 되는 제6도의 노드 RYSEL이 리페어 이전에는 논리 '하이' 상태가 되기 때문이다. 이로 인하여 제3도의 제1 및 제2노멀 메모

리 셀 어레이 블럭에 연결된 노멀 디코더 18을 인에이블하여 노멀 및 리던던트 메모리 셀이 동시에 선택 되도록 한다. 또한, 리페이 이후에는 노드 RYSEL이 논리 '로우' 상태가 되므로 제어 신호 RYCON의 제어만 받도록 한다.

제8도는 제6도에 도시된 제어클럭 발생회로의 퓨즈 f2가 확실하게 컷팅되었는지의 여부를 확인하기 위한 퓨즈 컷팅 확인회로이다. 제8도에 도시된 퓨즈 컷팅 확인 회로는 핀 A와 핀 B 사이에 접속하는 엔모오스트랜지스터 112, 114, 116, 118과, 인버터 120을 통하여 제6도에 도시된 제어클럭 발생회로의 노드 RYSEL에 접속하는 엔모오스트랜지스터 122를 구비하고 있다. 제2도에 도시된 제어클럭 발생회로에 있어서, 퓨즈 f2가 컷팅되면 노드 RYSEL은 논리 '로우' 상태가 된다. 따라서, 인버터 120의 출력 신호는 논리 '하이' 상태가 된다. 이때, 패드 B를 접지전압에 접속하고 패드 A에 고전원전압을 입력하면 패드 A로부터 패드 B까지 전류 경로가 형성된다. 따라서, 이러한 전류값으로 퓨즈 f2가 정확하게 컷팅되었는지 여부를 확인할 수 있다.

번-인 테스트 결과, 리페어가 필요없는 경우, 제6도에 도시된 제어클럭 발생회로의 퓨즈 f2를 컷팅시킨 후 제8도의 퓨즈 컷팅 확인회로에 의하여 퓨즈 컷팅 유무만 판별하면 된다.

상술한 본 발명에 의한 리던던트 회로는 본 발명의 사상을 범주를 벗어나지 않는 범위 내에서 다양하게 실시할 수 있음은 당해 분야에 통상적인 지식을 가진자는 용이하게 이해할 수 있을 것이다. 예를 들어,

제4도의 리던던트 회로에 입력되는 제어클럭 $\overline{\text{CLK}}$ 의 발생을 다양하게 제어할 수 있음은 당해 분야에 통상의 지식을 가진자는 용이하게 이해할 수 있을 것이다.

상술한 바와 같은 본 발명에 의한 반도체 메모리 장치의 리던던트 회로에 의하여 번-인 테스트 후 결함 셀을 패키지 상태에서 리페어할 수 있는 리던던트 회로에 있어서, 번-인 테스트시 특정 어드레스에 대하여 노멀 메모리 셀과 리던던트 메모리 셀을 동시에 번-인 할 수 있으며, 또한, 번-인 테스트 결과 단일 비정상 결함에 의한 결함 셀 구제를 용이하게 할 수 있을 뿐만 아니라, 효율적으로 퓨즈 컷팅을 수행하여 신뢰성있는 리던던트 동작을 수행할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

데이터를 저장하는 노멀 메모리 셀 어레이와, 상기 노멀 메모리 셀 어레이 내의 결함 셀을 대체하기 위한 리던던트 메모리 셀과, 어드레스를 입력하여 상기 노멀 메모리 셀 어레이 내의 상기 노멀 메모리 셀을 지정하기 위한 노멀 디코더와, 상기 리던던트 메모리 셀을 선택하기 위한 리던던트 디코더를 가지며 번-인 테스트 후 감지되는 결함 셀을 패키지 상태에서 리페어할 수 있는 반도체 메모리 장치의 리던던트 회로에 있어서, 제어 클럭에 제어되며 상기 어드레스를 입력하여 상기 어드레스 중 결함 어드레스를 프로그램하기 위하여 상기 결함 어드레스에 상응하여 컷팅 여부가 결정되는 퓨즈를 가지는 제어부와, 상기 제어부의 출력 신호에 제어되며 상기 어드레스를 입력하여 상기 어드레스와 동일한 위상을 가지는 상기 어드레스를 출력하는 제1경로와 상기 어드레스와 반대 위상을 가지는 상기 어드레스를 출력하는 제2경로를 가지는 전송부를 구비하여, 리페어 이전에는 상기 제1경로를 선택하여 상기 노멀 디코더와 상기 리던던트 디코더에 의해 상기 노멀 메모리 셀과 상기 리던던트 메모리 셀을 동시에 선택하며, 리페어시 상기 결함 어드레스의 입력에 대응하여 상기 퓨즈를 컷팅하여 상기 제2경로를 선택하여 상기 리던던트 디코더에 의해 상기 리던던트 메모리 셀이 선택함으로써 번-인 테스트시 상기 노멀 메모리 셀 및 상기 리던던트 메모리 셀을 동시에 번-인 할 수 있음을 특징으로 하는 리던던트 회로.

청구항 2

제2항에 있어서, 상기 퓨즈는 상기 제어 클럭과 상기 어드레스의 입력에 따라 방전 여부가 결정되는 출력 노드와 전원전압 사이에 형성됨을 특징으로 하는 리던던트 회로.

청구항 3

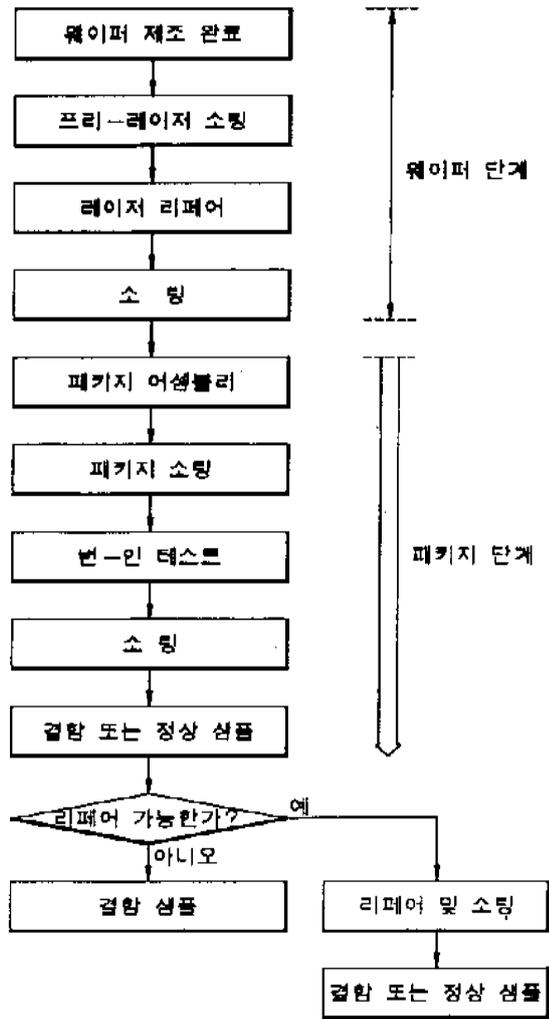
제3항에 있어서, 상기 어드레스의 각각 프로그램하기 위해 상기 어드레스의 각각에 상응하는 하나의 퓨즈만을 구비함을 특징으로 하는 리던던트 회로.

청구항 4

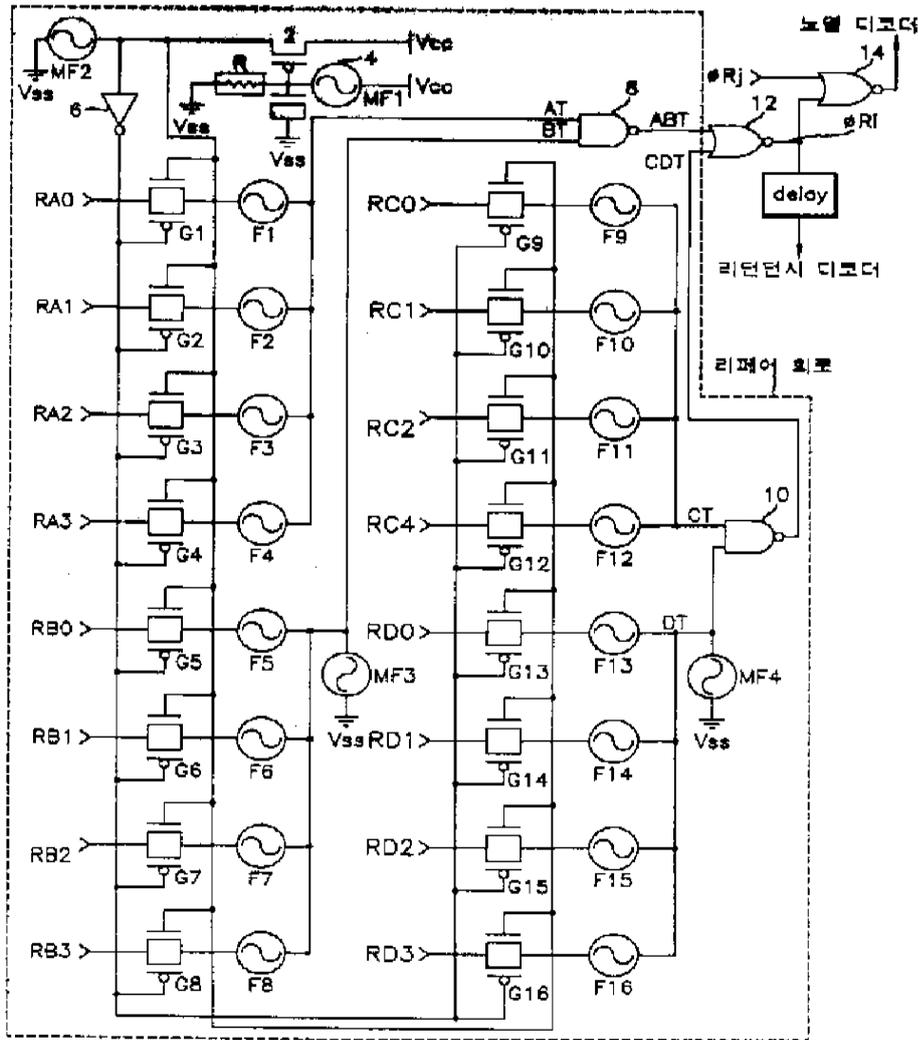
제4항에 있어서, 상기 결함 어드레스중 어느 하나의 특정 논리 상태를 기준으로 하여 상기 퓨즈를 컷팅함을 특징으로 하는 리던던트 회로.

도면

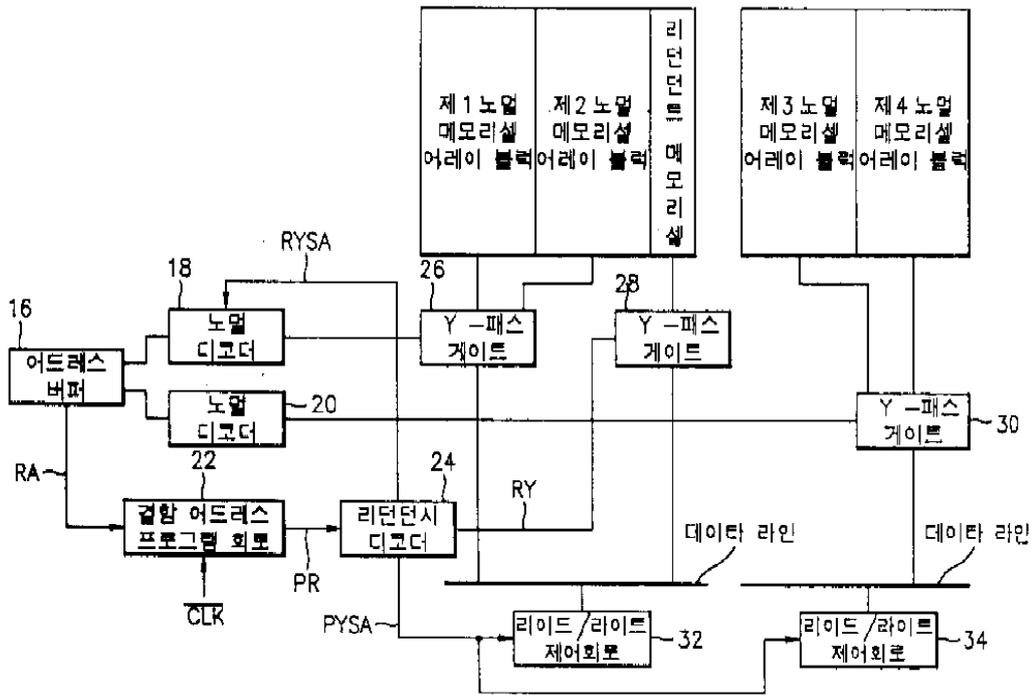
도면1



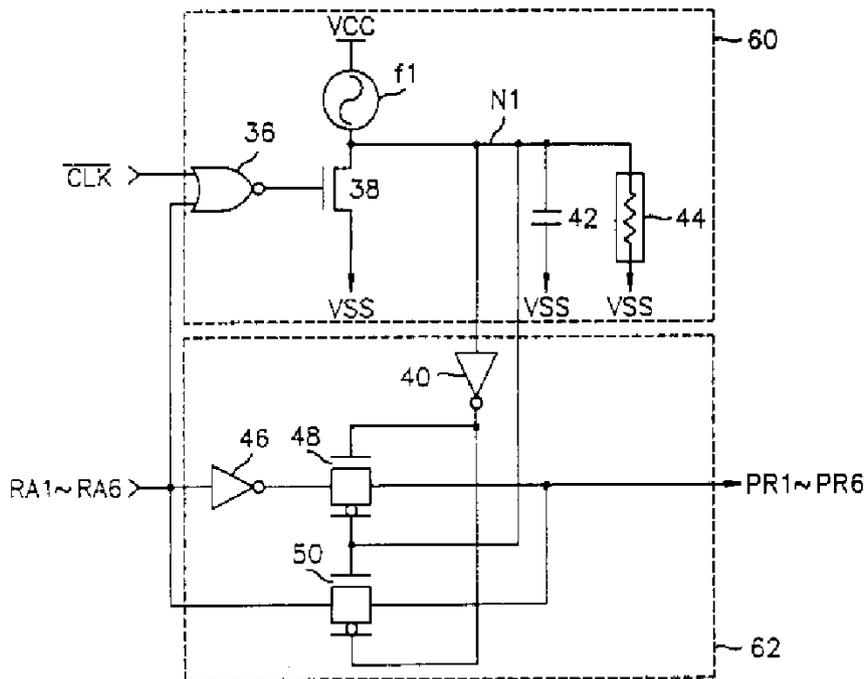
도면2



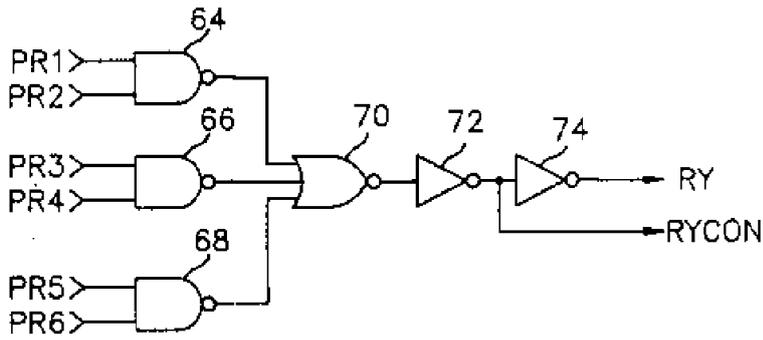
도면3



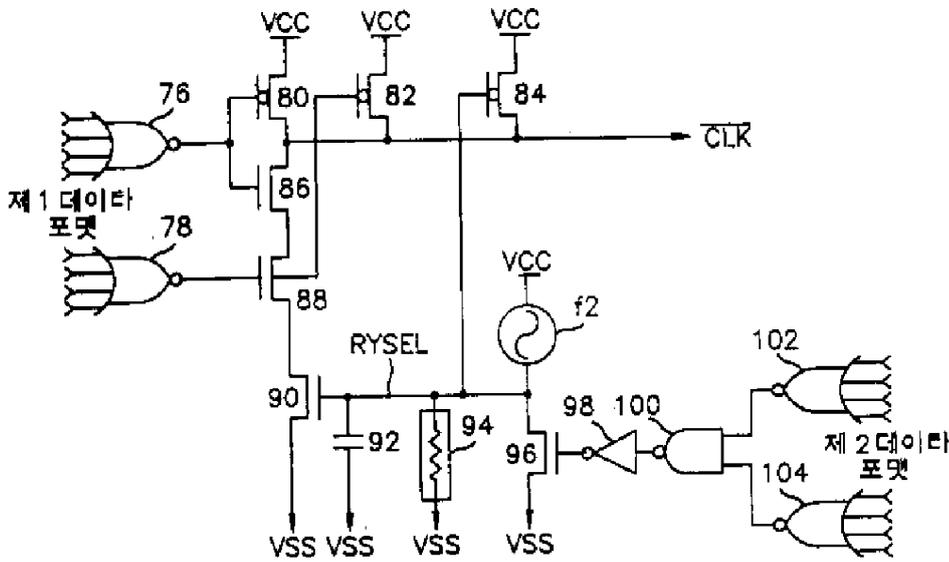
도면4



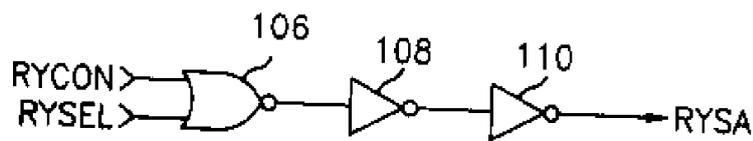
도면5



도면6



도면7



도면8

