

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-241012

(P2007-241012A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 621M	
	G09G 3/20 623B	
	G09G 3/20 624B	
	G09G 3/20 641D	

審査請求 未請求 請求項の数 14 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2006-65165 (P2006-65165)
 (22) 出願日 平成18年3月10日 (2006.3.10)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100096699
 弁理士 鹿嶋 英實
 (72) 発明者 小倉 潤
 東京都八王子市石川町2951番地の5
 カシオ計算機株式
 社八王子技術センター内
 Fターム(参考) 5C080 AA06 BB05 DD28 EE29 FF11
 JJ02 JJ03 JJ04 JJ06

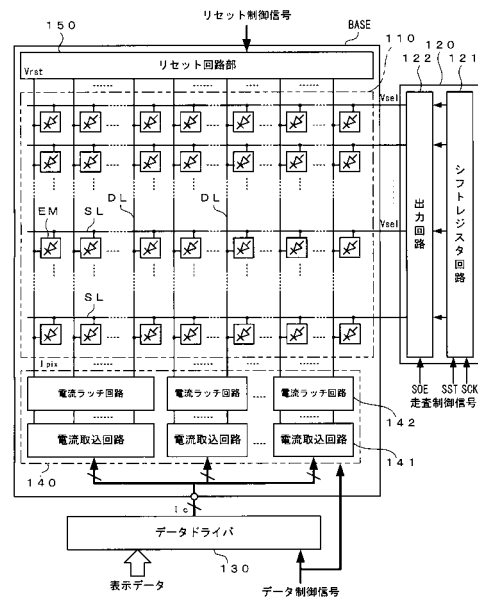
(54) 【発明の名称】 表示装置及びその駆動制御方法

(57) 【要約】

【課題】 表示パネルを高精細化した場合であっても、簡易な工程で表示パネルとデータドライバとを接続することができるとともに、良好な画像表示を実現することができる表示装置及びその駆動制御方法を提供する。

【解決手段】 表示装置100は、表示データに応じた電流値を有する信号電流Icを生成して、表示画素アレイ110に配設された複数のデータラインDLからなる所定の列グループ(ブロック)単位で電流ラッチ部140に供給するデータドライバ130と、各データラインDLに接続され、データドライバ130から供給される表示データに応じた信号電流Icを、上記列グループごとに取り込んで保持する動作、及び、先のタイミングで保持した信号電流Ic(表示データ)に応じた階調電流IpixをデータラインDLに一齐に供給する動作を、同時並行的に実行する電流ラッチ部140と、を備えている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

2次元配列された複数の表示画素に対して、表示データに基づく階調電流を供給することにより、前記複数の表示画素を所定の表示階調で動作させて所望の画像情報を表示する表示装置において、

前記複数の表示画素を、所定数の列からなる前記表示画素ごとに分割して、複数の列グループが設定された画素アレイと、

前記表示画素を各行ごとに選択状態に設定する走査駆動手段と、

前記表示データに基づいて各行ごとの前記表示画素の表示階調を制御する信号電流を生成し、前記各列グループに対応して順次出力する信号駆動手段と、

前記列グループに含まれる列数と同数の接続端子を介して、前記信号駆動手段から出力される前記各列グループに対応する前記信号電流を順次取り込んで保持し、前記信号電流に基づく電流値を有する前記階調電流を生成して、前記走査駆動手段により選択状態に設定された行の前記表示画素の各々に対して一斉に供給する階調電流出力手段と、
を備え、

前記画素アレイと前記階調電流出力手段が、単一の基板上に設けられ、前記接続端子を介して前記信号駆動手段と接続されていることを特徴とする表示装置。

【請求項 2】

前記階調電流出力手段は、各列に対応して、前記信号電流に応じた電荷を保持する電流保持部と前記電力保持部に保持された電荷に基づいて前記信号電流に対応する前記階調電流を生成して前記表示画素に供給する電流出力部とを有するラッチ部を2組備えていることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記階調電流出力手段は、一方の前記ラッチ部の前記電流保持部に前記信号電流に応じた電荷を保持する動作と、他方の前記ラッチ部の前記電流出力部より前記信号電流に対応する前記階調電流を前記表示画素に供給する動作と、を同時並行的に実行するように制御されることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記各ラッチ部における前記電流保持部は、前記信号電流が電流路を流れることにより当該信号電流の電流値に応じた電位が制御端子に生じる第1のトランジスタと前記信号電流が電流路を流れることにより前記第1のトランジスタの前記制御端子と前記電流路間に生じた電位差に応じた前記電荷を蓄積する電荷蓄積手段とを有し、前記電流出力部は、前記電荷蓄積手段に蓄積された電荷に基づく電位が制御端子に印加されることにより所定の電流値を有する前記階調電流が電流路に流れる第2のトランジスタを有し、前記第1のトランジスタと前記第2のトランジスタはカレントミラー回路を構成していることを特徴とする請求項 2 又は 3 記載の表示装置。

【請求項 5】

前記表示装置は、前記信号駆動手段から出力される前記信号電流を取り込み保持する前記階調電流出力手段の前記電流保持部及び前記電流出力部に対して、所定のプリチャージ電圧を印加するプリチャージ手段を備えることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記プリチャージ手段は、前記階調電流出力手段の前記電流保持部及び前記電流出力部を構成する前記第1のトランジスタのしきい値電圧相当の電荷を前記電荷蓄積手段に蓄積させることを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記表示装置は、前記階調電流出力手段により前記階調電流が供給される前記表示画素に残留する電荷を一斉に放電して初期化状態に設定するリセット手段を備えていることを特徴とする請求項 1 記載の表示装置。

【請求項 8】

前記画素アレイに配列された前記表示画素は、

10

20

30

40

50

前記階調電流出力手段から供給される前記階調電流に応じた電荷を保持し、当該電荷に基づいて所定の電流値を有する発光駆動電流を生成する画素駆動回路と、

前記画素駆動回路から供給される前記発光駆動電流の電流値に基づいて、所定の輝度階調で発光動作する電流制御型の発光素子と、
を備えることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

【請求項 9】

前記電流制御型の発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 8 記載の表示装置。

【請求項 10】

2 次元配列された複数の表示画素からなる画素アレイに対して、表示データに基づく階調電流を供給することにより、前記複数の表示画素を所定の表示階調で動作させて所望の画像情報を表示する表示装置の駆動制御方法において、

前記画素アレイが形成された基板外に設けられた信号駆動手段により、前記表示データに基づいて各行ごとの前記表示画素の表示階調を制御する信号電流を生成し、前記画素アレイに配列された前記複数の表示画素を所定数の列からなる複数の列グループに分割し、前記信号電流を前記各列グループに対応して順次出力するステップと、

前記基板上に設けられた階調電流出力手段により、前記列グループに含まれる前記列数と同数の接続端子を介して、前記信号駆動手段から出力される前記各列グループに対応する前記信号電流を順次取り込んで保持するステップと、

前記階調電流出力手段により、前記信号電流に基づく電流値を有する前記階調電流を生成して、走査駆動手段により選択状態に設定された行の前記表示画素の各々に対して一斉に供給するステップと、

を含むことを特徴とする表示装置の駆動制御方法。

【請求項 11】

前記信号電流を取り込んで保持するステップは、前記信号駆動手段から前記各列グループに対応して出力される前記信号電流を順次取り込んで保持する動作を繰り返して実行して、1 行分の前記信号電流を並列的に保持することを特徴とする請求項 10 記載の表示装置の駆動制御方法。

【請求項 12】

前記信号電流を取り込んで保持するステップと、前記階調電流を前記表示画素の各々に一斉に供給するステップとは、同時並行的に実行されることを特徴とする請求項 10 又は 11 に記載の表示装置の駆動制御方法。

【請求項 13】

前記階調電流を前記表示画素の各々に一斉に供給するステップに先立って、前記表示画素に残留する電荷を一斉に放電して初期化状態に設定するステップを含むことを特徴とする請求項 10 記載の表示装置の駆動制御方法。

【請求項 14】

前記信号電流を取り込んで保持するステップに先立って、前記階調電流出力手段に所定のプリチャージ電圧を印加するステップを含むこと特徴とする請求項 10 記載の表示装置の駆動制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動制御方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光する電流制御型の発光素子を備えた表示画素を、複数配列してなる表示パネルを具備する表示装置及びその駆動制御方法に関する。

【背景技術】

【0002】

従来、有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）や発光ダイオード（LED）等のように、供給される駆動電流の電流値に応じて所定の輝度階

10

20

30

40

50

調で発光動作する電流制御型の発光素子を備えた表示画素を、2次元配列した表示パネルを具備する発光素子型のディスプレイ（表示装置）が知られている。

【0003】

特に、アクティブマトリックス型の駆動方式を適用した発光素子型ディスプレイにおいては、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、発光素子型の表示画素から構成されるため、液晶表示装置の場合のようにバックライトを必要としないので、一層の薄型軽量化や省電力化が可能である、という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

10

【0004】

図16は、従来技術における発光素子型ディスプレイの要部構成例を示す概略図である。

図16に示すように、従来技術における発光素子型ディスプレイは、概略、相互に直交するように配設された複数の走査ライン（ゲート信号線）SLpと複数のデータライン（ソース信号線）DLpとの各交点近傍に、電流制御型の発光素子（例えば有機EL素子）を備えた複数の表示画素EMpがマトリクス状に配列された表示パネル110Pと、該表示パネル110Pの走査ラインSLpに接点NSpを介して接続され、各走査ラインSLpに所定のタイミングで順次走査信号Vselを印加することにより、行ごとの表示画素EMpを選択状態に設定（走査）する走査ドライバ（ゲートドライバ）120Pと、表示パネル110PのデータラインDLpに接点NDpを介して接続され、表示データ（又は、映像データ）を取り込んで、所定のタイミングで各データラインDLpへ表示データに応じた階調信号を供給するデータドライバ（ソースドライバ）130Pと、を備えた構成を有している。

20

【0005】

このようなディスプレイにおいて、例えば、図示を省略したタイミング制御手段（システムコントローラ等）から供給される走査制御信号及びデータ制御信号等に基づいて、走査ドライバ120P及びデータドライバ130Pの動作状態が制御され、走査信号Vselの印加により選択状態に設定された各行の表示画素EMpに表示データに応じた階調信号を書き込み、保持させることにより、各表示画素EMpに設けられた発光素子を所定期間、所定の輝度階調で発光動作させて、所望の画像情報を表示するアクティブマトリックス型の駆動方式を実現することができる。

30

【0006】

ここで、上記駆動方式を実現するための構成として、例えば特許文献1等に記載されているように、表示パネル110Pに配列された各表示画素EMpごとに、上記発光素子（有機EL素子）に加えて、該発光素子に表示データに応じた電流値を有する発光駆動電流を供給して発光制御するための複数のスイッチング素子（薄膜トランジスタ等）からなる画素駆動回路（又は画素回路）を備えたものが提案されている。

【0007】

そして、画素駆動回路を備えた表示画素が配列された表示パネルの駆動制御方法としては、データドライバ130Pから各表示画素（画素駆動回路）に、表示データに応じた電流値を指定した階調電流（プログラム電流）を供給し、該電流値に応じて保持される電圧に基づいて、発光素子（有機EL素子）に流す発光駆動電流を制御して所定の輝度階調で発光動作させる電流指定方式（又は、電流プログラム方式）と、各表示画素（画素駆動回路）に、表示データに応じた電圧値を指定した階調電圧を印加し、該電圧値に応じて発光素子（有機EL素子）に流す発光駆動電流を制御して所定の輝度階調で発光動作させる、電圧指定方式（又は、電圧プログラム方式）が知られている。

40

【0008】

上記2種類の駆動制御方法のうち、電圧指定方式に適用される画素駆動回路においては、表示画素の選択機能や発光駆動機能を担うスイッチング素子の素子特性（薄膜トランジ

50

スタのチャネル抵抗等)が、外部環境(周囲の温度等)や使用時間等に依存してバラツキや変動(劣化)を生じた場合、発光駆動電流が変動して長期間にわたり安定的に所望の発光特性(所定の輝度階調での表示)を実現することができないという問題や、表示パネルの高精細化を図るために、各表示画素を微細化すると、スイッチング素子の動作特性(薄膜トランジスタのソース-ドレイン間電流等)のバラツキが大きくなるため、適正な階調制御が行えなくなり、各表示画素の発光特性にバラツキが生じて表示画質の劣化を招くという問題を有している。

【0009】

一方、電流指定方式に適用される画素駆動回路においては、一般に、各表示画素に供給される表示データに応じた階調電流の電流レベルを電圧レベルに変換する電流/電圧変換用のスイッチング素子と、発光素子に所定の電流値の発光駆動電流を供給する発光駆動用のスイッチング素子と、を備えた構成を有し、電流/電圧変換用のスイッチング素子により変換された電圧レベルに基づいて、発光駆動用のスイッチング素子により発光駆動電流の電流値を設定するように制御されるので、各スイッチング素子(薄膜トランジスタ)の動作特性のバラツキを低減して、表示画質の劣化を抑制することができるという利点を有している。

10

【0010】

そして、このような電流指定方式の駆動制御方法を実現するためには、データドライバ130Pに、各データラインDLPに対応して、表示データに応じた電流値を有する階調電流(プログラム電流)を生成し、各列の表示画素EMP(画素駆動回路)に供給するための複数の階調電流生成回路を備える必要がある。例えば特許文献1等においては、各データライン(ソース信号線)DLPごとに輝度データ電圧を電流に変換して各データ線に流すデータ線駆動回路を備える構成が記載されている。なお、電流指定方式に適用される画素駆動回路については、後述する発明の実施形態において具体例を示す。

20

【0011】

【特許文献1】特開2002-351402号公報(第6~第7頁、図1、図3)

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述したように、電流指定方式の駆動制御方法を適用した表示装置においては、図16に示したように、データドライバ130P(複数の階調電流生成回路)により生成された階調電流が、個別の接点(接続端子)NDPを介して1:1の関係で、表示パネル110Pに配設された各データラインDLPに出力されるように構成されている。そのため、表示パネルに配設されるデータライン数を増加させて高精細化した場合、当該データライン数に応じてデータドライバの出力端子数も増加して、ドライバチップ(ICチップ)として提供されるデータドライバと表示パネル(パネル基板)との間の接続端子数が増加することになるため、端子間ピッチ(間隔)が狭小化して、ドライバチップの接続工程における位置合わせの高精度化や工数の増加等を招き、製造コストの高騰を招くという問題を有していた。

30

【0013】

そこで、本発明は、上述した問題点に鑑み、表示パネルを電流指定方式で発光駆動する表示装置において、表示パネルを高精細化した場合であっても、簡易な工程で表示パネルとデータドライバとを接続することができるとともに、良好な画像表示を実現することができる表示装置及びその駆動制御方法を提供することを目的とする。

40

【課題を解決するための手段】

【0014】

請求項1記載の発明は、2次元配列された複数の表示画素に対して、表示データに基づく階調電流を供給することにより、前記複数の表示画素を所定の表示階調で動作させて所望の画像情報を表示する表示装置において、前記複数の表示画素を、所定数の列からなる前記表示画素ごとに分割して、複数の列グループが設定された画素アレイと、前記表示画

50

素を各行ごとに選択状態に設定する走査駆動手段と、前記表示データに基づいて各行ごとの前記表示画素の表示階調を制御する信号電流を生成し、前記各列グループに対応して順次出力する信号駆動手段と、前記列グループに含まれる列数と同数の接続端子を介して、前記信号駆動手段から出力される前記各列グループに対応する前記信号電流を順次取り込んで保持し、前記信号電流に基づく電流値を有する前記階調電流を生成して、前記走査駆動手段により選択状態に設定された行の前記表示画素の各々に対して一斉に供給する階調電流出力手段と、を備え、前記画素アレイと前記階調電流出力手段が、単一の基板上に設けられ、前記接続端子を介して前記信号駆動手段と接続されていることを特徴とする。

【0015】

請求項2記載の発明は、請求項1記載の表示装置において、前記階調電流出力手段は、各列に対応して、前記信号電流に応じた電荷を保持する電流保持部と前記電力保持部に保持された電荷に基づいて前記信号電流に対応する前記階調電流を生成して前記表示画素に供給する電流出力部とを有するラッチ部を2組備えていることを特徴とする。

10

請求項3記載の発明は、請求項2記載の表示装置において、前記階調電流出力手段は、一方の前記ラッチ部の前記電流保持部に前記信号電流に応じた電荷を保持する動作と、他方の前記ラッチ部の前記電流出力部より前記信号電流に対応する前記階調電流を前記表示画素に供給する動作と、を同時並行的に実行するように制御されることを特徴とする。

【0016】

請求項4記載の発明は、請求項2又は3記載の表示装置において、前記各ラッチ部における前記電流保持部は、前記信号電流が電流路を流れることにより当該信号電流の電流値に応じた電位が制御端子に生じる第1のトランジスタと前記信号電流が電流路を流れることにより前記第1のトランジスタの前記制御端子と前記電流路間に生じた電位差に応じた前記電荷を蓄積する電荷蓄積手段とを有し、前記電流出力部は、前記電荷蓄積手段に蓄積された電荷に基づく電位が制御端子に印加されることにより所定の電流値を有する前記階調電流が電流路に流れる第2のトランジスタを有し、前記第1のトランジスタと前記第2のトランジスタはカレントミラー回路を構成していることを特徴とする。

20

【0017】

請求項5記載の発明は、請求項4記載の表示装置において、前記表示装置は、前記信号駆動手段から出力される前記信号電流を取り込み保持する前記階調電流出力手段の前記電流保持部及び前記電流出力部に対して、所定のプリチャージ電圧を印加するプリチャージ手段を備えることを特徴とする。

30

請求項6記載の発明は、請求項5記載の表示装置において、前記プリチャージ手段は、前記階調電流出力手段の前記電流保持部及び前記電流出力部を構成する前記第1のトランジスタのしきい値電圧相当の電荷を前記電荷蓄積手段に蓄積させることを特徴とする。

【0018】

請求項7記載の発明は、請求項1記載の表示装置において、前記表示装置は、前記階調電流出力手段により前記階調電流が供給される前記表示画素に残留する電荷を一斉に放電して初期化状態に設定するリセット手段を備えていることを特徴とする。

請求項8記載の発明は、請求項1乃至7のいずれかに記載の表示装置において、前記画素アレイに配列された前記表示画素は、前記階調電流出力手段から供給される前記階調電流に応じた電荷を保持し、当該電荷に基づいて所定の電流値を有する発光駆動電流を生成する画素駆動回路と、前記画素駆動回路から供給される前記発光駆動電流の電流値に基づいて、所定の輝度階調で発光動作する電流制御型の発光素子と、を備えることを特徴とする。

40

請求項9記載の発明は、請求項8記載の表示装置において、前記電流制御型の発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【0019】

請求項10記載の発明は、2次元配列された複数の表示画素からなる画素アレイに対して、表示データに基づく階調電流を供給することにより、前記複数の表示画素を所定の表示階調で動作させて所望の画像情報を表示する表示装置の駆動制御方法において、前記画素

50

アレイが形成された基板外に設けられた信号駆動手段により、前記表示データに基づいて各行ごとの前記表示画素の表示階調を制御する信号電流を生成し、前記画素アレイに配列された前記複数の表示画素を所定数の列からなる複数の列グループに分割し、前記信号電流を前記各列グループに対応して順次出力するステップと、前記基板上に設けられた階調電流出力手段により、前記列グループに含まれる前記列数と同数の接続端子を介して、前記信号駆動手段から出力される前記各列グループに対応する前記信号電流を順次取り込んで保持するステップと、前記階調電流出力手段により、前記信号電流に基づく電流値を有する前記階調電流を生成して、走査駆動手段により選択状態に設定された行の前記表示画素の各々に対して一斉に供給するステップと、を含むことを特徴とする。

【0020】

10

請求項11記載の発明は、請求項10記載の表示装置の駆動制御方法において、前記信号電流を取り込んで保持するステップは、前記信号駆動手段から前記各列グループに対応して出力される前記信号電流を順次取り込んで保持する動作を繰り返して実行して、1行分の前記信号電流を並列的に保持することを特徴とする。

請求項12記載の発明は、請求項10又は11に記載の表示装置の駆動制御方法において、前記信号電流を取り込んで保持するステップと、前記階調電流を前記表示画素の各々に一斉に供給するステップとは、同時並行的に実行されることを特徴とする。

【0021】

請求項13記載の発明は、請求項10記載の表示装置の駆動制御方法において、前記階調電流を前記表示画素の各々に一斉に供給するステップに先立って、前記表示画素に残留する電荷を一斉に放電して初期化状態に設定するステップを含むことを特徴とする。

20

請求項14記載の発明は、請求項10記載の表示装置の駆動制御方法において、前記信号電流を取り込んで保持するステップに先立って、前記階調電流出力手段に所定のプリチャージ電圧を印加するステップを含むこと特徴とする。

【発明の効果】

【0022】

本発明に係る表示装置及びその駆動制御方法によれば、表示パネルを高精細化した場合であっても、表示パネル（パネル基板）とデータドライバ（ドライバチップ）との間の接続端子数を削減して、端子間ピッチを広げることができ、簡易な工程で表示パネルとデータドライバを接続することができるとともに、良好な画像表示を実現することができる。

30

【発明を実施するための最良の形態】

【0023】

以下、本発明に係る表示装置及びその駆動制御方法について、実施の形態を示して詳しく説明する。

<表示装置>

図1は、本発明に係る表示装置の全体構成を示す概略ブロック図であり、図2は、本発明に係る表示装置の一実施形態を示す要部概略構成図である。

【0024】

図1、図2に示すように、本発明の一実施形態に係る表示装置100は、大別して、互いに直交するように配設された複数の走査ラインSL及び複数のデータラインDLの各交点近傍に、複数の表示画素EMがマトリクス状（ n 行 \times m 列； n 、 m は正の整数）に配列された表示画素アレイ（表示パネル）110と、該表示画素アレイ110の各走査ラインSLに対して、図示を省略した外部端子を介して接続され、各走査ラインSLに所定のタイミングで走査信号Vselを印加することにより、各行の表示画素EMを順次選択状態に設定する走査ドライバ（走査駆動手段）120と、表示画素アレイ110の各データラインDLに接続され、後述するデータドライバ130から供給される表示データに応じた信号電流Icを、複数のデータラインDLからなる所定の列グループ（ブロック）ごとに取り込んで保持するとともに、保持した信号電流Ic（表示データ）に応じた階調電流IpixをデータラインDLに一斉に供給する電流ラッチ部（階調電流出力手段）140と、後述する表示信号生成部170から供給される表示データを取り込み、当該表示データに応

40

50

じた電流値を有する信号電流 I_c を生成して、上記列グループ単位で電流ラッチ部 140 に供給するデータドライバ（信号駆動手段）130と、表示画素アレイ 110 の各データライン DL に接続され、各データライン DL に所定のタイミングでリセット電圧 V_{rst} を印加することにより、表示画素 EM に残留する電荷（電圧成分）を放電してリセット状態（初期化状態）に設定するリセット回路部（リセット手段）150と、例えば表示信号生成部 170 から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ 120、データドライバ 130、電流ラッチ部 140 及びリセット回路部 150 の動作状態を制御する各種制御信号（走査制御信号、データ制御信号、リセット制御信号等）を生成して出力するシステムコントローラ 160 と、例えば表示装置 100 の外部から供給される映像信号に基づいて、表示データ（デジタルデータからなる輝度階調信号）を生成してデータドライバ 130 に供給するとともに、該表示データを表示画素アレイ 110 に画像表示するためのタイミング信号（システムクロック等）を生成、又は、抽出して上記システムコントローラ 160 に供給する表示信号生成部 170 と、を備えて構成されている。

10

【0025】

そして、本実施形態に係る表示装置 100 においては、図 2 に示すように、表示画素アレイ 110 を構成する複数の表示画素 EM が形成される絶縁性の基板（パネル基板）BASE 上に、当該表示画素アレイ 110 とともに、少なくとも電流ラッチ部 140 及びリセット回路部 150 が一体的に形成された構成を有し、ドライバチップ（IC チップ）の形態を有する走査ドライバ 120 及びデータドライバ 130 が外部端子（接続端子）を介して接続された構成を有している。

20

【0026】

以下、上記各構成について具体的に説明する。

（表示画素アレイ 110）

本実施形態に係る表示装置に適用可能な表示画素アレイ 110 は、例えば、図 2 に示すように、複数の走査ライン SL 及び複数のデータライン DL が、相互に直交する行方向及び列方向に配設され、走査ライン SL とデータライン DL との各交点に、有機 EL 素子等の電流制御型の発光素子と、表示データ（階調電流）に基づいて当該発光素子を発光動作させる画素駆動回路と、を備えた表示画素 EM が接続された構成を有している。

【0027】

ここで、表示画素アレイ 110 に配列された表示画素 EM は、各々同数の列（すなわち複数のデータライン DL）ごとにグループ（ブロック）分けされ、各列グループごとに後述する個別の電流ラッチ回路 142 に接続されている。具体的には、例えば表示画素アレイ 110 が 144 行 × 144 列の画素配列を有する場合、例えば各 24 列（24 本のデータライン DL）ごとの 6 グループ（1～24 列目、25～48 列目、49～72 列目、73～96 列目、97～120 列目、121～144 列目）に分けられ、各列グループごとにデータドライバ 130 から供給される信号電流 I_c の取り込み、保持動作が実行される。なお、以下の説明では、この具体例を適用して説明する。また、表示画素 EM の具体回路例や回路動作については詳しく後述する。

30

【0028】

（走査ドライバ 120）

走査ドライバ 120 は、システムコントローラ 160 から供給される走査制御信号に基づいて、表示画素アレイ 110 が形成される基板 BASE に設けられた外部端子を介して、上記各行の走査ライン SL に選択レベル（例えばハイレベル）の走査信号 V_{sel} を順次印加することにより、各走査ライン SL に接続された各表示画素 EM を選択状態に設定し、データドライバ 130 及び電流ラッチ部 140 により各データライン DL を介して供給される表示データに基づく階調電流 I_{pix} を、各表示画素 EM に書き込むように制御する。

40

【0029】

ここで、走査ドライバ 120 は、例えば図 2 に示すように、後述するシステムコントローラ 160 から走査制御信号として供給される走査クロック信号 SCK 及び走査スタート

50

信号 SST に基づいて、各行の走査ライン SL に対応するシフト信号を順次出力するシフトレジスタ回路 121 と、該シフトレジスタ回路 121 から順次出力されるシフト信号を所定の信号レベル（選択レベル、非選択レベル）に変換し、システムコントローラ 160 から走査制御信号として供給される出力制御信号 SOE に基づいて、各行の走査ライン SL に走査信号 $Vsel$ として出力する出力回路（出力バッファ）122 と、を備えた周知の構成を適用することができる。

【0030】

（データドライバ 130）

データドライバ 130 は、システムコントローラ 160 から供給されるデータ制御信号に基づいて、後述する表示信号生成部 170 から供給される表示データを、所定のタイミングで各行ごとに順次取り込んで保持し、上記表示データの階調値（輝度階調信号）に応じた電流値を有する信号電流 I_c を、表示画素アレイ 110 が形成される基板 $BASE$ に設けられた外部端子を介して、上述した所定の列グループ単位で後述する電流ラッチ部 140（各列グループに対応する電流取込回路 141 及び電流ラッチ回路 142）に供給する動作を、一行分順次繰り返し実行する。

10

【0031】

図 3 は、本実施形態に係る表示装置に適用可能なデータドライバの一例を示すブロック図である。

データドライバ 130 は、例えば図 3 に示すように、システムコントローラ 160 からデータ制御信号として供給されるシフトクロック信号 CLK に基づいて、サンプリングスタート信号 STR を順次シフトしつつシフト信号を出力するシフトレジスタ回路 131 と、該シフト信号の入力タイミングに基づいて、表示信号生成部 170 から供給される 1 行分の表示データ $D_0 \sim D_m$ （デジタルデータ）を順次取り込むデータレジスタ回路 132 と、データラッチ信号 STB に基づいて、データレジスタ回路 132 により取り込まれた 1 行分の表示データ $D_0 \sim D_m$ を保持するデータラッチ回路 133 と、図示を省略した電源供給手段から供給される階調基準電圧 $V_0 \sim V_p$ に基づいて、上記保持された表示データ $D_0 \sim D_m$ を所定のアナログ信号電圧（階調電圧 V_{pix} ）に変換するデジタル - アナログ変換回路（以下、「 D/A コンバ - タ」と略記する）134 と、アナログ信号電圧に変換された表示データに対応する信号電流 I_c を生成し、システムコントローラ 160 から供給される出力イネ - ブル信号 OE に基づいて、上述した所定の列グループ単位で電流ラッチ部 140（電流取込回路 141 及び電流ラッチ回路 142）に一斉に供給する電圧電流変換・電流供給回路 135 と、を備えた構成を有している。

20

30

【0032】

（電流ラッチ部 140）

電流ラッチ部 140 は、システムコントローラ 160 から供給されるデータ制御信号に基づいて、データドライバ 130 から供給される表示データに基づく信号電流 I_c を、所定のタイミングで列グループ単位で一斉に取り込み、各列のデータライン DL に接続された表示画素 EM ごとに個別に保持する動作を、1 行分順次繰り返し、上述した走査ドライバ 120 により特定の行の走査ライン SL が選択状態に設定されたタイミングで、上記保持した信号電流 I_c に対応する階調電流 I_{pix} を、各データライン DL を介して表示画素 EM に一斉に供給する。

40

【0033】

電流ラッチ部 140 は、例えば図 2 に示すように、少なくとも、データドライバ 130 により表示データに基づいて、各列（データライン DL ）に対応して生成された信号電流 I_c を各列グループごとに分配して取り込む複数の電流取込回路 141 と、各列のデータライン DL ごとに 2 組のラッチ部を備え、上記電流取込回路 141 により取り込まれた各列ごとの階調電流 I_c を並列的に保持するとともに、各列ごとの信号電流 I_c に対応する階調電流 I_{pix} を生成して、各列のデータライン DL を介して各表示画素 EM に供給する複数の電流ラッチ回路 142 と、を備えた構成を有している。

【0034】

50

このような構成を有する電流ラッチ部 140 において、データ制御信号に基づく第 1 のタイミングで、上記電流取込回路 141 により特定の行の表示画素 EM の表示データに対応する各列ごとの信号電流 I_c を取り込んで、各列グループ単位ごとに電流ラッチ回路 142 により並列的に保持し、当該行の表示画素 EM が選択状態に設定される第 2 のタイミングで、各列ごとの信号電流 I_c に対応する階調電流 I_{pix} を生成し、各データライン DL を介して 1 行分の全表示画素 EM に対して一斉に供給する。また、当該第 2 のタイミングにおいて、階調電流 I_{pix} を各データライン DL を介して全表示画素 EM に供給する動作に並行して、次の行の表示画素 EM の表示データに対応した信号電流 I_c をデータドライバ 130 から各列グループ単位ごとに取り込んで電流ラッチ回路 142 に保持する動作を実行する。なお、電流ラッチ部 140 の具体的な構成及び動作については詳しく後述する。 10

【0035】

(リセット回路部 150)

リセット回路部 150 は、システムコントローラ 160 から供給されるリセット制御信号に基づいて、各データライン DL に一斉にリセット電圧 V_{rst} を印加することにより、表示画素アレイ 110 における画像表示動作に伴って表示画素 EM やデータライン DL に保持された電荷（電圧成分）のうち、画像表示期間の経過後（実質的には各表示画素 EM に次の表示データに対応する階調電流 I_{pix} を書き込む動作に先立って）、残留する電荷を放電してリセット状態（初期化状態）に設定する。なお、本実施形態においては、例えば図 1、図 2 に示したように、表示画素アレイ 110 を挟んで電流ラッチ部 140 に対向するようにリセット回路部 150 を配置した構成を示したが、これに限定されるものではなく、電流ラッチ部 140 と同一側に配置するものであってもよい。また、リセット回路部 150 の具体的な構成及び動作については、上記電流ラッチ部 140 とともに詳しく後述する。 20

【0036】

(システムコントローラ 160)

システムコントローラ 160 は、上述した走査ドライバ 120、データドライバ 130、電流ラッチ部 140 及びリセット回路部 150 に対して、動作状態を制御する走査制御信号、データ制御信号及びリセット制御信号を出力することにより、走査ドライバ 120 により走査信号 V_{sel} を生成して走査ライン SL に印加する動作、データドライバ 130 及び電流ラッチ部 140 により表示データに応じた信号電流 I_c 及び階調電流 I_{pix} を生成してデータライン DL に印加する動作、及び、リセット回路部 150 によりリセット電圧 V_{rst} をデータライン DL に印加する動作を、所定のタイミングで実行させて、表示信号生成部 170 により生成される表示データを各表示画素 EM に書き込んで適切な輝度階調で発光動作させ、映像信号に基づく所定の画像情報を表示画素アレイ 110 に表示させる制御を行う。 30

【0037】

(表示信号生成部 170)

表示信号生成部 170 は、例えば、表示装置 100 の外部から供給される映像信号から輝度階調信号成分を抽出し、表示画素アレイ 110 の 1 行分ごとに表示データとしてデータドライバ 130 に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成部 170 は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 160 に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 160 は、表示信号生成部 170 から供給されるタイミング信号に基づいて、走査ドライバ 120 やデータドライバ 130、電流ラッチ部 140、リセット回路部 150 に対して供給する各種制御信号を生成する。 40

【0038】

<電流ラッチ部及びリセット回路部の具体回路例>

次に、本実施形態に係る表示装置に適用可能な電流ラッチ部及びリセット回路部の具体的な回路例について説明する。

図4は、本実施形態に係る表示装置に適用可能な電流ラッチ部及びリセット回路部の一例を示す回路構成図である。なお、ここでは、表示画素アレイ110に配設された特定の列のデータラインDLj (jは1〜mの範囲内の任意の整数)に対応して接続される電流ラッチ部(電流ラッチ回路、電流取込回路)及びリセット回路部(リセット回路)のみを示す。また、図4は、本実施形態に適用可能な電流ラッチ部の一例を示すものによらず、この回路構成に何ら限定されるものではない。

【0039】

電流ラッチ部140を構成する各電流取込回路141j (141)は、例えば図4に示すように、上述したデータドライバ130から出力される表示データに応じた信号電流Icが供給される外部端子(入力端子;接続端子)INjと後述する電流ラッチ回路142j (142)との接続接点NPjとの間に電流路(ソース-ドレイン)が接続され、システムコントローラ160からデータ制御信号として供給される電流取込信号ENが制御端子(ゲート端子)に印加される薄膜トランジスタからなるスイッチTr41を備えた構成を有し、上記電流取込信号ENに基づいて、各列グループに含まれるデータラインDLjに対応して設けられた複数の電流取込回路141j (スイッチTr41)が一斉にオン動作して、データドライバ130から供給される信号電流Icを取り込み可能な状態(取込可能状態)に設定される。

10

【0040】

また、各電流ラッチ回路142j (142)は、各列グループに含まれるデータラインDLjに出力接点OUTjを介して共通に接続されるとともに、上述した電流取込回路141jから接続接点NPjを介して供給される信号電流Icが選択的に供給される一対(2組)のラッチ部142a、142bを備えた構成を有している。

20

【0041】

ラッチ部142aは、例えば図4に示すように、上述した電流取込回路141jとの接続接点NPjと接点NA1との間に各電流路(ソース-ドレイン)が直列に接続された3個の薄膜トランジスタTa1〜Ta3と、該薄膜トランジスタTa1とTa2との接続接点NA2と接点NA3との間に電流路が接続された薄膜トランジスタTa4と、上記接点NA3と電流ラッチ回路142jの出力接点OUTjとの間に各電流路が直列に接続された2個の薄膜トランジスタTa5及びTa6と、接点NA1とNA3との間に接続されたキャパシタCAと、を備えた回路構成を有している。

30

【0042】

ここで、薄膜トランジスタTa1及びTa3の制御端子には、システムコントローラからデータ制御信号として供給される第1のラッチ/出力切換信号LC1が印加され、薄膜トランジスタTa2の制御端子には、システムコントローラからデータ制御信号として供給される電流取込信号ENが印加され、薄膜トランジスタTa6の制御端子には、システムコントローラからデータ制御信号として供給される第2のラッチ/出力切換信号LC2が印加される。また、薄膜トランジスタTa4及びTa5の制御端子は、上記接点NA1に共通に接続され、薄膜トランジスタTa4とTa5はカレントミラー回路を構成している。また、接点NA3には、接地電位よりも低い電圧レベルに設定された所定の低電位電圧Veeが印加されている。

40

【0043】

また、ラッチ部142bも、上記ラッチ部142aと同様に、電流取込回路141jとの接続接点NPjと接点NB1との間に各電流路が直列に接続された3個の薄膜トランジスタTb1〜Tb3と、該薄膜トランジスタTb1とTb2との接続接点NB2と接点NB3との間に電流路が接続された薄膜トランジスタTb4と、上記接点NB3と出力接点OUTjとの間に各電流路が直列に接続された2個の薄膜トランジスタTb5及びTb6と、接点NB1とNB3との間に接続されたキャパシタCBと、を備えた回路構成を有している。

50

【0044】

ここで、薄膜トランジスタT b 1及びT b 3の制御端子には、上記第2のラッチ/出力切換信号L C 2が印加され、薄膜トランジスタT b 2の制御端子には、上記電流取込信号E Nが印加され、薄膜トランジスタT b 6の制御端子には、上記第1のラッチ/出力切換信号L C 1が印加される。また、薄膜トランジスタT b 4及びT b 5の制御端子は、上記接点N B 1に共通に接続され、薄膜トランジスタT b 4とT b 5はカレントミラー回路を構成している。また、接点N B 3には、上記接点N A 3と同様に、低電位電圧V_{ee}が印加されている。

【0045】

このような回路構成を有する電流ラッチ回路1 4 2 jにおいて、ラッチ部1 4 2 a、1 4 2 bに設けられる薄膜トランジスタT a 4、T b 4（第1のトランジスタ）及びキャパシタC A、C B（電荷蓄積手段）は、本発明に係る電流保持部を構成し、キャパシタC A、C B及び薄膜トランジスタT a 5、T b 5（第2のトランジスタ）は本発明に係る電流出力部を構成する。 10

【0046】

なお、各ラッチ部1 4 2 a、1 4 2 bに設けられるカレントミラー回路を構成する薄膜トランジスタT a 4及びT a 5、又は、薄膜トランジスタT b 4及びT b 5の電流は、例えば1 : 1、又は、1 : x (x > 1)となるように設定されている。また、各ラッチ部1 4 2 a、1 4 2 bに設けられるキャパシタC A、C Bは、各々、薄膜トランジスタT a 4又はT a 5、T b 4又はT b 5のゲート-ドレイン間に形成される寄生容量であってもよい。 20

【0047】

また、リセット回路部1 5 0を構成する各リセット回路1 5 1 j (1 5 1)は、例えば図4に示すように、システムコントローラ1 6 0から供給されるリセット制御信号R S Tが制御端子（ゲート端子）に印加されことにより、データラインD L jに所定のリセット電圧V_{rst}を印加する薄膜トランジスタからなるスイッチT r 5 1を備えた構成を有している。ここで、リセット電圧V_{rst}は、上述したデータドライバ1 3 0及び電流ラッチ部1 4 0から表示データに対応する階調電流I_{pix}を各表示画素E Mに書き込む動作に先立って、当該表示画素E MやデータラインD Lに残留する電荷を放電してリセット状態（初期化状態）に設定することができる電圧値に設定されている。 30

【0048】

なお、本実施形態においては、各電流取込回路1 4 1 jに設けられるスイッチT r 4 1、各電流ラッチ回路1 4 2 j（ラッチ部1 4 2 a、1 4 2 b）に設けられる各薄膜トランジスタT a 1 ~ T a 6、及び、T b 1 ~ T b 6、各リセット回路1 5 1 jに設けられるスイッチT r 5 1として、例えばアモルファスシリコン半導体、あるいは、ポリシリコン半導体をチャネル層とする、nチャネル型の電界効果型トランジスタを適用することができる。

【0049】

また、上述したような電流ラッチ部1 4 0及びリセット回路部1 5 0、並びに、後述するような画素駆動回路を備えた表示画素E Mが2次元配列された表示画素アレイ1 1 0が形成された基板B A S Eの外周部には、これらの構成を取り囲むように配線層を形成して接地電位に接続した保護素子リング機構を適用するものであってよい。これによれば、基板B A S E外部から侵入する様々なノイズに起因する誤動作を抑制して、後述する画像表示動作を良好に実現することができる。 40

【0050】

次いで、上述したような回路構成を有する電流ラッチ部及びリセット回路部における動作について、図面を参照して説明する。

（電流ラッチ部の動作）

図5、図6は、本実施形態に適用可能な電流ラッチ部における動作状態を示す概念図である。ここでは、図4に示した1本のデータラインD L jに対応する一組の電流取込回路 50

141j及び電流ラッチ回路142jにおける動作について説明するが、同一の列グループに含まれる電流ラッチ回路142においても同様の動作が同期して実行される。

【0051】

本実施形態に係る電流ラッチ部140（電流取込回路141j、電流ラッチ回路142j）における動作は、データドライバ130から時系列的に供給される1行分の表示画素EMに対応する表示データに基づく信号電流Icのうち、各列グループに含まれる表示画素EMに対応する信号電流Icを、電流取込回路141jを介して電流ラッチ回路142jを構成するラッチ部142a又は142bのいずれか一方側に取り込んで電圧成分に変換して保持する電流ラッチ動作と、各電流ラッチ回路142jを構成するラッチ部142a又は142bの他方側から、一つ前の電流ラッチ動作で保持した電圧成分（信号電流Ic）に基づいて階調電流Ipixを生成して、出力接点OUTjを介して各データラインDLjに一斉に供給出力する電流出力動作と、を有している。

10

【0052】

ここで、上記電流ラッチ動作を表示画素アレイ110の各列グループごとに順次繰り返し実行して、1行分の表示画素EMに対応する信号電流Icを保持し、また、電流ラッチ回路142jを構成するラッチ部142a側と142b側との間で、上記電流ラッチ動作と電流出力動作を同期して実行するとともに、交互に繰り返し実行するように制御される。

【0053】

すなわち、表示データに基づいてデータドライバ130から各列グループに含まれる各データラインDLjに対応して供給される信号電流Icが、各電流ラッチ回路142jを構成する一方のラッチ部側（例えばラッチ部142a）に取り込み保持される期間に、同時並行的に他方のラッチ部側（例えばラッチ部142b）から一つ前の取込タイミングで取り込み保持された信号電流Icに基づく階調電流Ipixが各データラインDLjに一斉に供給されることになり、後述するように、実質的に連続して表示データに基づく信号電流Icを取り込みつつ、階調電流Ipixを各列のデータラインDLjに供給する動作が実行される。

20

【0054】

以下、上述した電流ラッチ部の各回路構成を参照しながら、上記各動作について具体的に説明する。

30

まず、図5に示すように、上述した電流取込回路141jにおいて、システムコントローラ160からデータ制御信号として供給する電流取込信号ENを、列グループごとに異なるタイミングでハイレベル（H）に設定することにより、各列グループ単位でスイッチTr41jがオン動作する。また、上述した電流ラッチ回路142jにおいて、システムコントローラ160からデータ制御信号として供給する第1のラッチ/出力切換信号LC1をハイレベル（H）、第2のラッチ/出力切換信号LC2をローレベル（L）に設定することにより、ラッチ部142aの薄膜トランジスタTa1～Ta3がオン動作し、薄膜トランジスタTa6がオフ動作する。

【0055】

そして、このタイミングに同期して、データドライバ130から列グループの各列に対応する個別の外部端子（入力端子）INjを介して、各表示画素EMに対応する信号電流Icを供給すると、薄膜トランジスタTa4のゲート-ドレイン間が電氣的に短絡されているため、飽和領域でオン動作することになり、信号電流Icは、電流取込回路141j（スイッチTr41）、ラッチ部142aの薄膜トランジスタTa1、Ta4及び接点NA3を介して、低電位電圧Vee側に流れ、当該信号電流Icの電流レベルが薄膜トランジスタTa4のゲート-ソース間の電圧レベル（電圧成分）に変換されて、蓄積容量CAに電荷として蓄積される電流ラッチ動作が行われる。

40

【0056】

このとき、蓄積容量CAへの電荷の蓄積に伴って、接点NA1の電位が上昇することにより、薄膜トランジスタTa4とともにカレントミラー回路を構成する薄膜トランジスタ

50

T a 5 がオン動作するが、薄膜トランジスタ T a 6 がオフ状態に設定されているため、薄膜トランジスタ T a 5 には電流は流れない。

【 0 0 5 7 】

次いで、図 6 に示すように、電流ラッチ回路 1 4 2 j において、システムコントローラ 1 6 0 からデータ制御信号として供給する第 1 のラッチ / 出力切換信号 L C 1 をローレベル (L)、第 2 のラッチ / 出力切換信号 L C 2 をハイレベル (H) に設定することにより、ラッチ部 1 4 2 a の薄膜トランジスタ T a 1、T a 3 がオフ動作し、薄膜トランジスタ T a 2、T a 6 がオン動作する。

【 0 0 5 8 】

このとき、上記電流ラッチ動作 (図 5) により蓄積容量 C A に蓄積された電荷に基づく電位 (高電圧) が接点 N A 1 に保持されているため、薄膜トランジスタ T a 5 がオン動作を継続する。これにより、データライン D L j が、ラッチ部 1 4 2 a の出力接点 O U T j、薄膜トランジスタ T a 6 及び T a 5 を介して低電位電圧 V e e に接続され、データライン D L j 側からラッチ部 1 4 2 a (電流ラッチ回路 1 4 2) 方向に、蓄積容量 C A に蓄積された電荷 (すなわち信号電流 I c) に基づく電流値を有する階調電流 I p i x が引き込まれるように流れる電流出力動作が行われる。

【 0 0 5 9 】

なお、上述したラッチ部 1 4 2 a における電流ラッチ動作 (図 5) においては、システムコントローラ 1 6 0 からデータ制御信号として供給される第 1 のラッチ / 出力切換信号 L C 1 がハイレベル (H)、第 2 のラッチ / 出力切換信号 L C 2 がローレベル (L) に設定されることにより、ラッチ部 1 4 2 b の薄膜トランジスタ T b 1、T b 3 がオフ動作し、薄膜トランジスタ T b 2、T b 6 がオン動作する。

【 0 0 6 0 】

このとき、上記ラッチ部 1 4 2 a における電流ラッチ動作に先立つタイミングで蓄積容量 C B に蓄積された電荷に基づく電位 (高電圧) が接点 N A 1 に保持されている場合には、薄膜トランジスタ T b 5 がオン動作することにより、データライン D L j が、ラッチ部 1 4 2 b の出力接点 O U T j、薄膜トランジスタ T b 6 及び T b 5 を介して低電位電圧 V e e に接続されるため、データライン D L j 側からラッチ部 1 4 2 b (電流ラッチ回路 1 4 2) 方向に、蓄積容量 C B に蓄積された電荷 (すなわち信号電流 I c) に基づく電流値を有する階調電流 I p i x が引き込まれるように流れる電流出力動作が行われる。

【 0 0 6 1 】

また、上述したラッチ部 1 4 2 a における電流出力動作 (図 6) においては、システムコントローラ 1 6 0 からデータ制御信号として供給される第 1 のラッチ / 出力切換信号 L C 1 がローレベル (L)、第 2 のラッチ / 出力切換信号 L C 2 がハイレベル (H) に設定されることにより、ラッチ部 1 4 2 b の薄膜トランジスタ T b 1 ~ T b 3 がオン動作し、薄膜トランジスタ T b 6 がオフ動作する。

【 0 0 6 2 】

そして、このタイミングに同期して、データドライバ 1 3 0 から列グループの各列に対応する個別の外部端子 (入力端子) I N j を介して、各表示画素 E M に対応する信号電流 I c を供給すると、薄膜トランジスタ T b 4 が飽和領域でオン動作することになり、信号電流 I c は、電流取込回路 1 4 1 j (スイッチ T r 4 1)、ラッチ部 1 4 2 b の薄膜トランジスタ T b 1、T b 4 及び接点 N B 3 を介して、低電位電圧 V e e 側に流れ、当該信号電流 I c の電流レベルが薄膜トランジスタ T b 4 のゲート - ソース間の電圧レベル (電圧成分) に変換されて、蓄積容量 C B に電荷として蓄積される電流ラッチ動作が行われる。

すなわち、ラッチ部 1 4 2 a、1 4 2 b のいずれか一方側が電流ラッチ動作状態に設定された期間に、同時並行的に、他方側が電流出力動作状態に設定される。

【 0 0 6 3 】

なお、本実施形態に係る電流ラッチ部 1 4 0 においては、後述する表示画素 E M (図 1 2 参照) に設けられる画素駆動回路の回路構成に対応させるために、データドライバ 1 3 0 から供給される正極性の信号電流 I c に対応する、負の階調電流 I p i x を生成する機能

を有し、該階調電流 I_{pix} をデータライン $D L_j$ (表示画素 $E M$) 側から引き込む (引き抜く) 方向に流す場合について説明したが、本発明はこれに限定されるものではなく、表示画素 $E M$ の回路構成に応じて、正極性の階調電流 I_{pix} を生成して、該階調電流 I_{pix} をデータライン $D L_j$ (表示画素 $E M$) に流し込む方向に流す構成を有するものであってもよい。なお、一般に市場に流通し、入手することができる周知のデータドライバは、正極性の電流 (信号電流 I_c) を出力する構成を有しているものが大半であるので、上述したような構成を有する電流ラッチ部 140 を適用することにより、周知のデータドライバを用いて、階調電流を電流ラッチ部方向に引き込む方向に流すことができる。

【0064】

(リセット回路部の動作)

図7は、本実施形態に適用可能なリセット回路部における動作状態を示す概念図である。ここでは、図4に示した1本のデータライン $D L_j$ に対応するリセット回路 151j における動作について説明するが、表示画素アレイ 110 に配設された各データライン $D L$ (全ての列) に設けられたリセット回路 151 においても同様の動作が同期して実行される。

10

【0065】

本実施形態に係るリセット回路部 150 における動作は、図7に示すように、上述したリセット回路 151j において、システムコントローラ 160 から供給するリセット制御信号 $R S T$ を、所定のタイミングでハイレベル (H) に設定することにより、各列のデータライン $D L$ の各々に個別に設けられたスイッチ $T r 5 1$ がオン動作する。

20

【0066】

また、このとき、システムコントローラ 160 からデータ制御信号として各列グループごとに供給する電流取込信号 $E N$ を全てローレベル (L) に設定するとともに、第1のラッチ/出力切換信号 $L C 1$ 及び第2のラッチ/出力切換信号 $L C 2$ をいずれもローレベル (L) に設定することにより、全ての列グループにおけるスイッチ $T r 4 1 j$ がオフ動作するとともに、ラッチ部 142a の薄膜トランジスタ $T a 1 \sim T a 3$ 、 $T a 6$ 、及び、ラッチ部 142b の薄膜トランジスタ $T b 1 \sim T b 3$ 、 $T b 6$ がオフ動作する。

【0067】

これにより、所定のリセット電圧 V_{rst} が、スイッチ $T r 5 1$ を介してデータライン $D L_j$ に印加され、このタイミングに同期して、走査ドライバ 120 から特定の行の走査ライン $S L$ に選択レベル (ハイレベル; H) の走査信号 V_{sel} を印加することにより、上記リセット電圧 V_{rst} が当該行の表示画素 $E M$ に印加されて、表示画素 $E M$ に残留する電荷 (電圧成分) 及びデータライン $D L_j$ の配線容量に充電された電荷が放電されてリセット状態に設定されるリセット動作が行われる。

30

【0068】

(電流ラッチ部の全体構成)

図8は、本実施形態に係る電流取込回路及び電流ラッチ回路を適用した場合の電流ラッチ部の一例を示す概略構成図である。ここでは、図4に示した電流ラッチ部の回路構成及び図5、図6に示した動作を参照しながら説明する。

【0069】

上述した具体例のように、表示画素アレイ 110 が 144 行 × 144 列の画素配列を有する場合においては、電流ラッチ部 140 は、図8に示すように、6組の各列グループ (1 ~ 24 列目、25 ~ 48 列目、... 121 ~ 144 列目) 単位で、各列 (データライン $D L$) に対応して電流取込回路 141 (141-1 ~ 141-24、141-25 ~ 141-48、... 141-121 ~ 141-144) 及び電流ラッチ回路 142 (142-1 ~ 142-24、142-25 ~ 142-48、... 142-121 ~ 142-144) が設けられている。

40

【0070】

ここで、各列グループの1番目の列に対応する電流取込回路 141 (141-1、141-25、... 141-121) は、外部端子 (入力端子) $I N 1$ に共通に接続され、

50

2番目の列に対応する電流取込回路141(141-2、141-26、・・・141-122)は、外部端子(入力端子)IN2に共通に接続され、・・・24番目の列に対応する電流取込回路141(141-24、141-48、・・・141-144)は、外部端子(入力端子)IN24に共通に接続されている。また、各列グループに対応する電流ラッチ回路142は、表示画素アレイ110に配設された各列のデータラインDL(DL1~DL24、DL25~DL48、・・・DL121~DL144)に、表示データ(信号電流Ic)に応じた階調電流Ipixを個別に供給するための出力接点OUT(OUT1~OUT24、OUT25~OUT48、・・・OUT121~OUT144)を有している。

【0071】

10

これにより、各列グループの電流取込回路141に対して、システムコントローラ160から各列グループごとに異なるタイミングで電流取込制御信号EN1、EN2、・・・EN6を個別に供給することにより、各列グループが順次電流取込動作状態に設定されるので、データドライバ130から供給される24画素分の信号電流Icを24個の外部端子IN1~IN24を介して同時に取り込む動作を、各列グループごとに順次繰り返して1行分の表示画素EMに対応した信号電流Icが取り込まれる。

【0072】

また、各列グループの電流ラッチ回路142は、システムコントローラ160から各列グループごとに異なるタイミングで個別に供給される上記電流取込制御信号EN1、EN2、・・・EN6、及び、全ての列グループに共通に供給される第1のラッチ/出力切換信号LC1、第2のラッチ/出力切換信号LC2により、上記電流取込回路141を介して取り込まれた信号電流Icを電圧成分に変換して保持する電流ラッチ動作(図5)、及び、保持した電圧成分(信号電流Ic)に応じた階調電流Ipixを引き込む電流出力動作(図6)が実行される。

20

【0073】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置における駆動制御方法について、図面を参照して説明する。

図9は、本実施形態に係る表示装置における駆動制御動作(駆動制御方法)の一例を示すタイミングチャートである。ここでは、上述した具体例のように、表示画素アレイ110が144行×144列の画素配列を有する場合について、上述した表示装置100の各構成、並びに、電流ラッチ部140及びリセット回路部150の動作を適宜参照しながら説明する。

30

【0074】

上述したような構成を有する表示装置100における駆動制御動作は、2水平走査期間を一単位期間として、大別して、前半の1水平走査期間でデータドライバ130から供給される1行分の表示データに応じた信号電流Icを列グループ単位で順次取り込んで、電流ラッチ部140に1行分の表示データ(信号電流Ic)に応じた電荷(電圧成分)を保持する動作(電流ラッチ動作期間)と、後半の1水平走査期間の冒頭で、表示画素アレイ110に配設されたデータラインDL及び後述する電流書込動作の対象となる行の表示画素EMに残留する電荷を放電して初期化する動作(リセット動作期間)と、後半の1水平走査期間におけるリセット動作終了後に、上記電流ラッチ動作において電流ラッチ部140に保持した電荷に応じた階調電流Ipixを、所定の行の各表示画素EM(画素駆動回路)に一斉に書き込んで発光素子を発光させる動作(電流書込動作期間;上述した電流ラッチ部140における電流出力動作に相当する)と、を含んでいる。なお、144行×144列の画素配列を有する表示画素アレイ110を、フレーム周波数30Hzで駆動する場合においては、上記1水平走査期間は231.48μsecに規定される。

40

【0075】

まず、電流ラッチ動作においては、図9(図中、「1行目ラッチ」参照)に示すように、システムコントローラ160からデータ制御信号として供給される第1のラッチ/出力

50

切換信号 LC 1 をハイレベル (H)、第 2 のラッチ / 出力切換信号 LC 2 をローレベル (L) に設定し、当該電流ラッチ動作期間に、電流取込制御信号 EN 1 ~ EN 6 を相互に時間的に重ならないタイミングで順次ハイレベル (H) に設定することにより、図 5 に示したように、データドライバ 130 から各列グループごとに出力される 24 画素分の信号電流 Ic が、各々別個に設けられた外部端子 IN 1 ~ IN 24 を介して、異なるタイミングで各列グループの電流取込回路 141 (141-1 ~ 141-24、又は、141-25 ~ 141-48、・・・141-121 ~ 141-144 のいずれかの列グループの電流取込回路) に供給されて、当該列グループの電流ラッチ回路 142 (142-1 ~ 142-24、又は、142-25 ~ 142-48、・・・142-121 ~ 142-144 のいずれかの列グループの電流ラッチ回路) に設けられた一方側のラッチ部 142a に取り込まれ電荷 (電圧成分) として保持する動作が、各列グループにおける電流取込回路 141 及び電流ラッチ回路 142 において順次実行されて、(1 行目の) 1 行分の信号電流 Ic が電流ラッチ部 140 に取り込み保持される (図 9 中、データドライバ出力「1」~「6」として表記)。

10

【0076】

次いで、リセット動作においては、図 9 に示すように、上記電流ラッチ動作の終了後、第 1 のラッチ / 出力切換信号 LC 1、第 2 のラッチ / 出力切換信号 LC 2、電流取込制御信号 EN 1 ~ EN 6 をローレベル (L) に設定し、システムコントローラ 160 から供給されるデータ制御信号 RST をハイレベル (H) に設定するとともに、走査ドライバ 120 から後述する電流書込動作の対象となる行 (1 行目) の走査ライン SL に印加される走査信号 Vsel をハイレベル (H) に設定することにより、図 7 に示したように、選択状態に設定された表示画素 EM (画素駆動回路) に各行ごとに設けられたリセット回路 151 及び各データライン DL を介して所定のリセット電圧 Vrst が一斉に印加されて、当該行 (1 行目) の各表示画素 EM に残留する電荷 (電圧成分) 及び各列のデータライン DL の配線容量に充電された電荷が放電される (初期化される)。

20

【0077】

なお、上述した電流ラッチ動作においては、各列グループごとにデータドライバ 130 から供給される信号電流 Ic を取り込んで、電流ラッチ回路 142 (ラッチ部 142a 又は 142b) に保持するために必要な最小所要時間は、概ね 10 μ sec 程度であり、また、全列グループに対して同時に実行されるリセット動作において必要な最小所要時間は、概ね 15 μ sec 程度である。ここで、図 9 に示すように、144 行 \times 144 列の画素配列を有する表示画素アレイ 110 を、フレーム周波数 30 Hz で駆動する場合においては、各列グループにおける電流ラッチ動作期間として 35.2 μ sec (全列グループでは 35.2 \times 6 = 211.2 μ sec) が設定され、リセット動作期間として 20.28 μ sec が設定されている (35.2 \times 6 + 20.28 = 231.48 (1 水平走査期間))。すなわち、電流ラッチ動作期間に設定される所要時間により、表示画素アレイ 110 に設定される列グループの最大数 (最大分割数) が規定されることになる。

30

【0078】

次いで、電流書込動作 (電流出力動作) においては、図 9 (図中、「1 行目出力」参照) に示すように、第 1 のラッチ / 出力切換信号 LC 1 をローレベル (L)、第 2 のラッチ / 出力切換信号 LC 2 をハイレベル (H) に設定し、当該電流書込動作期間に、走査ドライバ 120 から電流書込動作の対象となる行 (1 行目) の走査ライン SL に印加される走査信号 Vsel をハイレベル (H) に設定することにより、図 6 に示したように、電流ラッチ部 140 (電流ラッチ回路 142) に設けられた一方側のラッチ部 142a に保持された電荷に基づく負極性の階調電流 I pix が各列のデータライン DL に供給されて、選択状態に設定された各表示画素 EM (画素駆動回路) から各列のデータライン DL を介して電流ラッチ部 140 方向に各階調電流 I pix を引き抜くように一斉に流れる。これにより、後述するように、(1 行目の) 表示画素 EM に設けられる画素駆動回路に階調電流 I pix に応じた電荷 (電圧成分) が保持されて表示データ (階調電流 I pix) が書き込まれる。

40

【0079】

50

そして、このような電流ラッチ回路 142 に設けられた一方側のラッチ部 142a から階調電流 I_{pix} を出力する電流書込動作期間に同期して、図 9 (図中、「2 行目ラッチ」参照) に示すように、第 1 のラッチ / 出力切換信号 LC1 がローレベル (L)、第 2 のラッチ / 出力切換信号 LC2 がハイレベル (H) に設定されているので、当該電流書込動作期間に、電流取込制御信号 EN1 ~ EN6 を相互に時間的に重ならないタイミングで順次ハイレベル (H) に設定することにより、上述した 1 行目の電流ラッチ動作と同様に、データドライバ 130 から各列グループごとに出力される 24 画素分の信号電流 I_c が各外部端子 IN1 ~ IN24 を介して、異なるタイミングで電流ラッチ部 140 (各列グループの電流取込回路 141 及び電流ラッチ回路 142) に設けられた他方側のラッチ部 142b に順次取り込まれて、(2 行目の) 1 行分の信号電流 I_c が電荷 (電圧成分) として保持される電流ラッチ動作が実行される。 10

【0080】

したがって、本実施形態においては、表示画素アレイに 2 次元配列された複数の表示画素を、複数列ごとの列グループ (ブロック) に分割し、各列グループに含まれる列数の表示画素分に対応した数の外部端子を有し、第 1 のタイミングで、列グループ単位で表示データに応じた信号電流を取り込み保持する動作を順次繰り返して、1 行分の各表示画素に対応する信号電流を電圧成分に変換して保持し、第 2 のタイミングで、第 1 のタイミングで保持した電圧成分に基づいて、1 行分の各表示画素ごとに上記表示データに応じた階調電流を生成して、表示画素アレイに配設された各データラインを介して特定の行の各表示画素に上記階調電流を一斉に書き込むことができるので、上記各列グループに含まれる列数分の外部端子を介して、ドライバチップとしての形態を有するデータドライバと表示画素アレイが形成された基板 (パネル基板) とを接続した構成において、表示画素アレイの各表示画素に表示データに応じた階調電流を良好に書き込むことができる。 20

【0081】

具体的には、上述した 144 行 × 144 列の画素配列を有する表示画素アレイ 110 を適用し、6 個の列グループに分けた場合、本実施形態に係る表示装置においては、基板 (パネル基板) とデータドライバとを接続する外部端子の数は、 $144 (列) \div 6 (グループ) = 24 (列)$ となるので、従来技術におけるように基板上のデータラインとデータドライバの出力端子とを 1 : 1 の関係で接続する場合に比較して、列グループの数分の 1 (すなわち、列グループ数を k とした場合、従来技術の $1/k$) の数の外部端子で双方を接続した構成を実現することができる。 30

【0082】

これにより、表示画素アレイ (表示パネル) を高精細化した場合であっても、データドライバ (ドライバチップ) の出力端子数の増加を抑制、又は、出力端子数を削減することができるとともに、端子間ピッチ (間隔) の狭小化を抑制することができるので、ドライバチップの接続工程における位置精度の簡略化や工数の削減を図ることができる。また、電流ラッチ部及びリセット回路部を、表示画素アレイが形成された基板上に、一体的に形成することができるので、部品点数の増加を抑制して、表示装置の製品コストを抑制することができる。

【0083】

次に、本発明に係る表示装置の他の実施形態について、図面を参照して説明する。

図 10 は、本発明に係る表示装置に適用される電流ラッチ部の他の例を示す概略構成図である。また、図 11 は、本実施形態に係る表示装置における駆動制御動作 (駆動制御方法) の一例を示すタイミングチャートである。ここで、上述した実施形態 (図 8、図 9 参照) と同等の構成及びの動作については、その説明を簡略化する。

【0084】

本実施形態に係る表示装置に適用される電流ラッチ部 140 は、図 10 に示すように、上述した実施形態における構成 (図 8 参照) に加えて、データドライバ 130 から信号電流が供給される各外部端子 (入力端子) IN1 ~ IN24 に所定のプリチャージ電圧 V_{pc} を印加するプリチャージ回路 (プリチャージ手段) 180 が接続された構成を有してい 40 50

る。

【0085】

ここで、プリチャージ電圧 V_{pcg} は、電流ラッチ部 140 (電流ラッチ回路 142 に設けられる一対のラッチ部 142 a 又は 142 b) における信号電流 I_c のラッチ動作に先立つタイミングで印加される。また、当該プリチャージ電圧 V_{pcg} の印加に基づいて、電流ラッチ回路 142 に保持される電圧成分は、ラッチ部 142 a 又は 142 b のカレントミラー回路を構成するトランジスタのしきい値電圧程度、もしくは、その近傍の電圧値になるように設定されている。

【0086】

なお、図 10 においては、プリチャージ回路 180 がデータドライバ 130 とは個別の構成を有して、各外部端子 (入力端子) $IN1 \sim IN24$ に接続された構成を示したが、本発明はこれに限定されるものではなく、データドライバ 130 内にプリチャージ電圧を生成、出力する機能を有しているものであってもよい。

【0087】

このような構成を有する表示装置 100 の駆動制御動作は、図 11 に示すように、上述した電流ラッチ動作に先立つタイミングで、システムコントローラ 160 からデータ制御信号として供給される第 1 のラッチ / 出力切換信号 $LC1$ をハイレベル (H)、第 2 のラッチ / 出力切換信号 $LC2$ をローレベル (L) に設定し、また、電流取込制御信号 $EN1 \sim EN6$ の全てを同時にハイレベル (H) に設定するとともに、システムコントローラ 160 から供給されるプリチャージ信号 PCG をハイレベルに設定することにより、プリチャージ回路 180 から各外部端子 $IN1 \sim IN24$ に印加された所定のプリチャージ電圧 V_{pcg} が各列グループの電流取込回路 141 (141-1 ~ 141-144) を介して、各電流ラッチ回路 142 (142-1 ~ 142-144) に設けられた一方側のラッチ部 142 a (又は、142 b) に共通に印加され、当該プリチャージ電圧 V_{pcg} に応じた電圧成分がキャパシタ CA (又は、 CB) に充電される。

【0088】

ここで、上述したように、このプリチャージ動作によりラッチ部 142 a (キャパシタ CA) に充電される電圧成分は、カレントミラー回路を構成する薄膜トランジスタ $Ta4$ 及び $Ta5$ におけるしきい値電圧程度、もしくは、その近傍になるように、上記プリチャージ電圧 V_{pcg} の電圧値が設定されている。

【0089】

これにより、引き続き実行される電流ラッチ動作において、各列グループごとに信号電流を供給して各電流ラッチ回路 142 (ラッチ部 142 a) に電荷を保持させる際に、キャパシタ CA に上記カレントミラー回路を構成する薄膜トランジスタ $Ta4$ 及び $Ta5$ におけるしきい値電圧相当分が予め充電されているので、迅速に信号電流 I_c に応じた電荷 (電圧成分) を保持することができ、電流ラッチ動作期間の短縮、もしくは、電流ラッチ動作の遅延を改善することができる。

【0090】

すなわち、上述した実施形態 (図 8、図 9 参照) においては、表示画素アレイを構成する表示画素を複数の列グループに分割し、該列グループに含まれる列数に相当する数の外部端子を介して、各列グループごとに表示データに応じた信号電流を取り込み保持する動作を順次繰り返して、1 行分の信号電流を電流ラッチ部に保持するように駆動制御されるため、列グループの数に応じて各列グループにおけるラッチ動作に許容される時間が制約されることになる (短くなる場合がある)。

【0091】

また、表示画素アレイ 110 (表示画素 EM) や電流ラッチ部 140 等を、基板 BAS 上にアモルファスシリコン半導体層を用いた電界効果型トランジスタ (アモルファスシリコン薄膜トランジスタ) を適用して構成した場合、当該トランジスタ特性に起因して動作速度が低下したり、低階調の表示データに基づいて信号電流 I_c の電流値を小さくした場合、電流ラッチ動作の遅延が生じたりする可能性がある。

10

20

30

40

50

【0092】

そこで、本実施形態（図10、図11参照）においては、各電流ラッチ回路142（ラッチ部142a、142b）に設けられ、信号電流 I_c を電圧成分に変換して保持し、所定の電流値を有する階調電流 I_{pix} を生成するためのカレントミラー回路を構成する薄膜トランジスタ T_{a4} 、 T_{a5} （又は T_{b4} 、 T_{b5} ）のしきい値電圧相当分の電圧を、プリチャージ動作によりキャパシタ C_A （又は C_B ）に予め充電しておくことにより、迅速なラッチ動作を実現することができるので、トランジスタの動作速度の低下や信号遅延に伴う画質の劣化を抑制することができる。

【0093】

また、本実施形態においては、カレントミラー回路を構成する薄膜トランジスタ T_{a4} 及び T_{a5} 、又は、薄膜トランジスタ T_{b4} 又は T_{b5} の電流比を $1:x$ （ $x>1$ ）となるように設定することにより、電流ラッチ回路（ラッチ部）における表示データ（信号電流）のラッチ動作を小電流で迅速に行うことができ、ラッチ動作の遅延を抑制しつつ、表示画素に供給される階調電流の電流値（絶対値）を大電流化して、表示画素への表示データの書込動作を確実に行うことができる。

【0094】

<表示画素の具体回路例>

次に、本発明に係る表示装置に適用可能な表示画素の具体的な回路例について、図面を参照して説明する。

図12は、本発明に係る表示装置に適用可能な表示画素（画素駆動回路、発光素子）の一具体例を示す回路構成図である。

【0095】

図12に示すように、本発明に係る表示装置に適用可能な表示画素 EM は、概略、上述した走査ドライバ120から印加される走査信号 V_{sel} に基づいて表示画素 EM を選択状態に設定し、該選択状態において電流ラッチ部140から供給される階調電流 I_{pix} を取り込み電圧成分として保持し、該階調電流 I_{pix} に応じた発光駆動電流を発光素子に流す画素駆動回路 DC と、該画素駆動回路 DC から供給される発光駆動電流に基づいて、所定の輝度階調（表示階調）で発光動作する有機 EL 素子 OEL 等の電流制御型の発光素子と、を有して構成されている。

【0096】

画素駆動回路 DC は、例えば図12に示すように、制御端子（ゲート端子）が走査ライン SL に、電流路（ソース・ドレイン）が電源電圧 V_{sc} が印加される電源ライン VL （接点 $N13$ ）及び接点 $N11$ に各々接続されたトランジスタ $Tr11$ と、制御端子が走査ライン SL に、電流路がデータライン DL 及び接点 $N12$ に各々接続されたトランジスタ $Tr12$ と、制御端子が接点 $N11$ に、電流路が電源ライン VL 及び接点 $N12$ に各々接続されたトランジスタ（発光駆動トランジスタ） $Tr13$ と、接点 $N11$ 及び接点 $N12$ 間に接続されたキャパシタ C_s と、を備えた回路構成を有している。

【0097】

有機 EL 素子 OEL は、アノード端子が上記画素駆動回路 DC の接点 $N12$ に接続され、カソード端子が接地電位に接続されている。

ここで、トランジスタ $Tr11$ ～ $Tr13$ はいずれも n チャンネル型の薄膜トランジスタ（電界効果型トランジスタ）を適用することができる。また、キャパシタ C_s はトランジスタ $Tr13$ のゲート・ソース間に形成される寄生容量、又は、該ゲート・ソース間に付加的に形成される補助容量である。

【0098】

<表示画素の駆動制御動作>

図13は、本実施例に係る表示画素（画素駆動回路）の駆動制御動作を示す概念図である。ここでは、上述した表示装置の各部の動作（図5～図9参照）を適宜参照しながら説明する。

【0099】

10

20

30

40

50

このような構成を有する画素駆動回路DCにおける発光素子（有機EL素子OEL）の発光駆動制御は、1処理サイクル期間に、表示画素EMを選択状態に設定して、上述したリセット回路部150からリセット電圧Vrstをデータラインに印加して残留する電荷を放電するリセット動作期間と、表示画素EMを選択状態に設定して、上述した電流ラッチ部140から表示データに対応する階調電流Ipixを供給して書き込む（電圧成分として保持する）電流書込動作期間と、表示画素EMを非選択状態に設定して、上記電流書込動作期間に書き込み保持された電圧成分に基づいて、表示データに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる発光動作期間と、を設定することにより実行される。

【0100】

（リセット動作期間）

まず、リセット動作（リセット動作期間）においては、上述したリセット回路部150の動作（図7、図9参照）においても説明したように、図13（a）に示すように、走査ドライバ120から走査ラインSLに対して、ハイレベル（H）の走査信号Vselを印加して表示画素EMを選択状態に設定するとともに、電源ラインVLに対して、ローレベル（L）の電源電圧Vscを印加する。また、このタイミングに同期して、リセット回路151（151j）からデータラインDLに対して、所定のリセット電圧Vrstを印加する。

【0101】

これにより、トランジスタTr11及びTr12がオン動作して、ローレベルの電源電圧Vsc（例えば接地電位）が接点N11（トランジスタTr13のゲート端子及びキャパシタCsの一端側）に印加されるとともに、データラインDLに印加された高電位のリセット電圧Vrstに基づく電圧レベルが接点N12（トランジスタTr13のソース端子及びキャパシタCsの他端側）に印加されるので、接点N11及びN12間（トランジスタTr13のゲート-ソース間）に電位差が生じることにより、トランジスタTr13がオン動作して、リセット回路151からデータラインDL、トランジスタTr12、接点N12、トランジスタTr13を介して、電源ラインVL方向に、リセット電流Irstが流れる。

【0102】

このとき、当該リセット動作以前にキャパシタCsに保持された、又は、残留する電荷（電圧成分）は、接点N11及びN12に各々ローレベルの電源電圧Vsc（例えば接地電位）及びリセット電圧Vrstが印加されることにより放電され、接点N11及びN12間（トランジスタのTr13のゲート-ソース間）に上記リセット電流Irstを流すために必要な電位差に対応する電荷（電圧成分）が蓄積されたリセット状態（初期化状態）に設定される。

【0103】

（電流書込動作期間）

次いで、電流書込動作（電流書込動作期間）においては、上述した電流ラッチ部140の動作（図5、図6参照）においても説明したように、図13（b）に示すように、走査ドライバ120から走査ラインSLに対して、ハイレベル（H）の走査信号Vselを印加して表示画素EMを選択状態に設定するとともに、電源ラインVLに対して、ローレベル（L）の電源電圧Vscを印加する。また、このタイミングに同期して、電流ラッチ部140（ラッチ部142a又は142b）からデータラインDLに対して、表示データに応じた負極性の階調電流IpixがデータラインDLjに供給される。

【0104】

これにより、トランジスタTr11及びTr12がオン動作して、ローレベルの電源電圧Vsc（例えば接地電位）が接点N11に印加されるとともに、データラインDLを介して電流ラッチ部140方向に階調電流Ipixを引き込む（引き抜く）動作が行われることにより、ローレベルの電源電圧Vscよりも低電位の電圧レベルが接点N12に印加されるので、接点N11及びN12間に電位差が生じることにより、トランジスタTr13がオン動作して、電源ラインVLからトランジスタTr13、接点N12、トランジスタTr

10

20

30

40

50

12、データラインDLを介して、電流ラッチ部140方向に、階調電流I_{pix}に対応した書込電流I_aが流れる。なお、このような書込電流I_aを流すために、電流ラッチ回路142に供給される低電位電圧V_{ee}は、ローレベルの電源電圧V_{sc}(例えば接地電位)よりも低い電圧レベルに設定されている。

【0105】

このとき、キャパシタC_sには、接点N11及びN12間に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される(充電される)。また、電源ラインVLには、ローレベルの電源電圧V_{sc}(例えば接地電位)が印加され、さらに、書込電流I_aがデータラインDL方向に流れるように制御されていることから、有機EL素子OELのアノード端子(接点N12)に印加される電位はカソード端子の電位(接地電位)よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されていることになるため、有機EL素子OELには発光駆動電流が流れず、発光動作は行われぬ。

10

【0106】

(発光動作期間)

次いで、発光動作(発光動作期間)においては、図13(c)に示すように、走査ドライバ120から走査ラインSLに対して、ローレベル(L)の走査信号V_{sel}を印加して表示画素EMを非選択状態に設定するとともに、電源ラインVLに対して、ハイレベル(H)の電源電圧V_{sc}を印加する。また、このタイミングに同期して、電流ラッチ部140による階調電流I_{pix}の供給を遮断して引き込み動作を停止する。

【0107】

20

これにより、トランジスタTr11及びTr12がオフ動作して、接点N11への電源電圧V_{sc}の印加が遮断されるとともに、接点N12への階調電流I_{pix}の引き込み動作に伴う電圧レベルの印加が遮断されるので、キャパシタC_sは、上述した電流書込動作期間において蓄積された電荷を保持する。

【0108】

このように、キャパシタC_sが電流書込動作時に蓄積された電荷(充電電圧)を保持することにより、接点N11及びN12間(トランジスタTr13のゲート-ソース間)の電位差が保持されることになり、トランジスタTr13が階調電流I_{data}の電流値に応じた電流値の電流を流すことができるような導通状態(オン状態)を維持する。また、電源ラインVLに、接地電位よりも高い電圧レベルを有する電源電圧V_{sc}が印加されるので、有機EL素子OELのアノード端子(接点N12)に印加される電位はカソード端子の電位(接地電位)よりも高くなる。

30

【0109】

したがって、電源ラインVLからトランジスタTr13、接点N12を介して、有機EL素子OELに順バイアス方向に所定の発光駆動電流I_bが流れ、有機EL素子OELが発光する。ここで、キャパシタC_sにより保持される電位差(充電電圧)は、トランジスタTr13において階調電流I_{pix}に対応した書込電流I_aを流す場合の電位差に相当するので、有機EL素子OELに流れる発光駆動電流I_bは、上記書込電流I_a(階調電流I_{pix})と同等の電流値を有することになる。

【0110】

40

これにより、発光動作期間においては、電流書込動作期間に書き込まれた表示データに応じた階調電流I_{pix}に基づく電圧成分が保持され、これに基づいてトランジスタTr13が飽和状態でオン動作して、発光駆動電流I_bが継続的に供給され、有機EL素子OELが表示データに応じた輝度階調で発光する動作を継続する。

そして、このような一連の駆動制御動作を、表示画素アレイ110に配列された全ての表示画素について、各行ごとに順次繰り返し実行することにより、1画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

【0111】

ここで、特に、本実施例に係る画素駆動回路DCにおいては、トランジスタTr11~Tr13を全て同一のチャネル極性(nチャネル型)を有する薄膜トランジスタを用いて

50

構成することができるため、上述した電流ラッチ部 140 (電流取込回路 141、電流ラッチ回路 142) 及びリセット回路部 150 (リセット回路 151) と同様に、アモルファスシリコン半導体、あるいは、ポリシリコン半導体をチャンネル層とする、nチャンネル型の電界効果型トランジスタを適用することができる。

【0112】

これによれば、表示画素 EM が 2 次元配列された表示画素アレイ 110 とともに、上述した電流ラッチ部 140 及びリセット回路部 150 を単一の基板 (パネル基板) 上に製造プロセスを共通化して一体的に形成することができる。特に、表示画素アレイ 110 及び電流ラッチ部 140、リセット回路部 150 を、アモルファスシリコン半導体層を用いた nチャンネル型の電界効果型トランジスタを適用して構成した場合にあっては、すでに確立されたアモルファスシリコンの製造技術を適用して、動作特性の安定した電界効果型トランジスタを比較的安価に製造することができるので、表示画素アレイ (表示パネル) を高精細化や大型化した場合であっても、表示画質の優れた表示装置を簡易かつ良好に実現することができる。

10

【0113】

図 14 は、本実施例に係る表示画素を適用した表示装置の一構成例を示す概略ブロック図であり、図 15 は、本実施例に係る表示画素を適用した表示装置の他の構成例を示す要部構成図である。ここでは、本実施形態に係る表示画素 (画素駆動回路) を適用した場合に特有の構成についてのみ詳しく説明し、上述した実施形態と同等の構成についてはその説明を省略する。また、図 15 においては、上述した具体例に示したように、表示画素アレイ 110 が 144 行 × 144 列の画素配列を有する場合を示す。

20

【0114】

上述した実施例に係る表示画素 EM (画素駆動回路 DC) を適用した表示装置の一構成例としては、例えば図 14 に示すように、上述した実施形態 (図 1、図 2 参照) の構成に加え、表示画素アレイ 110 の各行の走査ライン SL に並行して配設された各電源ライン VL に対して、図示を省略した外部端子を介して接続され、システムコントローラ 160 から供給される電源制御信号に基づいて、走査ドライバ 120 から走査信号 Vsel を出力するタイミングに同期して、走査信号 Vsel とは逆極性となる電圧レベルを有する電源電圧 Vcs を各電源ライン VL_i に印加する電源ドライバ 180 を備えた構成を良好に適用することができる。

30

ここで、電源ドライバ 180 は、例えば上述した走査ドライバ 120 (図 2 参照) と同様に、シフトレジスタ回路と出力回路 (出力バッファ) を備えた周知の構成を適用することができる。

【0115】

また、上述した実施例に係る表示画素 EM (画素駆動回路 DC) を適用した表示装置の他の構成例としては、表示画素アレイ 110 に配列された表示画素 EM が、各々同数の行 (すなわち走査ライン SL 又は電源ライン VL) ごとにグループ分けされ、各行グループごとに電源ドライバ 180 から個別の外部端子を介して共通の電源電圧 Vsc が印加されるように構成されている。

【0116】

具体的には、例えば図 15 に示すように、144 行 × 144 列の画素配列を有する表示画素アレイ 110 が、18 行 (18 本の電源ライン VL) ごとの 8 グループ (1 ~ 18 行目、19 ~ 36 行目、37 ~ 54 行目、55 ~ 72 行目、73 ~ 90 行目、91 ~ 108 行目、109 ~ 126 行目、127 ~ 144 行目) に分けられ、各行グループごとに電源ドライバ 180 から個別の外部端子を介して、個別の電源電圧 Vsc (Vsc1 ~ Vsc8) が異なるタイミングで印加される。これにより、各行グループに含まれる 18 行分 (例えば 1 ~ 18 行目) の表示画素に対して、単一の外部端子を介して供給される電源電圧 Vsc (例えば Vsc1) が同時に印加される。

40

【0117】

このような構成を有する表示装置における駆動制御方法は、走査ドライバにより 1 行目

50

の走査ラインから順に、ハイレベルの走査信号を印加して各行の表示画素を順次選択状態に設定して、上述したリセット動作及び電流書込動作を実行する際に、各行グループに含まれる各行（例えば1～18行目）のいずれかが選択状態に設定されている期間中、電源ドライバから当該行グループに対応して単一の外部端子を介して供給される電源電圧 V_{sc} （例えば V_{sc1} ）が継続してローレベルに設定される。

そして、各行グループごとに表示データに応じた電流書込動作が終了した時点で、当該行グループに共通に印加される電源電圧 V_{sc} をハイレベルに設定することにより、電流書込動作が終了した行グループから順に、当該行グループに含まれる各行の表示画素が一斉に発光する動作が行われ、これを繰り返すことにより、1画面分の表示データに応じた所望の画像情報が表示される。

10

【0118】

なお、上述した表示画素EMにおいては、画素駆動回路DCとして3個のトランジスタを備えた回路構成を示したが、本発明はこの実施形態に限定されるものではなく、少なくとも、電流指定方式を適用した画素駆動回路であれば、他の回路構成を有するものであってもよい。また、上述した実施例においては、表示画素EMを構成する発光素子として、有機EL素子を適用した構成を示したが、本発明に係る表示装置はこれに限るものではなく、例えば発光ダイオード等の他の電流制御型の発光素子であっても良好に適用することができる。

【図面の簡単な説明】

【0119】

20

【図1】本発明に係る表示装置の全体構成を示す概略ブロック図である。

【図2】本発明に係る表示装置の一実施形態を示す要部概略構成図である。

【図3】本実施形態に係る表示装置に適用可能なデータドライバの一例を示すブロック図である。

【図4】本実施形態に係る表示装置に適用可能な電流ラッチ部及びリセット回路部の一例を示す回路構成図である。

【図5】本実施形態に適用可能な電流ラッチ部における動作状態（その1）を示す概念図である。

【図6】本実施形態に適用可能な電流ラッチ部における動作状態（その2）を示す概念図である。

30

【図7】本実施形態に適用可能なリセット回路部における動作状態を示す概念図である。

【図8】本実施形態に係る電流取込回路及び電流ラッチ回路を適用した場合の電流ラッチ部の一例を示す概略構成図である。

【図9】本実施形態に係る表示装置における駆動制御動作（駆動制御方法）の一例を示すタイミングチャートである。

【図10】本発明に係る表示装置に適用される電流ラッチ部の他の例を示す概略構成図である。

【図11】本実施形態に係る表示装置における駆動制御動作（駆動制御方法）の一例を示すタイミングチャートである。

【図12】本発明に係る表示装置に適用可能な表示画素（画素駆動回路、発光素子）の一具体例を示す回路構成図である。

40

【図13】本実施例に係る表示画素（画素駆動回路）の駆動制御動作を示す概念図である。

【図14】本実施例に係る表示画素を適用した表示装置の一構成例を示す概略ブロック図である。

【図15】本実施例に係る表示画素を適用した表示装置の他の構成例を示す要部構成図である。

【図16】従来技術における発光素子型ディスプレイの要部構成例を示す概略図である。

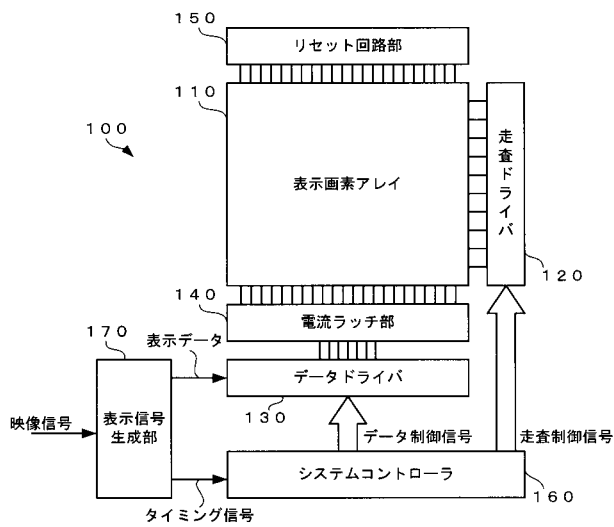
【符号の説明】

【0120】

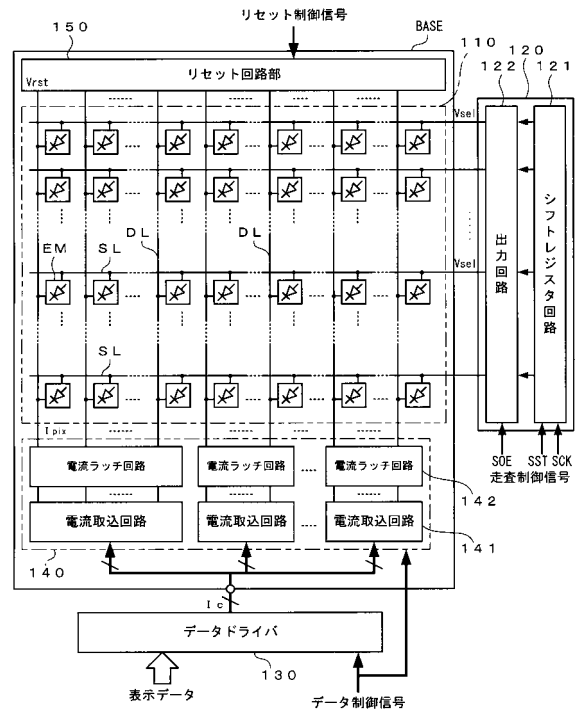
50

- 1 0 0 表示装置
- 1 1 0 表示画素アレイ
- 1 2 0 走査ドライバ
- 1 3 0 データドライバ
- 1 4 0 電流ラッチ部
- 1 4 1 電流取込回路
- 1 4 2 電流ラッチ回路
- 1 4 2 a、1 4 2 b ラッチ部
- 1 5 0 リセット回路部
- 1 6 0 システムコントローラ
- 1 7 0 表示信号生成部
- S L 走査ライン
- D G データライン
- E M 表示画素
- D C 画素駆動回路
- O E L 有機 E L 素子

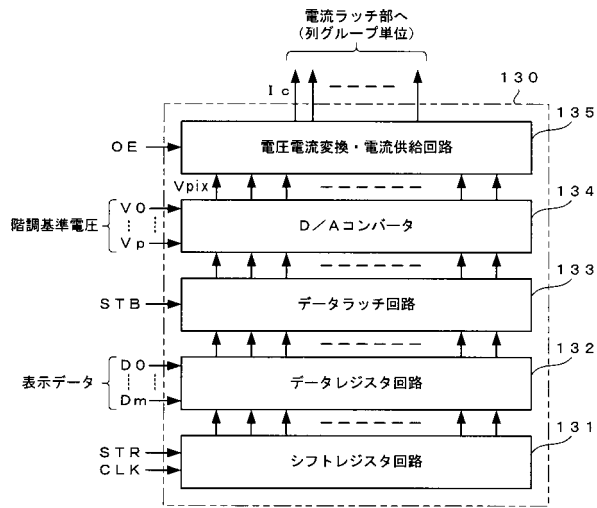
【 図 1 】



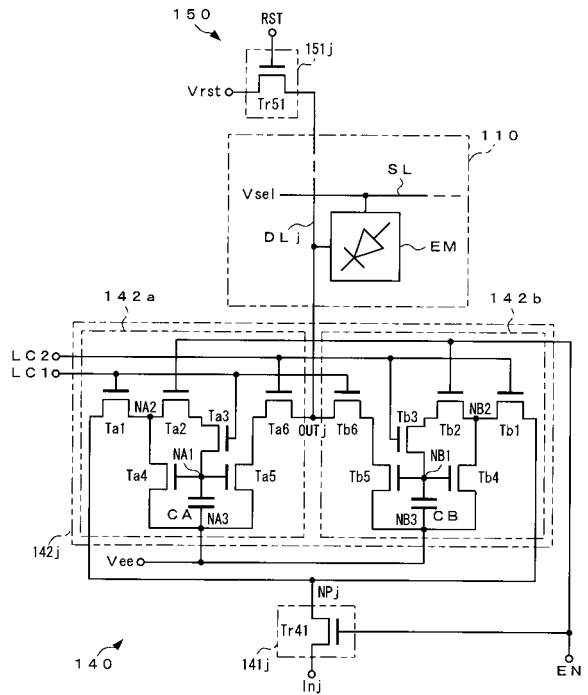
【 図 2 】



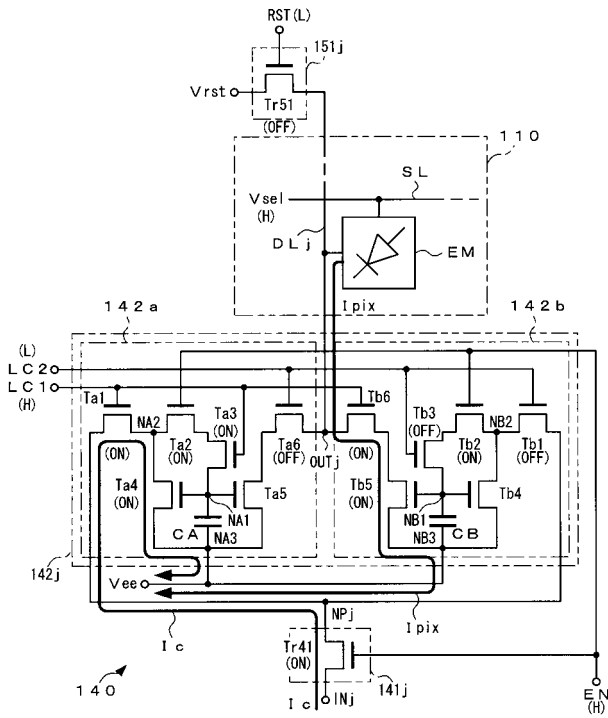
【 図 3 】



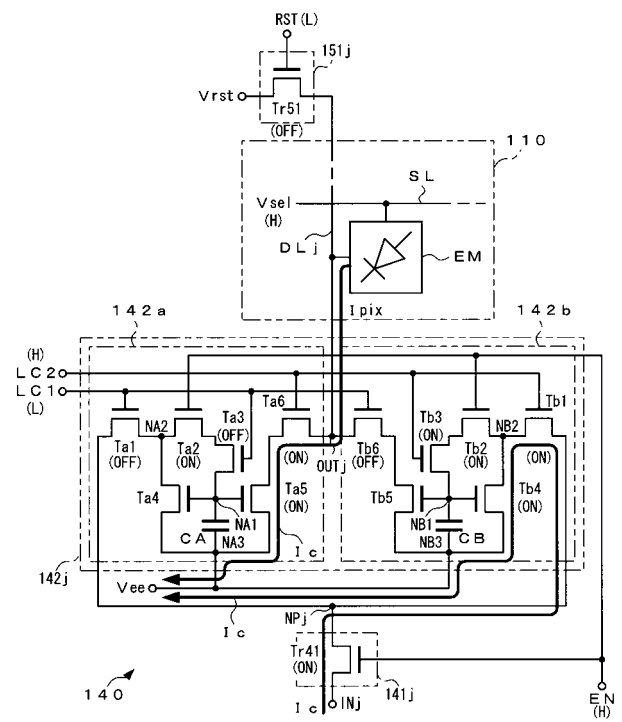
【 図 4 】



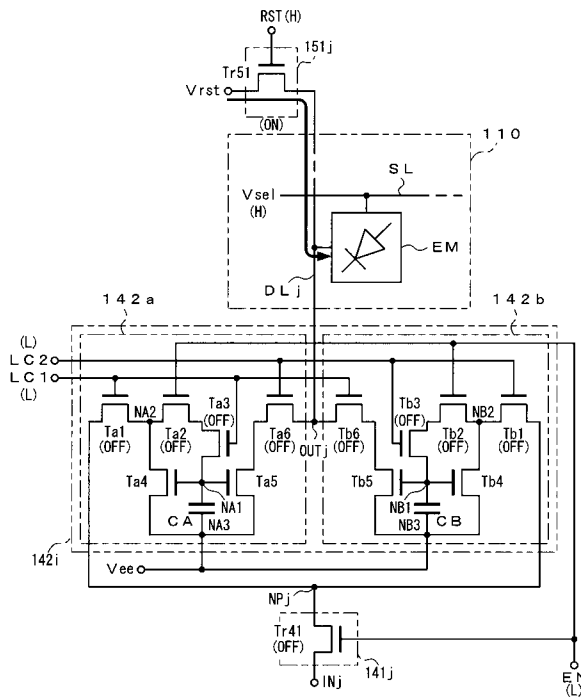
【 図 5 】



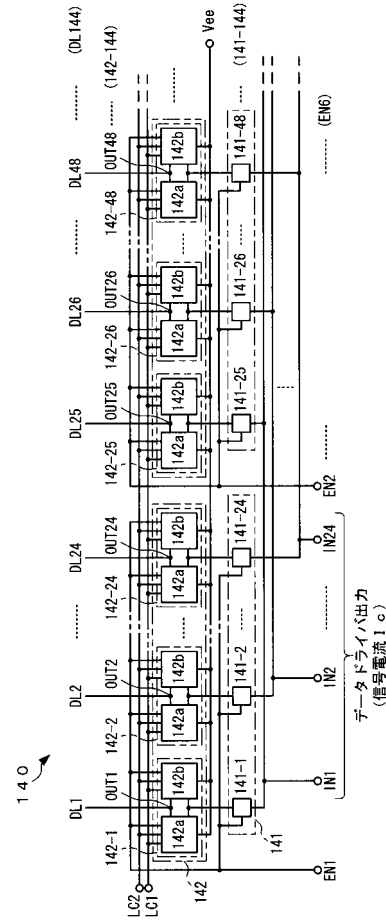
【 図 6 】



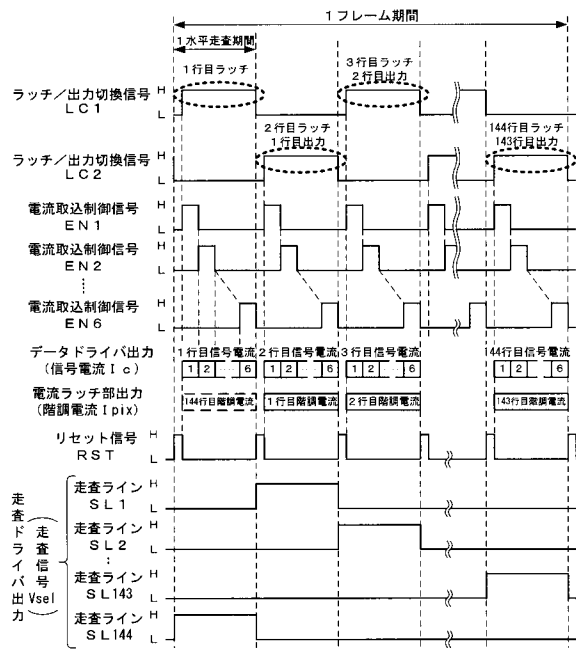
【図7】



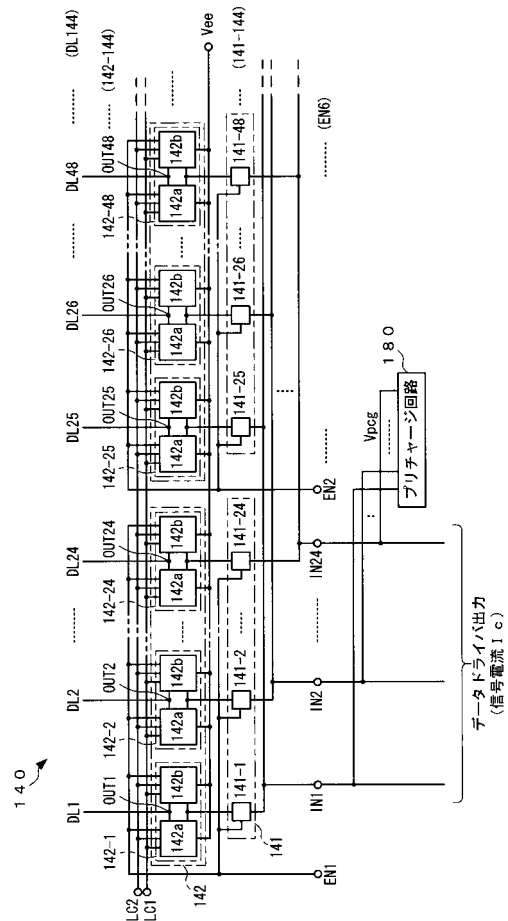
【図8】



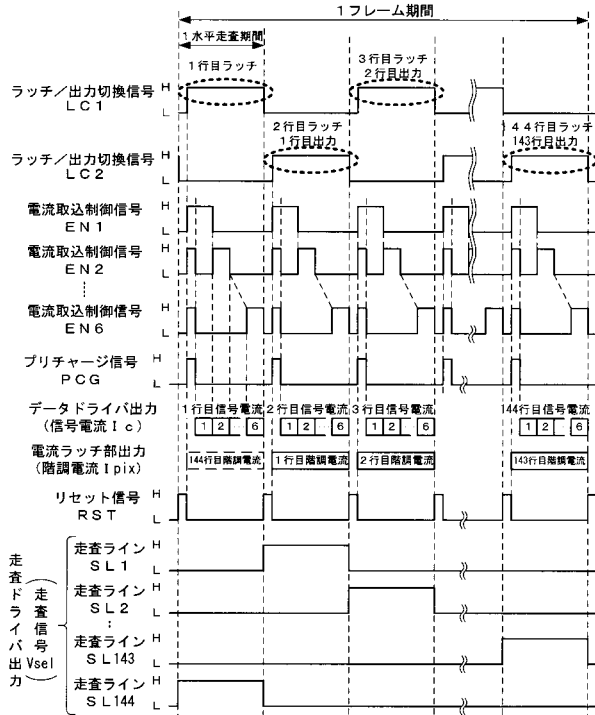
【図9】



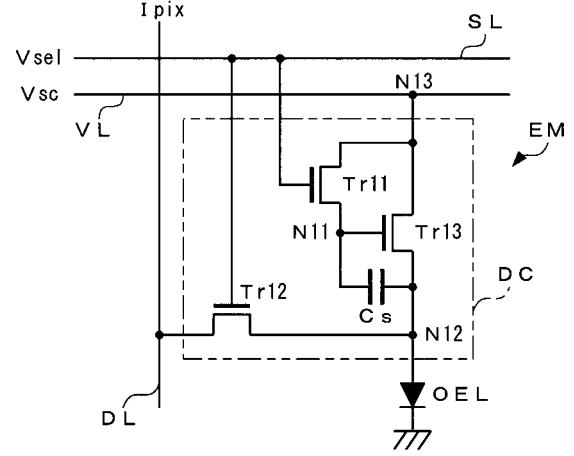
【図10】



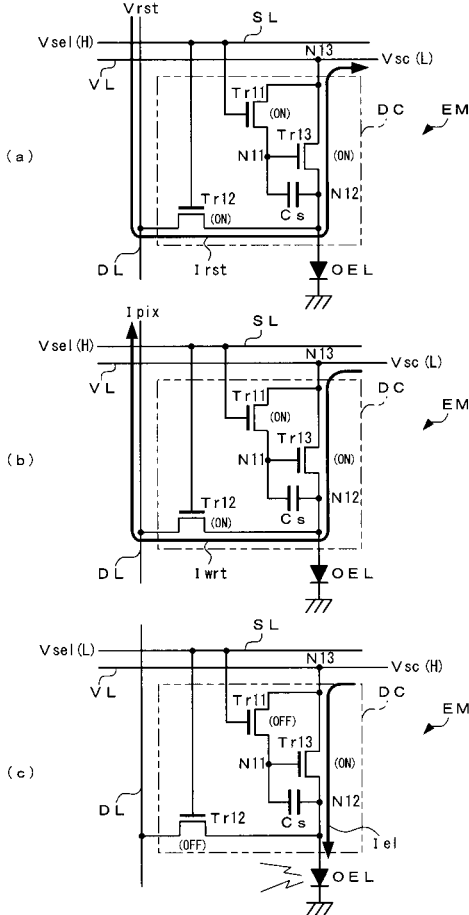
【図 1 1】



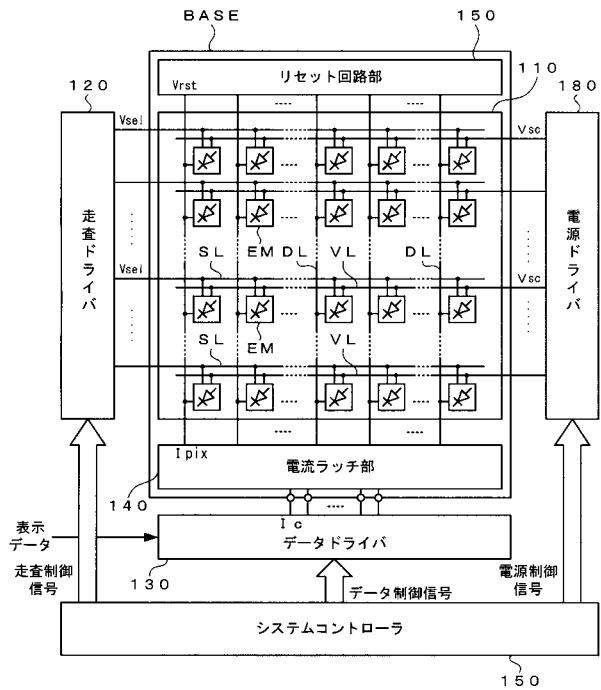
【図 1 2】



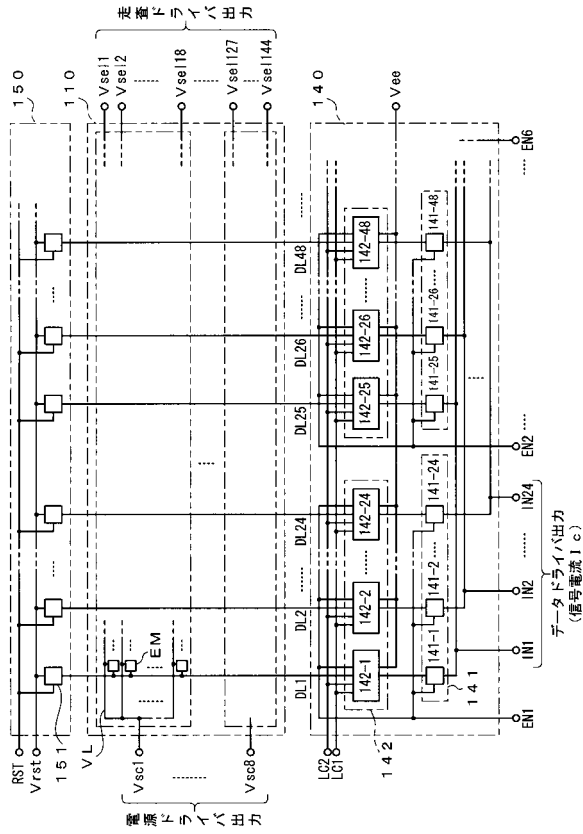
【図 1 3】



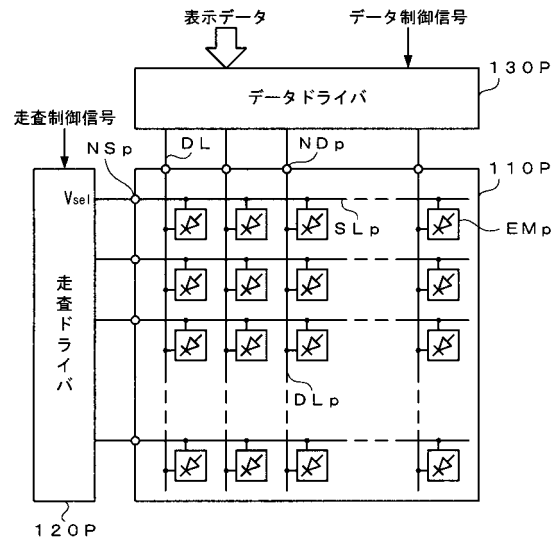
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 Y