

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 24 日(24.07.2014)



(10) 国際公開番号
WO 2014/112396 A1

- (51) 国際特許分類:
G11C 15/04 (2006.01)
- (21) 国際出願番号: PCT/JP2014/000274
- (22) 国際出願日: 2014 年 1 月 21 日(21.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-008453 2013 年 1 月 21 日(21.01.2013) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 Osaka (JP).
- (72) 発明者: 小池 剛(KOIKE, Tsuyoshi).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,

FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

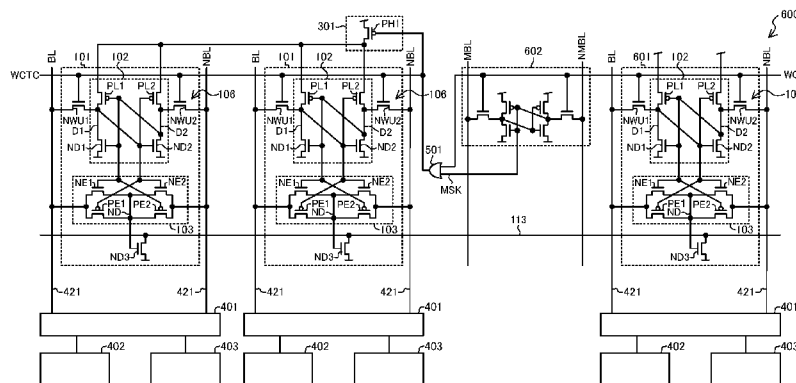
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 請求の範囲の補正の期限前の公開であり、補正を受理した際には再公開される。(規則 48.2(h))

(54) Title: CAM CELL FOR OVERWRITING COMPARISON DATA DURING MASK OPERATION

(54) 発明の名称: マスク動作時に比較データを上書きするCAMセル



(57) Abstract: A storage element (101) with comparator function is equipped with: a storage circuit (102) for storing data to be compared; a comparator circuit (103) which compares data to be compared held by the storage circuit (102) with comparison data, and outputs the comparison results; and a write circuit (106) that writes data to be compared to the storage circuit (102) in response to control from the write control signal (WCT) in the write operation, and that overwrites comparison data to the storage circuit (102) when the mask control signal (MSK) indicates a mask operation in the comparison operation.

(57) 要約: 比較機能付き記憶素子(101)は、被比較データを記憶する記憶回路(102)と、記憶回路(102)が保持する被比較データと、比較データとを比較して、その比較結果を出力する比較回路(103)と、書き込み動作において、書き込み制御信号(WCT)の制御を受けて記憶回路(102)に被比較データを書き込むとともに、比較動作において、マスク制御信号(MSK)がマスク動作を示したとき、記憶回路(102)に比較データを上書きする書き込み回路(106)とを備えている。

WO 2014/112396 A1

明 細 書

発明の名称：

マスク動作時に比較データを上書きするCAMセル

技術分野

[0001] 本開示は半導体集積回路に関し、特に比較器並びに比較器を内蔵した記憶素子及び連想メモリ等を高速に動作させる技術に関するものである。

背景技術

[0002] 電子計算機の仮想記憶システムにおいて、アドレス変換を高速化するための手段としてTLB (Translation Look-aside Buffer) が広く用いられる。TLBの回路は、一般的に仮想アドレスページ番号 (Virtual Page Number : 以下、VPNと称する) を記憶したVPNメモリアレイと、物理アドレスページ番号 (Physical Page Number : 以下、PPNと称する) を記憶したPPNメモリアレイとによって構成される。そして、アドレス変換の際には、VPNメモリアレイに対して所望のVPNで検索を実施し、一致しているVPNが発見されると、PPNメモリアレイから対応するPPNを読み出す。

[0003] 一般的な仮想記憶システムではメモリ空間を有効活用するために、ページサイズが可変になっている。この場合、TLBによって記憶されているVPNの有効なビット数はページサイズに応じて変わるため、特定のビットが検索対象から除外される。

[0004] 特許文献1では、サポートするページサイズに応じて、変換するアドレスのビット数を変化させる技術が開示されている。具体的には、特許文献1の半導体集積回路は、検出信号線を階層化しており、CAM (Content-addressable memory) セルからの比較結果は、トランジスタを通じてローカル検出線に接続されており、かつローカル検出線は、サイズビット内のデータによって制御されるトランジスタを通じて共通検出線に接続されている。

先行技術文献

特許文献

[0005] 特許文献1：特開平 1 0－3 4 0 5 8 9 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献 1 に記載された回路構成では、ローカル検出線とグラウンド電源との間に、マスクの有無を制御するトランジスタ（サイズビット内のデータによって制御されるトランジスタ）を含めて、トランジスタが直列に 2 段接続されている。このため、例えば連想メモリにおけるある特定のビットで不一致が検出され、共通信号線がグラウンドレベルに駆動される場合、ローカル検出線とグラウンド電源との間の 2 段のトランジスタを駆動する必要がある。これにより、連想メモリの比較動作の高速化が困難であり、結果として連想メモリの高速化が困難であるという課題がある。

[0007] さらに、共通検出線にはローカル検出線の負荷とあわせるとかなりの負荷が付随するため、直列に 2 段接続されたトランジスタの駆動による速度劣化が際立つという課題がある。

[0008] ここで、連想メモリを高速化するために、直列に 2 段接続されているトランジスタのゲート幅を大きくする方法が考えられる。しかしながら、この方法では、共通検出線に付随するトランジスタの拡散容量が増加するため、ゲート幅を大きくすることによる高速化には限界がある。また、ゲート幅を大きくすることによって、回路面積の増加や共通検出線の負荷増加に伴う消費電力の増加という新たな課題が生じる。

[0009] 上記問題に鑑み、本開示は、比較機能付き記憶素子の高速化を、面積や消費電力を増大させずに実現することを目的とする。

課題を解決するための手段

[0010] 本開示の第 1 態様では、記憶された被比較データと比較データとを比較する比較機能付き記憶素子は、前記被比較データを記憶する記憶回路と、書き込み動作において、書き込み制御信号の制御を受けて前記記憶回路に前記被比

較データを書き込む書込み回路と、前記記憶回路が保持する前記被比較データと、前記比較データとを比較して、その比較結果を出力する比較回路とを備えており、前記書込み回路は、前記比較回路によって比較動作を行う際に、マスク制御信号がマスク動作を示すとき、前記記憶回路に前記比較データを上書きする一方、前記マスク制御信号が非マスク動作を示すとき、前記記憶回路への前記比較データの上書きを行わないものである。

[0011] この態様によると、書込み回路は、比較回路によって比較動作を行う場合において、マスク制御信号がマスク動作を示すとき、記憶回路に比較データを上書きする。これにより、比較動作において、比較データとの比較対象である記憶回路に記憶された被比較データは、比較データに更新される。したがって、比較回路では、同じデータ同士（比較データ同士）が比較されることになり、一致判定が出力される。すなわち、比較結果はマスクされる。一方で、マスク制御信号が非マスク動作を示すとき、記憶回路に保持された被比較データは更新されないため、比較回路では被比較データと比較データとが比較される。このように、本態様では、比較機能付き記憶素子の出力部に比較結果のマスクの有無を制御する制御用のスイッチ（例えば、トランジスタ）を設けることなく、比較結果のマスクの有無を制御することができる。したがって、比較機能付き記憶素子を用いた読み出し動作、比較動作等について高速動作を実現することが可能となる。

[0012] 本開示の第2態様では、多ビットの連想メモリは、第1態様に係る比較機能付き記憶素子を複数個、備えており、前記複数の比較機能付き記憶素子において、複数の前記記憶回路に多ビットの被比較データが記憶され、かつ複数の前記比較回路に前記多ビットの被比較データと対応する多ビットの比較データが与えられており、前記複数の比較機能付き記憶素子の比較回路から出力された比較結果の論理和をとり、当該論理和に基づいて、前記多ビットの被比較データと、前記多ビットの比較データとの一致比較判定を行うものである。

[0013] 本開示の第3態様では、アドレス変換バッファは、第2態様に係る多ビッ

トの連想メモリを用いており、前記多ビットの被比較データは、仮想アドレス空間における論理アドレスであり、前記多ビットの比較データは検索対象の論理アドレスであり、前記マスク制御信号は、仮想メモリ空間のページサイズ情報を記憶したページサイズ記憶用メモリセルの出力信号であるものとする。

[0014] 本開示の第4態様では、被比較データと比較データとを比較する1ビット比較器は、マスク制御信号の制御を受けて、前記被比較データと前記比較データとのうちのいずれか一方を選択して出力する選択回路と、前記選択回路の出力信号と前記比較データとを比較して、その比較結果を出力する比較回路とを備えており、前記選択回路は、前記マスク制御信号がマスク動作を示すとき、前記比較データを選択して出力する一方、前記マスク制御信号が非マスク動作を示すとき、前記被比較データを選択して出力するものである。

[0015] この態様によると、マスク制御信号がマスク動作を示すとき、選択回路は比較データを選択して出力するため、比較回路では同じデータ同士（比較データ同士）が比較されることになり、一致判定が出力される。すなわち、比較結果はマスクされる。一方で、マスク制御信号が非マスク動作を示すとき、被比較データと比較データとが比較される。このように、本態様では、1ビット比較器の出力部に、比較結果のマスクの有無を制御するような制御用のスイッチ（例えば、トランジスタ）を設けることなく、比較結果のマスクの有無を制御することができる。したがって、1ビット比較器の高速動作を実現することが可能となる。

[0016] 本開示の第5態様では、多ビット比較器は、第4態様に係る1ビット比較器を複数個、備えており、前記複数の1ビット比較器において、複数の前記選択回路に多ビットの被比較データが与えられ、かつ複数の前記比較回路に前記多ビットの被比較データと対応する多ビットの比較データが与えられており、前記複数の1ビット比較器の比較回路から出力された比較結果の論理和を取り、当該論理和に基づいて、前記多ビットの被比較データと前記多ビットの比較データとの一致比較判定を行うものである。

発明の効果

[0017] 本開示によれば、比較機能付き記憶素子の高速化を実現することができる。また、比較機能付き記憶素子の小面積化、低電力化を実現することができる。特に、検索データのビット幅が大きい比較機能付き記憶素子において、高い効果を有する。

図面の簡単な説明

[0018] [図1]実施の形態1に係る比較機能付き記憶素子の回路図である。
[図2]実施の形態1の回路の状態遷移図である。
[図3]実施の形態1に係る半導体集積回路の他の例を示す回路図である。
[図4]書込み補助回路の他の例を示す回路図である。
[図5]実施の形態1に係る半導体集積回路の他の例を示す回路図である。
[図6]実施の形態1に係る半導体集積回路の他の例を示す回路図である。
[図7]実施の形態1に係る半導体集積回路の他の例を示す回路図である。
[図8]実施の形態1に係る半導体集積回路の他の例を示す回路図である。
[図9]実施の形態2に係る連想メモリの回路図である。
[図10]実施の形態3に係る比較器の回路図である。

発明を実施するための形態

[0019] 以下、本開示の実施の形態を、図面を参照しながら説明する。
[0020] なお、以下の各実施形態は、例示説明にすぎず、本開示、その適用範囲あるいはその用途を制限することを意図するものではない。

[0021] <実施の形態1>

図1は本実施形態に係る半導体集積回路の回路図である。図1に示すように、半導体集積回路は、比較機能付き記憶素子101を備えている。

[0022] 比較機能付き記憶素子101は、被比較データを記憶する記憶回路102と、書込み制御信号WCT及びマスク制御信号MSKによる制御を受けて、記憶回路102に一对の被比較データWBL, NWBL（以下、単に被比較データWBL, NWBLと称する）及び一对の上書き用比較データSBLU, NSBLU（以下、単に上書き用比較データSBLU, NSBLUと称す

る)を書き込む書込み回路106と、記憶回路102で記憶している記憶データと一对の比較データSBL, NSBL(以下、単に比較データSBL, NSBLと称する)とを受けて、記憶データと比較データSBL, NSBLとの一致或いは不一致の判定を行う比較回路103と、共通検出線113とグラウンド電源との間に接続され、比較回路103の比較結果である比較回路出力信号NDをゲートに受けるトランジスタND3とを備えている。

[0023] 書込み回路106は、書込み制御信号WCTによる制御を受けて、被比較データWBL, NWBLを記憶回路102に書き込む書込み部104と、マスク制御信号MSKによる制御を受けて、上書き用比較データSBLU, NSBLUを記憶回路102に書き込む上書き部105とを備えている。

[0024] 記憶回路102は、電源と記憶ノードD1との間に接続されたトランジスタPL1と、記憶ノードD1とグラウンド電源との間に接続されたトランジスタND1と、電源と記憶ノードD2との間に接続されたトランジスタPL2と、記憶ノードD2とグラウンド電源との間に接続されたトランジスタND2とを備えている。トランジスタPL1とトランジスタND1とのゲートには記憶ノードD2が接続され、トランジスタPL2とトランジスタND2とのゲートには記憶ノードD1が接続されている。記憶回路102の記憶データは、記憶ノードD1, D2を介して出力される。

[0025] 比較回路103は、比較データSBL, NSBLが供給される一对の比較データ線117(以下、単に比較データ線117と称する)の間に直列に接続されたトランジスタNE1, NE2と、トランジスタNE1, NE2と並列に接続されたトランジスタPE1, PE2とを備えている。トランジスタNE1とトランジスタPE2とのゲートには記憶ノードD2が接続され、トランジスタNE2とトランジスタPE1とのゲートには記憶ノードD1が接続されている。また、トランジスタNE1とトランジスタNE2との間のノード及びトランジスタPE1とトランジスタPE2との間のノードは、トランジスタND3のゲートに接続されている。

[0026] 書込み部104は、被比較データWBL, NWBLが供給される一对の被

比較データ線 115（以下、単に被比較データ線 115 と称する）のうちの、一方の被比較データ線 115 と記憶回路 102 の記憶ノード D1 との間に接続されたトランジスタ NW1 と、他方の被比較データ線 115 と記憶回路 102 の記憶ノード D2 との間に接続されたトランジスタ NW2 とを備えている。トランジスタ NW1, NW2 のゲートには、書込み制御信号 WCT が与えられる。

[0027] 上書き部 105 は、上書き用比較データ SBLU, NSBLU が供給される一対の上書き用比較データ線 116（以下、単に上書き用比較データ線 116 と称する）のうちの、一方の上書き用比較データ線 116 と記憶回路 102 の記憶ノード D1 との間に接続されたトランジスタ NU1 と、他方の上書き用比較データ線 116 と記憶回路 102 の記憶ノード D2 との間に接続されたトランジスタ NU2 とを備えている。トランジスタ NU1, NU2 のゲートにはマスク制御信号 MSK が与えられる。

[0028] ここで、トランジスタ ND1, ND2, ND3, NE1, NE2, NW1, NW2, NU1, NU2 は、NMOS トランジスタであり、トランジスタ PL1, PL2, PE1, PE2 は、PMOS トランジスタである。また、上書き用比較データ線 116 と、比較データ線 117 とには同じ比較データが供給されている。

[0029] このように、上書き用比較データ線 116 と、比較データ線 117 とを分けることにより、配線に接続されるトランジスタ数が減少するため、負荷が軽減される。これにより、比較回路 103 によるデータの比較速度が高速化され、比較機能付き記憶素子 101 の読み出し速度等の高速化を実現することができる。

[0030] [書き込み動作]

図 1 に示す半導体集積回路の書き込み動作について説明する。

[0031] 書込み制御信号 WCT が “LOW” から “HIGH” に変化することにより、書込み部 104 のトランジスタ NW1, NW2 が “ON” し、記憶回路 102 に被比較データ WBL, NWBL が書き込まれる。

[0032] [比較動作]

次に、比較回路 103 による比較動作について、図 1 の回路図及び図 2 (a) ~ (c) の状態遷移図を用いて説明する。図 2 (a) は書き込み動作後の状態を示す状態遷移図であり、図 2 (b) は比較動作のうちの一致或いは不一致を判定する、非マスク動作としての判定動作後の状態を示す状態遷移図であり、図 2 (c) は比較動作のうちの比較結果をマスクするマスク動作後の状態を示す状態遷移図である。なお、図 2 において、“1” は信号が “HIGH” であることを示し、“0” は信号が “LOW” であることを示すものとする。

[0033] まず、比較動作が開始される前は、共通検出線 113 の信号は “HIGH” にプリチャージされており、図 2 (a) に示すように、比較データ SBL, NSBL はいずれも “LOW” になっている。そして、記憶回路 102 には、トランジスタ NW1, NW2 を介して被比較データ WBL, NWBL が書き込まれ、記憶される。具体的には、データパタン 1, 2 では、記憶回路 102 の記憶ノード D1 には、記憶データとして “HIGH” が記憶されている一方、記憶ノード D2 には、記憶データとして “LOW” が記憶されているものとする。同様に、データパタン 3, 4 では、記憶ノード D1 の記憶データとして “LOW” が記憶されている一方、記憶ノード D2 の記憶データとして “HIGH” が記憶されているものとする。

[0034] 次に、比較動作が開始されると、図 2 (b), (c) に示すように、比較データ SBL, NSBL のいずれか一方が “HIGH” に変化する。比較回路 103 のトランジスタ NE1, NE2, PE1, PE2 は、記憶回路 102 から受けた記憶ノード D1, D2 の記憶データに応じて ON/OFF し、比較結果を比較回路出力信号 ND として出力する。

[0035] ここで、比較回路 103 による判定の結果は、比較回路出力信号 ND が “LOW” であり、トランジスタ ND3 が “OFF” のときは、記憶回路 102 に記憶された記憶データと、比較データ SBL, NSBL とが一致していることを示す「一致判定」(図 2 (b), (c) 内では「一致」と記載する

）となる。一方で、比較回路出力信号NDが“HIGH”であり、トランジスタND3が“ON”のときは、記憶回路102に記憶された記憶データと、比較データSBL、NSBLとが不一致であることを示す「不一致判定」（図2（b）、（c）内では「不一致」と記載する）となる。なお、以下の比較動作において、トランジスタNW1、NW2は“OFF”しているものとする。

[0036] [判定動作（非マスク動作）]

まず、図2（b）のデータパターン1と図1の回路図とを用いて、判定動作の一例（以下、例1と称する）について詳細に説明する。

[0037] 例1では、記憶ノードD1の記憶データが“HIGH”であり、記憶ノードD2の記憶データが“LOW”であるため、トランジスタNE2、PE2が“ON”する一方、トランジスタNE1、PE1が“OFF”する。また、マスク制御信号MSKが“LOW”であるため、トランジスタNU1、NU2は“OFF”している。

[0038] このとき、比較データSBLが“HIGH”であるが、トランジスタNE1、PE1が“OFF”しているため、比較データSBL（“HIGH”データ）はトランジスタND3のゲートに供給されず、トランジスタND3のゲートは“LOW”のままである。したがって、トランジスタND3が“ON”しないため、判定結果は「一致判定」となる。

[0039] 同様にして、図2（b）のデータパターン4についての判定結果は「一致判定」となる。

[0040] 次に、図2（b）のデータパターン2と図1の回路図とを用いて、判定動作の他の例（以下、例2と称する）について詳細に説明する。

[0041] 例2では、記憶ノードD1の記憶データが“HIGH”であり、記憶ノードD2の記憶データが“LOW”であるため、トランジスタNE2、PE2が“ON”する一方、トランジスタNE1、PE1が“OFF”する。また、マスク制御信号MSKが“LOW”であるため、トランジスタNU1、NU2は、“OFF”している。

[0042] このとき、比較データNSBLが“HIGH”となっており、かつトランジスタNE2、PE2が“ON”しているため、比較データNSBL（“HIGH”データ）がトランジスタND3のゲートに供給される。これにより、トランジスタND3が“ON”して、共通検出線113が“LOW”に駆動される。すなわち、判定動作は「不一致判定」となる。

[0043] 同様にして、図2（b）のデータパタン3についての判定結果は「不一致判定」となる。

[0044] [マスク動作]

次に、図2（c）のデータパタン1と図1の回路図とを用いて、マスク動作の一例（以下、例3と称する）について詳細に説明する。

[0045] 例3では、マスク制御信号MSKが“HIGH”になっており、トランジスタNU1、NU2が“ON”している。そのため、記憶ノードD1には比較データSBLU、記憶ノードD2には比較データNSBLUが上書きされる。ここで、書き込み動作（図2（a））において記憶ノードD1に記憶されたデータと、上書き用比較データSBLUとが同じ（“HIGH”）であるため、書き込み動作（図2（a））において記憶ノードD1に記憶されたデータ（“HIGH”）は変更されない。同様に、書き込み動作（図2（a））において記憶ノードD2に記憶されたデータ（“LOW”）は変更されない。

[0046] 以後の動作は、例1と同様であり、その詳細な説明を省略する。これにより、例3に示すマスク動作では、例1の場合と同様に判定結果が「一致判定」となる。

[0047] 同様にして、図2（c）のデータパタン4についての判定結果は「一致判定」となる。

[0048] 次に、図2（c）のデータパタン2と図1の回路図とを用いて、マスク動作の他の例（以下、例4と称する）について詳細に説明する。

[0049] 例4では、例3と同様に、マスク制御信号MSKが“HIGH”であるため、トランジスタNU1、NU2が“ON”している。そのため、記憶ノード

ドD 1には上書き用比較データSBLUが上書きされ、記憶ノードD 2には上書き用比較データNSBLUのデータが上書きされる。ここで、書き込み動作（図2（a））において記憶ノードD 1に書込まれたデータ（“HIGH”）と、上書き用比較データSBLU（“LOW”）とが異なるため、記憶ノードD 1の記憶データが“LOW”に更新される（図2（c））。同様に、書き込み動作（図2（a））において記憶ノードD 2に書込まれたデータ（“LOW”）と、上書き用比較データNSBLU（“HIGH”）とが異なるため、記憶ノードD 2の記憶データが“HIGH”に更新される（図2（c））。これにより、トランジスタNE 1，PE 1が“ON”する一方、トランジスタNE 2，PE 2が“OFF”する。

[0050] このとき、比較データNSBLは“HIGH”であるが、トランジスタNE 2，PE 2が“OFF”しているため、比較データNSBL（“HIGH”データ）はトランジスタND 3のゲートに供給されず、トランジスタND 3のゲートは“LOW”のままである。したがって、トランジスタND 3は“ON”しないため、判定結果は「一致判定」となる。

[0051] 同様にして、図2（c）のデータパタン3についての判定結果は「一致判定」となる。

[0052] このように、マスク動作においては、マスク制御信号MSKが“HIGH”であるため、トランジスタNU 1，NU 2が“ON”している。これにより、記憶ノードD 1には上書き用比較データSBLUが上書きされ、記憶ノードD 2には上書き用比較データNSBLUのデータが上書きされる。結果として、マスク動作では、マスク動作前に記憶回路102に記憶されていたデータにかかわらず、記憶ノードD 1の記憶データと比較データSBL、及び記憶ノードD 2の記憶データと比較データNSBLはそれぞれ同じデータとなる。すなわち、マスク動作では、比較回路103によって、同じデータ同士が比較されることになる。その結果、比較回路103の比較結果は「一致判定」となり、比較回路出力信号NDは“LOW”であり、トランジスタND 3は“OFF”のままである。すなわち、比較結果はマスクされる。

[0053] 以上のように、本態様によると、比較機能付き記憶素子 101 と共通検出線 113 との間にマスクの有無を制御するトランジスタ（制御用のスイッチ）を設けることなく、マスク動作を実現することができる。これにより、比較機能付き記憶素子 101 による比較、読み出し等について、高速動作を実現することが可能となる。図 1 では、比較機能付き記憶素子 101 が 1 ビットだけ共通検出線 113 に接続されている例を示しているが、実際には同一の共通検出線 113 に複数の比較機能付き記憶素子 101 が接続される。この同一の共通検出線 113 に接続される比較機能付き記憶素子 101 の数が増加するほど、共通検出線 113 の負荷が大きくなるため、より顕著に高速化の効果が高まる。

[0054] また、比較機能付き記憶素子 101 を備える半導体集積回路の高速化が図れるため、従来と比較して、所望の動作速度を得るために必要なトランジスタ ND3 のサイズが小さくてすむ。すなわち、比較機能付き記憶素子 101 及びこれを備える半導体集積回路の小面積化が可能となる。また、トランジスタ ND3 を小さくできることに伴って、トランジスタ ND3 の前段のトランジスタ NE1、NE2、PE1、PE2 など小型化が可能となるため、さらに小面積化が可能となる。また、各トランジスタが小さくなる効果や、それらのトランジスタを実現するレイアウトが小さくなる効果によって回路に付随する寄生容量が減少し、低消費電力化が可能となる。このような小面積化、低消費電力化の効果についても、高速化の場合と同様に共通検出線 113 に接続される比較機能付き記憶素子 101 の数が増えるほど、より顕著にそれらの効果が高まる。

[0055] （半導体集積回路の他の例 1）

図 3 は本実施形態に係る半導体集積回路の他の例を示す回路図である。図 1 に記載の半導体集積回路と比較すると、マスク動作の際に、上書き部 105 から記憶回路 102 への上書きを補助する補助回路 301 が追加されている。

[0056] 書込み補助回路 301 は、電源とトランジスタ PL1 及びトランジスタ P

L 2 のソースとの間に接続されたPMOSのトランジスタPH 1 を有している。トランジスタPH 1 のゲートには、マスク制御信号MSKが与えられている。

[0057] 図3の回路において、書き込み動作及び判定動作については、図1と同様であり、その詳細な説明を省略する。

[0058] [マスク動作]

本態様に係るマスク動作の際の上書き動作について、図3を用いて詳細に説明する。

[0059] マスク動作において、マスク制御信号MSKが“HIGH”に設定されると、上書き用比較データSLBU, NSLBUのうちのいずれか一方のデータである“LOW”のデータが、記憶回路102の記憶ノードD1, D2のうちのいずれか一方に書き込まれる。このとき、トランジスタPL1, PL2の能力を弱めておくことにより、上記の書き込みを受ける記憶ノードD1, D2を“LOW”に変化しやすくすることができる。

[0060] 具体的に説明すると、書き込み補助回路301は、マスク制御信号MSKが“LOW”のときにはトランジスタPL1, PL2のソースに電源を供給する一方、マスク制御信号MSKが“HIGH”のときにはトランジスタPL1, PL2のソースへの電源供給を遮断する。これにより、マスク制御信号MSKが“HIGH”のとき、トランジスタPL1, PL2の能力を弱めることができる。その結果、記憶ノードD1, D2の記憶データが“LOW”に変化しやすくなる。

[0061] それ以外の動作については、図1の場合と同様であり、その詳細な説明を省略する。

[0062] 以上のように、本態様によると、半導体集積回路に書き込み補助回路301を追加することにより、記憶回路102への上書き用比較データSBLU, NSBLUの上書き速度を速めることができる。さらに、この上書き速度の向上によって、マスク動作時に比較回路103から出力されるノイズを低減することができる。また、記憶回路102に上書き用比較データSBLU,

NSBLUを書き込む際に、トランジスタPL1とトランジスタNU1、或いはトランジスタPL2とトランジスタNU2を通して流れる貫通電流を削減でき、低消費電力化が実現できる。さらに、上書き用比較データSBLU、NSBLUの上書きが容易になるため、トランジスタNU1、NU2のゲート幅を縮小でき、小面積化が実現できる。

[0063] ここで、図3の回路を用いたマスク動作では、トランジスタPL1、PL2のソースへの電源供給が遮断されるため、マスク制御信号MSKが“LOW”のときに記憶回路102に記憶されていたデータは破壊される。このデータの破壊は、マスク制御信号MSKが“HIGH”のときに比較回路103の比較結果をマスクするアプリケーションでは問題とはならない。具体的には、例えば仮想アドレス空間において論理アドレスを物理アドレスに変換するアドレス変換バッファにおいて、CAM (Content-addressable memory) の特定のビットの比較結果をページサイズメモリでマスクする機構等では、上記のデータの破壊は問題とはならない。

[0064] なお、図3では、マスク動作の際（マスク制御信号MSKが“HIGH”のとき）に、書込み補助回路301を用いてトランジスタPL1、PL2のソースへの電源供給を遮断することによって、トランジスタPL1、PL2の能力を弱める例を示したが、必ずしも電源供給を遮断する必要はない。例えば、図4に示すような書込み補助回路301を用いて、トランジスタPL1、PL2のソース電源を弱めることによって、トランジスタPL1、PL2の能力を弱めてもよい。

[0065] （書込み補助回路の他の例1）

図4（a）に示す書込み補助回路301は、図3に示した書込み補助回路301に加えて、電源とトランジスタPL1のソース及びトランジスタPL2のソースとの間に接続されたPMOSのトランジスタPH2を有している。したがって、トランジスタPH1のドレインとトランジスタPH2のドレインとは接続されている。また、トランジスタPH2のゲートはグランド電源に接続されている。

[0066] 書込み補助回路301をこのような構成とすることによって、マスク動作時にトランジスタPH1が“OFF”になった場合においても、トランジスタPH2が“ON”を維持する。したがって、マスク動作時には、非マスク動作時（例えば、書き込み動作時や判定動作時）と比較してトランジスタPL1, PL2のソース電源が弱くなり、トランジスタPL1, PL2の能力が低下する。これにより、記憶回路102に上書き用比較データSBLU, NSBLUが上書きされる速度を速めることができる。

[0067] ここで、「ソース電源が弱くなる」とは、例えばPMOSトランジスタの場合、トランジスタのソース電位が下がったり、電源からトランジスタのソースへの電流供給能力が下がったりする等の理由により、電源としての能力が低下することを指すものとする。

[0068] （書込み補助回路の他の例2）

図4（b）に示す書込み補助回路301は、図3に示した書込み補助回路301に加えて、電源とトランジスタPL1のソース及びトランジスタPL2のソースとの間に接続されたトランジスタPH2を有している。また、トランジスタPH2のゲートはトランジスタPH2のドレインに接続されている。したがって、トランジスタPH1のドレイン、並びにトランジスタPH2のドレイン及びゲートは接続されている。

[0069] 書込み補助回路301をこのような構成とすることによって、マスク動作時にトランジスタPH1が“OFF”になった場合においても、PL1, PL2のソース電源は遮断されず、トランジスタPH2の閾値電圧近傍でトランジスタPL1, PL2のソース電源の電圧が維持される。これにより、マスク動作時には、非マスク動作時（例えば、書き込み動作時や判定動作時）と比較してトランジスタPL1, PL2のソース電源が弱くなり、トランジスタPL1, PL2の能力が低下する。これにより、記憶回路102に上書き用比較データSBLU, NSBLUが上書きされる速度を速めることができる。

[0070] （書込み補助回路の他の例3）

図4(c)に示す書込み補助回路301は、図3に示した書込み補助回路301に加えて、トランジスタPL1のソースに接続された電源（以下、高VDDと称する）よりも低い電圧の電源（以下、低VDDと称する）と、トランジスタPL1のソース及びトランジスタPL2のソースとの間に接続されたトランジスタPH2を有している。したがって、トランジスタPH1のドレインとトランジスタPH2のドレインとは接続されている。書込み補助回路301は、トランジスタPL1のゲートとトランジスタPH2のゲートとの間に接続されたインバータ311をさらに有している。これにより、トランジスタPH2のゲートには、反転されたマスク制御信号MSKが供給される。

[0071] 書込み補助回路301をこのような構成とすることによって、マスク動作時にトランジスタPH1が“OFF”になっても、トランジスタPL1、PL2のソースには、低VDDからトランジスタPH2を介して電源が供給される。すなわち、トランジスタPL1、PL2のソース電源は遮断されない。一方で、非マスク動作時には、トランジスタPH2が“OFF”されるため、トランジスタPL1、PL2のソースには、高VDDからトランジスタPL1を介して電源が供給される。

[0072] このように、マスク動作時には、非マスク動作時（例えば、書き込み動作時や判定動作時）と比較してトランジスタPL1、PL2のソース電源が下がる（弱くなる）ため、トランジスタPL1、PL2の能力が低下する。これにより、記憶回路102に上書き用比較データSBLU、NSBLUが上書きされる速度を速めることができる。

[0073] （書込み補助回路の他の例4）

図4(d)に示す書込み補助回路301は、図3に示した書込み補助回路301に加えて、電源とトランジスタPL1のソース及びトランジスタPL2のソースとの間に接続されたNMOSのトランジスタNH2を有している。したがって、トランジスタPH1のドレインとトランジスタNH2のソースとは接続されている。また、トランジスタNH2のゲートはトランジスタ

P H 1 のゲートに接続されている。

[0074] 書込み補助回路 301 をこのような構成とすることにより、マスク動作時はトランジスタ P H 1 が “O F F” であり、トランジスタ N H 2 が “O N” であるため、トランジスタ P L 1, P L 2 のソース電源が “V D D − V t h n” 近傍で維持される。

[0075] これにより、マスク動作時には、非マスク動作時（例えば、書き込み動作時や判定動作時）と比較して、トランジスタ P L 1, P L 2 のソース電源が弱くなり、トランジスタ P L 1, P L 2 の能力が低下する。これにより、記憶回路 102 に上書き用比較データ S B L U, N S B L U が上書きされる速度を速めることができる。

[0076] 図 3 及び図 4 では、書込み補助回路 301 を追加することによって、マスク動作の際に記憶回路 102 への上書き用比較データ S B L U, N S B L U の上書き速度を速める例について説明したが、書込み補助回路 301 による書き込みの補助はこれに限定されない。例えば、以下の「書込み補助回路の他の例 5」に示すように、上書き用比較データ S B L U, N S B L U の上書きの補助に加えて、被比較データ W B L, N W B L の書き込みを補助するようにしてもよい。

[0077] （書込み補助回路の他の例 5）

図 5 は本実施形態に係る半導体集積回路の他の例を示す回路図である。図 3 に記載の半導体集積回路と比較すると、本態様の書込み補助回路 301 は、トランジスタ P H 1 と電源との間に設けられた P M O S のトランジスタ P H 3 が追加されている。トランジスタ P H 3 のゲートには、書込み制御信号 W C T が接続されている。

[0078] このような構成とすることによって、マスク制御信号 M S K が “H I G H” のときだけでなく、書込み制御信号 W C T が “H I G H” のときにも記憶回路 102 への上書きが補助される。すなわち、書き込み動作の際に、記憶回路 102 に被比較データ W B L, N W B L が書き込まれるときにも書き込みが補助される。

[0079] それ以外の動作については、図3と同様であり、その詳細な説明を省略する。

[0080] 以上のように、本態様によると、図3に示した書込み補助回路301に係る効果に加えて、書込み制御信号WCTが“HIGH”のときにも、記憶回路102に被比較データWBL、NWBLが書き込まれる速度を高速化することができる。また、トランジスタPL1とトランジスタNW1、或いはトランジスタPL2とトランジスタNW2を通して流れる貫通電流を削減でき、低消費電力化が実現できる。さらに、図5に示す書込み補助回路301を半導体集積回路に用いることによって、被比較データWBL、NWBLの書き込みが容易になるため、トランジスタNW1、NW2のゲート幅を縮小でき、小面積化が実現できる。

[0081] なお、図5では、書込み補助回路301を用いて、マスク動作及び書き込み動作の際に、トランジスタPL1、PL2のソースへの電源供給を遮断することによって、トランジスタPL1、PL2の能力を低下させる例を示したが、必ずしも電源供給を遮断する必要はない。例えば、図5において、図4(a)～(d)に示した回路と同様の書込み補助回路301を用いて、マスク動作及び書き込み動作のうちの少なくともいずれか一方において、トランジスタPL1、PL2のソース電源を弱めるようにしてもよい。また、図5において、マスク動作及び書き込み動作のうちのいずれか一方はトランジスタPL1、PL2のソースへの電源供給を遮断し、他方はトランジスタPL1、PL2のソース電源を弱めるような補助回路301を用いてもよい。

[0082] なお、図3～5において示した書込み補助回路301は、一例を例示したにすぎず、図3～5に示した以外の回路を用いて、トランジスタPL1、PL2の能力を弱めてもかまわない。

[0083] また、図1～図5に示した回路では、被比較データWBL、NWBL、上書き用比較データSBLU、NSBLU及び比較データSBL、NSBLは、それぞれ異なるデータ線115、116、117を介して供給されるものとしたが、少なくともいずれかの2つのデータが、共通のデータ線を介して

供給されるものとしてもよい。以下の態様では、その具体的な例について説明する。

[0084] (半導体集積回路の他の例2)

図6は本実施形態に係る半導体集積回路の他の例を示す回路図である。図3に記載の半導体集積回路と比較すると、本態様に係る半導体集積回路では、同じ比較データが供給される上書き用比較データ線116と比較データ線117とを共通データ線としての一对の共通比較データ線411（以下、単に共通比較データ線411と称する）に共通化しており、この共通比較データ線411を介して比較データSBL、NSBLが供給される。これにより、共通比較データ線411のうちの一方のデータ線411には、トランジスタNU1と比較回路103とが接続され、他方のデータ線411にはトランジスタNU2と比較回路103とが接続される。それ以外の回路構成、書き込み動作及び比較動作については、図3と同様であり、その詳細な説明を省略する。

[0085] 本態様のような構成とすることによって、配線本数を削減することができ、半導体集積回路の高集積化が可能となる。また、比較動作時の充放電に係る配線負荷が減少するため、低消費電力化が実現できる。

[0086] (半導体集積回路の他の例3)

図7は本実施形態に係る半導体集積回路の他の例を示す回路図である。図6に記載の半導体集積回路と比較すると、本態様に係る半導体集積回路では、被比較データ線115と共通比較データ線411とを一对の共通データ線421（以下、単に共通データ線421と称する）に共通化している。共通データ線421には、一对の共通データBL、NBL（以下、単に共通データBL、NBLと称する）が供給される。さらに、本態様に係る半導体集積回路は、被比較データWBL、NWBLを出力する被比較データ回路402と、比較データSBL、NSBLを出力する比較データ回路403と、被比較データ回路402及び比較データ回路403と接続され、被比較データ回路402及び比較データ回路403から受けた被比較データWBL、NWBL

L 及び比較データ SBL, NSBL のうちのいずれか一方を選択し、共通データ線 421 に出力するデータ選択回路 401 とを備えている。

[0087] データ選択回路 401 は、書き込み動作時には、被比較データ WBL, NWBL を選択する。すなわち、書き込み動作時には、共通データ線 421 に共通データ BL, NBL として被比較データ WBL, NWBL が供給され、書き込み制御信号 WCT の制御を受けて、被比較データ WBL, NWBL が記憶回路 102 に書き込まれる。

[0088] データ選択回路 401 は、比較動作時（マスク動作時及び判定動作時）には、比較データ SBL, NSBL を選択する。すなわち、比較動作時には、共通データ線 421 に共通データ BL, NBL として比較データ SBL, NSBL が供給され、マスク制御信号 MSK に応じて、判定動作或いはマスク動作が実行される。

[0089] なお、データ選択回路 401 が被比較データ WBL, NWBL を選択した後の書き込み動作及びデータ選択回路 401 が比較データ SBL, NSBL を選択した後の比較動作については、図 3 及び図 6 と同様であり、その詳細な説明を省略する。

[0090] 以上のように、本態様によると、図 3 及び図 6 の回路からさらにデータ線の本数を削減することができる。これにより、本態様に係る半導体集積回路は、一層の小面積化が可能となる。

[0091] 図 1 ～図 7 では、書き込み回路 106 は、書き込み動作において記憶回路 102 への書き込みを行う書き込み部 104 と、マスク動作において記憶回路 102 への上書きを行う上書き部 105 を備えるものとしたが、例えば、以下の「半導体集積回路の他の例 4」に示すように、書き込み部 104 と上書き部 105 とを共通化してもよい。

[0092] （半導体集積回路の他の例 4）

図 8 は本実施形態に係る半導体集積回路の他の例を示す回路図である。図 7 に記載された半導体集積回路と比較すると、トランジスタ NU1, NU2 とトランジスタ NW1, NW2 とが共通化されている点で異なる。共通化さ

れたトランジスタはNWU 1, NWU 2と称する。ここで、トランジスタNWU 1, NWU 2はNMOSトランジスタである。

[0093] さらに、本実施形態に係る半導体集積回路では、ORゲート501によって書込み制御信号WCTとマスク制御信号MSKとの論理和をとっており、マスク制御信号MSKに代えてORゲート501の出力信号である共通書込み制御信号WCTCを書込み補助回路301のトランジスタPH1のゲートに与えている。また、共通書込み制御信号WCTCを書込み回路106のトランジスタNWU 1, NWU 2のゲートに与えている。

[0094] このような構成とすることにより、書込み制御信号WCT及びマスク制御信号MSKのうちのいずれか一方が“HIGH”になると、共通書込み制御信号WCTCが“HIGH”になる。そして、そのときの共通データBL, NBLが記憶回路102に書き込まれる。書込み制御信号WCT及びマスク制御信号MSKはそれぞれ書き込み動作時及びマスク動作時に“HIGH”になる信号である。したがって、図8のような回路を用いることによって、図5と同様に書き込み動作時及びマスク動作時の書き込み（上書き）が容易になる。

[0095] 以上のように、本態様によると、書込み部104と上書き部105とを共通化して書込み回路106とすることができると、比較機能付き記憶素子101及びこれを備えた半導体集積回路の小面積化が可能となる。

[0096] なお、図8では、図7と比較してORゲート501が増加しているが、一般的には1つの共通化されたマスク制御信号MSKで複数の比較機能付き記憶素子101を制御しており、総合的に見て面積削減が可能である。なお、以下の実施の形態2では、1つの共通化されたマスク制御信号MSKで2つの比較機能付き記憶素子101を制御する例を示している。

[0097] <実施の形態2>

図9は本実施形態に係る連想メモリの回路図である。図9に示すように、連想メモリ600は、マスク対象となる2つの比較機能付き記憶素子101を有している。具体的には、図8に示した比較機能付き記憶素子101、デ

ータ選択回路401、被比較データ回路402及び比較データ回路403が2つ並列に接続されている。そして、それぞれの比較機能付き記憶素子101は、共通の書込み補助回路301及び共通のORゲート501からの出力信号を受けている。

[0098] 連想メモリ600は、さらに、一对のマスク情報データMBL、NMBLを記憶するマスク情報記憶素子602と、マスク制御の対象とならない比較機能付き記憶素子601とを備えている。マスク情報データMBL、NMBLは、例えば、複数の比較機能付き記憶素子のうち、論理和をとる対象から除外する比較機能付き記憶素子、すなわちマスクの対象とする比較機能付き記憶素子を示すデータである。

[0099] 共通書込み制御信号WCTCを供給するORゲート501の一方の端子には、マスク情報記憶素子602の出力信号が、マスク制御信号MSKとして与えられる。また、ORゲート501の他方の端子には、書込み制御信号WCTが与えられる。マスク制御の対象とならない比較機能付き記憶素子601は、マスク対象となる比較機能付き記憶素子101と同様の構成であり、比較機能付き記憶素子101と比較すると、書込み回路106のトランジスタNWU1、NWU2のゲートに書込み制御信号WCTが与えられる点、及び記憶回路102のトランジスタPL1、PL2のソースが電源に接続されている点で異なる。

[0100] このような構成とすることにより、例えば、マスク情報記憶素子602の出力信号が“HIGH”のとき、マスク制御の対象とならない比較機能付き記憶素子601の比較結果は共通検出線113に反映される一方、2つの比較機能付き記憶素子101の比較結果はマスクされる。一方で、マスク情報記憶素子602の出力信号が“LOW”のとき、マスク制御の対象とならない比較機能付き記憶素子601の比較結果及び2つの比較機能付き記憶素子101の比較結果が共通検出線113に反映される。

[0101] 一般的に仮想記憶システムにおいては、論理アドレスを物理アドレスに変換する機構が必要であり、変換の高速化を図るためのハードウェアの機構と

してTLBが用いられる。TLBには各ページの論理的なアドレスと、物理メモリ上の実アドレスとを紐付けした複数のデータが記憶されている。以下、論理アドレスを記憶した記憶装置を論理アドレスアレイと称し、物理アドレスを記憶した記憶装置を物理アドレスアレイと称する。

[0102] 論理アドレスを物理アドレスに変換する際は、検索対象となる論理アドレスを論理アドレスアレイに入力して、記憶している全ての論理アドレスと、検索対象となる論理アドレスとの一致比較判定を行う。一致比較判定の結果、一致している論理アドレスが存在すると、その論理アドレスに紐付けされた物理アドレスがTLBから読み出されることによってアドレス変換が実現する。このため、論理アドレスアレイのメモリセルは、1ビット比較器を内蔵したCAMセルという特殊なメモリセルが一般的に用いられ、CAMセルの出力はワイヤードORで構成される共通検出線で論理和をとられて多ビットの比較が行われる（特許文献1参照）。

[0103] また、仮想記憶システムにおいては、メモリ空間はページと呼ばれる単位で管理され、各ページサイズは最小ページサイズの倍数が用いられる。そのため、論理アドレス、物理アドレスはページのサイズによって有効なビットが変わる。これに対応するため、TLBでは、論理アドレスアレイに記憶された複数の論理アドレスごとにページサイズの情報を記憶したページサイズメモリを設ける技術が知られている（特許文献1参照）。アドレス変換の際は、ライン毎に持つページサイズメモリの情報に応じて特定のビットの比較結果が全体の比較からマスクされる。

[0104] 仮想記憶システムにおけるアドレス変換バッファのTLBでは、図9に示したマスク情報記憶素子602がページサイズを記憶したページサイズ用メモリとして用いられる。また、比較機能付き記憶素子101、601は、論理アドレスを記憶し、記憶した論理アドレスと検索のために入力された論理アドレスとの比較をする機能を有したCAMセルとして用いられる。各CAMセルの出力信号は、それぞれ、トランジスタND3を介して共通検出線113に接続されている。そして、図示はしないが、例えば共通検出線113

のワイヤードORをとって、複数のCAMセルに記憶された多ビットの被比較データとしての論理アドレスと、この複数のCAMセルに検索のために入力された多ビットの比較データとしての論理アドレスとの一致比較判定を行う。

[0105] TLBにおいては、図9の構成の回路を複数設けており、複数ビットからなる論理アドレスを複数エントリー分記憶している。そして、入力された検索用の論理アドレスと上記複数エントリーで記憶されている論理アドレスとを同時に比較する。

[0106] このように、TLBにおいて、図9に示した構成を適用することにより、上述の実施の形態1において示したような比較機能付き記憶素子101及びこれを用いた半導体集積回路と同様に、アドレス変換バッファ及び仮想記憶システムにおけるアドレス変換の高速化と低消費電力化、小面積化が実現できる。また、図9に示すように、図8に示した比較機能付き記憶素子101は、マスク制御を行わない比較機能付き記憶素子601と同様の構造にすることができるため、開発工数が削減できる。さらに、複数の比較機能付き記憶素子101、601からなるアレイにおいては、同様の構造の記憶素子が並ぶ連続的なレイアウトパターンによって回路を実現することができるため、歩留まりを向上させることができる。

[0107] なお、図9において、連想メモリ600は、マスク対象となる2つの比較機能付き記憶素子101と、1つのマスク制御の対象とならない比較機能付き記憶素子601とを有するものとして説明したが、それぞれの比較機能付き記憶素子101、601の数はこれに限定されない。例えば、複数のマスク制御の対象とならない比較機能付き記憶素子601を備えていてもよいし、例えば、比較機能付き記憶素子101、601の数がそれぞれ3つ以上でもよい。

[0108] また、1つの共通検出線113に接続される比較機能付き記憶素子101は同一の共通書込み制御信号WC TCの制御を受けるものとしたが、単一の又は複数の比較機能付き記憶素子101毎に異なる共通書込み制御信号の制

御を受けてもよい。これにより、複数の比較機能付き記憶素子 101 のうち、論理和をとる対象の素子と論理和をとる対象から除外する素子とを制御することが可能となる。

[0109] <実施の形態 3>

図 10 は本実施形態に係る多ビットの比較器の回路図である。図 10 に示すように、多ビット比較器 700 は、2 つのマスク制御対象の 1 ビット比較器 701 と、マスク制御非対象の 1 ビット比較器 721 とを備えている。

[0110] マスク制御対象の 1 ビット比較器 701 は、マスク制御信号 MSK の制御を受けて、被比較データ WBL、NWBL と比較データ SBL、NSBL とのうちのいずれか一方を選択し、選択データとして出力する選択回路 702 と、比較データ SBL、NSBL と選択回路 702 から受けた選択データとの一致或いは不一致の判定を行う比較回路 703 と、共通検出線 713 とグラウンド電源との間に接続され、比較回路 703 の比較結果である比較回路出力信号 CND をゲートに受けるトランジスタ ND11 とを備えている。

[0111] 選択回路 702 は、比較データ SBL、NSBL が供給される一对の比較データ線 717 のうちの、一方の比較データ線 717 と内部比較データ線 711 との間に接続されたトランジスタ NS11 と、他方の比較データ線 717 と内部比較データ線 712 との間に接続されたトランジスタ NS12 と、一对の被比較データ線 715 のうちの一方の被比較データ線 715 と内部比較データ線 711 との間に接続されたトランジスタ NS13 と、他方の被比較データ線 715 と内部比較データ線 712 との間に接続されたトランジスタ NS14 とを備えている。トランジスタ NS11、NS12 のゲートには、マスク制御信号 MSK が接続されている。トランジスタ NS13、NS14 のゲートには、マスク制御信号 MSK がインバータ 740 を介して接続されている。そして、選択回路 702 の選択データは、内部比較データ線 711、712 を介して出力される。

[0112] 比較回路 703 は、一对の比較データ線 717 間に直列に接続されたトランジスタ NE11、NE12 と、トランジスタ NE11、NE12 と並列に

接続されたトランジスタPE11, PE12とを備えている。トランジスタNE11, PE12のゲートには内部比較データ線711が接続され、トランジスタNE12, PE11のゲートには内部比較データ線712が接続されている。また、トランジスタNE11とトランジスタNE12との間のノード及びトランジスタPE11とトランジスタPE12との間のノードは、トランジスタND11のゲートに接続されている。

[0113] マスク制御非対象の1ビット比較器721は、被比較データWBL, NWBLと比較データSBL, NSBLとの一致或いは不一致の判定を行う比較回路703と、共通検出線713とグラウンド電源との間に接続され、比較回路703の比較結果である比較回路出力信号CNDをゲートに受けるトランジスタND11とを備えている。

[0114] ここで、トランジスタNS11, NS12, NS13, NS14, NE11, NE12, ND11は、NMOSトランジスタであり、トランジスタPE11, PE12は、PMOSトランジスタである。

[0115] [比較動作]

マスク制御対象の1ビット比較器701は、比較動作として、被比較データWBL, NWBLと比較データSBL, NSBLとの一致或いは不一致の判定を行う判定動作と、比較結果をマスクするマスク動作とを有する。

[0116] [判定動作]

1ビット比較器701の判定動作について説明する。

[0117] マスク制御信号MSKが“LOW”のとき、選択回路702のトランジスタNS13, NS14が“ON”する一方、トランジスタNS11, NS12が“OFF”している。したがって、内部比較データ線711, 712からは、被比較データWBL, NWBLが出力される。これにより、比較回路703では、被比較データWBL, NWBLと比較データSBL, NSBLとが比較され、比較結果に応じてトランジスタND11が“ON”または“OFF”する。これにより、1ビット比較器701は、被比較データWBL, NWBLと比較データSBL, NSBLとの一致或いは不一致の判定結果

を出力する。

[0118] [マスク動作]

1ビット比較器701のマスク動作について説明する。

[0119] マスク制御信号MSKが“HIGH”のとき、選択回路702のトランジスタNS11, NS12が“ON”する一方、トランジスタNS13, NS14が“OFF”している。したがって、内部比較データ線711, 712には比較データSBL, NSBLが出力される。これにより、比較回路703には、内部比較データ線712, 713及び一对の比較データ線717から、比較対象のデータとして比較データSBL, NSBLが入力される。したがって、比較回路703では同じデータ同士が比較されることになる。これにより、マスク動作における比較回路703では、被比較データWBL, NWBL及び比較データSBL, NSBLの値にかかわらず「一致判定」がなされる。したがって、比較回路出力信号CNDは“LOW”であり、トランジスタND11は“OFF”のままである。すなわち、マスク動作における比較結果はマスクされる。

[0120] なお、マスク制御非対象の1ビット比較器721では、比較回路703に対して、比較対象のデータとして比較データSBL, NSBL及び被比較データWBL, NWBLが入力される。したがって、1ビット比較器721は、被比較データWBL, NWBLと比較データSBL, NSBLとの一致或いは不一致の判定結果を出力する。

[0121] 以上のように、本実施形態によると、1ビット比較器721と共通検出線713との間にマスクの有無を制御するトランジスタ（制御用のスイッチ）を設けることなく、マスク動作を実現することができる。これにより、1ビット比較器及び多ビット比較器について、高速化、低消費電力化、小面積化が実現できる。なお、共通検出線713に接続されたビット数が増加するほど、共通検出線713の負荷が大きくなるため、より顕著に高速化、低消費電力化、小面積化の効果が高まる。

産業上の利用可能性

[0122] 本開示では、比較器並びに比較器を内蔵した記憶素子及び連想メモリ等を備えたデバイスにおいて、比較動作の高速化、小面積化、低消費電力化を実現することが可能となる。

[0123] 特に比較回路が多数内蔵された大規模な連想メモリで有効な技術である。

符号の説明

- [0124] 1 0 1 比較機能付き記憶素子
1 0 2 記憶回路
1 0 3 比較回路
1 0 4 書込み部
1 0 5 上書き部
1 0 6 書込み回路
1 1 3 共通検出線
3 0 1 書込み補助回路
4 1 1 共通比較データ線（共通データ線）
4 2 1 共通データ線
6 0 0 連想メモリ
6 0 2 マスク情報記憶素子
7 0 0 多ビットの比較器
7 0 1 1ビット比較器
7 0 2 選択回路
7 0 3 比較回路
ND 3 トランジスタ（スイッチ）
WCT 書込み制御信号
WCTC 共通書込み制御信号
MSK マスク制御信号
WBL, NWBL 被比較データ
SBL, NSBL 比較データ
SBLU, NSBLU 上書き用比較データ（比較データ）

請求の範囲

- [請求項1] 記憶された被比較データと比較データとを比較する比較機能付き記憶素子であって、
- 前記被比較データを記憶する記憶回路と、
- 書き込み動作において、書き込み制御信号の制御を受けて前記記憶回路に前記被比較データを書き込む書き込み回路と、
- 前記記憶回路が保持する前記被比較データと、前記比較データとを比較して、その比較結果を出力する比較回路とを備えており、
- 前記書き込み回路は、前記比較回路によって比較動作を行う際に、マスク制御信号がマスク動作を示すとき、前記記憶回路に前記比較データを上書きする一方、前記マスク制御信号が非マスク動作を示すとき、前記記憶回路への前記比較データの上書きを行わないことを特徴とする比較機能付き記憶素子。
- [請求項2] 請求項1記載の比較機能付き記憶素子において、
- 前記書き込み回路は、前記書き込み動作において前記被比較データを供給し、かつ前記比較動作において前記比較データを供給する共通データ線と前記記憶回路との間に接続されており、前記書き込み制御信号及び前記マスク制御信号の論理和信号である共通書き込み制御信号の制御を受けて、前記記憶回路に対して、前記書き込み動作における前記被比較データの書き込み、及び前記比較動作における前記比較データの上書きを行うことを特徴とする比較機能付き記憶素子。
- [請求項3] 請求項1記載の比較機能付き記憶素子において、
- 前記書き込み回路は、
- 前記書き込み制御信号の制御を受けて、前記書き込み動作における前記被比較データの書き込みを行う書き込み部と、
- 前記マスク制御信号の制御を受けて、前記比較動作における前記比較データの上書きを行う上書き部とを備えている

ことを特徴とする比較機能付き記憶素子。

[請求項4]

請求項3記載の比較機能付き記憶素子において、

前記書込み回路の書込み部が受ける被比較データ、前記書込み回路の上書き部が受ける比較データ、及び前記比較回路が受ける比較データのうちの少なくともいずれか2つのデータは、共通データ線から供給される

ことを特徴とする比較機能付き記憶素子。

[請求項5]

請求項4記載の比較機能付き記憶素子において、

前記共通データ線は、前記上書き部及び前記比較回路に接続されており、前記比較データを供給する

ことを特徴とする比較機能付き記憶素子。

[請求項6]

請求項4記載の比較機能付き記憶素子において、

前記共通データ線は、前記書込み部、前記上書き部及び前記比較回路に接続されており、前記比較データ及び前記被比較データを供給する

ことを特徴とする比較機能付き記憶素子。

[請求項7]

請求項1記載の比較機能付き記憶素子において、

前記記憶回路に接続された書込み補助回路を備えており、

前記書込み補助回路は、前記比較動作において、前記マスク制御信号の制御を受けて、前記書込み回路から前記記憶回路への前記比較データの上書きを補助する

ことを特徴とする比較機能付き記憶素子。

[請求項8]

請求項7記載の比較機能付き記憶素子において、

前記書込み補助回路は、前記書き込み動作において、前記書込み制御信号の制御を受けて、前記書込み回路から前記記憶回路への前記被比較データの書き込みを補助する

ことを特徴とする比較機能付き記憶素子。

[請求項9]

請求項7記載の比較機能付き記憶素子において、

前記書込み補助回路は、電源と前記記憶回路との間に接続されており、

前記記憶回路への前記比較データの上書きの補助として、前記記憶回路への電源供給を遮断することを特徴とする比較機能付き記憶素子。

[請求項10]

請求項8記載の比較機能付き記憶素子において、

前記書込み補助回路は、電源と前記記憶回路との間に接続されており、

前記記憶回路への前記比較データの上書き及び前記被比較データの書き込みのうちの少なくともいずれか一方の補助として、前記記憶回路への電源供給を遮断することを特徴とする比較機能付き記憶素子。

[請求項11]

請求項1に記載された比較機能付き記憶素子を複数個、備えており、

前記複数の比較機能付き記憶素子において、複数の前記記憶回路に多ビットの被比較データが記憶され、かつ複数の前記比較回路に前記多ビットの被比較データと対応する多ビットの比較データが与えられており、

前記複数の比較機能付き記憶素子の比較回路から出力された比較結果の論理和をとり、当該論理和に基づいて、前記多ビットの被比較データと前記多ビットの比較データとの一致比較判定を行うことを特徴とする多ビットの連想メモリ。

[請求項12]

請求項11記載の多ビットの連想メモリにおいて、

前記各比較機能付き記憶素子は、それぞれ、共通検出線とグランド電源との間に接続されたスイッチを備えており、

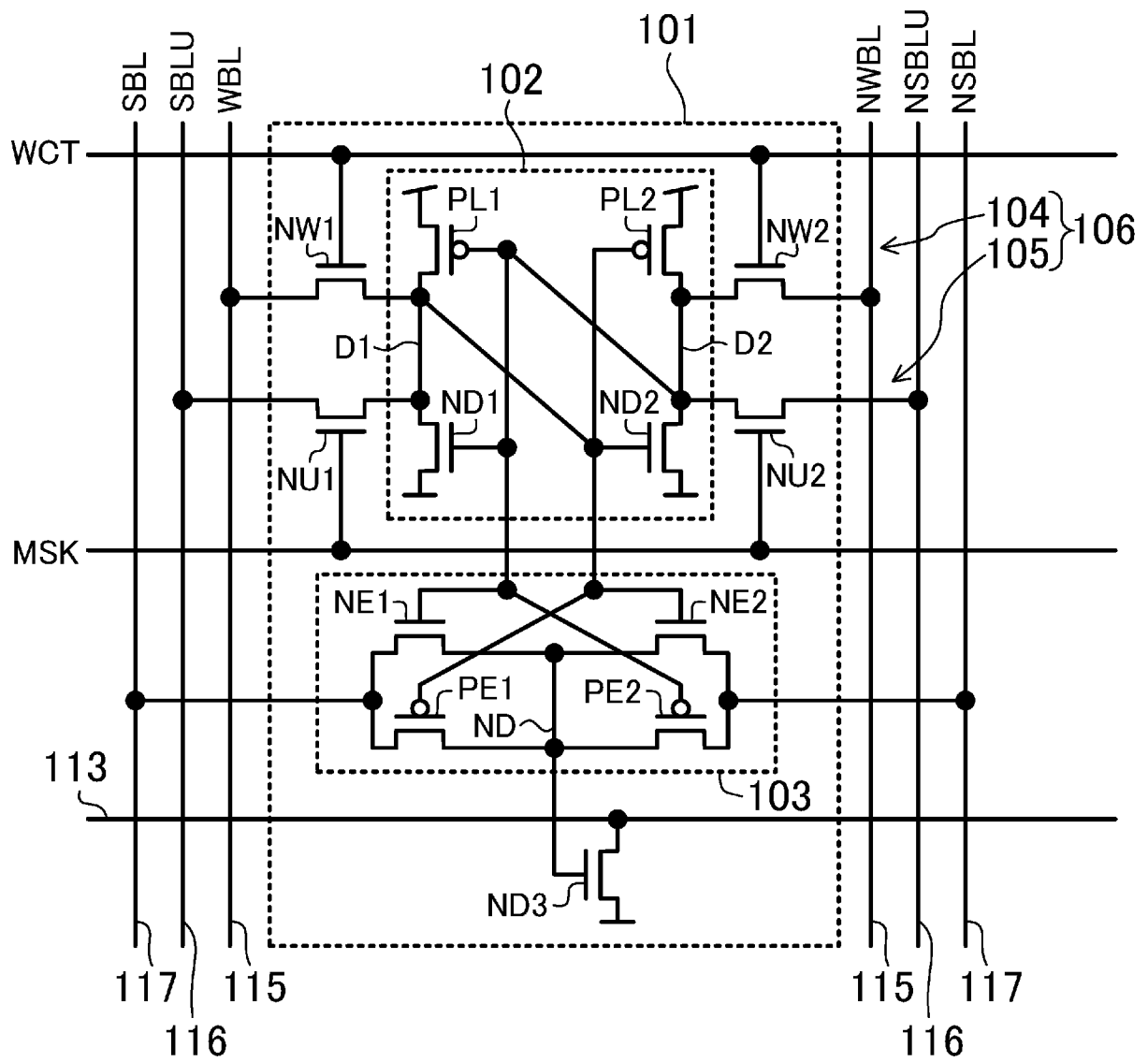
前記スイッチは、当該比較機能付き記憶素子の比較回路から出力された比較結果に基づいてオンオフ制御されることを特徴とする多ビットの連想メモリ。

- [請求項13] 請求項 1 1 記載の多ビットの連想メモリにおいて、
前記複数の比較機能付き記憶素子のうち、前記論理和をとる対象から除外する比較機能付き記憶素子を示すマスク情報を記憶するマスク情報記憶素子を備え、
前記マスク情報記憶素子の出力信号が、前記マスク制御信号として用いられる
ことを特徴とする多ビットの連想メモリ。
- [請求項14] 請求項 1 1 に記載の多ビットの連想メモリを用いたアドレス変換バッファであって、
前記多ビットの被比較データは、仮想アドレス空間における論理アドレスであり、
前記多ビットの比較データは、検索対象の論理アドレスであり、
前記マスク制御信号は、仮想メモリ空間のページサイズ情報を記憶したページサイズ記憶用メモリセルの出力信号である
ことを特徴とするアドレス変換バッファ。
- [請求項15] 被比較データと比較データとを比較する 1 ビット比較器であって、
マスク制御信号の制御を受けて、前記被比較データと前記比較データとのうちのいずれか一方を選択して出力する選択回路と、
前記選択回路の出力信号と前記比較データとを比較して、その比較結果を出力する比較回路とを備えており、
前記選択回路は、前記マスク制御信号がマスク動作を示すとき、前記比較データを選択して出力する一方、前記マスク制御信号が非マスク動作を示すとき、前記被比較データを選択して出力する
ことを特徴とする 1 ビット比較器。
- [請求項16] 請求項 1 5 に記載された 1 ビット比較器を複数個、備えており、
前記複数の 1 ビット比較器において、複数の前記選択回路に多ビットの被比較データが与えられ、かつ複数の前記比較回路に前記多ビットの被比較データと対応する多ビットの比較データが与えられており

、

前記複数の 1 ビット比較器の比較回路から出力された比較結果の論理和をとり、当該論理和に基づいて、前記多ビットの被比較データと前記多ビットの比較データとの一致比較判定を行うことを特徴とする多ビット比較器。

[図1]



[図2]

(a)

データパタン	MSK	D1	D2	SBL (SBLU)	NSBL (NSBLU)
1	0	1	0	0	0
2					
3		0	1		
4					

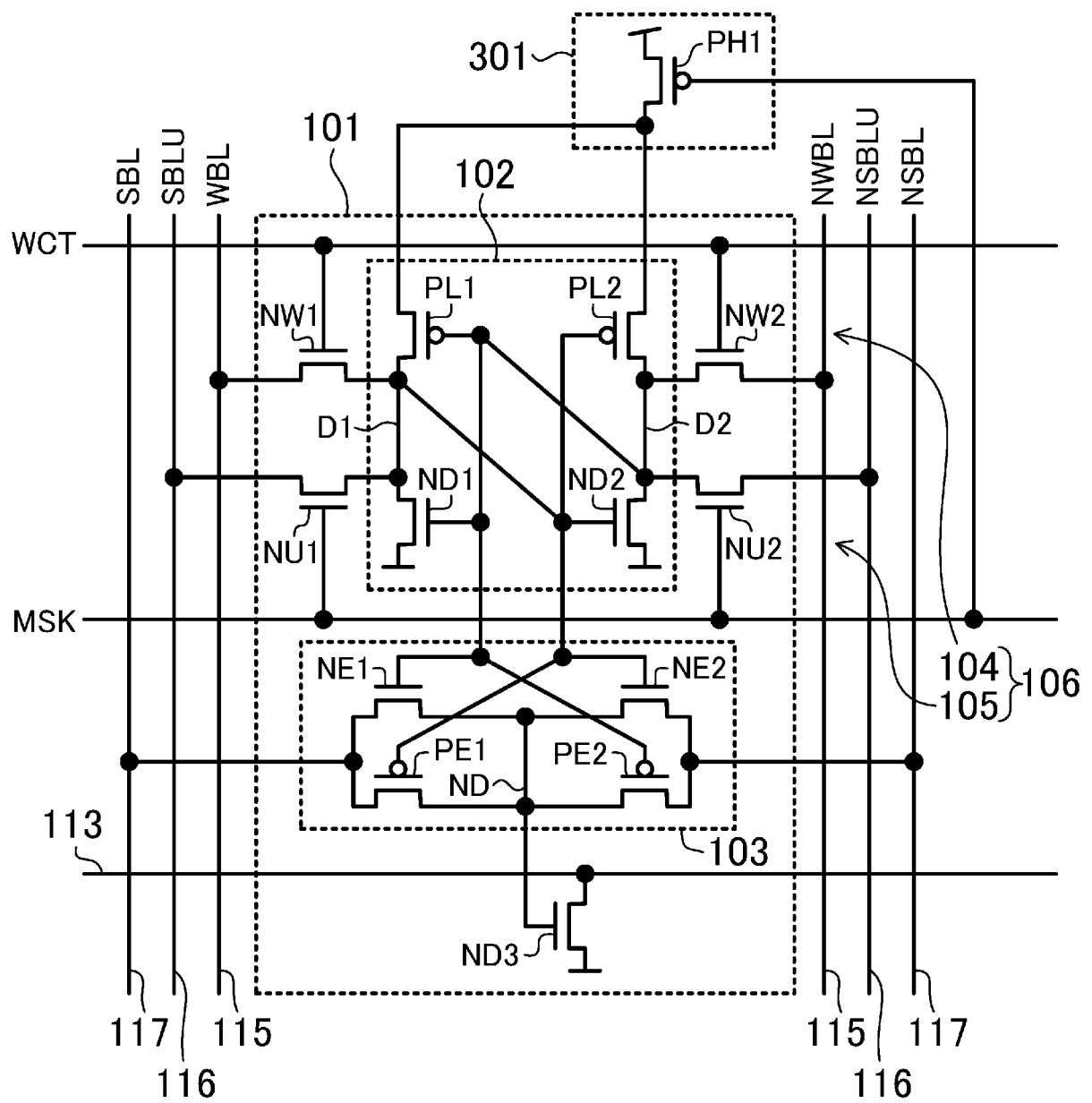
(b)

データパタン	MSK	D1	D2	SBL (SBLU)	NSBL (NSBLU)	判定	ND
1	0	1	0	1	0	一致	0
2				0	1	不一致	1
3		0	1	1	0	不一致	1
4				0	1	一致	0

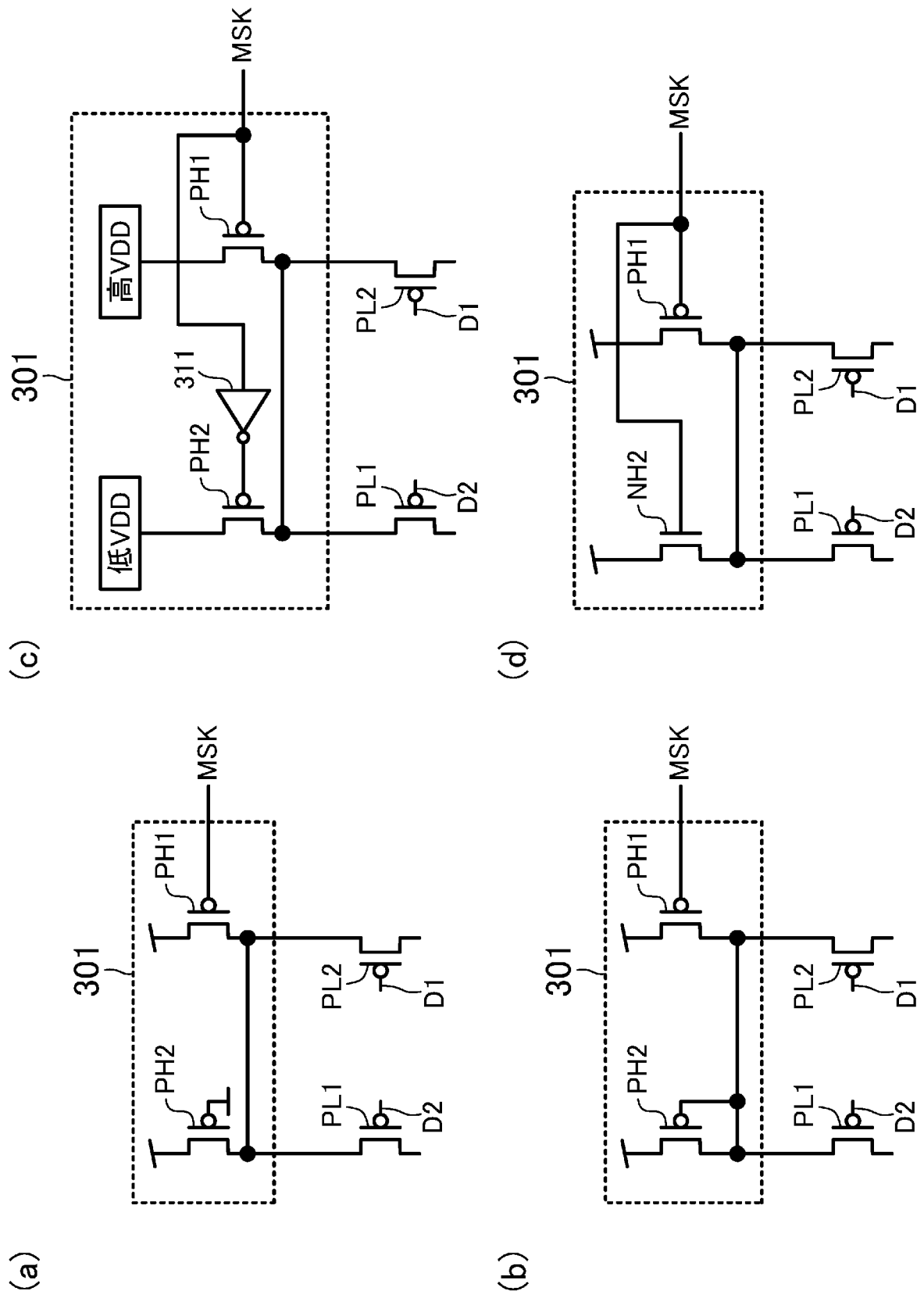
(c)

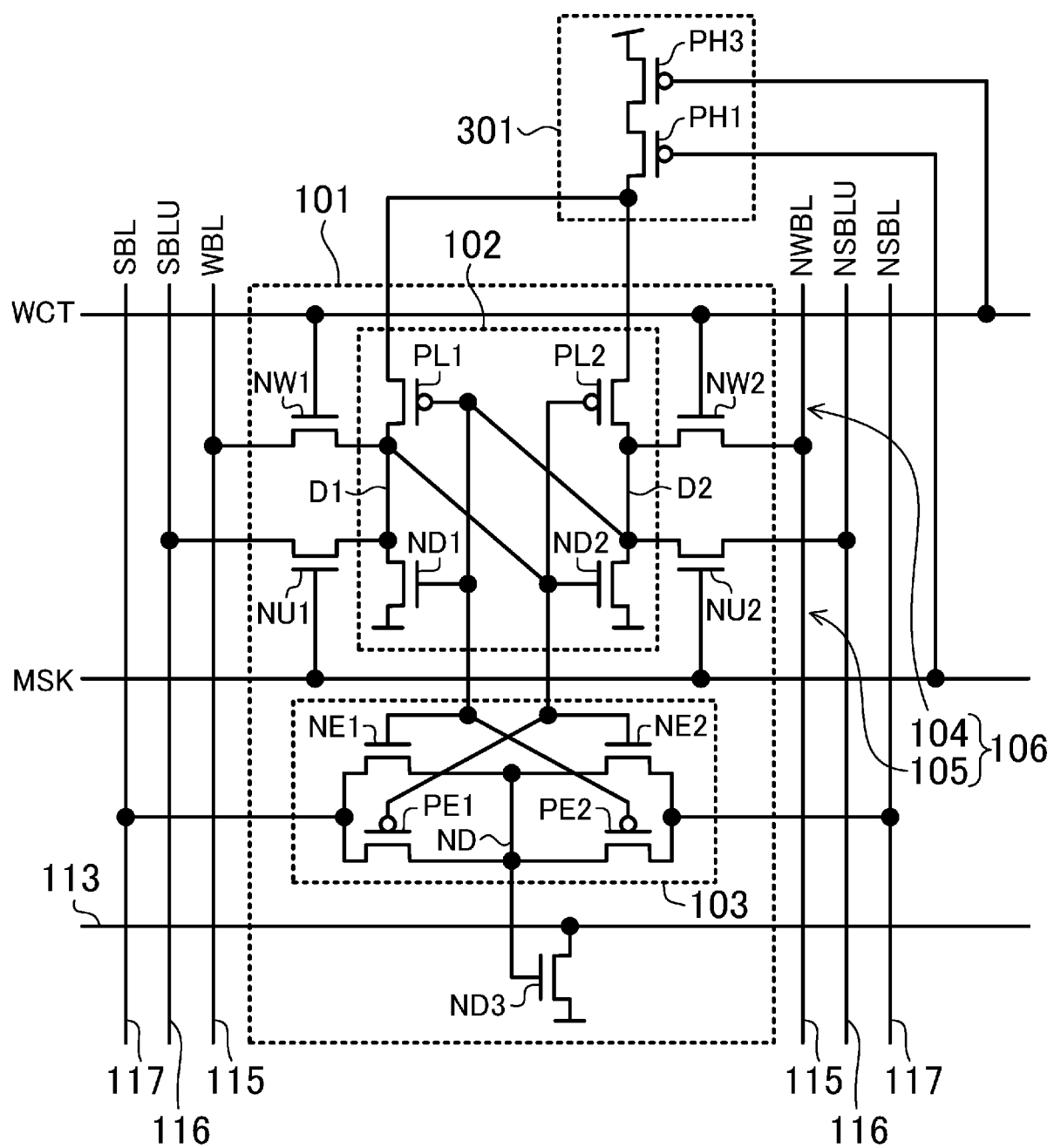
データパタン	MSK	D1	D2	SBL (SBLU)	NSBL (NSBLU)	判定	ND
1	1	1	0	1	0	一致	0
2		0	1	0	1		
3		1	0	1	0		
4		0	1	0	1		

[図3]

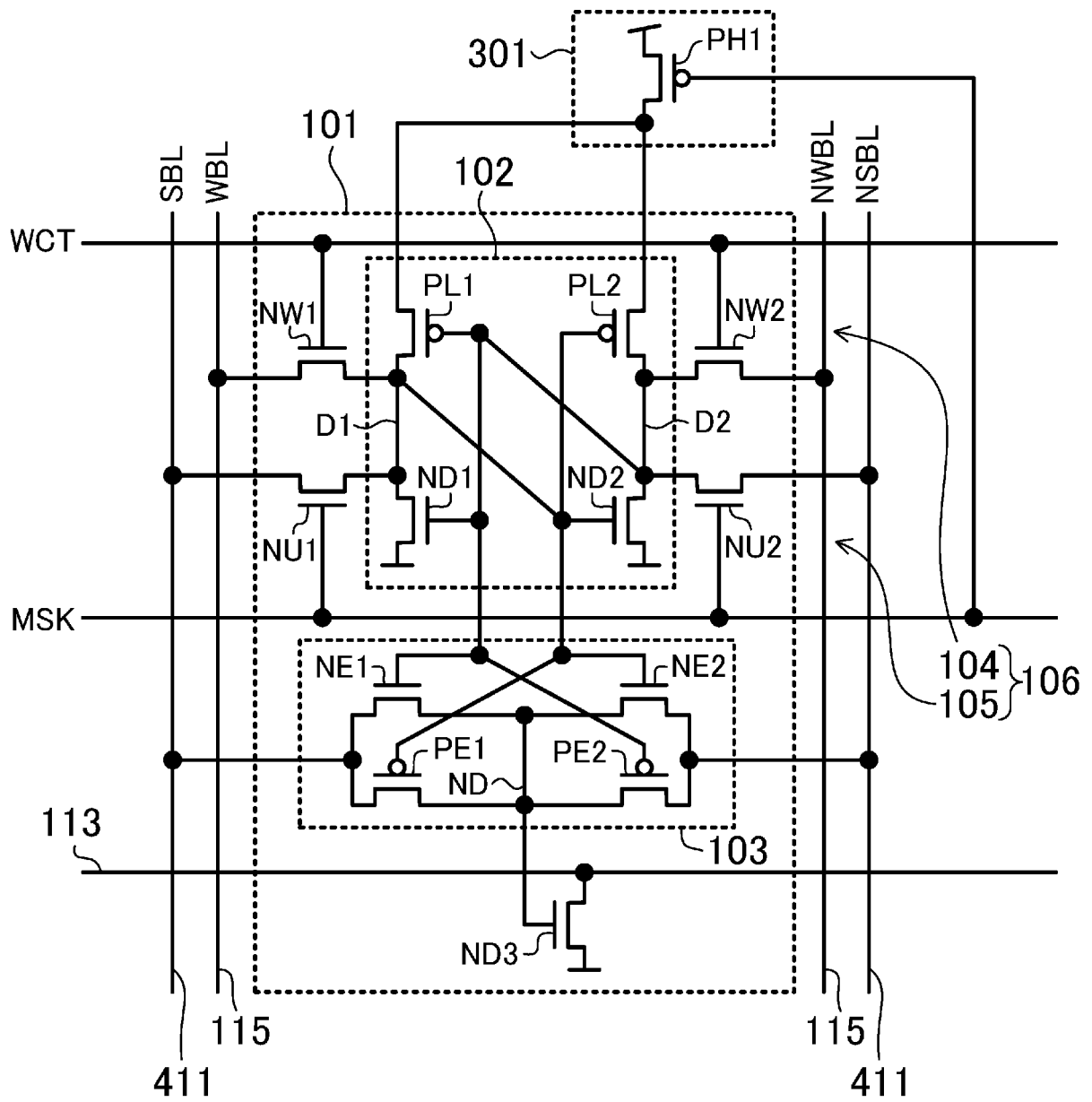


[図4]

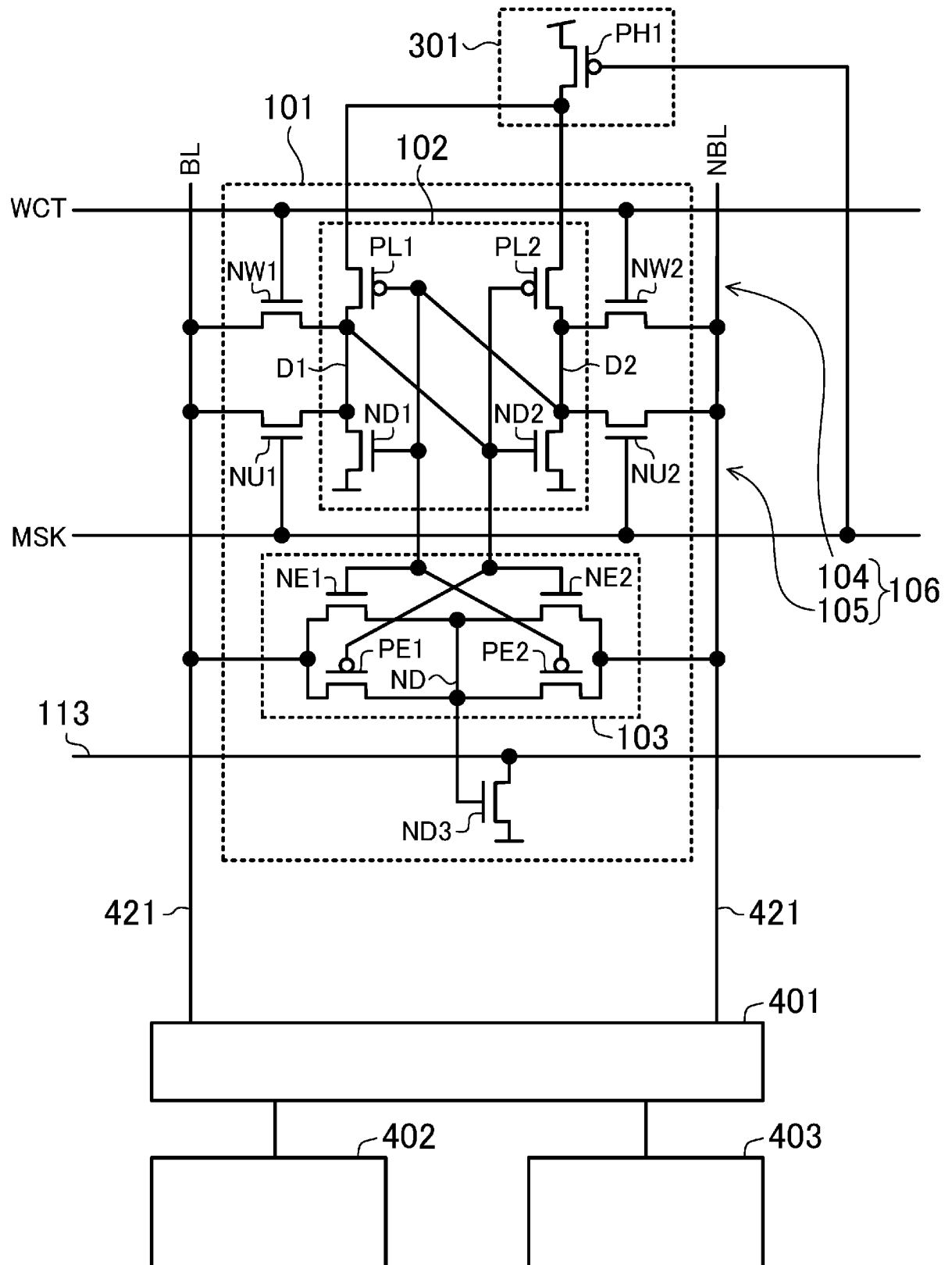




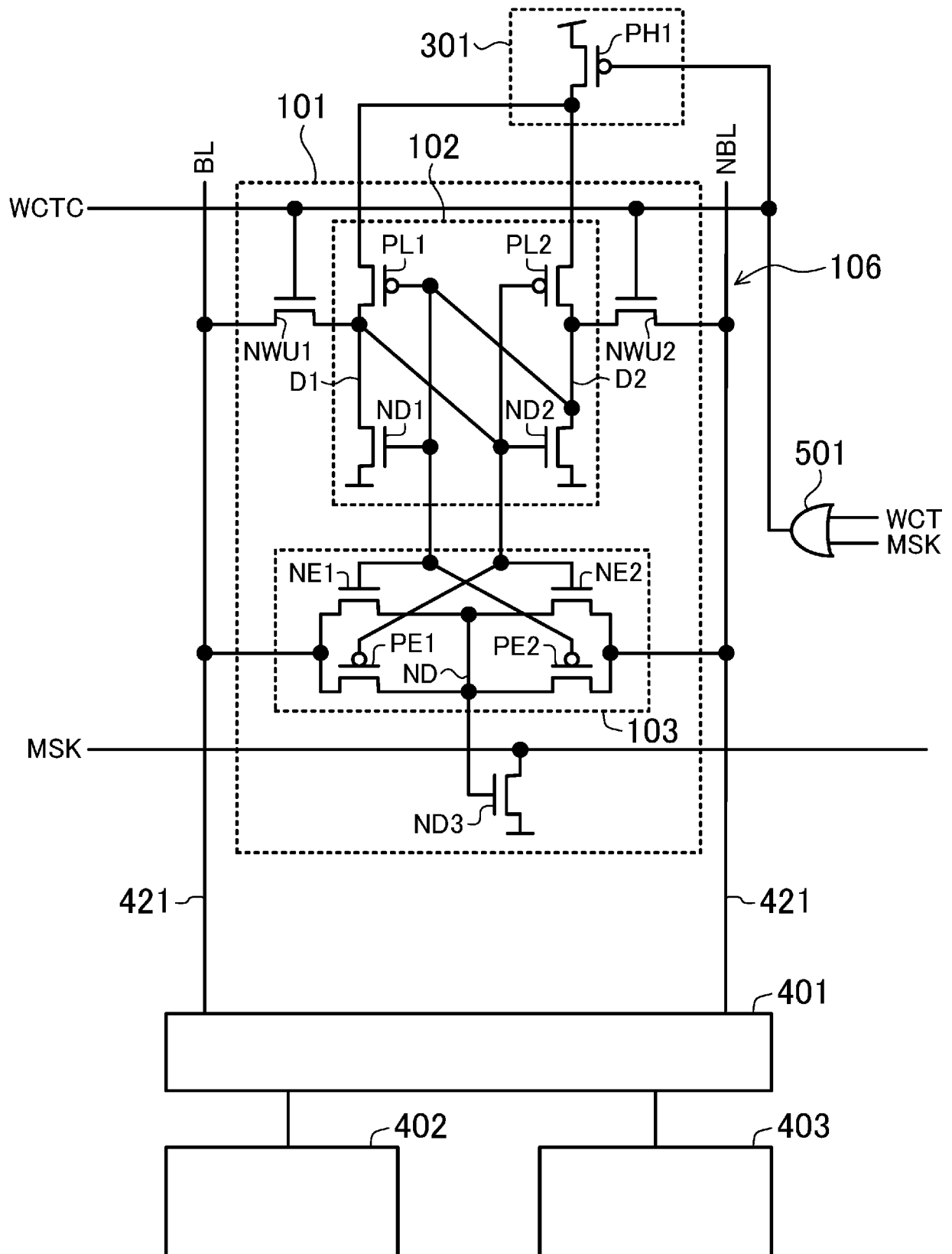
[図6]



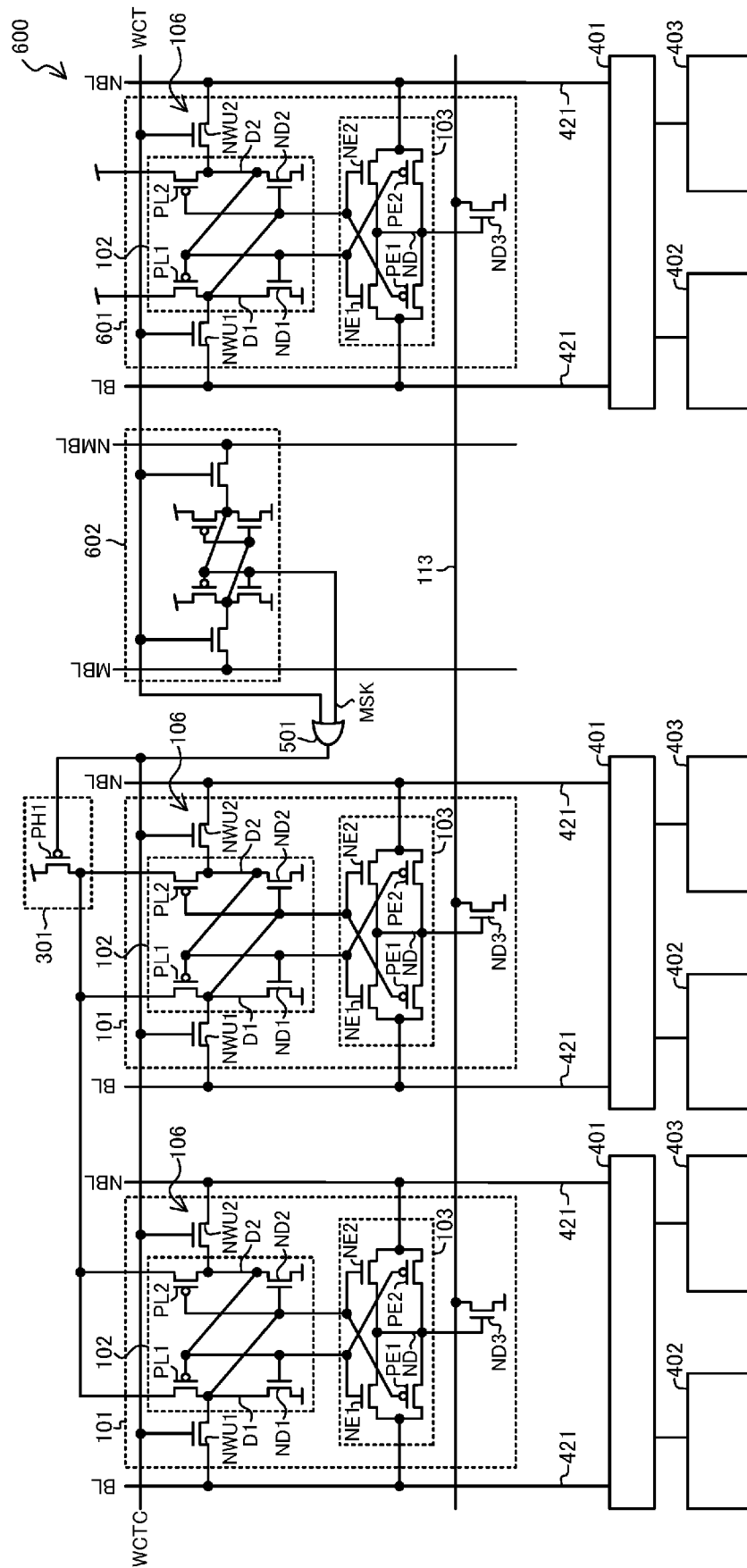
[図7]



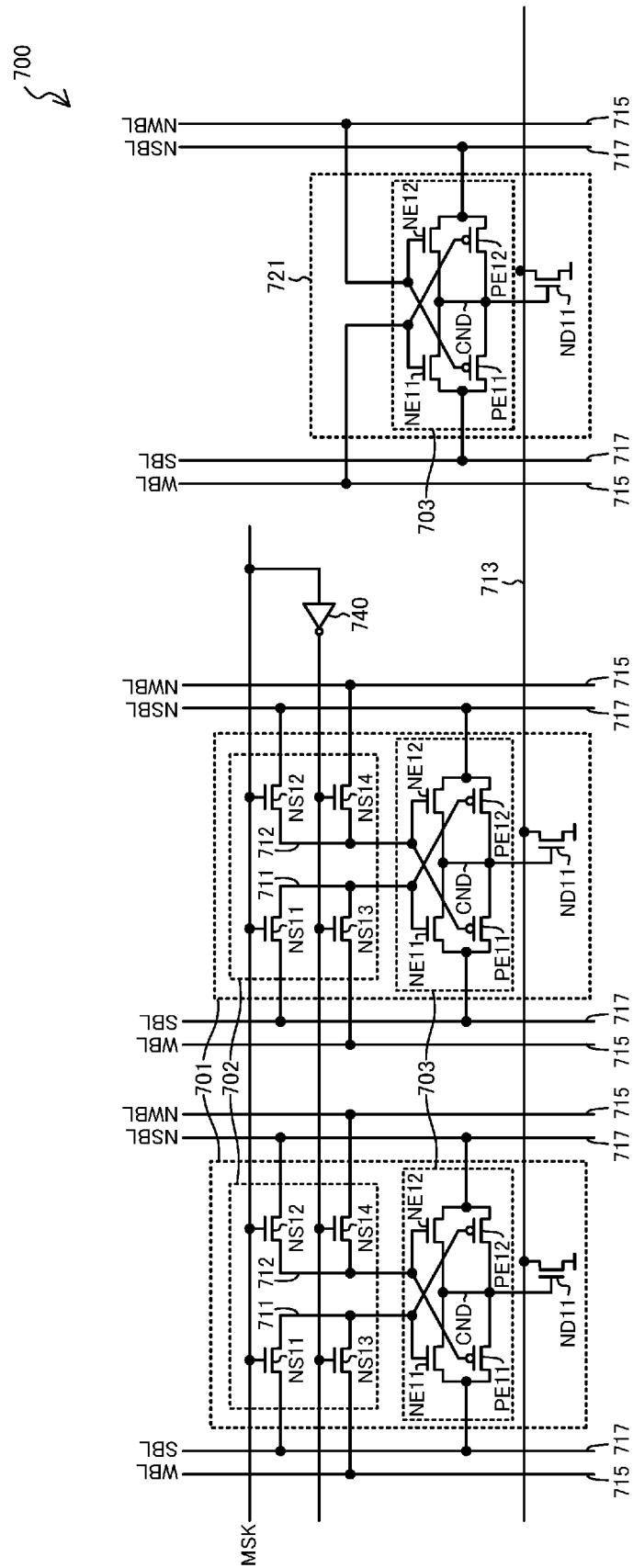
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/000274

A. CLASSIFICATION OF SUBJECT MATTER

G11C15/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C15/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-21997 A (NEC Corp.), 24 January 1992 (24.01.1992), claims; fig. 1 (Family: none)	1-16
A	JP 7-282587 A (Hitachi, Ltd.), 27 October 1995 (27.10.1995), paragraphs [0050] to [0051]; fig. 4 (Family: none)	1-16
A	JP 2004-164395 A (Renesas Technology Corp.), 10 June 2004 (10.06.2004), paragraph [0033]; fig. 4 & US 2004/0098559 A1 & CN 1501260 A	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 April, 2014 (18.04.14)

Date of mailing of the international search report
13 May, 2014 (13.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/000274

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6867989 B1 (NetLogic Microsystems, Inc.), 15 March 2005 (15.03.2005), fig. 12 (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C15/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C15/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-21997 A（日本電気株式会社）1992.01.24, 特許請求の範囲、 第1図（ファミリーなし）	1-16
A	JP 7-282587 A（株式会社日立製作所）1995.10.27, 段落【0050】-【0051】、図4（ファミリーなし）	1-16
A	JP 2004-164395 A（株式会社ルネサステクノロジ）2004.06.10, 段落【0033】、図4 & US 2004/0098559 A1 & CN 1501260 A	1-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.04.2014

国際調査報告の発送日

13.05.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 紀和

5 U

4240

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 6867989 B1 (NetLogic Microsystems, Inc.) 2005.03.15, FIG.12 (ファミリーなし)	1 - 1 6