

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6903623号
(P6903623)

(45) 発行日 令和3年7月14日(2021.7.14)

(24) 登録日 令和3年6月25日(2021.6.25)

(51) Int.Cl.

A63F 7/02 (2006.01)

F 1

A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全 54 頁)

(21) 出願番号 特願2018-222148 (P2018-222148)
 (22) 出願日 平成30年11月28日 (2018.11.28)
 (65) 公開番号 特開2020-81507 (P2020-81507A)
 (43) 公開日 令和2年6月4日 (2020.6.4)
 審査請求日 令和1年12月19日 (2019.12.19)

(73) 特許権者 391010943
 株式会社藤商事
 大阪府大阪市中央区内本町一丁目1番4号
 (74) 代理人 100100376
 弁理士 野中 誠一
 (74) 代理人 100143199
 弁理士 磯邊 毅
 (72) 発明者 神崎 純一
 大阪府大阪市中央区内本町一丁目1番4号
 株式会社藤商事内
 (72) 発明者 柴田 伸美
 大阪府大阪市中央区内本町一丁目1番4号
 株式会社藤商事内

審査官 中野 直行

最終頁に続く

(54) 【発明の名称】遊技機

(57) 【特許請求の範囲】

【請求項 1】

表示装置の表示画面を特定するディスプレイリストを発行するCPU回路を有する画像制御手段と、前記ディスプレイリストに基づく所定の画像データを生成する画像生成手段と、前記画像データを記憶可能な所定のRWメモリと、前記画像データの基礎データとなる各種の圧縮データを記憶するCGメモリと、を有して構成され、

所定ビット位置以下の下位ビットが全て0となる基点アドレスに基づいて、前記RWメモリに、複数種類の記憶領域が確保され、

前記記憶領域の何れかは、一意情報で特定される動画展開空間として、動画圧縮データのデコード用に使用され、

前記動画展開空間は、必要時に、前記ディスプレイリストの記載に基づいて確保可能である一方、不要時には、前記ディスプレイリストの記載に基づいて開放可能に構成されており、

前記画像生成手段は、前記ディスプレイリストに記載されたアドレス情報で特定される動画圧縮データを、前記ディスプレイリストに記載された一意情報で特定される展開空間にデコードするよう構成され、

所定演出時には、複数の動画圧縮データが、複数の展開空間でデコードされることで、複数の動画が並列的に再生されるよう構成されていることを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技動作に起因する抽選処理を行い、その抽選結果に対応する画像演出を実行する遊技機に関し、特に、迫力ある画像演出を安定して実行できる遊技機に関する。

【背景技術】**【0002】**

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。10

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を20秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することになる。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。20

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2017-093633号公報

【特許文献2】特開2017-093632号公報

【特許文献3】特開2016-159030号公報

【特許文献4】特開2016-159029号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

この種の遊技機では、各種の演出を複雑化かつ豊富化したいところ、特に、画像演出については、その要請が高い。そこで、出願人は、各種の提案をしているが（引用文献1～引用文献4）、画像演出の更なる高度化や、画像演出制御の改善が望まれるところである。30

【0006】

本発明は、上記の課題に鑑みてなされたものであり、より改善された画像演出制御を実行可能な遊技機を提供することを目的とする。

【課題を解決するための手段】**【0007】**

上記の目的を達成するため、本発明に係る遊技機は、表示装置の表示画面を特定するディスプレイリストを発行するCPU回路を有する画像制御手段と、前記ディスプレイリストに基づく所定の画像データを生成する画像生成手段と、前記画像データを記憶可能な所定のRWメモリと、前記画像データの基礎データとなる各種の圧縮データを記憶するCGメモリと、を有して構成され、所定ビット位置以下の下位ビットが全て0となる基点アドレスに基づいて、前記RWメモリに、複数種類の記憶領域が確保され、前記記憶領域の何れかは、一意情報で特定される動画展開空間として、動画圧縮データのデコード用に使用され、前記動画展開空間は、必要時に、前記ディスプレイリストの記載に基づいて確保可能である一方、不要時には、前記ディスプレイリストの記載に基づいて開放可能に構成されており、前記画像生成手段は、前記ディスプレイリストに記載されたアドレス情報で特定される動画圧縮データを、前記ディスプレイリストに記載された一意情報で特定される40

展開空間にデコードするよう構成され、所定演出時には、複数の動画圧縮データが、複数の展開空間でデコードされることで、複数の動画が並列的に再生されるよう構成されている。

【発明の効果】

【0009】

上記した本発明によれば、R Wメモリを適宜に分割して、展開空間を特定する一意情報を付与することで高速アクセスが可能となり、高度化された画像演出であっても、円滑適切な画像制御動作を実行することができる。

【図面の簡単な説明】

【0010】

10

【図1】本実施例のパチンコ機を示す斜視図である。

【図2】図1の遊技機の遊技領域を示す正面図である。

【図3】図1の遊技機の全体回路構成を示すブロック図である。

【図4】図1の遊技機について、演出制御部の回路構成をやや詳細に示すブロック図である。

【図5】演出制御部を構成する複合チップを説明する図面である。

【図6】D M A Cについて、サイクルスチール転送動作と、パイプライン転送とを説明する図面である。

【図7】インデックス空間、インデックステーブル、仮想描画空間、及び、描画領域について説明する図面である。

20

【図8】データ転送回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図9】表示回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図10】プリローダを使用しない場合について、演出制御C P U 6 3の制御動作を説明するフローチャートである。

【図11】ディスプレイリストの構成を説明する図面である。

【図12】ディスプレイリストD Lを発行するD L発行処理を示すフローチャートである。

【図13】図12の動作にD M A Cが関与する場合の動作を説明するフローチャートである。

30

【図14】図13の処理に続く動作を説明するフローチャートである。

【図15】プリローダを使用する場合について、演出制御C P U 6 3の制御動作を説明するフローチャートである。

【図16】図15の一部を説明するフローチャートである。

【図17】図15の別の一部を説明するフローチャートである。

【図18】プリローダを使用しない実施例について、V D P各部の動作を示すタイムチャートである。

【図19】プリローダを使用する実施例について、V D P各部の動作を示すタイムチャートである。

40

【図20】別の実施例について全体回路構成を示すブロック図である。

【図21】図20の一部をやや詳細に示すブロック図である。

【図22】別の実施例について、動作内容を説明するフローチャートである。

【図23】更に別の実施例を説明する図面である。

【発明を実施するための形態】

【0011】

以下、実施例に基づいて本発明を詳細に説明する。図1は、本実施例のパチンコ機G Mを示す斜視図である。このパチンコ機G Mは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

50

【0012】

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャンネルR,Lの音声を出力し、下側のスピーカは低音を出力するよう構成されている。

【0013】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃槌によって遊技球が発射される。

10

【0014】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0015】

また、チャンスボタン11の下方には、ロータリースイッチ型の音量スイッチV L S Wが配置されており、遊技者が音量スイッチV L S Wを操作することで、無音レベル(=0)から最高レベル(=7)まで、スピーカ音量を8段階に調整できるようになっている。なお、スピーカの音量は、係員だけが操作可能な設定スイッチ(不図示)によって初期設定されており、遊技者が音量スイッチV L S Wを操作しない限り、初期設定音量が維持される。また、異常事態が発生したことを報知する異常報知音は、係員による初期設定音量や、遊技者の設定音量に拘らず最高音量で放音される。

20

【0016】

上皿8の右部には、カード式球貸し機に対する球貸し操作用の操作パネル12が設けられ、カード残額を3桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

30

【0017】

図2に示すように、遊技盤5の表面には、金属製の外レールと内レールとからなるガイドレール13が環状に設けられ、その略中央には、中央開口HOが設けられている。そして、中央開口HOの下方には、不図示の可動演出体が隠蔽状態で収納されており、可動予告演出時には、その可動演出体が上昇して露出状態となることで、所定の信頼度の予告演出を実現している。ここで、予告演出とは、遊技者に有利な大当たり状態が招来することを不確定に報知する演出であり、予告演出の信頼度とは、大当たり状態が招来する確率を意味している。

【0018】

中央開口HOには、大型(例えば、横1280×縦1024ピクセル)の液晶カラーディスプレイ(LCD)で構成されたメイン表示装置DS1が配置され、メイン表示装置DS1の右側には、小型(例えば、横480×縦800ピクセル)の液晶カラーディスプレイで構成された可動式のサブ表示装置DS2が配置されている。メイン表示装置DS1は、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置DS1は、中央部に特別図柄表示部Da～Dcと右上部に普通図柄表示部19とを有している。そして、特別図柄表示部Da～Dcでは、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部Da～Dc及びその周りでは、適宜な予告演出などが実行される。

40

【0019】

サブ表示装置DS2は、通常時には、その表示画面が遊技者に見やすい角度に傾斜した

50

静止状態で画像情報を表示している。但し、所定の予告演出時には、遊技者に見やすい角度に傾斜角度を変えながら、図示の左側に移動する共に、所定の予告画像を表示するようになっている。

【0020】

すなわち、実施例のサブ表示装置D S 2は、単なる表示装置ではなく、予告演出を実行する可動演出体としても機能している。ここで、サブ表示装置D S 2による予告演出は、その信頼度が高く設定されており、遊技者は、大きな期待感をもってサブ表示装置D S 2の移動動作に注目することになる。

【0021】

ところで、遊技球が落下移動する遊技領域には、第1図柄始動口15a、第2図柄始動口15b、第1大入賞口16a、第2大入賞口16b、普通入賞口17、及び、ゲート18が配設されている。これらの入賞口15～18は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

10

【0022】

第1図柄始動口15aの上部には、導入口INから進入した遊技球がシーソー状又はルーレット状に移動した後に、第1図柄始動口15に入賞可能に構成された演出ステージ14が配置されている。そして、第1図柄始動口15に遊技球が入賞すると、特別図柄表示部Da～Dcの変動動作が開始されるよう構成されている。

【0023】

第2図柄始動口15bは、左右一対の開閉爪を備えた電動式チューリップで開閉されるよう構成され、普通図柄表示部19の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪が開放されるようになっている。

20

【0024】

なお、普通図柄表示部19は、普通図柄を表示するものであり、ゲート18を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート18の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

【0025】

第1大入賞口16aは、前後方向に進退するスライド盤を有して構成され、第2大入賞口16bは、下端が軸支されて前方に開放する開閉板を有して構成されている。第1大入賞口16aや第2大入賞口16bの動作は、特に限定されないが、この実施例では、第1大入賞口16aは、第1図柄始動口15aに対応し、第2大入賞口16bは、第1図柄始動口15bに対応するよう構成されている。

30

【0026】

すなわち、第1図柄始動口15aに遊技球が入賞すると、特別図柄表示部Da～Dcの変動動作が開始され、その後、所定の大当たり図柄が特別図柄表示部Da～Dcに整列すると、第1大当たりたる特別遊技が開始され、第1大入賞口16aのスライド盤が、前方に開放されて遊技球の入賞が容易化される。

【0027】

一方、第2図柄始動口15bへの遊技球の入賞によって開始された変動動作の結果、所定の大当たり図柄が特別図柄表示部Da～Dcに整列すると、第2大当たりたる特別遊技が開始され、第2大入賞口16bの開閉板が開放されて遊技球の入賞が容易化される。特別遊技(大当たり状態)の遊技価値は、整列する大当たり図柄などに対応して種々相違するが、何れの遊技価値が付与されるかは、遊技球の入賞タイミングに応じた抽選結果に基づいて予め決定される。

40

【0028】

典型的な大当たり状態では、大入賞口16の開閉板が開放された後、所定時間が経過し、又は所定数(例えば10個)の遊技球が入賞すると開閉板が閉じる。このような動作は、最大で例えば15回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部Da～Dcの変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別

50

遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

【0029】

図3は、上記した各動作を実現するパチンコ機GMの全体回路構成を示すブロック図であり、図4(a)はその一部を詳細に図示したものである。

【0030】

図3に示す通り、このパチンコ機GMは、AC24Vを受けて各種の直流電圧や、電源異常信号ABN1、ABN2を出力する電源基板20と、遊技制御動作を中心統括的に担う主制御基板21と、音声演出用の回路素子SNDを搭載した演出インターフェイス基板22と、主制御基板21から受けた制御コマンドCMDに基づいてランプ演出、音声演出、及び画像演出を統一的に実行する演出制御基板23と、演出制御基板23と表示装置DS1, DS2の間に位置する液晶インターフェイス基板24と、主制御基板21から受けた制御コマンドCMD'に基づいて払出モータMを制御して遊技球を払い出す払出制御基板25と、遊技者の操作に応答して遊技球を発射させる発射制御基板26と、を中心に構成されている。

10

【0031】

本実施例の場合、演出インターフェイス基板22と、演出制御基板23と、液晶インターフェイス基板24とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

20

【0032】

図示の通り、主制御基板21が出力する制御コマンドCMD'は、主基板中継基板33を経由して、払出制御基板25に伝送される。一方、主制御基板21が出力する制御コマンドCMDは、演出インターフェイス基板22を経由して演出制御基板23に伝送される。制御コマンドCMD, CMD'は、何れも16bit長であるが、8bit長毎に2回に分けてパラレル送信される。

【0033】

主制御基板21と払出制御基板25には、ワンチップマイコンを含むコンピュータ回路が搭載されている。また、演出制御基板23には、VDP回路(Video Display Processor)52や内蔵CPU回路51などのコンピュータ回路が内蔵された複合チップ50が搭載されている。そこで、これらの制御基板21, 25, 23と、演出インターフェイス基板22や液晶インターフェイス基板24に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部21、演出制御部23、及び払出制御部25と言うことがある。なお、主制御部21に対して、演出制御部23と、払出制御部25がサブ制御部となる。

30

【0034】

また、このパチンコ機GMは、図3の破線で囲む枠側部材GM1と、遊技盤5の背面に固定された盤側部材GM2とに大別されている。枠側部材GM1には、ガラス扉6や前面板7が枢着された前枠3と、その外側の木製外枠1とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材GM2は、機種変更に対応して交換され、新たな盤側部材GM2が、元の盤側部材の代わりに枠側部材GM1に取り付けられる。なお、枠側部材1を除く全てが、盤側部材GM2である。

40

【0035】

図3の破線枠に示す通り、枠側部材GM1には、電源基板20と、払出制御基板25と、発射制御基板26と、枠中継基板36とが含まれており、これらの回路基板が、前枠3の適所に各々固定されている。一方、遊技盤5の背面には、主制御基板21、演出制御基板23が、表示装置DS1, DS2やその他の回路基板と共に固定されている。そして、枠側部材GM1と盤側部材GM2とは、一箇所に集中配置された接続コネクタC1～C4によって電気的に接続されている。

【0036】

50

電源基板 20 は、接続コネクタ C2 を通して、主基板中継基板 33 に接続され、接続コネクタ C3 を通して、電源中継基板 34 に接続されている。そして、電源基板 20 には、交流電源の投入と遮断とを監視する電源監視部 MNT が設けられている。電源監視部 MNT は、交流電源の遮断を検知すると、電源異常信号 ABN1, ABN2 を、直ちに L レベルに遷移させる。なお、電源異常信号 ABN1, ABN2 は、電源投入後に速やかに H レベルとなる。

【0037】

主基板中継基板 33 は、電源基板 20 から出力される電源異常信号 ABN1、バックアップ電源 BAK、及び DC5V, DC12V, DC32V を、そのまま主制御部 21 に出力している。また、電源中継基板 34 は、電源基板 20 から受けた交流及び直流の電源電圧を、そのまま演出インターフェイス基板 22 に出力している。10

【0038】

図示の通り、演出インターフェイス基板 22 には、音声プロセッサ 27 などの音声回路 SND が搭載され、演出制御基板 23 には、VDP 回路 52 や CPU 回路 51 などのコンピュータ回路が内蔵された複合チップ 50 が搭載されている。

【0039】

また、演出インターフェイス基板 22 には、電源投入時に、電源電圧の上昇を検知してリセット信号 SYS (CPU リセット信号) を生成するリセット回路 RST3 が搭載されている。この CPU リセット信号 SYS は、演出インターフェイス基板 22 の音声回路 SND や、演出制御基板 23 の複合チップ 50 に伝送されることで、各電子素子を同期的に電源リセットしている。なお、後述するように、CPU 回路 51 のプログラム処理が無限ループ状態となると、CPU 回路 51 に内蔵されたウォッチドッグタイマ 58 (図 4 (a) 参照) が起動して、音声回路 SND と複合チップ 50 が同期して異常リセットされる。20

【0040】

次に、枠側部材 GM1 たる払出制御基板 25 は、中継基板を介すことなく、電源基板 20 に直結されて、主制御部 21 が受けると同様の電源異常信号 ABN2 や、バックアップ電源 BAK を、その他の電源電圧と共に受けている。また、主制御部 21 と払出制御部 25 には、各々、リセット回路 RST1, RST2 が搭載されており、電源投入時に電源リセット信号が生成され、各コンピュータ回路が電源リセットされるよう構成されている。30

【0041】

このように、本実施例では、主制御部 21 と、払出制御部 25 と、演出インターフェイス基板 22 に、各々、リセット回路 RST1 ~ RST3 を配置しており、CPU リセット信号 SYS が回路基板間で伝送されることがない。すなわち、CPU リセット信号 SYS を伝送する配線ケーブルが存在しないので、配線ケーブルに重畳するノイズによって、コンピュータ回路が異常リセットされるおそれが解消される。

【0042】

但し、主制御部 21 や払出制御部 25 に設けられたリセット回路 RST1, RST2 は、各々ウォッチドッグタイマを内蔵しており、各制御部 21, 25 の CPU から、定時的なクリアパルスを受けない場合には、各 CPU は強制的にリセットされる。40

【0043】

また、主制御部 21 には、係員が操作可能な初期化スイッチ SW が配置されており、電源投入時、初期化スイッチ SW が ON 操作されたか否かを示す RAMクリア信号 CLR が出力されるよう構成されている。この RAMクリア信号 CLR は、主制御部 21 と払出制御部 25 のワンチップマイコンに伝送され、各制御部 21, 25 のワンチップマイコンの内蔵 RAM の全領域を初期設定するか否かを決定している。

【0044】

また、主制御部 21 及び払出制御部 25 は、電源基板 20 から電源異常信号 ABN1, ABN2 を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源 BAK は、営業終了や停電により交流電源 250

4 V が遮断された後も、主制御部 2 1 と払出制御部 2 5 のワンチップマイコンの内蔵 RAM のデータを保持する DC 5 V の直流電源である。したがって、主制御部 2 1 と払出制御部 2 5 は、電源遮断前の遊技動作を電源投入後に再開できることになる（電源バックアップ機能）。このパチンコ機では少なくとも数日は、各ワンチップマイコンの RAM の記憶内容が保持されるよう設計されている。

【 0 0 4 5 】

図 3 に示す通り、主制御部 2 1 は、払出制御部 2 5 から、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステータス信号 CON や、動作開始信号 BGN を受信している。ステータス信号 CON には、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号 BGN は、電源投入後、払出制御部 2 5 の初期動作が完了したことを主制御部 2 1 に通知する信号である。
10

【 0 0 4 6 】

また、主制御部 2 1 は、遊技盤中継基板 3 2 を経由して、遊技盤 5 の各遊技部品に接続されている。そして、遊技盤上の各入賞口 1 6 ~ 1 8 に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部 2 1 から配電された電源電圧 VB (12 V) で動作するよう構成されている。また、図柄始動口 1 5 への入賞状態などを示す各スイッチ信号は、電源電圧 VB (12 V) と電源電圧 Vcc (5 V) とで動作するインターフェイス I C で、TTL レベル又は CMOS レベルのスイッチ信号に変換された上で、主制御部 2 1 に伝送される。
20

【 0 0 4 7 】

先に説明した通り、演出インターフェイス基板 2 2 と演出制御基板 2 3 と液晶インターフェイス基板 2 4 とはコネクタ連結によって一体化されており、演出インターフェイス基板 2 2 は、電源中継基板 3 4 を経由して、電源基板 2 0 から各レベルの直流電圧 (5 V , 12 V , 32 V) を受けている（図 3 及び図 4 (a) 参照）。

【 0 0 4 8 】

図 3 に示す通り、演出インターフェイス基板 2 2 は、主制御部 2 1 から制御コマンド CMD とストローブ信号 STB とを受けて、演出制御基板 2 3 に転送している。より詳細には、図 4 (a) に示す通りであり、制御コマンド CMD とストローブ信号 STB は、入力バッファ 4 0 を経由して、演出制御基板 2 3 の複合チップ 5 0 (CPU 回路 5 1) に転送される。
30

【 0 0 4 9 】

また、リセット回路 RST 3 で生成された CPU リセット信号 SYS は、入力バッファ 4 0 と OR 回路 G 1 とを経由して、演出制御基板 2 3 と、音声プロセッサ 2 7 などの音声回路 SND に供給されている。図示の通り、OR 回路 G 1 には、WDT 回路 5 8 のアンダーフロー信号 UF も供給されており、二つの信号 SYS , UF の何れかがアクティブルペルとなると、複合チップ 5 0 の内部回路と、音声回路 SND が同期してリセット状態になる（異常リセット）。異常リセットされる複合チップ 5 0 の内部回路には、CPU 回路 5 1 と、VDP 回路 5 2 が含まれ、異常リセットされる音声回路 SND には、音声プロセッサ 2 7 と、音声メモリ 2 8 が含まれている。
40

【 0 0 5 0 】

図 4 (a) に示す通り、演出インターフェイス基板 2 2 の入力バッファ 4 4 は、枠中継基板 3 5 , 3 6 からチャンスボタン 1 1 や音量スイッチ VLSW のスイッチ信号を受け、各スイッチ信号を演出制御基板 2 3 の CPU 回路 5 1 に伝送している。具体的には、音量スイッチ VLSW の接点位置 (0 ~ 7) を示すエンコーダ出力の 3 bit 長と、チャンスボタン 1 1 の ON / OFF 状態を示す 1 bit 長を CPU 回路 5 1 に伝送している。

【 0 0 5 1 】

また、演出インターフェイス基板 2 2 には、ランプ駆動基板 3 0 やモータランプ駆動基板 3 1 が接続されると共に、枠中継基板 3 5 , 3 6 を経由して、ランプ駆動基板 3 7 にも接続されている。図示の通り、ランプ駆動基板 3 0 に対応して、出力バッファ 4 2 が配置さ
50

れ、モータランプ駆動基板 31 に対応して、入力バッファ 43a と出力バッファ 43b が配置されている。なお、図 4(a) では、便宜上、入力バッファ 43a と出力バッファ 43b を総称して、出入力バッファ 43 と記載している。入力バッファ 43a は、可動演出体たる役物の現在位置（演出モータ M1 ~ Mn の回転位置）を把握する原点センサの出力 S N 0 ~ S N n を受けて、演出制御基板 23 の C P U 回路 51 に伝送している。

【0052】

ランプ駆動基板 30、モータランプ駆動基板 31、及び、ランプ駆動基板 37 には、同種のドライバ I C が搭載されており、演出インタフェイス基板 22 は、演出制御基板 23 から受けるシリアル信号を、各ドライバ I C に転送している。シリアル信号は、具体的には、ランプ（モータ）駆動信号 S D A T A とクロック信号 C K であり、駆動信号 S D A T A がクロック同期方式で各ドライバ I C に伝送され、多数の L E D ランプや電飾ランプによるランプ演出や、演出モータ M1 ~ Mn による役物演出が実行される。10

【0053】

本実施例の場合、ランプ演出は、三系統のランプ群 C H 0 ~ C H 2 によって実行されており、ランプ駆動基板 37 は、枠中継基板 35, 36 を経由して、C H 0 のランプ駆動信号 S D A T A 0 を、クロック信号 C K 0 に同期して受けている。なお、シリアル信号として伝送される一連のランプ駆動信号 S D A T A 0 は、動作制御信号 E N A B L E 0 がアクティビティレベルに変化したタイミングで、ドライバ I C からランプ群 C H 0 に出力されることで一斉に点灯状態が更新される。20

【0054】

以上の点は、ランプ駆動基板 30 についても同様であり、ランプ駆動基板 30 のドライバ I C は、ランプ群 C H 1 のランプ駆動信号 S D A T A 1 を、クロック信号 C K 1 に同期して受け、動作制御信号 E N A B L E 1 がアクティビティレベルに変化したタイミングで、ランプ群 C H 1 の点灯状態を一斉に更新している。

【0055】

一方、モータランプ駆動基板 31 に搭載されたドライバ I C は、クロック同期式で伝送されるランプ駆動信号を受けてランプ群 C H 2 を駆動すると共に、クロック同期式で伝送されるモータ駆動信号を受けて、複数のステッピングモータで構成された演出モータ群 M1 ~ Mn を駆動している。なお、ランプ駆動信号とモータ駆動信号は、一連のシリアル信号 S D A T A 2 であって、クロック信号 C K 1 に同期してシリアル伝送され、これを受けたドライバ I C は、動作制御信号 E N A B L E 2 がアクティビティレベルに変化するタイミングで、ランプ群 C H 2 やモータ群 M1 ~ Mn の駆動状態を更新する。30

【0056】

続いて、音声回路 S N D について説明する。図 4(a) に示す通り、演出インタフェイス基板 22 には、演出制御基板 23 の C P U 回路 51（演出制御 C P U 63）から受ける指示に基づいて音声信号を再生する音声プロセッサ（音声合成回路）27 と、再生される音声信号の元データである圧縮音声データなどを記憶する音声メモリ 28 と、音声プロセッサ 27 から出力される音声信号を受けるデジタルアンプ 29 と、が搭載されている。

【0057】

音声プロセッサ 27 は、演出制御 C P U 63 から内蔵レジスタたる音声制御レジスタに受ける動作パラメータ（音声コマンドによる設定値）に基づいて、音声メモリ 28 をアクセスして、必要な音声信号を再生して出力している。図 4(a) に示す通り、音声プロセッサ 27 と、音声メモリ 28 とは、26 bit 長の音声アドレスバスと、16 bit 長の音声データバスで接続されている。そのため、音声メモリ 28 には、1 G b i t (= 2³⁰ * 16) のデータが記憶可能となる。40

【0058】

本実施例の場合、音声メモリ 28 に記憶された圧縮音声データは、13 b i t 長のフレーズ番号 N U M (000H ~ 1FFFH) で特定されるフレーズ（phrase）圧縮データであり、一連の背景音楽の一曲分（B G M）や、ひと纏まりの演出音（予告音）などが、最高 8192 種類 (= 213)、各々、フレーズ番号 N U M に対応して記憶されている。そ50

して、このフレーズ番号NUMは、演出制御CPU63から音声プロセッサ27の音声制御レジスタに伝送される音声コマンドの設定値（動作パラメータ）によって特定される。

【0059】

また、図4(a)に示す通り、演出制御部23のCPU回路51のデータバスとアドレスバスは、液晶インターフェイス基板24に搭載された時計回路(real time clock)38と演出データメモリ39にも及んでいる。時計回路38は、CPU回路51のアドレスバスの下位4bitと、データバスの下位4bitに接続されており、CPU回路51が任意にアクセスできるよう構成されている。また、演出データメモリ39は、高速アクセス可能なメモリ素子SRAM(Static Random Access Memory)であって、CPU回路51のアドレスバスの16bitと、データバスの下位16bitに接続されており、そこに記憶されている遊技実績情報その他の、CPU回路51から適宜にR/Wアクセスされるようになっている。10

【0060】

時計回路38と演出データメモリ39は、不図示の二次電池で駆動されており、この二次電池は、遊技動作中、電源基板20からの給電電圧によって適宜に充電される。そのため、電源遮断後も、時計回路38の計時動作が継続され、また、演出データメモリ39に記憶された遊技実績情報が、永続的に記憶保持されることになる（不揮発性を付与）。

【0061】

図4(a)の右側に示す通り、演出制御基板23には、CPU回路51やVDP回路52を内蔵する複合チップ50と、CPU回路51の制御プログラムを記憶する制御メモリ(PROM)53と、大量のデータを高速にアクセス可能なDRAM(Dynamic Random Access Memory)54と、演出制御に必要な大量のCGデータを記憶するGROM55と、が搭載されている。20

【0062】

図5(a)は、演出制御部23を構成する複合チップ50について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、実施例の複合チップ50には、所定時間毎にディスプレイリストDLを発行する内蔵CPU回路51と、発行されたディスプレイリストDLに基づいて画像データを生成して表示装置DS1, DS2を駆動するVDP回路52とが内蔵されている。そして、内蔵CPU回路51とVDP回路52とは、互いの送受信データを中継するCPUIF回路56を通して接続されている。30

【0063】

また、CPUIF回路56には、制御プログラムや必要な制御データを不揮発的に記憶する制御メモリ(PROGRAM_ROM)53と、2Mバイト程度の記憶容量を有するワークメモリ(RAM)57とが接続され、各々、内蔵CPU回路51からアクセス可能に構成されている。そして、ワークメモリ(RAM)57には、表示装置DS1, DS2の各一フレームを特定する一連の指示コマンドが記載されたディスプレイリストDLを、一次的に記憶するDLバッファBUFが確保されている。

【0064】

本実施例の場合、一連の指示コマンドには、GROM55から画像素材（テクスチャ）を読み出してデコード（展開）するためのTXLOADコマンドなどのテクスチャロード系コマンドと、デコード（展開）先のVRAM領域（インデックス空間）を予め特定するなどの機能を有するSETINDEXコマンドなどのテクスチャ設定系コマンドと、デコード（展開）後の画像素材を仮想描画空間の所定位置に配置するためのSPRITEコマンドなどのプリミティブ描画系コマンドと、描画系コマンドによって仮想描画空間に描画された画像のうち、実際に表示装置に描画する描画領域を特定するためのSETDAVRコマンドやSETDAVFコマンドなどの環境設定コマンドと、インデックス空間を管理するインデックステーブルIDXTBLに関するインデックステーブル制御系コマンド(WRIDXTBL)が含まれる。40

【0065】

なお、図7(c)には、仮想描画空間（水平X方向±8192：垂直Y方向±8192）と、仮想描画空間の中で任意に設定可能な描画領域と、表示装置DS1, DS2に出力50

する画像データを一次保存するフレームバッファ F B a , F B b における実描画領域と、の関係が図示されている。

【 0 0 6 6 】

内蔵 C P U 回路 5 1 は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御メモリ 5 3 の制御プログラムに基づき画像演出を統括的に制御する演出制御 C P U 6 3 と、プログラムが暴走状態になると C P U を強制リセットするウォッチドッグタイマ (W D T) 5 8 と、 1 6 k バイト程度の記憶容量を有して C P U の作業領域として使用される R A M 5 9 と、 C P U を経由しないでデータ転送を実現する D M A C (Direct Memory Access Controller) 6 0 と、複数の入力ポート S i 及び出力ポート S o を有するシリアル入出力ポート (S I O) 6 1 と、複数の入力ポート P i 及び出力ポート P o を有するパラレル入出力ポート (P I O) 6 2 と、を有して構成されている。 10

【 0 0 6 7 】

なお、便宜上、入出力ポートとの表現を使用するが、演出制御部 2 3 において、入出力ポートには、独立して動作する入力ポートと出力ポートとが含まれている。なお、この点は、以下に説明する入出力回路 6 4 p や入出力回路 6 4 s についても同様である。

【 0 0 6 8 】

パラレル入出力ポート 6 2 は、入出力回路 6 4 p を通して外部機器（演出インタフェイス基板 2 2 ）に接続されており、演出制御 C P U 6 3 は、入力回路 6 4 p を経由して、音量スイッチ V L S W のエンコーダ出力 3 b i t と、チャンスボタン 1 1 のスイッチ信号と、制御コマンド C M D と、割込み信号 S T B と、を受信するようになっている。エンコーダ出力 3 b i t と、スイッチ信号 1 b i t は、入出力回路 6 4 p を経由して、パラレル入出力ポート (P I O) 6 2 に供給されている。 20

【 0 0 6 9 】

同様に、受信した制御コマンド C M D は、入出力回路 6 4 p を経由して、パラレル入出力ポート (P I O) 6 2 に供給されている。また、ストローブ信号 S T B は、入出力回路 6 4 p を経由して、演出制御 C P U 6 3 の割込み端子に供給されることで、受信割込み処理を起動させている。したがって、受信割込み処理に基づいて、制御コマンド C M D を把握した演出制御 C P U 6 3 は、演出抽選などを経て、この制御コマンド C M D に対応する音声演出、ランプ演出、モータ演出、及び画像演出を統一的に制御することになる。

【 0 0 7 0 】

特に限定されないが、本実施例では、ランプ演出とモータ演出のために、V D P 回路 5 2 の S M C 部 (Serial Management Controller) 7 8 を使用している。 S M C 部 7 8 は、L E D コントローラと M o t o r コントローラと、を内蔵した複合コントローラであり、クロック同期方式でシリアル信号を出力できるよう構成されている。また、 M o t o r コントローラは、所定の制御レジスタ 7 0 への設定値に基づき、任意のタイミングでラッシュパルスを出力可能に構成され、また、クロック同期方式でシリアル信号を入力可能に構成されている。 30

【 0 0 7 1 】

そこで、本実施例では、クロック信号に同期してモータ駆動信号や L E D 駆動信号を、 S M C 部 7 8 から出力させる一方、適宜なタイミングで、ラッシュパルスを、動作制御信号 E N A B L E として出力するようにしている。また、演出モータ群 M 1 ~ M n からの原点センサ信号 S N 0 ~ S N n をクロック同期方式でシリアル入力するよう構成されている。 40

【 0 0 7 2 】

図 4 (a) に関して説明した通り、クロック信号 C K 0 ~ C K 2 、駆動信号 S D A T A 0 ~ S D A T A 2 、及び、動作制御信号 E N A B L E 0 ~ E N A B L E 2 は、出力バッファ 4 1 ~ 4 3 を経由して、所定の駆動基板 3 0 , 3 1 , 3 7 に伝送される。また、原点センサ信号 S N 0 ~ S N n は、モータランプ駆動基板 3 1 から入出力バッファ 4 3 を経由して、 S M C 部 7 8 にシリアル入力される。

【 0 0 7 3 】

但し、本実施例において、 S M C 部 7 8 を使用することは必須ではない。すなわち、 C 50

P U回路51には、汎用のシリアル入出力ポートS I O 6 1が内蔵されているので、これらを使用して、ランプ演出とモータ演出を実行することもできる。

【0074】

具体的には、図5(a)の破線に示す通りであり、破線で示す構成では、シリアル入出力ポートS I O 6 1に内部接続されている入出力回路64sを経由して、クロック信号C K 0 ~ C K 2、駆動信号S D A T A 0 ~ S D A T A 2が出力され、入出力回路64pを経由して動作制御信号E N A B L E 0 ~ E N A B L E 2が出力される。なお、便宜上、入出力ポートや入出力回路と表現するが、実際に機能するのは、出力ポートや出力回路である。

【0075】

ここで、シリアル出力ポートS Oは、16段のF I F Oレジスタを内蔵して構成されている。そして、D M A C回路60は、演出制御C P U 6 3から動作開始指示(図10(b)ST18参照)を受けて起動し、ランプ/モータ駆動テーブル(図10(b)参照)から、必要な駆動データを順番に読み出し、シリアル出力ポートS OのF I F OレジスタにD M A転送するよう構成されている。F I F Oレジスタに蓄積された駆動データは、クロック同期方式でシリアル出力ポートS Oからシリアル出力される。なお、D M A C回路には、複数(例えば4)のD M Aチャンネルが存在するが、第1のD M Aチャンネルでランプ駆動データをD M A転送し、第2のD M Aチャンネルでモータ駆動データをD M A転送するよう構成されている。

【0076】

次に、内蔵C P U回路51に設けられたW D T回路58は、演出制御C P U 6 3からアクセス可能な複数の制御レジスタ(W D T制御レジスタなど)への設定値に基づいて、ダウンカウント動作するW D Tカウンタを有して構成されている。このW D Tカウンタは、所定の初期値から開始して、ゼロに向かって所定の動作周期でダウンカウントされ、ダウンカウント値がゼロに達するとすると、内部割込み(W D T割込み)が発生すると共に、アクティブレベルのアンダーフロー信号U Fを出力するよう構成されている。

【0077】

図4(a)に関し先に説明した通り、アンダーフロー信号U Fは、O R回路G 1を経由して各部に伝送され、複合チップ50と音声回路S N Dを同期して異常リセットしている。もっとも、演出制御C P U 6 3は、所定時間(例えば1/30秒)毎に、W D T制御レジスタの初期化ビットに所定1 b i t値を書き込むことで(図10のST14参照)、カウンタ値を初期値に戻しており、上記した異常リセットの発生を回避している。なお、W D Tカウンタのカウンタ値が初期値に戻ると、初期化ビットも元の値に戻る。

【0078】

このように本実施例では、演出制御C P U 6 3は、W D T制御レジスタの初期化ビット(1 b i t)をWriteアクセスするだけで足り、主制御部21や払出制御部25のC P Uのように、リセット回路R S T 1, R S T 2へのクリアパルスを出力する必要がないので、この分だけ制御負担が軽減される。また、アンダーフロー異常時には、W D T割込みが発生するので、適宜なW D T割込み処理プログラムを起動させることで、異常リセットの発生時刻などを、演出データメモリ39に不揮発的に記憶させることもできる。図4(b)は、このような場合の回路構成を示しており、演出制御C P U 6 3は、W D T割込み処理プログラムの実行後に、ソフトウェアリセット処理によって、リセット状態となる。

【0079】

D M A C回路60は、所定の動作制御レジスタへの設定値に基づいて、転送元(Source)から転送先(Destination)に対して、所定のD M A転送モードで、所定のデータ転送単位毎に、所定回数、データ転送を繰り返す回路である。

【0080】

例えば、シリアル出力ポートS Oが機能する実施例(図5(a)破線部参照)では、C P U回路51の動作制御レジスタには、ランプ/モータ駆動テーブルの先頭アドレス(転送元アドレスの先頭値)と、シリアル出力ポートS Oの入力レジスタのアドレス(転送先

10

20

30

40

50

アドレスの固定値)と、データ転送単位(8 bit)と、転送回数と、が指定される。そして、所定の動作制御レジスタに動作開始指示を受けたDMA回路60は、転送元アドレスを更新しつつ、所定の転送先アドレスに駆動データをDMA転送する。

【0081】

この点は、ディスプレイリストDLをDMA回路60が発行する実施例(図13、図17(c))の場合もほぼ同様である。すなわち、演出制御CPU63は、CPU回路51の所定の動作制御レジスタに、転送元(DLバッファBUF)の先頭アドレスと、転送先(転送ポートTR_PORT)のアドレスと、DMA転送モードと、データ転送単位と、転送回数、その他の条件を設定することになる。なお、これらの点は、図13に関して更に後述する。

10

【0082】

一般に、DMA転送モードには、DMA転送の単位動作(R動作/W動作)の途中でバス制御権を開放するなど、DMA動作がメモリバスを占有しないサイクルスチール転送モードと、複数のR動作やW動作を連続させるなど、指定された転送回数が完了するまでバス制御権を解放しないバースト転送(パイプライン転送)モードと、他のデバイスから受けるDMA転送要求(デマンド)がアクティブの間はDMA動作を継続するデマンド転送モードなどが考えられる。しかし、本実施例のDMA回路60は、DMA転送時のリードアクセス起動(R動作)とライトアクセス起動(W動作)の間に、少なくとも1サイクルのメモリ開放期間を設けたサイクルスチール転送モードで機能することで、演出制御CPU63の動作に支障が出ないようにしている。

20

【0083】

図6は、サイクルスチール転送動作(a)と、パイプライン転送(b)とを説明する図面である。図6(a)に示す通り、サイクルスチール転送モードで機能するDMA回路60は、1データ転送のリードアクセス起動(R)とライトアクセス起動(W)の間に、少なくとも1サイクル空けて動作しており、この空いたサイクルでは、演出制御CPU63のバス使用が可能となる。図6(a)(b)の対比関係から明らかなように、パイプライン転送では、一サイクル(一オペラント転送)が終わるまでは、バスがCPUに開放されないのでに対して、サイクルスチール転送モードでは、リードアクセス毎に、バスがCPUに開放されるので、CPUの動作が大きく遅れることがない。

30

【0084】

そして、例えば、ディスプレイリストDLのVDP回路52への発行時に、DMA回路60を使用する実施態様では、一サイクルのデータ転送単位(1オペラント)を、 32×2 bitに設定し、ディスプレイリストDLが格納されている内蔵RAM59のソースアドレスを適宜に増加しつつ(1オペラント転送毎に+8)、固定アドレスで特定されるデータ転送回路72の転送ポートレジスタTR_PORT(図8参照)に対して、DMA転送動作を実行している。

40

【0085】

後述するように、実施例では、ディスプレイリストDLに、必要個数のNOP(no operation)コマンドを付加することで、全体のデータサイズを、固定値(例えば、 $4 \times 64 = 256$ バイト、又はその整数倍)に調整しており、 32 bit×2回の一オペラント転送を32回(又はその整数倍)繰り返すことで、ディスプレイリストDLの発行を完了させている。なお、描画回路76がNOPコマンドを実行しても、事実上、何の変化も生じない。

【0086】

次に、VDP回路52について説明すると、VDP回路52には、画像演出を構成する静止画や動画の構成要素となる圧縮データを記憶するGROM55と、4Gb程度の記憶容量を有する外付けDRAM(Dynamic Random Access Memory)54と、メイン表示装置DS1と、サブ表示装置DS2とが接続されている。なお、DRAM54は、好適にはDDR(Double-Data-Rate SDRAM)で構成される。

【0087】

50

特に限定するものではないが、この実施例では、C G R O M 5 5 は、6 2 G b i t 程度の記憶容量のN A N D 型フラッシュメモリで構成されたフラッシュS S D (solid state drive) で構成されており、シリアル伝送によって必要な圧縮データを取得するよう構成されている。そのため、パラレル伝送において不可避的に生じるスキュー（ビットデータ毎の伝送速度の差）の問題が解消され、極限的な高速伝送動作が可能となる。特に限定されないが、本実施例では、Serial A T A に準拠したH S S (High Speed Serial) 方式で、C G R O M 5 5 を高速アクセスしている。

【 0 0 8 8 】

なお、Serial A T A に準拠したH S S 方式を探るか否かに拘らず、N A N D 型のフラッシュメモリは、ハードディスクより機械的に安定であり、且つ高速アクセスが可能である一方で、シーケンシャルアクセスメモリであるため、D R A M やS R A M (Static Random Access Memory) に比較すると、ランダムアクセス性に問題がある。そこで、本実施例では、一群の圧縮データ（C G データ）を、描画動作に先行してD R A M 5 4 に読み出しておくプリロード動作を実行することで、描画動作時におけるC G データの円滑なランダムアクセスを実現している。ちなみに、アクセス速度は、内蔵V R A M > 外付けD R A M > C G R O M の順番に遅くなる。

【 0 0 8 9 】

V D P 回路5 2 は、詳細には、V D P (Video Display Processor) の動作を規定する各種の動作パラメータが演出制御C P U 6 3 によって設定可能な制御レジスタ群7 0 と、表示装置D S 1 , D S 2 に表示すべき画像データの生成時に使用される4 8 M バイト程度の内蔵V R A M (video RAM) 7 1 と、チップ内部の各部間のデータ送受信及びチップ外部とのデータ送受信を実行するデータ転送回路7 2 と、内蔵V R A M 7 1 に関して、SourceやDestination のアドレス情報を特定可能なインデックステーブルIDXTBLと、描画動作に先行してC G R O M 5 5 をReadアクセスするプリロード動作が実行可能なプリローダ7 3 と、C G R O M 5 5 から読み出した圧縮データをデコード（復号伸長 / 展開）するグラフィックスデコーダ（G D E C ）7 5 と、デコード（展開）後の静止画データや動画データを適宜に組み合わせて表示装置D S 1 , D S 2 の各一フレーム分の画像データを生成する描画回路7 6 と、描画回路7 6 の動作の一部として、適宜な座標変換によって立体画像を生成するジオメトリエンジン7 7 と、描画回路7 6 が生成したフレームバッファF B a , F B b の画像データを読み出して、適宜な画像処理を並列的に実行可能な3 系統（A / B / C ）の表示回路7 4 A ~ 7 4 C と、3 系統（A / B / C ）の表示回路7 4 の出力を適宜に選択出力する出力選択部7 9 と、出力選択部7 9 が出力する画像データをL V D S 信号に変換するL V D S 部8 0 と、シリアルデータ送受信可能なS M C 部7 8 と、C P U I F 回路5 6 とのデータ送受信を中継するC P U I F 部8 1 と、C G R O M 5 5 からのデータ受信を中継するC G バスI F 部8 2 と、外付けD R A M 5 4 とのデータ送受信を中継するD R A M I F 部8 3 と、内蔵V R A M 7 1 とのデータ送受信を中継するV R A M I F 部8 4 と、を有して構成されている。

【 0 0 9 0 】

図5 (b) には、C P U I F 部8 1 、C G バスI F 部8 2 、D R A M I F 部8 3 、及び、V R A M I F 部8 4 と、制御レジスタ群7 0 、C G R O M 5 5 、D R A M 5 4 、及び内蔵V R A M 7 1 との関係が図示されている。図示の通り、C G R O M 5 5 から取得したC G データは、例えば、プリロードデータとして、データ転送回路7 2 及びD R A M I F 部8 3 を経由して、外付けD R A M 5 4 のプリロード領域に転送される。

【 0 0 9 1 】

但し、上記したプリロード動作は、何ら必須動作ではなく、また、データ転送先も、外付けD R A M 5 4 に限定されず、内蔵V R A M 7 1 であっても良い。したがって、例えば、プリロード動作を実行しない実施例では、C G データは、データ転送回路7 2 及びV R A M I F 部8 4 を経由して、内蔵V R A M 7 1 に転送される（図5 (b) ）。

【 0 0 9 2 】

ところで、本実施例では、内蔵V R A M 7 1 には、C G R O M 5 5 から読み出した圧縮

10

20

30

40

50

データの展開領域、表示装置の $W \times H$ 個の表示ピクセルの各 A R G B 情報 ($32 \text{ bit} = 8 \times 4$) を特定する画像データを格納するフレームバッファ領域、及び、各表示ピクセルの深度情報を記憶する Z バッファ領域などが必要となる。なお、A R G B 情報において、A は、 8 bit の プレーンデータ、R G B は三原色の 8 bit データを意味する。

【 0 0 9 3 】

ここで、内蔵 V R A M 7 1 の上記した各領域は、演出制御 C P U 6 3 がディスプレイリスト D L に記載した各種の指示コマンド（前記したテクスチャや SPRITE など）に基づいて間接的にアクセスされるが、その READ/WRITE アクセスにおいて、一々、内蔵 V R A M 7 1 の Destination アドレスや、Source アドレスを特定するのでは煩雑である。そこで、本実施例では、C P U リセット後の初期処理において、描画動作で必要となる一次元または二次元の論理メモリ空間（以下、インデックス空間という）を確保して、各インデックス空間にインデックス番号を付与することで、インデックス番号に基づくアクセスを可能にしている。10

【 0 0 9 4 】

具体的には、C P U リセット後、内蔵 V R A M 7 1 を 3 種類のメモリ領域に大別すると共に、各メモリ領域に、必要数のインデックス空間を確保している。そして、インデックス空間とインデックス番号とを紐付けて記憶するインデックステーブル IDXTBL（図 7 (a) 参照）を構築することで、その後のインデックス番号に基づく動作を実現している。

【 0 0 9 5 】

このインデックス空間は、(1) 初期処理後に追加することや、逆に、(2) 開放することも必要となる。そこで、これら追加 / 開放の演出制御 C P U 6 3 の動作時に、追加 / 開放の処理が可能なタイミングか否か、また、追加 / 開放などの処理が実際に完了したか否か、などを判定可能なフラグ領域 F G をインデックステーブル IDXTBL に設けている。なお、内蔵 V R A M 7 1 は、以下に説明する 2 つの A A C 領域 (a1, a2) と、ページ領域 (b) と、任意領域 (c) の三種類のメモリ領域に大別され、この三種類のメモリ領域 (a1, a2) (b) (c) に対応して、インデックステーブル IDXTBL が 3 区分されている（図 7 (a)）。図示の通り、この実施例では、A A C 領域 (a) として、第一 A A C 領域 (a1) と第二 A A C 領域 (a2) が確保されているが、特に限定されるものではなく、何れか一方だけでも良い。なお、以下の説明では、第一と第二の A A C 領域 (a1, a2) を総称する場合には、A A C 領域 (a) と称する場合がある。2030

【 0 0 9 6 】

本実施例の場合、内蔵 V R A M 7 1 は、(a) インデックス空間とそのインデックス番号が内部処理によって自動付与され、且つメモリキャッシュ機能を有する A A C 領域と、(b) 例えば $4096 \text{ bit} \times 128$ ラインの二次元空間を単位空間として、その整数倍の範囲でインデックス空間が確保可能なページ領域と、(c) 先頭アドレス（空間先頭アドレス） S T x と水平サイズ H x が任意に設定できる任意領域と、に区分可能に構成されている（図 7 (b) 参照）。但し、V D P 回路 5 2 の内部動作を円滑化するため、任意領域 (c) において任意設定されるインデックス空間の空間先頭アドレス S T x は、その下位 11 bit が 0 であって、所定ビット ($2048 \text{ bit} = 256$ バイト) 単位とする必要がある。

【 0 0 9 7 】

そして、C P U リセット後、各々に必要なメモリ空間の最大値と、領域先頭アドレス（下位 $11 \text{ bit} = 0$ ）を規定して、A A C 領域 (a1) と、第二 A A C 領域 (a2) と、ページ領域 (b) とが確保され、その残りのメモリ領域が任意領域 (c) となる。V D P 回路 5 2 の内部動作を円滑化するため、A A C 領域のメモリ空間の最大値は、 2048 bit 単位で規定され、ページ領域のメモリ空間の最大値は、上記した $4096 \text{ bit} \times 128$ ラインの単位空間の整数倍とされる。40

【 0 0 9 8 】

次に、このように確保された各領域 (a1, a2) (b) (c) に必要個数のインデックス空間が設定される。なお、任意領域 (c) を使用する場合、V D P 回路 5 2 の内部動作を円滑化する50

ため、二次元データを扱うインデックス空間の水平サイズH×は、256bitの倍数として、任意に設定可能である一方、その垂直サイズは固定値（例えば、2048ライン）となっている。

【0099】

何れにしても、第一と第二のAAC領域(a1,a2)は、VDP回路52によって、インデックス空間とインデックス番号が自動的に付与されるので、例えば、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先をAAC領域(a)に指定すれば、CGR0M55からCGデータを読み出すTXLOAD(テクスチャロード)コマンドでは、CGR0M55のSourceアドレスと、展開(デコード)後の水平・垂直サイズなどを指定するだけで足りることになる。そこで、本実施例では、予告演出時などに一時的に出現するキャラクタなどの静止画(テクスチャ)や、エストリーム動画については、そのデコード先をAAC領域(a)にしている。10

【0100】

このAAC領域(a)は、いずれも、メモリキャッシュ機能が付与されているので、例えば、CGR0M55の同一のテクスチャを複数回、AAC領域(a)に読み出すような場合には、二度目以降は、AAC領域(a)にキャッシュされているデコードデータが活用可能となり、余分なREADアクセスとデコード処理が抑制可能となる。もっとも、AAC領域(a)を使い切った場合には、古いデータが自動的に破壊されるので、本実施例では、AAC領域(a)を使用する場合、原則として第一AAC領域(a1)を使用することとし、繰り返し使用する特定のテクスチャだけを第二AAC領域(a2)に取得するようにしている。20

【0101】

繰り返し使用するテクスチャとして、例えば、所定の予告演出時に繰り返し出現するキャラクタや、背景画面を静止画で構築する場合の背景画などを例示することができる。このような場合、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先を第二AAC領域(a2)に設定し、TXLOADコマンドによって、キャラクタや背景画などのテクスチャを第二AAC領域(a2)にデコードした後は、第二AAC領域(a2)を使用しないことと、デコード結果を保護する。

【0102】

そして、その後、SETINDEXコマンドによって、デコード先を第二AAC領域(a2)に指定した上で、取得済みのテクスチャを再取得する同一のTXLOADコマンドを実行させると、取得済みのテクスチャがキャッシュヒットするので、CGR0M55へのReadアクセスと、デコード処理に要する時間を削除することができる。後述するように、このようなキャッシュヒット機能は、プリロード領域に先読みされたプリロードデータでも発揮されるが、プリロード領域でキャッシュヒットするプリロードデータは、デコード前の圧縮データであるのに対して、AAC領域でキャッシュヒットするのはデコード後の展開データである点に意義がある。30

【0103】

ところで、テクスチャ(texture)とは、一般に、物の表面の質感・手触りなどを指す概念であるが、本明細書では、静止画を構成するスプライト画像データや、動画フレームを構成する画像データや、三角形や四角形などの描画プリミティブ(primitive)に貼り付ける画像データだけでなく、デコード後の画像データも含む概念として使用している。そして、内蔵VRAM71の内部で、画像データをコピーする(以下、便宜上、移動と称する)場合には、テクスチャ設定系コマンドのSETINDEXコマンドによって、移動元の画像データをテクスチャとして設定した上で、Spriteコマンドを実行することになる。40

【0104】

なお、Spriteコマンドの実行により、移動元のSource画像データが、形式上は、図7(c)に示す仮想描画空間に描画されるが、表示装置に実際に描画される仮想描画空間内の描画領域と、フレームバッファとなるインデックス空間との対応関係を、予め環境設定コマンド(SETDAVR, SETDAVF)や、テクスチャ設定系コマンド(SETINDEX)によって設定しておけば、例えば、Spriteコマンドによる仮想描画空間への描画により、所定のインデ

10

20

30

40

50

ツクス空間（フレームバッファ）には、移動元のSource画像データが描画されることになる（図7（c）参照）。

【0105】

何れにしても、本実施例では、内蔵VRAM71が、AAC領域(a1,a2)とページ領域(b)と任意領域(c)に大別され、各々に、適當数のインデックス空間を確保することができ、各インデックス空間は、各領域(a)(b)(c)ごとに独立のインデックス番号によって特定される。インデックス番号は、例えば、1バイト長であり、（内部回路によって自動付与されるAAC領域(a)を除いた）ページ領域(b)と任意領域(c)については、0～255の範囲で演出制御CPU63が、インデックス番号を自由に付与することができる。

【0106】

そこで、本実施例では、図7（a）に示す通り、表示装置DS1用として、任意領域(c)に、一対のフレームバッファFBaを確保して、ダブルバッファ構造の双方に、インデックス番号255, 254を付与している。すなわち、メイン表示装置DS1用のフレームバッファFBaとして、トグル的に切り換えて使用されるインデックス空間255と、インデックス空間254を確保している。特に限定されないが、このインデックス空間255, 254は、表示装置DS1の横方向ピクセル数に対応して、水平サイズ1280としている。なお、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ1280は、 $32 \times 1280 = 40960\text{ bit}$ （256bitの倍数）を意味する。

【0107】

また、表示装置DS2用として、任意領域(c)に、別の一対のフレームバッファFBbを確保して、ダブルバッファ構造の双方にインデックス番号252, 251を付与している。すなわち、サブ表示装置DS2用のフレームバッファFBbとして、インデックス空間252と、インデックス空間251を確保している。このインデックス空間252, 251は、表示装置DS2の横方向ピクセル数に対応して、水平サイズ480としている。この場合も、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ480は、 $32 \times 480 = 15360\text{ bit}$ （256bitの倍数）を意味する。

【0108】

なお、フレームバッファFBa, FBbを任意領域(c)に確保するのは、任意領域(c)には、32バイト（=256bit=8ピクセル分）の倍数として、任意の水平サイズに設定することができ、上記のように、表示装置DS1, DS2の水平ピクセル数に一致させれば、確保領域に無駄が生じないからである。一方、ページ領域(b)には、128ピクセル×128ラインの単位空間の整数倍の水平／垂直サイズしか設定できない。

【0109】

但し、任意領域(c)に確保される二次元のインデックス空間は、その垂直サイズが固定値（例えば、2048ライン）となっている。そのため、フレームバッファFBaにおいて、水平サイズ1280×垂直サイズ1024の領域だけが、メイン表示装置DS1にとって有効データ領域となる。この点は、サブ表示装置DS2についても同様であり、フレームバッファFBbにおいて、水平サイズ480×垂直サイズ800の領域だけが、サブ表示装置DS2にとって有効データ領域となる（図7（c），図10（d）参照）。

【0110】

上記の点は更に後述するが、何れにしても、フレームバッファFBa, FBbは、描画回路76にとっての描画領域として、各ダブルバッファ（255/254, 252/251）が交互に使用され、また、表示回路74A, 74Bにとっての表示領域として、各ダブルバッファ（255/254, 252/251）が交互に使用される。なお、本実施例では、表示ピクセルの深度情報を記憶するZバッファを使用しないので欠番（253）が生じるが、Zバッファを使用する場合には、任意領域(c)におけるインデックス番号253, 250のインデックス空間253, 250が、表示装置DS1と表示装置DS2のためのZバッファとなる。

【0111】

また、本実施例では、フレームバッファFBa, FBbが確保された任意領域(c)に、追加のインデックス空間（メモリ領域）を確保する場合には、0から始まるインデック番

10

20

30

40

50

号を付与するようにしている。何ら限定されないが、本実施例では、キャラクタやその他の静止画で構成された演出画像を、必要に応じて、適宜な回転姿勢で表示画面の一部に出現させる予告演出用の作業領域として、任意領域(c)に、インデックス空間(0)を確保している。

【0112】

但し、作業領域の使用は必須ではなく、また、任意領域(c)に代えて、ページ領域(b)に作業領域としてのインデックス空間を確保しても良い。ページ領域(b)を使用すれば、水平サイズ128($=4096\text{bit}$) \times 垂直サイズ128の正方形状の単位空間の倍数寸法のインデックス空間を確保できるので、小型の演出画像を扱うには好適である。

【0113】

ところで、本実施例では、背景画も含め動画で構成されており、画像演出は、ほぼ動画のみで実現されている。特に、変動演出時には、多数(通常10個以上)の動画が同時に描画されている。これらの動画は、何れも、一連の動画フレームとして、圧縮状態でCGR OM 55に格納されているが、Iフレームのみで構成されたIPストリーム動画と、IフレームとPフレームとで構成されたIPストリーム動画とに区分される。ここで、Iフレーム(Intra coded frame)とは、他画面とは独立して、入力画像をそのまま圧縮するフレームを意味する。一方、Pフレーム(Predictive coded frame)とは、前方向予測符号化を行うフレームを意味し、時間的に過去に位置するIフレームまたはPフレームが必要となる。

【0114】

そこで、本実施例では、IPストリーム動画については、旧データの破壊が懸念されるAAC領域(a)ではなく、ページ領域(b)に展開している。すなわち、水平サイズ128 \times 垂直サイズ128の倍数寸法のインデックス空間を確保可能なページ領域(b)に、多数のインデックス空間(IDX₀~IDX_N)を確保して、一連の動画フレームは、各動画MV_iに対応する、常に同一のインデックス空間IDX_iを使用してデコードするようしている。すなわち、動画MV₁はインデックス空間IDX₁に展開され、動画MV₂はインデックス空間IDX₂に展開され、以下同様に、動画MV_iはインデックス空間IDX_iに展開されるよう構成されている。

【0115】

動画MV_iについて、更に具体的に説明すると、SETINDEXコマンドによって、「IPストリーム動画MV_iのデコード先は、ページ領域(b)におけるインデックス番号_iのインデックス空間(i)である」と予め指定した上で、IPストリーム動画MV_iの動画一フレームを取得するTXLOADコマンドを実行させている。

【0116】

すると、TXLOADコマンドが特定するCGR OM 55上の動画一フレーム(一連の動画フレームの何れか)が、先ず、AAC領域(a)に取得され、その後、自動的に起動するGDEC(グラフィックスデコーダ)75によって、ページ領域(b)のインデックス空間(i)に、取得した動画一フレームがデコードされて展開されることになる。

【0117】

一方、本実施例では、IPストリーム動画については、静止画と同一扱いとしており、SETINDEXコマンドによって、「IPストリーム動画MV_jのデコード先は、第一AAC領域(a1)である」と指定して、TXLOADコマンドを実行させる。その結果、動画フレームは第一AAC領域(a1)に取得され、その後、自動的に起動するGDEC75が、第一ACC領域(a1)にデコードデータを展開している。先に説明した通り、AAC領域(a)のインデックス空間は、自動的に生成されるので、インデックス番号を指定する必要はない。なお、インデックス空間に必要となる展開ボリューム、つまり、デコードされたテクスチャ(動画フレーム)の水平サイズと垂直サイズは、展開先がAAC領域(a)か、ページ領域(b)かに拘らず、TXLOADコマンドによって特定される。

【0118】

ところで、IPストリーム動画MV_iやIPストリーム動画MV_jは、一般にN枚の動画

10

20

30

40

50

フレーム(I フレームや P フレーム)で構成されている。そのため、 TXLOAD コマンドでは、例えば、 k 枚目(1 ~ k ~ N)の動画フレームが記憶されている C G R O M 5 5 の Source アドレスと、展開後の水平・垂直サイズなどを指定することになる。何ら限定されないが、静止画を殆ど使用しない実施例では、内蔵 V R A M 7 1 のメモリ空間 4 8 M バイトの大部分(3 0 M バイト程度)をページ領域(b)に割り当てている。そして、静止画を殆ど使用しない実施例では、 A A C 領域として、第一 A A C 領域(a1)だけを確保し、第二 A A C 領域(a2)を確保せず、また、前記した A A C 領域のキャッシュヒット機能も活用しない。

【 0 1 1 9 】

なお、圧縮動画データのデコード処理を高速化するため、専用の G D E C (グラフィックスデコーダ) 回路を設けることも考えられる。そして、専用の G D E C 回路を V D P 回路 5 2 に内蔵されれば、 N 枚の圧縮動画フレームで構成された圧縮動画データのデコード処理において、動画圧縮データの先頭アドレスを G D E C 回路に指示すれば足りるので、 N 枚の圧縮動画フレームについて、 1 枚ごとに先頭アドレスを指定する必要がなくなる。

【 0 1 2 0 】

しかし、このような専用の G D E C 回路を、圧縮アルゴリズム毎に複数個内蔵せざるを得ず、 V D P 回路 5 2 の内部構成が更に複雑化する。そこで、本実施例では、ソフトウェア G D E C とし、 I P ストリーム動画、 I ストリーム動画、静止画、その他 値などのデータについて、各圧縮アルゴリズムに対応するソフトウェア処理によってデコード処理を実現している。なお、ハードウェア処理とソフトウェア処理の処理時間差は、あまり問題にならず、処理時間が問題になるのは、もっぱら、 C G R O M 5 5 からのアクセス(READ) タイムである。

【 0 1 2 1 】

続いて、図 5 (a) に戻って説明を続けると、データ転送回路 7 2 は、 V D P 回路内部のリソース(記憶媒体) と外部記憶媒体を、転送元ポート又は転送先ポートとして、これらの間で D M A (Direct Memory Access) 的にデータ転送動作を実行する回路である。図 8 は、このデータ転送回路 7 2 の内部構成を、関連する回路構成と共に記載したブロック図である。

【 0 1 2 2 】

図 8 に示す通り、データ転送回路 7 2 は、ルータ機能を有する統合接続バス I C M を経由して、 C G R O M 5 5 、 D R A M 5 4 、及び、内蔵 R A M 7 1 とデータを送受信するよう構成されている。なお、 C G R O M 5 5 と D R A M 5 4 は、 C G バス I F 部 8 2 や、 D M A M I F 部 8 3 を経由してアクセスされる。

【 0 1 2 3 】

一方、内蔵 C P U 回路 5 1 は、データ転送回路 7 2 に内蔵された転送ポートレジスタ T R _ P O R T を経由して、描画回路 7 6 やプリローダ 7 3 にディスプレイリスト D L を発行している。なお、内蔵 C P U 回路 5 1 とデータ転送回路 7 2 は、双方向に接続されているが、ディスプレイリスト D L の発行時には、転送ポートレジスタ T R _ P O R T は、ディスプレイリスト D L を構成する一単位のデータを受け入れるデータ書き込みポートとして機能する。なお、転送ポートレジスタ T R _ P O R T の書き込み単位(一単位データ長) は、 C P U バス制御部 7 2 d の F I F O 構造に対応して 3 2 b i t となる。

【 0 1 2 4 】

図示の通り、演出制御 C P U 6 3 は、 C P U I F 部 8 1 を経由して、転送ポートレジスタ T R _ P O R T を Write アクセスできる一方、 D M A C 回路 6 0 を活用する場合には、 D M A C 回路 6 0 が、転送ポートレジスタ T R _ P O R T を直接的に Write アクセスすることになる。そして、転送ポートレジスタ T R _ P O R T に書込まれた一連の指示コマンド(つまり、ディスプレイリスト D L を構成する指示コマンド列) は、 3 2 b i t 単位で、 F I F O 構造(3 2 b i t × 1 3 0 段) の F I F O バッファを内蔵した C P U バス制御部 7 2 d に、自動蓄積されるよう構成されている。

【 0 1 2 5 】

10

20

30

40

50

また、このデータ転送回路72は、3チャンネルChA～ChCの伝送経路で、データの送受信動作を実行しており、FIFO構造(64bit×N段)のFIFOバッファを有するChA制御回路72a(N=130段)と、ChB制御回路72b(N=1026段)と、ChC制御回路72c(N=130段)と、を有している。

【0126】

そして、CPUバス制御部72dに蓄積された指示コマンド列(ディスプレイリストDL)は、演出制御CPU63によるデータ転送レジスタRGij(各種制御レジスタ70の一種)への設定値に基づき、描画回路76か、又はプリローダ73に転送される。矢印で示す通り、ディスプレイリストDLは、CPUバス制御部72dから、ChB制御回路72bのFIFOバッファを経由して描画回路76に転送され、ChC制御回路72cのFIFOバッファを経由してプリローダ73に転送されるよう構成されている。
10

【0127】

なお、本実施例では、ChB制御回路72bと、ChC制御回路72bは、ディスプレイリストDLの転送動作に特化されており、CPUバス制御部72dのFIFOバッファに蓄積されたデータは、ChB制御回路72bか、ChC制御回路72cのFIFOバッファを経由して、各々、ディスプレイリストDLの一部として、描画回路76かプリローダ73のディスプレイリストアナライザ(Display List Analyzer)に転送される。

【0128】

そして、描画回路76は、転送されたディスプレイリストDLに基づいた描画動作を開始する。一方、プリローダ73は、転送されたディスプレイリストDLに基づき、必要なプリロード動作を実行する。プリロード動作によってCGROM55のCGデータが、DRAM54に確保されたプリロード領域に先読みされ、TXLOADコマンドなどに関して、テクスチャのSourceアドレスを変更したディスプレイリストDL(以下、書換えリストDL' という)が、DRAM54に確保されたDLバッファ領域BUF'に保存される。
20

【0129】

一方、CGROM55、DRAM54、及び、内蔵RAM71などの記憶媒体の間のデータ転送には、ChA制御回路72aと、接続バスアクセス調停回路72eとが機能する。また、インデックステーブルIDXTBLのアドレス情報が必要になる内蔵RAM71のアクセス時には、IDXTBLアクセス調停回路72fが機能する。具体的に確認すると、ChA制御回路72aは、例えば、(a) CGROM55の圧縮データを内蔵VRAM71に転送する場合や、(b) CGROM55の圧縮データをプリロード(先読み)して外付けDRAM54に転送する場合や、(c) プリロード領域の先読みデータを、内蔵VRAM71に転送する場合に機能する。
30

【0130】

ここで、ChA制御回路72aは、ChB制御回路72bやChC制御回路72cと並行して動作可能に構成されており、上記した(a)～(c)の動作は、ディスプレイリストDLの発行動作(図10のST8、図15のPT11)や、書換えリストDL'の転送動作(図15のPT10)と並行して実行可能となる。また、ChB制御回路72bとChC制御回路72cも、同時実行可能であり、例えば、ChB制御回路72bが機能する図15のステップPT10の処理と、ChC制御回路72cが機能するステップPT11の処理は並行して実行可能である。但し、転送ポートレジスタTR_PORTは単一であるので、何れか一方(72b/72c)が転送ポートレジスタTR_PORTを使用しているタイミングでは、他方(72c/72b)は、転送ポートレジスタTR_PORTをアクセスすることはできない。
40

【0131】

なお、ChA制御回路72aの動作時に、接続バスアクセス調停回路72eは、統合接続バスICMを経由する各記憶素子(CGROM55、DRAM54)とのデータ伝送を調停(Arbitration)している。一方、IDXTBLアクセス調停回路72fは、インデックステーブルIDXTBLに基づいてChA制御回路72aを制御することで、内蔵VRAM71とのデータ交信を調停している。なお、プリローダ73が機能する実施例の場合、DRAM
50

54のDLバッファ領域BUF'に保存された書換えリストDL'は、接続バスアクセス調停回路72eと、ChB制御回路72bを経由して描画回路76に転送されることになる(図16(b)参照)。

【0132】

上記の通り、本実施例のデータ転送回路72は、各種の記憶リソース(Resource)から任意に選択されたデータ転送元と、各種の記憶リソース(Resource)から任意に選択されたデータ転送先との間で、高速のデータ転送を実現している。図8から確認される通り、データ転送回路72が機能する記憶リソースには、内蔵RAM71だけでなく、CPUIF部56、CGバスIF部82、DRAMIF部83を経由する外部デバイスも含まれる。
10

【0133】

そして、GROM55から1回に取得すべきデータ量(メモリシーケンシャルRead)のように、ChA制御回路72aが機能する外部デバイスとのデータ転送量は、ChB制御回路72bやChC制御回路72cが機能するディスプレイリストDLの場合と比較して膨大であり、互いに、データ転送量が大きく相違する。

【0134】

ここで、これら各種のデータ転送について、単位データ量や総転送データ量を、細かく設定可能に構成することも考えらえるが、これでは、VDP内部の制御動作が煩雑化し、円滑な転送動作が阻害される。そこで、本実施例では、データ転送の最低データ量Dminを一意に規定すると共に、総転送データ量を、最低データ量D Tminの整数倍となるよう制限することで、高速で円滑なデータ転送動作を実現している。特に限定されないが、実施例のデータ転送回路72では、最低データ量Dmin(単位データ量)を、256バイトとし、総転送データ量を、この整数倍に制限することにしている。
20

【0135】

したがって、32ビット毎にCPUバス制御部72dの FIFOバッファに蓄積されたディスプレイリストDLの指示コマンド列は、その総量が最低データ量Dminに達したタイミングで、ChB制御回路72bやChC制御回路72bに転送され、各々のFIFOバッファに蓄積されることになる。

【0136】

ディスプレイリストDLは、一連の指示コマンドで構成されているが、本実施例では、転送ポートレジスタTR_PORTの書き込み単位(32bit)に対応して、ディスプレイリストDLは、コマンド長が、32bitの整数N倍($N > 0$)の指示コマンドのみで構成されている。したがって、データ転送回路72を経由して、ディスプレイリストDLの指示コマンドを受ける描画回路76やプリローダ73は、素早く円滑にコマンド解析処理(DL analyze)を開始することができる。なお、32bitの整数N倍のコマンド長は、全てが有意ビットとは限らず、無意ビット(Don't care bit)も含んで、32bitの整数N倍という意味である。
30

【0137】

次に、プリローダ73について説明する。先に概略説明した通り、プリローダ73は、データ転送回路72(ChC制御回路72b)から転送されたディスプレイリストDLを解釈して、TXLOADコマンドが参照しているGROM55上のCGデータを、予め、DRAM54のプリロード領域に転送する回路である。また、プリローダ73は、このTXLOADコマンドに関し、CGデータの参照先を、転送後のアドレスに書換えた書換えリストDL'を、DRAM54のDLバッファBUF'に記憶する。なお、DLバッファBUF'や、プリロード領域は、CPUリセット後の初期処理時(図10のST3)に、予め確保されている。
40

【0138】

そして、書換えリストDL'は、描画回路76の描画動作の開始時に、データ転送回路72の接続バスアクセス調停回路72eや、ChB制御回路72bを経由して、描画回路76のディスプレイリストアナライザ(DL Analyzer)に転送される。そして、描画回路
50

76は、書換えリストDL'に基づいて、描画動作を実行する。したがって、TXLOADコマンドなどに基づき、本来は、CGROM55から取得すべきCGデータが、プリロード領域に先読みされているプリロードデータとして、DRAM54のプリロード領域から取得される。この場合、プリロードデータは、上書き消去されない限り、繰り返し使用可能であり、プリロード領域にキャッシュヒットしたプリロードデータは、繰り返し再利用される。

【0139】

本実施例では、十分な記憶容量を有する外付けDRAM54にプリロード領域を設定しているので、上記のキャッシュヒット機能が有効に機能する。また、外付けDRAM54の記憶容量が大きいので、例えば、複数フレーム分のCGデータを一気にプリロードする多重プリロードも可能である。すなわち、プリローダ73の動作期間に関し、CGデータの先読み動作を含んだ一連のプリロード動作の動作期間を、VDP回路52の間欠動作時の動作周期の整数倍の範囲内で、適宜に設定することで多重プリロードが実現される。

【0140】

但し、以下の説明では、便宜上、多重プリロードのない実施例について説明するので、実施例のプリローダ73は、一動作周期()の間に、一フレーム分のプリロード動作を完了することにする。なお、図10に関し後述するように、本実施例では、VDP回路52の間欠動作時の動作周期は、表示装置DS1の垂直同期信号の2倍周期である1/30秒である。

【0141】

次に、描画回路76は、データ転送回路72を経由して転送されたディスプレイリストDLや書換えリストDL'の指示コマンド列を順番に解析して、グラフィックスデコーダ75やジオメトリエンジン77などと協働して、VRAM71に形成されたフレームバッファに、各表示装置DS1, DS2の一フレーム分の画像を描画する回路である。

【0142】

上記の通り、プリローダ73を機能させる実施例では、書換えリストDL'のCGデータの参照先は、CGROM55ではなく、DRAM54に設定されたプリロード領域である。そのため、描画回路76による描画の実行中に生じるCGデータへのシーケンシャルアクセスを迅速に実行することができ、動きの激しい高解像度の動画についても問題なく描画することができる。すなわち、本実施例によれば、CGROM55として、安価なSATAモジュールを活用しつつ、複雑高度な画像演出を実行することができる。

【0143】

図7に関して説明した通り、VRAM71の任意領域(c)に確保されたフレームバッファFBは、描画領域と読出領域に区分されたダブルバッファであり、2つの領域を、交互に用途を切り替えて使用する。また、本実施例では、2つの表示装置DS1, DS2が接続されているので、図7に示す通り、2区画のフレームバッファFBa / FBbが確保されている。したがって、描画回路76は、表示装置DS1用のフレームバッファFBaの描画領域(書き込み領域)に、一フレーム分の画像データを描画すると共に、表示装置DS2用のフレームバッファFBaの描画領域(書き込み領域)に、一フレーム分の画像データを描画することになる。なお、描画領域に、画像データが書き込まれているとき、表示回路74は、他方の読出領域(表示領域)の画像データを読み出して、各表示装置DS1, DS2に出力する。

【0144】

表示回路74は、フレームバッファFBa, FBbの画像データを読み出して、最終的な画像処理を施した上で出力する回路である(図9参照)。最終的な画像処理には、例えば、画像を拡大/縮小するスケーリング処理、微妙なカラー補正処理、画像全体の量子化誤差が最小化するディザリング処理が含まれている。そして、これらの画像処理を経たデジタルRGB信号(合計24bit)が、水平同期信号や垂直同期信号と共に出力される。図9に示す通り、本実施例では、上記の動作を並列的に実行する3系統の表示回路A/B/Cが設けられており、各表示回路74A ~ 74Cは、各自に対応するフレームバッ

10

20

30

40

50

ファ F_Ba / F_Bb / F_Bc の画像データを読み出して、上記の最終画像処理を実行する。但し、本実施例では、表示装置は 2 個であるので、フレームバッファ F_Bc は確保されておらず、表示回路 $74C$ が機能することもない。

【0145】

この動作に関連して、この実施例の出力選択部 79 は、表示回路 $74A$ の出力信号を、 $LVD\$$ 部 $80a$ に伝送し、表示回路 $74B$ の出力信号を、 $LVD\$$ 部 $80b$ に伝送している（図9）。そして、 $LVD\$$ 部 $80a$ は、画像データ（合計 $24bit$ のデジタルRGB信号）を $LVD\$$ 信号に変換して、クロック信号を伝送する一対を加えて、全五対の差動信号としてメイン表示装置 $DS1$ に出力している。なお、メイン表示装置 $DS1$ には、 $LVD\$$ 信号の変換受信部 RV が内蔵されており、 $LVD\$$ 信号から RGB 信号を復元して、表示回路 $74A$ の出力に対応する画像を表示している。10

【0146】

この点は、 $LVD\$$ 部 $80b$ も同様であり、各 $8bit$ のデジタルRGB信号の合計 $24bit$ について、クロック信号を伝送する一対を加えて、全五対の差動信号として変換受信部 RV に出力し、サブ表示装置 $DS2$ が変換受信部 RV から受ける合計 $24bit$ のRGB信号による画像表示を実現している。そのため、サブ表示装置 $DS2$ と、メイン表示装置 $DS1$ は、 $2^8 * 2^8 * 2^8$ の解像度を有することになる。

【0147】

なお、必ずしも $LVD\$$ 信号とする必要は無く、例えば伝送距離が短い場合には、デジタルRGB信号を、デジタルRGB部 $80c$ を経由して、そのまま表示装置に伝送するか、或いは、伝送距離が長い場合には、デジタルRGB信号を、変換送信部 TR' において、 $V - By-one$ （登録商標）信号に変換して変換受信部 RV' に伝送した後、変換受信部 RV' においてデジタルRGB信号に戻すのも好適である。なお、図9の破線は、この動作態様を示しているが、出力選択部 79 の動作を適宜に設定することで、表示回路 $74A \sim 74C$ の何れの出力信号であっても上記の動作が可能となる。20

【0148】

次に、 SMC 部 78 （Serial Management Controller）は、 LED コントローラと $Motor$ コントローラとを内蔵した複合コントローラである。そして、外部基板に搭載した $LED/Motor$ ドライバ（シフトレジスタを内蔵するドライバ IC ）に対して、クロック信号に同期して LED 駆動信号やモータ駆動信号を出力する一方、適宜なタイミングで、ラッチパルスを出力可能に構成されている。30

【0149】

上記した VDP 回路 52 の内部回路及びその動作に関し、内部回路が実行すべき動作内容は、演出制御 $CPU63$ が、制御レジスタ群 70 に設定する動作パラメータ（設定値）で規定され、 VDP 回路 52 の実行状態は、制御レジスタ群 70 の動作ステータス値を $READ$ することで特定できるようになっている。制御レジスタ群 70 は、演出制御 $CPU63$ のメモリマップ上、 $1M$ バイト程度のメモリ空間（ $0 \sim FFFF FH$ ）にマッピングされた多数の VDP レジスタ RGi,j を意味し、演出制御 $CPU63$ は、 $CPUIF$ 部 81 を経由して動作パラメータの $WRITE$ （設定）動作と、動作ステータス値の $READ$ 動作を実行するようになっている（図5（b）参照）。40

【0150】

制御レジスタ群 70 （ VDP レジスタ RGi,j ）には、割り込み動作などシステム動作に関する初期設定値が書き込まれる「システム制御レジスタ」と、内蔵 $VRAM$ に AAC 領域(a) やページ領域(b) を確定する共に、インデックステーブル $IDXTBL$ を構築又は変更などに関する「インデックステーブルレジスタ」と、演出制御 $CPU63$ と VDP 回路 52 の内部回路との間のデータ転送回路 72 によるデータ転送処理に関する設定値などが書き込まれる「データ転送レジスタ」と、グラフィックスデコーダ 75 の実行状況を特定する「 $GDEC$ レジスタ」と、指示コマンドや描画回路 76 に関する設定値が書き込まれる「描画レジスタ」と、プリローダ 73 の動作に関する設定値が書き込まれる「プリローダレジスタ」と、表示回路 74 の動作に関する設定値が書き込まれる「表示レジスタ」と、 LED コン50

トローラ（SMC部78）に関する設定値が書き込まれる「LED制御レジスタ」と、Motorコントローラ（SMC部78）に関する設定値が書き込まれる「モータ制御レジスタ」とが含まれている。

【0151】

以下の説明では、制御レジスタ群70に含まれる一又は複数のレジスタRG_{i,j}を、上記した個別名称で呼ぶ場合と、VDPレジスタRG_{i,j}と総称することがあるが、何れにしても、演出制御CPU63は、所定のVDPレジスタRG_{i,j}に、適宜な設定値を書き込むことで、VDP回路52の内部動作を制御している。具体的には、演出制御CPU63は、適宜な時間間隔で更新するディスプレイリストDLと、所定のVDPレジスタRG_{i,j}への設定値に基づいて、所定の画像演出を実現している。なお、この実施例では、ランプ演出やモータ演出も含め、演出制御CPU63が担当するので、VDPレジスタRG_{i,j}には、LED制御レジスタやモータ制御レジスタも含まれる。10

【0152】

続いて、上記した内蔵CPU回路51とVDP回路52とを内蔵した複合チップ50によって実現される、画像演出、音声演出、モータ演出、及び、ランプ演出の統一的な演出制御動作について説明する。図10は、内蔵CPU回路51の演出制御CPU63の制御動作を説明するフローチャートである。

【0153】

演出制御CPU63の動作は、CPUリセット後に起動するメイン処理(a)と、1mS毎に起動するタイマ割込み処理(b)と、制御コマンドCMDを受けて起動する受信割込み処理(不図示)と、表示装置DS1のVブランク(垂直帰線期間)の開始タイミングに生じるVBLANK信号を受けて起動するVBLANK割込み処理(c)と、を含んで構成されている。20

【0154】

受信割込み処理では、主制御部21から受けた制御コマンドCMDを、メイン処理(ST13)において参照できるよう、所定の受信バッファに記憶して処理を終える。また、VBLANK割込み処理では、VBLANK割込み毎に、割込みカウンタVCNTをインクリメントし、メイン処理の開始タイミングでは、割込みカウンタVCNTの値に基づいて、1/30秒の動作開始タイミングを把握した上で、割込みカウンタVCNTをゼロクリアしている(ST4)。30

【0155】

一方、タイマ割込み処理には、図10(b)に示す通り、ランプ演出やモータ演出の進行処理(ST18)と、原点センサ信号SN0~SNn信号や、チャンスボタン信号などを取得するセンサ信号取得処理(ST19)とが含まれている。ランプ演出やモータ演出は、全ての演出動作を一元管理する演出シナリオに基づいて制御されており、演出カウンタENが管理する演出開始時に達すれば、演出シナリオ更新処理(ST11)において、モータ駆動テーブルやランプ駆動テーブルが特定されるようになっている。

【0156】

そして、その後は、特定されたモータ駆動テーブルに基づいてモータ演出が進行し、特定されたモータ駆動テーブルに基づいてランプ演出が進行することになる。先に説明した通り、ステップST18の動作時に、DMA回路(第1と第2のDMAチャンネル)60が機能する実施例もある。なお、モータ演出は、1mS毎に進行するが、ランプ演出は、1mSより長い適宜なタイミングで進行する。40

【0157】

続いて、プリローダを機能しない実施例について、メイン処理(a)について説明する。図10(a)に示す通り、メイン処理は、CPUリセット後に実行される初期処理(ST1~ST3)と、その後、1/30秒毎に繰り返し実行される定常処理(ST4~ST14)とに区分される。

【0158】

そして、定常処理は、割込みカウンタVCNTが、VCNT=2となったタイミングで50

開始されるので(S T 4)、定常処理の動作周期は、1 / 30秒となる。この動作周期は、演出制御C P U 6 3の制御に基づいて間欠動作するV D P回路5 2について、その実質的な動作周期に他ならない。なお、判定条件を、V C N T = 2とするのは、定常処理(S T 4 ~ S T 1 4)が異常に長引いて、V C N T = 2のタイミングを見逃す可能性を考慮したものであるが、V C N T = 3となる事態が発生しないよう設計されている。

【 0 1 5 9 】

以上を踏まえてメイン処理(図 1 0 (a))の説明を続けると、本実施例では、初期処理において、記憶容量48Mバイトの内蔵V R A M 7 1を、適切な記憶容量を有するA C C領域(a)と、ページ領域(b)と、任意領域(c)と、に適宜に切り分ける(S T 1)。具体的には、A C C領域(a1,a2)と、ページ領域(b)について、各々の領域先頭アドレスと必要な総データサイズを、所定のインデックステーブルレジスタR G i jに設定する(S T 1)。すると、確保されたA C C領域(a1,a2)と、ページ領域(b)には含まれない残余領域が任意領域(c)となる。

【 0 1 6 0 】

ここで、第一と第二のA C C領域(a1,a2)と、ページ領域(b)の領域先頭アドレスは、各々の下位11bitが0でなくてはならないが、2048bit単位で任意に選択可能である(1番地 = 1バイトとして、256番地ごとの選択)。また、総データサイズも、単位サイズの整数倍の範囲で任意に選択される。特に限定されないが、A C C領域(a)の単位サイズは、2048bit、ページ領域(b)の単位サイズは、512kbбитである。

【 0 1 6 1 】

このように本実施例では、A C C領域(a1,a2)と、ページ領域(b)の領域設定に一定の条件を設けるが、それは、メモリ容量が限られている内蔵V R A M 7 1について、可能な限り無駄領域を排除する一方で、V D P回路5 2の内部動作の円滑化を図るためである。すなわち、内蔵V R A M 7 1の記憶容量を無闇に増加させると、製造コストの高騰やチップ面積の大型化が懸念される一方、無駄領域を完全に排除するような自由な領域設定を認めると、内部処理が煩雑化して、V R A Mアクセスの処理時間を短縮化できないためである。なお、以下に説明するインデックス空間の確保に、一定の制約を設けるのも同じ理由による。

【 0 1 6 2 】

以上を踏まえて説明を続けると、ステップS T 1の処理に続いて、ページ領域(b)と、任意領域(c)について、必要なインデックス空間I D X iを確保する(S T 2)。具体的には、所定のインデックステーブルレジスタR G i jに、必要な情報を設定することで、各領域(b)(c)のインデックス空間I D X iを確保する。

【 0 1 6 3 】

例えば、ページ領域(b)にインデックス空間I D X iを設ける場合には、任意のインデックス番号iに対応して、任意の水平サイズH xと、任意の垂直サイズW xの倍数情報(単位空間に対する縦横の倍数情報)が、所定のインデックステーブルレジスタR G i jに設定される(S T 2)。

【 0 1 6 4 】

先に説明した通り、ページ領域(b)のインデックス空間I D X iは、水平サイズ128×垂直サイズ128ラインを単位空間としており、また、1ピクセルは32bitの情報で特定されるので、水平サイズH xと垂直サイズW xの設定に基づいて、データサイズ(bit長) = 32 × 128 × H x × 128 × W xのインデックス空間I D X iが確保されたことになる。なお、ページ領域(b)のインデックス空間I D X iの先頭アドレス(空間先頭アドレス)は、内部的に自動付与される。

【 0 1 6 5 】

また、任意領域(c)にインデックス空間I D X iを設ける場合には、任意のインデックス番号iに対応して、任意の先頭アドレス(空間先頭アドレス)S T xと、任意の水平サイズH xの倍数情報が、所定のインデックステーブルレジスタR G i jに設定される(S

10

20

30

40

50

T 2)。ここで、任意とは、所定条件を前提とするもので、水平サイズH_xは256bit単位で任意決定され、先頭アドレスS T_xの下位11bitは0であって、2048bit単位で任意決定される。先に説明した通り、任意領域の垂直サイズは、2048ラインに固定化されるので、水平サイズH_xの設定に基づいて、先頭アドレスS T_x以降には、データサイズ(bit長) = 2048 × H_xのインデックス空間が確保されたことになる。

【0166】

具体的には、メイン表示装置D S 1のフレームバッファF B aとして、水平サイズ1280 × 垂直ライン2048の一対のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタR G i jに設定され、サブ表示装置D S 2のフレームバッファF B bとして、水平サイズ480 × 垂直ライン2048の一対のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタR G i jに設定される。なお、もし、表示装置の水平ピクセル数が、256bit / 32bitの整数倍に一致しない場合には、各インデックス空間の水平サイズを、その表示装置の水平ピクセル数より大きく、且つ、256 / 32 = 8の整数倍となる値に設定して、無駄なメモリ領域の発生を最小限に抑制する。

10

【0167】

以上のように、ページ領域(b)と、任意領域(c)について、必要なサイズ情報やアドレス情報を所定のインデックステーブルレジスタR G i jに各々設定することで、必要個数のインデックス空間I D X iが生成される(S T 2)。そして、この設定処理(S T 2)に対応して、各インデックス空間I D X iのアドレス情報やサイズ情報を特定するインデックステーブルIDXTBLが自動的に構築される。図7(a)に示す通り、インデックステーブルIDXTBLには、各インデックス空間I D X iの先頭アドレスが、その他の必要情報と共に記憶されており、V D P回路52内部でのデータ転送時や、外部記憶リソース(Resource)からのデータ取得時に参照される(図8参照)。なお、AAC領域(a)のインデックス空間I D X iは、必要時に自動生成され、自動消滅するので、ステップS T 2の設定処理は不要である。

20

【0168】

図7(a)(b)に示す通り、任意領域(c)には、各一対のフレームバッファF B aとF B bが確保され、各々、インデックス番号が付与されている。Zバッファを使用しない実施例では、フレームバッファF B aとして、インデックス番号255, 254が付与された、一対のインデックス空間255, 254が確保される。また、フレームバッファF B bとして、インデックス番号252, 251が付与された、一対のインデックス空間252, 251が確保される。なお、本実施例では、任意領域(c)に、インデックス番号0の作業領域(インデックス空間0)も確保されている。

30

【0169】

また、本実施例では、ページ領域(a)に、IPストリーム動画のデコード領域となる必要個数のインデックス空間I D X iを確保し、インデックス番号iを付与することにしている。但し、初期的には、背景動画(IPストリーム動画)のためのインデックス空間I D X 0だけを確保している。そして、画像演出(変動演出や予告演出)における必要性に応じて、インデックステーブルレジスタR G i jへの設定処理や、ディスプレイリストD Lの指示コマンドに基づいて、ページ領域(a)のインデックス空間I D X jを増やし、その後、不要になれば、そのインデックス空間I D X jを開放するようにしている。すなわち、図7(a)は、定常動作時のインデックステーブルIDXTBLを示している。

40

【0170】

なお、AAC領域(a)のインデックス空間は、ディスプレイリストD Lに記載されている指示コマンドに基づいて、必要時に自動的に生成され、インデックステーブルIDXTBLには、自動生成されたインデックス空間I D X jの先頭アドレスや、その他の必要情報が自動設定される。本実施例では、このAAC領域(a)を、静止画その他のテクスチャのデコード領域として使用している。

50

【0171】

インデックス空間を確保する上記の動作は、もっぱら、制御レジスタ群70に含まれるインデックステーブルレジスタRGijへの設定動作によって実現されるが、ステップST1～ST2の処理に続いて、他のVDPレジスタRGijに、必要な設定動作を実行することで、図18～図19に示すVDP回路52の定常動作（間欠動作）を可能にしている。

【0172】

例えば、表示回路74の動作を規定する所定の表示レジスタRGijに、所定の動作パラメータ（ライン数と画素数）を書込むことで、各表示装置DS1, SD2について表示ライン数と水平画素数を設定している（SS30）。その結果、各フレームバッファFBa, FBbにおいて、表示回路74がREADアクセスすべき有効データ領域（図10（d）の破線部）の縦横寸法が、特定されることになる。

10

【0173】

次に、所定の表示レジスタRGijに、所定の動作パラメータ（アドレス値）を書込んで、各フレームバッファFBa, FBbについて、垂直表示開始位置と水平表示開始位置を特定する（SS31）。その結果、ステップSS30の処理で縦横寸法が特定された有効データ領域が、フレームバッファFBa, FBb上に確定されることになる。ここで、垂直表示開始位置と水平表示開始位置は、各インデックス空間における相対アドレス値であって、図10（d）に示す実施例では、表示開始位置は（0, 0）となっている。

【0174】

20

続いて、メイン表示装置DS1を駆動する表示回路74Aに関する表示レジスタRGij（DSPAINDEX）と、サブ表示装置DS2を駆動する表示回路74Bに関する表示レジスタRGij（DSPBINDEX）に、各々、「表示領域（0）」と「表示領域（1）」を設定して、各表示領域を定義している（SS32）。

【0175】

ここで、「表示領域」とは、表示回路74A, 74Bが、表示装置DS1, DS2を駆動するために、画像データを読み出すべきインデックス空間（フレームバッファFBa, FBb）を意味し、各々ダブルバッファ構造であるフレームバッファFBa, FBbにおけるダブルバッファの何れか一方を意味する。もっとも、表示回路74A, 74Bが、実際に画像データを読み出すのは、表示領域（0）又は表示領域（1）における、ステップSS30～SS31で特定された「有効データ領域」に限定される。

30

【0176】

何ら限定されないが、本実施例では、フレームバッファFBaについて、VRAM任意領域(c)におけるインデックス番号254のインデックス空間254を「表示領域（0）」と定義し、VRAM任意領域(c)におけるインデックス番号255のインデックス空間255を、「表示領域（1）」と定義している（SS32）。

【0177】

また、フレームバッファFBbについて、VRAM任意領域(c)におけるインデックス番号251のインデックス空間251を「表示領域（0）」とし、VRAM任意領域(c)におけるインデックス番号252のインデックス空間252を「表示領域（1）」としている（SS32）。なお、「表示領域」を初期処理（SS3）において定義することは、特に限定されず、動作周期毎に、表示回路74が画像データをREADアクセスすべきインデックス空間（表示領域）をトグル的に切換えるても良い。

40

【0178】

本実施例では、以上の初期処理（SS30～SS32）が終われば、次に、所定のシステム制御レジスタRGijへの設定値が、その後、ノイズなどの影響で変更されないよう、第1種の禁止設定レジスタRGijに、所定の禁止値を設定している（第1の禁止設定SS33）。

【0179】

ここで、今後の書き込みが禁止される設定値には、（1）表示装置DS1, DS2の表示ク

50

ロックに関する設定値、(2) L V D S のサンプリングクロックに関する設定値、(3) 出力選択回路 7 9 の選択動作に関する設定値、(4) 複数の表示回路 D S 1 , D S 2 の同期関係(表示回路 7 4 B が表示回路 7 4 A の動作周期に従属すること)などが含まれている。なお、第 1 の禁止設定を解除するソフトウェア処理は存在するが、本実施例では使用していない。但し、必要に応じて使用するのも好適である。

【 0 1 8 0 】

次に、第 2 種の禁止設定レジスタ R G i j に、所定の禁止値を設定することで、初期設定系の V D P レジスタ R G i j について書き込み禁止設定をしている(第 2 の禁止設定 S S 3 4)。ここで、禁止設定されるレジスタには、ステップ S S 3 0 ~ S S 3 2 に係る V D P レジスタ R G i j が含まれている。10

【 0 1 8 1 】

一方、第 3 種の禁止設定レジスタ R G i j に、所定の禁止値を設定することで、ステップ S T 1 ~ S T 3 の設定処理に関する V D P レジスタを含んだ、多数の V D P レジスタへの禁止設定も可能である(第 3 の禁止設定)。但し、本実施例では原則として使用しない。何れにしても、第 2 の禁止設定や、第 3 の禁止設定は、所定の解除レジスタ R G i j に、解除値を書き込むことで任意に解除可能であり、定常動作中に設定値を変更することも可能となる。

【 0 1 8 2 】

以上、初期設定処理について説明したので、次に、定常処理(S T 4 ~ S T 1 4)を説明する前に、演出制御 C P U 6 3 によって制御される V D P 回路 5 2 の定常動作(間欠動作)について図 1 8 (a)及び図 1 9 (b)に基づいて概略的に説明しておく。20

【 0 1 8 3 】

V D P 回路 5 2 の間欠動作は、図 1 8 や図 1 9 に示す通りであり、プリローダ 7 3 を使用しない実施例では、図 1 8 (a)に示すように、演出制御 C P U 6 3 が完成させたディスプレイリスト D L i は、その動作周期(T 1)で、描画回路 7 6 に発行され、描画回路 7 6 はディスプレイリスト D L i に基づく描画動作によって、フレームバッファ F B a , F B b に、画像データを完成させる。そして、フレームバッファ F B a , F B b に完成された画像データは、次の動作周期 T 1 + に、表示回路 7 4 が表示装置 D S 1 , D S 2 に出力することで、その後の、表示装置 D S 1 , D S 2 の描画動作に基づき、遊技者が感知する表示画面となる。30

【 0 1 8 4 】

一方、プリローダ 7 3 を使用する実施例では、図 1 9 (a)に示すように、演出制御 C P U 6 3 が完成させたディスプレイリスト D L i は、その動作周期(T 1)で、プリローダ 7 3 に発行され、プリローダ 7 3 は、ディスプレイリスト D L i を解釈して、必要な先読み動作を実行すると共に、ディスプレイリスト D L i の一部を書き換えて、書換えリスト D L ' を完成させる。なお、先読みされた C G データと書換えリスト D L ' は、 D R A M 5 4 の適所に格納される。

【 0 1 8 5 】

次に、描画回路 7 6 は、その次の動作周期(T 1 +)で、 D R A M 5 4 から書換えリスト D L ' を取得し、書換えリスト D L ' に基づく描画動作によって、フレームバッファ F B a , F B b に、画像データを完成させる。そして、フレームバッファ F B a , F B b に完成された画像データは、更にその次の動作周期(T 1 + 2)で、表示回路 7 4 が表示装置 D S 1 , D S 2 に出力することで、その後の表示装置 D S 1 , D S 2 の描画動作に基づき、遊技者が感知する表示画面となる。40

【 0 1 8 6 】

以上、V D P 回路 5 2 の間欠動作について概略的に説明したが、上記した図 1 8 ~ 図 1 9 の動作を実現するため、演出制御 C P U 6 3 は、初期処理(S T 1 ~ S T 3)の後、割込みカウンタ V C N T の値を繰り返し参照して、動作開始タイミングに達するのを待ち、動作開始タイミング(一つ飛びの V ブランク開始タイミング)に達すれば、割込みカウンタ V C N T をゼロクリアする(S T 4)。50

【 0 1 8 7 】

その後、定常動作を開始するが、本実施例では、最初に、定常動作を開始すべき動作開始条件を満たしているか否かを判定する（ＳＴ５）。なお、この判定タイミングは、図18～図19に記載のＴ1，Ｔ1+、Ｔ1+2、……のタイミング、つまり、表示装置ＤＳ1の垂直帰線期間（VBLANK）の開始タイミングである。なお、表示装置ＤＳ2の表示タイミングは、表示装置ＤＳ1の表示タイミングに従属するよう、初期設定（ＳＴ3）時に設定されている。

【 0 1 8 8 】

垂直帰線期間（VBLANK）の開始タイミングで判定される動作開始条件は、プリローダ73を活用するか否かで異なるので、先ず、プリローダ73を活用しない実施例（図10）について説明する。この場合は、本来、図18（a）のタイムチャートに示す通りにＶＤＰの内部動作が進行するよう、回路構成やプログラムが設計されている。すなわち、動作周期（Ｔ1）で完成されたディスプレイリストＤＬ1に基づき、描画回路76は、その動作周期中（Ｔ1～Ｔ1+）に、描画動作を終える筈である。しかし、例えば、図18（a）の動作周期（Ｔ1+2）で完成されたディスプレイリストＤＬ3のように、その動作周期中（Ｔ1+2～Ｔ1+3）に、描画動作を終わらない場合も無いとは言えない。

10

【 0 1 8 9 】

ステップＳＴ5の判定処理は、かかる事態を考慮したのであり、演出制御ＣＰＵ63は、描画回路76の動作状態を示すステータスレジスタＲＧｉｊ（制御レジスタ群70の一種）をアクセスして、ステップＳＴ5のタイミングで、描画回路76が、必要な動作を終えているか否かを判定する。プリローダ73を活用しない実施例では、例えば、図18（a）のタイミングＴ1+では、描画回路76に関する描画レジスタのステータス情報をReadアクセスして、ディスプレイリストＤＬ1に基づく描画動作が終わっていることを確認する。

20

【 0 1 9 0 】

そして、動作開始条件を満たさない場合（不適合）には、異常回数をカウントする異常フラグＥＲをインクリメントして、ステップＳＴ6～ＳＴ8処理をスキップする。異常フラグＥＲは、他の重大異常フラグＡＢＮと共に、ステップＳＴ9やＳＴ10の処理で判定され、重大異常フラグＡＢＮがリセット状態である前提において、連続異常回数が多くない場合（ＥＲ＝2）には、正常時と同様に、演出コマンド解析処理を実行する（ＳＴ13）。

30

【 0 1 9 1 】

演出コマンド解析処理（ＳＴ13）では、主制御基板21から制御コマンドCMDを受けているか否かを判定し、制御コマンドCMDを受けた場合には、その制御コマンドCMDを解析して必要な処理を実行する（ＳＴ13）。ここで、必要な処理には、変動演出の開始を指示する制御コマンドCMDに基づく新規の変動演出の開始準備処理や、エラー発生を示す制御コマンドCMDに基づくエラー報知の開始処理が含まれる。

【 0 1 9 2 】

続いて、ＷＤＴタイマを初期値に戻すべく、ＷＤＴ制御レジスタの初期ビットに規定1bitを書き込んだ後（ＳＴ14）、ステップＳＴ4の処理に戻る。演出制御ＣＰＵ63は、外部装置に対してクリアパルスを出力する必要がなく、単に、内蔵レジスタへのWrite命令を実行するだけで足りる利点は、先に説明した通りである。

40

【 0 1 9 3 】

以上、動作開始条件が不適合の場合であって、異常フラグＥＲがＥＲ＝2である場合について説明したが、このような場合には、その動作周期では、表示回路74が読み出す表示領域をトグル切換える処理（ＳＴ6）や、ディスプレイリストの作成処理（ＳＴ7）がスキップされ、且つ、演出シナリオが進行しないことになる（ＳＴ8～ＳＴ12参照）。これは、不完全な状態のフレームバッファＦＢａ，ＦＢｂの画像データを出力させないためである。そのため、例えば、図18（a）の動作周期（Ｔ1+3）では、画像演出が

50

進行せず、元の画面（DL2に基づく画面）が再表示されるフレーム落ちが生じる。

【0194】

ここで、フレーム落ちを回避するため、動作開始条件が成立するまで待機する構成も考えられる。しかし、演出制御CPU63が実行すべき制御処理（ST6～ST12）は数多く、各々の処理時間を確保する必要があるので、本実施例では、動作開始条件を満たさない場合にフレーム落ちを生じさせている。

【0195】

但し、フレーム落ちが生じたとしても、割込み処理（図10（b））によって進行するランプ演出やモータ演出と比較して、1/30～2/30秒程度、画像演出の進行が遅れるだけであり、これに遊技者が気付くことはない。しかも、フレーム落ち時には、演出カウンタENの更新処理を含んだ演出シナリオ処理（ST11）や、音声進行処理（ST12）も合わせてスキップされるので、その後に開始されるリーチ演出や予告演出や役物演出において、画像演出、音声演出、ランプ演出、及びモータ演出などの開始タイミングがずれるおそれはない。

10

【0196】

すなわち、演出シナリオでは、画像演出、音声演出、ランプ演出、モータ演出の開始タイミングと、その後に実行すべき演出内容を一元的に管理しており、正常時に限り更新される演出カウンタENによって、開始タイミングを制御しているので、各種の演出の同期が外れることはない。例えば、爆発音と、爆発画像と、役物移動と、ランプフラッシュ動作を複合した演出動作がある場合、フレーム落ちが生じた後であっても、上記した各演出動作は正しく同期して開始される。

20

【0197】

以上、比較的軽微な異常時について説明したが、重大異常フラグABNがセット状態である場合や、連続異常回数が多い場合（ER>2）には、ステップST10の判定の後、無限ループ状態としている。その結果、WDTタイマのダウンカウント動作が進行して、演出制御CPU63を含んだ複合チップ50は、異常リセットされ、その後、初期処理（ST1～ST3）が再実行されることで、異常事態発生の根本原因の解消が期待される。

【0198】

図4に関して説明した通り、この異常時には、音声回路SNDも合わせ異常リセットされるので、画像演出、音声演出、ランプ演出、モータ演出は、全て初期状態に戻ることになる。但し、これらのリセット動作は、主制御部21や派出制御部25には、何の影響も与えないので、大当たり状態の消滅や、賞球の消滅のような事態が発生するおそれはない。

30

【0199】

以上、異常事態について説明したが、実際には、軽微な場合も含め上記した異常が発生することは殆どなく、ステップST5の処理の後、所定の表示レジスタRGij（DSPACTL/DSPBCTL）への設定に基づき、表示回路74Aと表示回路74Bが読み出すべき画像データを記憶するフレームバッファFBa, FBbの「表示領域」をトグル的に切り換える（ST6）。先に説明した通り、「表示領域（0）」と「表示領域（1）」は、予め初期処理において定義されている（ST3）、ステップST6の処理では、フレームバッファFBa, FBbについて、今回の「表示領域」が、表示領域（0）/表示領域（1）の何れであるかを特定する。

40

【0200】

このステップST6が実行されることで、表示回路74Aは、インデックス空間254（表示領域（0））と、インデックス空間255（表示領域（1））から、動作周期毎に、交互に画像データを読み出して表示装置DS1を駆動することになる。同様に、表示回路74Bは、インデックス空間251（表示領域（0））と、インデックス空間252（表示領域（1））から、動作周期毎に、交互に画像データを読み出してサブ表示装置DS2を駆動することになる。なお、表示回路74が実際にREADアクセスするのは、表示領域（0）/表示領域（1）における有効データ領域に限定されるのは先に説明した通りである。

50

【0201】

何れにしても、本実施例では、動作周期毎に「表示領域」が切り替わるので、表示回路74A, 74Bは、直前の動作周期で描画回路76が完成させた画像データについて、表示装置DS1, DS2への出力処理を開始することになる。但し、ステップST5の処理は、メイン表示装置DS1の垂直帰線期間(Vプランク)の開始時から開始されるので、実際には、垂直帰線期間が完了してから画像データの出力処理が開始されることになる。図18(a)において、表示回路の欄に示す矢印は、この出力処理の動作周期を示している。

【0202】

以上のような意義を有するステップST6の処理が終われば、演出制御CPU63は、
続いて、次の動作周期で、表示回路74が表示装置に出力するべき画像データを特定した
ディスプレイリストDLを完成させる(ST7)。特に限定されないが、この実施例では、
RAM59のリストバッファ領域(DLバッファBUF)を確保し、そこにディスプレ
イリストDLを完成させている(図8参照)。
10

【0203】

ディスプレイリストDLは、一連の指示コマンドを、適宜な順番で列記して構成され、
EODL(End Of DL)コマンドを記載して終わるよう構成されている。そして、本実施例では、
データ転送回路72、描画回路76、プリローダ73の円滑な動作を実現するべく、
EODLコマンドを含む全ての指示コマンドを、コマンド長が32bitの整数N倍(N>0)
の指示コマンドだけに限定している。なお、32bitの整数N倍で構成された指示コ
マンドに、無意ビット(Don't care bit)も含んで良いことは先に説明した通りである。
20

【0204】

このように、実施例のディスプレイリストDLは、コマンド長が32bitの整数N倍
(N>0)の指示コマンドだけで構成されているので、ディスプレイリストDL全体のデ
ータボリューム値(データ総量)は、必ず、コマンド長の最小単位(32bit=4バ
イト)の整数倍となる。更に、本実施例では、データ転送回路72の最低データ量Dmin
を考慮して、ディスプレイリストDLのデータボリューム値を、最低データ量Dminの
整数倍(1以上)であって、且つ、指示コマンドの最小単位(4バイト)の整数倍となる
よう調整している。例えば、Dmin=256バイトであれば、ディスプレイリストDL
のデータボリューム値は、256バイト、512バイト・・・の何れかの値に調整される
。
30

【0205】

ここで、演出内容の複雑さに応じて、適宜に、256バイトか、又は512バイトに調整
するのも好適であるが、本実施例では、表示装置が二個であり、サブ表示装置DS2は
それほど複雑な画像演出を実行させないことを考慮して、ディスプレイリストDLのデ
ータボリューム値を、常に、256バイトに調整している。

【0206】

もっとも、この手法は、何ら限定されず、表示装置が三個以上になる場合や、サブ表示
装置DS2も含め複雑な画像演出を実行する遊技機の場合には、512バイト又は、76
8バイトに調整される。また、通常の演出時は、ディスプレイリストDLのデータボリュ
ーム値を256バイトに調整し、特別な演出を実行する場合に限り、ディスプレイリスト
DLのデータボリューム値を、512バイト又は、768バイトに調整するのも好適である。
40

【0207】

但し、本実施例の場合には、ディスプレイリストDLのデータボリューム値は、各動作
周期において、予め規定された所定バイト長(256バイト)に調整される。調整手法
としては、32bit長のEODLコマンドの後に、不足領域を補填する32bit長のNOP
(No Operation)コマンドを埋める簡易手法(A)か、或いは、不足領域を32bit長
のNOPコマンドで埋めた後、最後に32bit長のEODLコマンドを記載する標準手法(B)
が考えられる。なお、ディスプレイリストDLのデータボリューム値(データ総量)を
50

全く調整することなくEODLコマンドで終結させ、データ転送回路72の動作時に、ダミーデータを付加的に転送して、最低データ量Dminの整数倍の転送量を確保する無調整手法(C)も考えられる。

【0208】

ここで、標準手法(B)を探る場合には、最初、コマンドカウンタCNTを規定値(256バイトに対応する64-1)に初期設定し、DLバッファ領域BUFに、有意な指示コマンドを書き込むごとに、コマンドカウンタCNTを適宜に減算し、一連の有意な指示コマンドの書き込みが終われば、コマンドカウンタCNTがゼロになるまで、NOPコマンドを記載し、最後にEODLコマンドを記載する手法が考えられる。本実施例の場合、指示コマンドは、そのコマンド長が32bitの整数N倍(N>0)のものに限定されているので、上記の処理は容易であり、コマンドカウンタCNTの減算処理は、整数Nに対応した減算処理となる。10

【0209】

一方、簡易手法(A)を探る場合には、ディスプレイリストDLの作成時、最初に、リストバッファ領域(DLバッファBUF)の全てをNOPコマンドで埋めれば足りるので、一見、標準手法(B)より優れているように思われる。また、簡易性の観点では、無調整手法(C)も優れているように思われる。しかし、本実施例では、基本的に標準手法(B)を探っており、ディスプレイリストDLの先頭からEODLコマンドまでの実データ量、つまり、EODLコマンドまでのデータ量が、常に、データ転送回路72の最低データ量Dminの整数倍となるよう調整している。20

【0210】

これは、プリローダ73を活用する実施例を考慮したものであり、もし、簡易手法(A)や無調整手法(C)を採用すると、EODLコマンドまでのディスプレイリストDLの実データ量が、ランダムな値となり、プリローダ73が書き換えた書換えリストDL'のDRAM54への転送時や、DRAM54から描画回路76への書換えリストDL'の転送時に支障が生じるからである。なお、書換えリストDL'のDRAM54への転送時には、データ転送回路72のChA制御回路72aが機能し、書換えリストDL'の描画回路76への転送時には、ChB制御回路72bが機能するが(図16参照)、何れの場合もEODLコマンドまでの書換えリストDL'しか転送しないことになる。30

【0211】

以上、ディスプレイリストDLのデータボリューム値を調整する標準手法(B)の利点を説明したが、プリローダ73を使用しない実施例では、発行されたディスプレイリストDLは、描画回路76によって処理されるだけであるので、簡易手法(A)や無調整手法(C)の使用が何ら禁止されない。

【0212】

但し、以下の説明では、プリローダ73の使用の有無に拘らず、原則として標準手法(B)を探ることを前提に、図11に基づいて、ディスプレイリストDLの詳細について説明する。

【0213】

特に限定されないが、本実施例では、ディスプレイリストDLに、先ず、メイン表示装置DS1に関する指示コマンド列(L11~L16)を記載し、その後、サブ表示装置DS2に関する指示コマンド列(L17~L20)を記載するようにしている。また、標準手法(B)を採用して、ディスプレイリストDLのデータボリューム値を固定長(256バイト)に調整している。なお、図11は、事実上、演出制御CPU63が、RAM59のリストバッファ領域に、指示コマンドを書き込む手順や、ディスプレイリストDLに基づく描画回路76の動作を示したものともなっている。40

【0214】

図11に示す通り、ディスプレイリストDLの先頭では、環境設定系の指示コマンド(SETDAVR)を記載して、表示装置DS1のフレームバッファFBAについて、インデックス空間IDX上の左上基点アドレス(X,Y)を規定する(L11)。図7(a)に関し50

て説明した通り、本実施例では、表示装置 D S 1 用として、任意領域(c)に、一対のフレームバッファ F B a が確保されている。そして、通常は、表示回路 7 4 にとっての有効データ領域に対応して、基点アドレス(X, Y) = (0, 0) とすることで、フレームバッファ F B a の先頭位置から描画回路 7 6 に活用される。

【0215】

図 7 (c) では、その下方左側の実描画領域に L 1 1 と付しているが、これは、指示コマンド L 1 1 によって、フレームバッファ F B a 上の実描画領域が、フレームバッファ F B a の基点アドレス(0, 0)位置から始まると特定されたことを意味している。ただし、実描画領域の縦横寸法や、その実描画領域を具体的に特定するインデックス番号は、未だ未確定であり、後述する指示コマンド(SETINDEX) L 1 3 によって確定する。なお、指示コマンド L 1 1 では Z バッファの使用の有無も指定される。10

【0216】

次に、環境設定系の指示コマンド(SETDAVF)によって、仮想描画空間上に、左上基点座標(X s, Y s)と、右下対角点座標(X e, Y e)を設定して、W × H 寸法の描画領域を定義する(L 1 2)。ここで、仮想描画空間とは、描画用の指示コマンド(SPRITEコマンドなど)によって描画可能な、X 方向 ± 8 1 9 2、Y 方向 ± 8 1 9 2 の仮想的な二次元空間である(図 7 (c) 参照)。

【0217】

この指示コマンド L 1 2 (SETDAVF) によって、仮想描画空間は、描画内容が実際に表示装置 D S 1 に反映される描画領域と、その他の非描画領域に区分される。また、指示コマンド L 1 2 (SETDAVF) は、指示コマンド L 1 1 で開始位置(基点アドレス)が規定された実描画領域と、仮想描画空間上の描画領域とを対応付けることになる。20

【0218】

この点を言い換えると、指示コマンド L 1 2 によって、(インデックス空間は未定の)フレームバッファ F B a には、仮想描画空間上の描画領域に対応する、基点アドレスから始まる W × H の実描画領域が定義されることになる。したがって、指示コマンド L 1 2 で指定する描画領域は、フレームバッファ F B a の水平サイズと同一か、それ以下とする必要がある。通常、描画領域や実描画領域は、表示回路 7 4 にとっての有効データ領域(図 1 0 (d))と同寸法となるよう定義される。

【0219】

そして、描画回路 7 6 が指示コマンド L 1 1, L 1 2 を実行した後は、仮想描画空間に描画された描画内容のうち、描画領域に含まれるものだけが、フレームバッファ F B a の実描画領域に反映されることになる。したがって、描画領域からはみ出した部分や、図 7 (c)において作業領域と記載された部分の描画内容は、そのままでは、フレームバッファに反映されることはない。なお、仮想描画空間に作業領域を確保する場合には、仮想描画空間の非描画領域が使用される。30

【0220】

次に、今回の動作周期において、描画回路 7 6 が、これから完成させるディスプレイリスト D L に基づいて描画する描画内容を何処に描画すべきかを規定する(L 1 3)。具体的には、ダブルバッファ構成の表示装置 D S 1 のフレームバッファ F B a について、今回のディスプレイリスト D L に基づく描画内容の「書き込み領域」となるインデックス空間 I D X が特定される(L 1 3)。具体的には、テクスチャ設定系のコマンドであるSETINDEXコマンドによって、(1) フレームバッファ F B a は、任意領域に確保されていること、及び、(2) 「書き込み領域」となるインデックス空間 I D X N の任意領域上のインデックス番号 N が特定される。40

【0221】

この指示コマンド L 1 3 によって、例えば、N = 2 5 5 と特定された場合には、仮想描画空間上に定義された描画領域に対応する実描画領域は、具体的には、ダブルバッファ構造のフレームバッファ F B a におけるインデックス空間 I D X 2 5 5 であると定義されることになる。50

【 0 2 2 2 】

本実施例の場合、フレームバッファ F B a のインデックス番号は、 2 5 5 又は 2 5 4 であり（図 7 (a) ）、トグル的に切り換えた何れかが指定される（ L 1 3 ）。なお、このインデックス番号は、メイン処理のステップ S T 6 で指定された表示領域（ 0 ） / （ 1 ）ではない方のインデック番号である。例えば、ステップ S T 6 の処理において、表示回路 7 4 に対して、表示領域（ 0 ）が指定されている場合には、表示領域（ 1 ）が、描画回路 7 6 にとっての「書込み領域」となる。

【 0 2 2 3 】

以上の通り、指示コマンド L 1 1 と指示コマンド L 1 2 とで、実描画領域（ W × H の論理空間）と描画領域（ W × H の仮想空間）との対応関係が、一般的に定義された後、インデックス空間 I D X を具体的に特定する指示コマンド L 1 3 (SETINDEX) によって、 W × H の仮想空間が、特定のインデックス空間 I D X における W × H の論理空間であると対応付けられることになる。10

【 0 2 2 4 】

この点を言い換えると、今後、一連の指示コマンドに基づいて、 W × H の仮想空間に仮想的に描画される内容は、仮想空間と内蔵 V R A M 7 1 の実アドレスとの対応関係を規定する V D P 内部の変換テーブルに基づいて、内蔵 V R A M 7 1 (フレームバッファ) の画像データとなる。

【 0 2 2 5 】

続いて、「書込み領域」として、特定されたインデックス空間 I D X を、例えば、黒色で塗りつぶすフレームバッファ・クリア処理を実行する指示コマンドが記載される（ S T 1 4 , S T 1 5 ）。これは、二動作期間前にフレームバッファ F B a に書き込まれた画像データの消去処理に他ならない。20

【 0 2 2 6 】

具体的には、環境設定コマンドの一種である SETFCOLOR コマンドによって、例えば黒色を選択し、プリミティブ描画系コマンドである RECTANGLE コマンドによって矩形領域を塗り潰すべく規定する。なお、 RECTANGLE コマンドでは、仮想描画空間に設定された描画領域（フレームバッファ F B a に対応する仮想空間）について、その左上端点と、右下端点の X Y 座標が指定される（図 7 (c) 参照）。

【 0 2 2 7 】

以上の処理によって、描画準備処理が完了するので、次に、静止画や動画一フレームなど、適宜なテクスチャを、仮想描画空間に描画するための指示コマンドを列記する。典型的には、先ず、テクスチャの展開先となるインデックス空間 I D X を、テクスチャ設定系の SETINDEX コマンドで特定した上で、テクスチャロード系の指示コマンドである TXLOAD コマンドを記載して、 C G R O M 5 5 から読み出す所定のテクスチャを、所定のインデックス空間 I D X に展開するようディスプレイリスト D L に記載する。30

【 0 2 2 8 】

先に説明した通り、本実施例では、背景動画が、 I P ストリーム動画で構成されている。そこで、例えば、背景動画について、これを展開すべきインデックス空間 I D X を、テクスチャ設定系の SETINDEX コマンドで、ページ領域 (b) のインデックス空間 I D X ₀ と特定した上で、テクスチャロード系の TXLOAD コマンドを記載する。なお、 TXLOAD コマンドでは、今回 LOAD すべき動画フレームについて、 C G R O M 5 5 の先頭アドレス（テクスチャの Source アドレス）と、展開後のデータサイズ（水平 × 垂直）を特定する必要がある。40

【 0 2 2 9 】

V D P 回路 5 2 において、上記の TXLOAD コマンドが実行されると、背景動画の一動画フレーム（テクスチャ）は、先ず、 A A C 領域 (a) に取得され、その後、自動的に起動する G D E C 7 5 によって、ページ領域 (b) のインデックス空間 I D X ₀ に展開される。次に、この一動画フレームを仮想描画空間に描画することになる。この場合に、 SETINDEX コマンド（テクスチャ設定系）によって、「ページ領域 (b) のインデックス空間 I D X ₀ が、その後の処理対象のテクスチャである」と設定しても良いが、 TXLOAD コマンドに連続して50

処理する場合には、このSETINDEXコマンドの記載を省略することができる。

【0230】

何れにしても、「ページ領域(b) のインデックス空間 ID X₀ が、その後の処理対象のテクスチャである」と特定されている状態で、次に、ブレンド処理のためのパラメータを設定するなど、適宜な描画間演算系の指示コマンドを記載する。なお、ブレンド処理とは、既に描画領域(フレームバッファ F B a)に記載されている画像と、これから上書きする画像との透明化／半透明化処理に関するものある。したがって、背景動画の動画フレームのように、第一枚目の描画動作では、描画間演算系の指示コマンドの使用は不要である。

【0231】

続いて、プリミティブ描画系の指示コマンドであるSPRITEコマンドによって、「ページ領域(b) のインデックス空間 ID X₀ のテクスチャ(背景動画の一動画フレーム)」を、仮想描画空間の適所(矩形のDestination 領域)に描画するべくSPRITEコマンドを記載する。なお、SPRITEコマンドには、仮想描画空間のDestination 領域について、その左上端点と、右下端点を特定する必要がある。

【0232】

このDestination 領域は、予め、指示コマンド L 1 1, L 1 2 によって、実描画領域(F B a)に対応付けられた描画領域(仮想描画空間上に定義された仮想空間)の全体又はその一部である。但し、背景動画は、通常、表示画面全体に描画するので、このような場合のDestination 領域は、描画領域の全体又はそれ以上となる。なお、Destination 領域が、描画領域の全体より大きい場合とは、例えば、背景動画がズームアップされる場合である。

【0233】

以上の処理によって、背景動画の動画フレームの描画が終わったので、続いて、テクスチャロード系、テクスチャ設定系、描画間演算系、プリミティブ描画系コマンドなどの指示コマンドを適宜な順番で列記して、背景動画に重ねて、各種のテクスチャを描画するべくディスプレイリスト D L を構成することになる。先に説明したように、変動演出時では、多数の動画が必要となるので、その場合には、内蔵 V R A M 7 1 のページ領域(b)について、インデックス空間 ID X を増加するべく、インデックステーブル制御系の指示コマンド(NEWPIX)を記載することになる。

【0234】

例えば、二つ目の I Pストリーム動画に関し、NEWPIXコマンドによって、ページ領域(b)に、追加のインデックス空間 ID X₁ を確保した後、このインデックス空間 ID X₁ を特定して(SETINDEX)、二つ目の動画の一つフレームの展開を指示し(TXLOAD)、展開したテクスチャを描画領域の適所に配置する(SPRITE)。通常、この場合のDestination 領域は、描画領域の一部となる。

【0235】

以下、同様であり、NEWPIXコマンドによって、次々、インデックス空間 ID X_k を確保した後、適宜なブレンド処理を実行しつつ、複数の I Pストリームを描画領域に描画すれば、描画領域への描画内容は、実描画領域であるフレームバッファ F B a に画像データとして順次蓄積されることになる。複数 N 個の I Pストリーム動画が描画されている演出時には、ページ領域(b)において、複数 N 個のインデックス空間が機能している。

【0236】

そして、一連の変動演出が終了したような場合には、ページ領域(b)に確保した多数のインデックス空間 ID X₁ ~ ID X_k のうち、不要と思われるインデックス空間 ID X を開放するべく、DELPIXコマンドによって不要なインデックス空間 ID X を削除すれば良い。

【0237】

なお、静止画や I ストリーム動画を描画する場合には、SETINDEXコマンドによって、これらのテクスチャのデコード先が、A A C 領域(a) であると指定した上で、TXLOADコマン

10

20

30

40

50

ドを実行させれば、AAC領域(a)に取得されたテクスチャは、その後、自動的に起動するGDEC75によってACC領域(a)に展開される。そして、展開されたテクスチャは、Spriteコマンドによって、描画領域の適所に描画すれば良い。なお、キャッシュヒット機能を活用するか否かに応じて、第一AAC領域(a1)か、第二AAC領域(a2)が使用される。

【0238】

ここまで説明では、各テクスチャは、直接的に、メイン表示装置用DS1の描画領域に描画されるが、必ずしも、このような動作に限定されない。例えば、既に表示装置DS1用に確保されている描画領域に重複しない状態で、適宜な描画領域を設け(図7(c))、この描画領域を内蔵VRAM71の作業領域に対応付ければ、中間的な描画領域を構築して、適宜な演出画像を完成させることができる。ここで、表示装置DS1用の描画領域と重複しない状態とするのは、重複領域については、後の対応付け設定が優先され、その領域への描画内容がフレームバッファFBaに反映されないからである。10

【0239】

図7(c)に示す通り、本実施例の作業領域は、任意領域(c)におけるインデックス空間IDX₀である。そして、この作業領域を使用する演出タイミングでは、先行して、演出画像用の描画領域(図7(c)参照)を、作業領域(インデックス空間IDX₀の実描画領域)に対応付けるための指示コマンド列(SETDAVR, SETDAVF, SETINDEX)を記載しておく。図7(c)に示す通り、演出画像用の描画領域は、メイン表示装置DS1用の描画領域に含まれない領域に確保される。20

【0240】

そして、その後は、フレームバッファFBaに関する指示コマンド列L16と同様の指示コマンドを列記して、インデックス空間IDX₀に、適宜な演出画像を完成させれば良い。本実施例の場合、演出画像は、静止画で構成されるので、デコードデータは第一AAC領域(a1)に展開されるよう指示コマンド(SETINDEX)が記載され、次に、インデックス空間IDX₀の描画領域の適所をDestinationとするプリミティブ描画系の指示コマンド(SPRITE)が使用されることになる。なお、このような動作は、演出内容に応じて、一回又は複数回繰り返される。

【0241】

そして、演出画像を完成させたインデックス空間IDX₀をテクスチャと位置付けた後(SETINDEX)、Spriteコマンドによって、メイン表示装置用DS1の描画領域の適所に、インデックス空間IDX₀の演出画像(テクスチャ)を描画すれば良い。このような場合、インデックス空間IDX₀の演出画像を、三角形の描画プリミティブ(primitive)に分解し、適宜な角度に回転させた上で、描画領域に描画することが考えられる。なお、テクスチャの回転角度は、例えば、予告演出の信頼度などに対応付けられる。30

【0242】

以上、メイン表示装置DS1の一つフレームを完成させるための指示コマンド列(L11~L16)について説明したが、サブ表示装置DS2の一つフレームを完成させるための指示コマンド列(L17~L12)についても、同様である。すなわち、フレームバッファFBbの開始XY座標を特定し(L17)を定義し(通常はX=0, Y=0)、図7(c)に示す仮想描画空間上に、サブ表示装置DS2のための描画領域を定義する(L18)。40

【0243】

ところで、本実施例では、メイン表示装置DS1用の画像データの生成を終えた後、サブ表示装置DS2用の生成処理に移行するので、サブ表示装置DS2用の描画領域が、メイン表示装置DS1用の描画領域と重複しても何の問題もなく、描画領域を自由に設定することができる。そのため、ディスプレイリストDLの生成プログラムの開発時、例えば、Spriteコマンドで、新規に設定された描画領域に適宜なテクスチャを貼り付けるような場合、Spriteコマンドの動作パラメータ(Destination領域)の設定その他を、ある程度、定型化することができる。50

【 0 2 4 4 】

このような任意の描画領域の定義が終われば(L 1 8)、次に、ダブルバッファ構成の表示装置 D S 2 のフレームバッファ F B b について、今回のディスプレイリスト D L に基づく描画内容の「書込み領域」となるインデックス空間 I D X を特定する(L 1 9)。このインデックス空間 I D X のインデックス番号は、フレームバッファ F B b に関し、メイン処理のステップ S T 6 で指定された表示領域(0) / (1)に対応しない方のインデックス番号である。

【 0 2 4 5 】

そして、その後、サブ表示装置 D S 2 についての指示コマンド列 L 2 0 ~ L 2 2 が、メイン表示装置 D S 1 に関する指示コマンド列 L 1 4 ~ L 1 6 と同様に列記される。また、インデックス空間 I D X に完成させた演出画像を使用することもできる。10

【 0 2 4 6 】

以上、ディスプレイリスト D L を構成する L 1 1 ~ L 2 2 の指示コマンドは、本実施例では、全て、コマンド長が 3 2 ビットの整数倍のものに限定されている。そして、先に説明した通り、本実施例のディスプレイリスト D L のデータボリューム値(データ総量)を、固定長(2 5 6 バイト)に調整しており、ダミーコマンドたる必要数の NOP コマンド(L 2 3)を付加した上で、EODL コマンド(L 2 4)で終結させている。すなわち、図 1 1 の実施例では、前記した標準手法(B)を探っている。

【 0 2 4 7 】

但し、標準手法(B)を探る場合でも、全ての動作周期において、ディスプレイリスト D L のデータ総量を 2 5 6 バイトと固定化することは必ずしも必須ではない。すなわち、別の実施例では、NOP コマンドを除くディスプレイリスト D L のデータ総量が、 2 5 6 バイトを超える場合(例えば、特別な演出期間)には、ディスプレイリスト D L のデータ総量は、NOP コマンドを付加することで、 5 1 2 バイト又はそれ以上の N × 2 5 6 バイトに調整される。なお、標準手法(B)を探る場合、 N × 2 5 6 バイトの最後は EODL コマンドで終端されることは先に説明した通りである。20

【 0 2 4 8 】

以上、ディスプレイリスト D L の構成について詳細に説明したが、演出制御 C P U 6 3 は、完成させた固定バイト長のディスプレイリスト D L を V D P 回路に発行することになる(S T 7 ~ S T 8)。図 1 2 は、演出制御 C P U 6 3 が、転送回路 7 2 の転送ポートレジスタ TR_PORT を直接 Write アクセスして、描画回路 7 6 にディスプレイリスト D L を発行する D L 発行処理(図 1 0 の S T 8)を説明するフローチャートである。なお、転送ポートレジスタ TR_PORT は、データ転送回路 7 2 の動作内容を規定するデータ転送レジスタ R G i j の一種である。30

【 0 2 4 9 】

D L 発行処理を実現するには、先ず、データ転送回路 7 2 の動作内容を規定する複数のデータ転送レジスタ R G i j に、必要な設定値を設定する必要がある。具体的には、データ転送回路 7 2 の転送動作態様と、データ転送回路 7 2 内部の伝送経由と、を所定のデータ転送レジスタ R G i j に特定する。設定内容は、特に限定されないが、ここでは、C P U I F 部 5 6 から C h B 制御回路 7 2 b を経由すること、及び、C P U バス制御部 7 2 d に関し、その F I F O バッファの残量をチェックしながらデータ転送動作を実行すると設定する(S T 2 0)。なお、以下の説明では、C h B 制御回路 7 2 b を、便宜上、「転送回路 C h B 」と略すことがある。40

【 0 2 5 0 】

次に、転送総サイズを、所定のデータ転送レジスタ R G i j に設定する。先に説明した通り、本実施例では、ディスプレイリスト D L のデータ総量を 2 5 6 バイトの整数倍に調整しているので、その値を設定する。なお、データ総量 = 2 5 6 × N は、データ転送回路 7 2 の最低データ量 D m i n の整数 N 倍にもなっている。通常、倍数 N は、1 又は 2 であるが、以下の説明では、N = 1 として説明することにする。

【 0 2 5 1 】

10

20

30

40

50

ここで、転送ポートレジスタTR_PORT（以下、転送ポートと略すことがある）は、32bit長のレジスタであるので、演出制御CPU63は、32bit毎に、転送ポートTR_PORTに対して、レジスタWrite動作を実行することになる。そこで、レジスタWrite回数を管理する管理カウンタCNの値を64の初期設定する(ST21)。なお、無調整手法(C)を探る場合は、このタイミングで、最低データ量Dminの整数倍のデータ転送量を決定して、管理カウンタCNを設定することになる。

【0252】

以上の処理で初期設定が完了するので、次に、転送回路ChBを経由するデータ転送動作を開始状態に設定すると共に(ST22)、描画回路76の動作を規定する所定の描画レジスタRGijへの設定値に基づいて、描画動作を開始させる(ST23)。この結果、その後、演出制御CPU63が、転送ポートTR_PORTにレジスタWrite動作する指示コマンド列について、描画回路76（ディスプレイリストアナライザ）による迅速かつ円滑なAnalyze処理が担保される。10

【0253】

なお、迅速かつ円滑なAnalyze処理には、ディスプレイリストDLに列記する指示コマンドが、コマンド長32bit整数倍の指示コマンドに限定されている点も有効に寄与する。図18(a)におけるタイミングt1, t2, t3, t4は、ステップST23の動作タイミングを示している。なお、ディスプレイリストDLの発行処理(ST8)は、素早く終わるので、図18～図19では発行処理の要する時間幅を記載していない。

【0254】

続いて、ステップST22の設定が機能したか否かを確認する(ST24)。これは、データ転送回路72の各部の初期設定は、演出制御CPU63によるレジスタWrite動作（設定動作）より処理時間がかかるので、不完全な状態のデータ転送回路72に対して、その後の指示を与えないためである。そして、万一、所定時間、待機しても動作開始状態にならない場合には、重大異常フラグABNをセットしてDL発行処理を終える(ST25)。その結果、その後、ウォッチドッグタイマ58が機能して、複合チップ50は異常リセットされる(ST10)。20

【0255】

但し、通常は、ステップST22の設定は、迅速に完了するので、続いて、CPUバス制御部72dの FIFOバッファ(32bit×130段)について、FIFOバッファが満杯でないことを確認した上で(ST26)、ディスプレイリストDLを構成する先頭行から順番に、一行ごとに転送ポートTR_PORTに指示コマンドを書込む(ST28)。30

【0256】

そして、管理カウンタCNをデクリメントしつつ(ST29)、管理カウンタCNがゼロになるまで、ステップST26～ST29の処理を繰り返す(ST30)。この実施例の場合、データ転送回路72には、最低データ量Dminが規定されているので、FIFOバッファに最低データ量Dminが蓄積されたタイミングで、データ転送動作が実行されることになり、間欠的な転送動作となる。

【0257】

何れにしても、本実施例では、迅速にDL発行処理(ST28)が完了するが、万一、ノイズなどの影響でVDPレジスタRGijへの設定内容が矛盾したような場合には、ステップST26の判定において、所定時間待機してもFIFOバッファFullの状態が解消されない場合もあり得る。そして、そのような場合には、所定のVDPレジスタRGijに初期化データをセットして、描画回路76とデータ転送回路72を初期化した上で、重大異常フラグABNをセットしてDL発行処理を終える(ST27)。40

【0258】

ところで、このタイミングでは、データ転送回路72や、描画回路76は、既に動作を開始しており、ある程度の処理を終えているので、描画回路76の初期化処理には、描画レジスタRGijの内容を維持した状態で、(1)ディスプレイリストDLによって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2)全ての内部制御回50

路を初期状態に設定すること、(3) G D E C 7 5 を初期化すること、(4) A A C 領域のキヤッッシュ状態を初期化することが含まれている。同様に、データ転送回路 7 2 の初期化処理には、F I F O バッファのクリアなど、それまでのデータ転送全体の初期化処理が含まれている。この結果、データ転送回路 7 2 の動作状態を示すステータス情報が所定値（データ転送全体初期化中を示す値）に変化する。

【 0 2 5 9 】

なお、上記したステップ S T 2 7 の初期化処理では、描画レジスタ R G i j の内容を維持したが、所定の描画レジスタについては、その内容を初期化しても良い。初期値にクリアされる所定の描画レジスタには、(a) 描画実行開始を設定する実行制御レジスタ（図 1 2 の S T 2 3 参照）、(b) 描画回路 7 6 の実行状況を示すステータスレジスタ、及び、(c) 現在処理しているディスプレイリストの位置を特定するステータスレジスタが含まれる。
10

【 0 2 6 0 】

何れにしても、重大異常フラグ A B N をセットした結果、その後、ウォッチドッグタイマ 5 8 が機能して、複合チップ 5 0 は異常リセットされるので（S T 1 0 ）、描画回路 7 6 やデータ転送回路 7 2 を初期化する処理は必ずしも必須ではない。一方、描画回路 7 6 やデータ転送回路 7 2 を初期化する場合には、その結果、異常回復が期待できるので、重大異常フラグ A B N をセットすることなく、ステップ S T 2 0 の処理に戻って D L 発行処理を再実行するのも好適である。

【 0 2 6 1 】

この点は、ステップ S T 2 5 の処理においても同様であり、データ転送回路 7 2 や描画回路 7 6 を初期化した上で、重大異常フラグ A B N をセットすることなく、ステップ S T 2 0 の処理に戻るもの好適である。但し、このような場合には、D L 発行処理の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終えることになる。
20

【 0 2 6 2 】

図 1 2 (b) は、正常な動作状態について、確認的に図示したものである。図示の通り、発行されたディスプレイリスト D L は、列記された指示コマンドの順番に、描画回路 7 6 （ディスプレイリストアナライザ）によって解析され、各指示コマンドに基づく動作が実行される。この動作は、ディスプレイリスト D L の発行処理や、データ転送回路 7 2 のデータ転送動作（S T 2 6 ~ S T 3 0 ）に並行して実行される。
30

【 0 2 6 3 】

例えば、指示コマンド（TXLOAD）が実行されることで、C G R O M 5 5 から必要なテクスチャが読み出されて A A C 領域(a) に取得され、その後、G D E C 7 5 が自動的に起動してデコード動作が実行され、デコード後のデータが所定のインデックス空間に展開される。また、指示コマンドによっては、ジオメトリエンジン 7 7 その他が機能するが、何れにしても、描画回路 7 6 の各部が協働することで、ディスプレイリスト D L に対応する画像データがフレームバッファ F B a , F B b に完成されることになる。

【 0 2 6 4 】

続いて、D M A C 回路 6 0 を介在させてディスプレイリスト D L を発行する場合を、図 1 3 に基づいて説明する。何ら限定されないが、D M A C 回路 6 0 に内蔵された第 1 ~ 第 4 の D M A チャンネルのうち、第 3 の D M A チャンネルを使用することにする。
40

【 0 2 6 5 】

図 1 3 の実施例では、先ず、所定のデータ転送レジスタ R G i j と、所定の描画レジスタ R G i j に各々クリア値を設定して、データ転送回路 7 2 と、描画回路 7 6 を初期化する（S T 2 0 ）。この処理は、図 1 2 のステップ S T 2 7 のエラー処理と同じであり、F I F O バッファを含んだデータ転送回路 7 2 の内部回路が初期化され、データ転送の進行状態を示すデータ転送レジスタのステータスピットが初期値となり、データ転送全体を初期化中であることを示すビットが所定値となる。

【 0 2 6 6 】

描画回路 7 6 についても同様であり、上記した(1) 内部パラメータを初期値に設定すること、(2) 内部制御回路を初期状態に設定すること、(3) G D E C 7 5 を初期化すること、(4) A A C 領域のキャッシュ状態を初期化する処理が含まれている。また、描画回路の初期化処理(図 13 の S T 2 0)においても、前記した所定の描画レジスタ R G i j を初期化しても良い。なお、図 12 の処理において、このような初期化処理を最初に実行しても良い。

【 0 2 6 7 】

図 13 の処理では、次に、初期化処理が正常に完了したことを、データ転送回路 7 2 と描画回路 7 6 の動作状態を特定する所定のステータスレジスタ R G i j を Read して確認する(S T 2 1)。そして、万一、初期化できない場合には、重大異常フラグ A B N をセットして処理を終える(S T 2 2)。但し、このような事態は、実際にはほぼ発生しない。

10

【 0 2 6 8 】

次に、データ転送回路 7 2 の転送動作態様と、データ転送回路 7 2 内部の伝送経由とを、所定のデータ転送レジスタ R G i j に設定する。設定内容は、特に限定されないが、ここでは、C P U I F 部 5 6 から C h B 制御回路 7 2 b を経由すること、及び、C P U バス制御部 7 2 d への転送プロトコルに関し、D M A C 回路 6 0 への設定に従うと設定する(S T 2 3)。

【 0 2 6 9 】

次に、転送総サイズを、所定のデータ転送レジスタ R G i j に設定する。図 12 の場合と同様、データ総量 = 2 5 6 となる。なお、無調整手法(C)を探る場合は、このタイミングで、最低データ量 D m i n の整数倍の転送総サイズを決定して設定することになる。次に、所定の描画レジスタ R G i j への設定値に基づいて、描画回路 7 6 の描画動作を開始させる(S T 2 5)。図 18(a)におけるタイミング t 1 , t 2 , t 3 , t 4 は、ステップ S T 2 5 の動作タイミングである。そして次に、D M A C 回路 6 0 の動作を開始させた上で(S T 2 6)、データ転送回路 7 2 のデータ転送動作を開始させる(S T 2 7)。

20

【 0 2 7 0 】

D M A C 回路 6 0 の動作を開始処理は、図 13(b)に示す通りであり、先ず、D M A C 転送を禁止した状態で、一サイクルのデータ転送単位(1 オペランド)の転送が完了するのを待つ(S T 4 0)。詳細な動作内容は、図 14 に示す処理と同じであり、D M A C 転送を禁止設定する処理(S T 5 3)と、その後の待機処理(S T 5 4)に区分される。

30

【 0 2 7 1 】

このような処理を設けるのは、(1) 他の実施例では、メイン処理やタイマ割込み処理(図 10)で、D M A C 回路 6 0 (第 3 の D M A チャンネル)を使用する可能性があること、及び、(2) 図 10 のステップ S T 5 の処理を設けない他の実施例において、ディスプレイリスト D L の発行を開始した D M A C 回路 6 0 が、その動作周期()内では D L 発行動作を終了できない場合もあり得ることなどを考慮したものである。

【 0 2 7 2 】

上記のような例外事態において、動作中の D M A C 回路 6 0 に対して、新規の設定値(矛盾する設定値など)を追加的に設定すると、正常な D M A 動作が全く担保されず、深刻なトラブルが懸念されるが、ステップ S T 4 0 の処理を設けることで、その後の設定値に基づく正常動作が担保される。すなわち、本実施例を一部変更した変更実施例でも、先行するトラブルに拘らず、その後の正常な D M A 動作を実現することができる。

40

【 0 2 7 3 】

以上のような意義を有するステップ S T 4 0 の処理を実行すれば、次に、D M A C 回路 6 0 の動作条件を設定する(S T 4 1)。具体的には、図 6 に示す通り、サイクルスチール転送モードを選択し、一オペランド転送を 3 2 b i t 転送 × 2 回とする。また、Source アドレスは、R A M 5 9 のリストバッファ領域(D L バッファ B U F)のアドレスであるので順次増加と認識すべきこと、一方、Destination アドレスは、転送ポート TR_PORT であるため固定値とすべきことを規定する。

50

【0274】

次に、RAM59のDLバッファBUFの先頭アドレスを、DMAC回路60の動作を規定する所定の動作制御レジスタに設定すると共に(ST42)、転送先アドレスである転送ポートTR_PORTのアドレスを設定する(ST43)。また、転送総サイズ、つまり、ディスプレイリストDLのデータ総量を256バイトに設定した上で(ST44)、DMAC回路60のDMA動作を開始させる(ST45)。

【0275】

ところで、ここまで説明は、指示コマンドの実質ビット長が、全て32bitの整数倍であることを前提にした。しかし、ディスプレイリストDLや指示コマンドの構成は必ずしも限定されないので、以下、このような場合について説明する。

10

【0276】

例えば、前記した無調整手法(C)を探る場合も含め、ディスプレイリストDLのデータ総量Xが、32bitの整数倍ではない任意値Xである場合には、ステップST44の処理では、この任意値Xを、適切な転送量MODに調整した上で、転送総サイズの設定処理を実行する。ここで、適切な転送量MODは、一オペランド転送についての設定内容と、データ転送回路72の最低データ量Dmin(バイト)とに基づいて規定される。

【0277】

具体的には、一オペランド転送設定がNバイト×M回であれば、転送量MODは、 $N \times M$ (バイト)の整数倍であって、且つ、Dmin(バイト)の整数倍の値に調整される。例えば、 $N \times M = 8 \times 4$ 、 $Dmin = 256$ であれば、任意値X($= 300$)バイトは、転送量MOD($= 512$)バイトに調整される。

20

【0278】

以上、一般論も含め説明したが、DMAC回路60のDMA動作は、図6に示すようなサイクルスチール転送動作が開始され、CPUの動作を特に阻害することなく、ディスプレイリストDLが、実施例の場合には32ビット毎に、転送ポートTR_PORTに転送される。そして、転送されたデータは、転送回路ChBを経由して、描画回路76に転送される。

【0279】

このような動作を実現するため、本実施例では、ステップST45の処理に続いて、データ転送回路72の転送動作を開始させて処理を終える(ST27)。その後、データ転送回路72は、DMAC回路60から最低データ量Dminを一単位として、ディスプレイリストDLの指示コマンド列を受け、これを描画回路76に転送する。そして、描画回路76は、ディスプレイリストDLの指示コマンドに基づいて描画動作を実行する。したがって、ステップST27の処理の後、演出制御CPU63は、図10のステップST11の処理を開始することができ、VDP回路52による描画動作(DMAC回路60によるDL発行処理)と並行して、音声演出やランプ演出やモータ演出を制御することができる。

30

【0280】

図13(c)は、この動作内容を図示したものである。DMA転送に先行して、描画回路の動作を開始しており(ST25)、描画回路76のディスプレイリストアナライザは、迅速かつ円滑にAnalyze処理を実行し、その他、GDEC75やジオメトリエンジン77などの動作に基づき、フレームバッファFBa, FBbには、各表示装置DS1, DS2について、各一フレーム分の画像データが生成される。

40

【0281】

ところで、DL発行処理をステップST27の処理で終える図13の構成は、必ずしも、限定されない。例えば、図20～図21のように、音声演出、ランプ演出、及びモータ演出を、他のCPUが制御する場合には、ステップST27の処理の後、DMAC回路60やデータ転送回路72の正常動作を確認するのが好ましい。図14は、図13のステップST27に続く動作であり、正常動作の確認処理を説明するフローチャートである。

【0282】

50

先ず、所定のステータスレジスタを参照して、DMA回路60の転送動作が正常に終了していることを確認する(ST50)。また、データ転送回路72が転送動作を終了していることを確認する(ST51)。通常、このような経路で、図13のDL発行処理が完了する。

【0283】

一方、所定時間待機しても、DMA回路60の動作が完了していない場合、或いは、データ転送回路72が転送動作を完了していない場合には、描画回路76とデータ転送回路72について、所定のVDPレジスタRGijにクリア値を設定して、DL発行処理を初期化する(ST52)。これは、ディスプレイリストDLの発行処理が正常に終了していないことに基づく動作であり、具体的には、図12のステップST27のエラー処理や、図13のステップST20の初期処理と同じ内容である。10

【0284】

すなわち、この場合も、描画回路76は、既に動作を開始しており、ある程度の処理を終えているので、描画回路76の初期化処理には、(1)ディスプレイリストDLによって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2)全ての内部制御回路を初期状態に設定すること、(3)GDEC75を初期化すること、(4)AAC領域のキャッシュ状態を初期化することが含まれる。

【0285】

次に、新規のDMA転送動作を禁止した上で(ST53)、実行中の一オペランドの転送動作が終わるのを待つ(ST54)。先に説明した通り、本実施例では、32bit転送×2回を一オペランドとしており、動作中のDMA回路60をいきなり初期化することを避けるためである。20

【0286】

そして、この準備作業が終われば、DMA回路60の動作を規定する所定の動作制御レジスタにクリア値を設定して、DMA回路60を初期化する(ST52)。そして、重大異常フラグABNをセットしてDL発行処理を終える。なお、この場合、ステップST52やST55の処理によって、異常回復が期待できるので、重大異常フラグABNをセットすることなく、図13のステップST20に戻って、DL発行処理を再実行するのも好適である。但し、DL発行処理(ST23～ST27)の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグABNをセットしてDL発行処理を終える必要がある。30

【0287】

続いて、プリローダ73を使用する場合のメイン処理について、図15に基づいて説明する。図15の処理は、図10の処理に類似しているが、先ず、開始条件判定(ST5')の内容が相違する。すなわち、プリローダを使用する実施例では、各動作周期の開始時に、描画回路76とプリローダ73のステータス情報をReadアクセスして、ディスプレイリストDL1に基づく描画動作が終わっていること、及び、ディスプレイリストDL2に基づくプリロード動作が終わっていること確認する(ST5')。

【0288】

図19(a)のタイムチャートに示す通り、プリローダ76は、例えば、動作周期(T1)に発行されたディスプレイリストDL1に基づき、その動作周期中(T1～T1+)に、先読み動作(プリロード動作)を終えている筈である。また、描画回路76は、例えば、動作周期(T1+)で指示された動作開始指令に基づき、その動作周期中(T1+～T1+2)に、ディスプレイリストDL1に基づく描画動作を終えている筈である。40

【0289】

そこで、(ST5')では、描画回路76とプリローダ73に関するVDPレジスタRGijのステータス情報をReadアクセスして、上記の正常動作を確認するのである。図19(a)には、動作周期T1, T1+, T1+2, T1+4の判定タイミングでは正常動作が確認されるが、動作周期T1+3の判定タイミングでは、プリロード動作が50

終了していない状態が示されている。

【0290】

そして、このような異常時には、異常フラグERをインクリメントした上で($ER = ER + 1$)、ステップST9の処理に移行させている。そのため、図10の実施例の場合と同様に、フレーム落ちが生じる。すなわち、表示領域の切換え処理(ST6)がスキップされるので、同じ画面が再表示される。図18(a)に示す動作期間($T_1 + 3 \sim T_1 + 4$)は、その動作状態を示している。

【0291】

また、ステップST5'の判定において、開始条件を満たさない場合には、描画回路76に対して、書換えリストDL'に基づく描画動作の開始指示(PT10)が実行されないので、描画回路76は非動作状態であり、また、新規のディスプレイリストが生成されることもない。なお、図19(a)において、タイミング t_0, t_2, t_4 は、描画動作の開始指示(PT10)の動作タイミング、より正確には、図16のステップST26のタイミングを示している。

10

【0292】

以上、ステップST5'の判定が不適合の場合を説明したが、通常の場合は、フレームバッファFBa, FBbの表示領域をトグル的に切換えた後(ST6)、描画回路76に対して、書換えリストDL'に基づく描画動作を開始させる(PT10)。具体的な内容は、図16に示す通りであり、描画回路76は、演出制御CPU63の制御に基づき、データ転送回路72(転送回路ChB)を経由して、外付けDRAM54のDLバッファBUF'から書換えリストDL'を取得して描画動作を実行することになる。

20

【0293】

この動作を実現する図16のフローチャートを説明することに先行して、プリローダ73の動作を確認すると、プリローダ73は、一動作周期前に取得したディスプレイリストDLに基づき、CGROM55の先読み動作(プリロード)を完了しており、先読みされたデータは、外付けDRAM54に確保されたプリロード領域に既に格納済みである。また、ディスプレイリストDLに記載されているテクスチャロード系のコマンド(TXLOAD)については、そのSourceアドレスがプリロード領域のアドレスに書換えられ、書換えリストDL'として、外付けDRAM54のDLバッファBUF'に格納されている。

【0294】

30

なお、この書換え処理において、ディスプレイリストDLのデータ総量に変化はなく、書換えリストDL'のデータ総量は、ディスプレイリストDLと同じである。また、ディスプレイリストDLは、標準手法(B)で作成されており、書換えリストDL'の最後は、ディスプレイリストDLの場合と同様にEODLコマンドである。

【0295】

以上を踏まえて、図16について説明すると、演出制御CPU63は、先ず、所定のデータ転送レジスタRGijと、所定の描画レジスタRGijに各々クリア値を設定して、データ転送回路72と、描画回路76を初期化する(ST20)。この処理は、図13のST20の処理と同一内容である。次に、この初期化処理が正常に終了したことを確認し(ST21)、万一、所定時間経過しても初期化が完了しない場合には、重大異常フラグABNをセットして処理を終える(ST22)。

40

【0296】

通常は、データ転送回路72と描画回路76の初期化は正常に終了するので、続いて、データ転送回路72内部の伝送経由を、所定のデータ転送レジスタRGijに設定する(ST23)。具体的には、外付けDRAM54から、ChB制御回路72bを経由して描画回路76にデータを転送すると設定する(ST23)。次に、書換えリストDL'が格納されている外付けDRAM54のDLバッファBUF'について、その先頭アドレスを、所定のデータ転送レジスタRGijに設定する(ST24)。

【0297】

また、この書換えリストDL'について、転送総サイズを、所定のデータ転送レジスタ

50

R G i j に設定する (S T 2 5)。先に説明した通り、書換えリスト D L ' のデータ総量は、ディスプレイリスト D L のデータ総量と同じであり、具体的には、例えば、2 5 6 バイトである。

【 0 2 9 8 】

次に、所定の描画レジスタ R G i j への設定値に基づいて、描画回路 7 6 の描画動作を開始させる (S T 2 6)。図 1 8 (a) におけるタイミング t 1 , t 2 , t 3 , t 4 は、ステップ S T 2 6 の動作タイミングでもある。そして、次に、所定のデータ転送レジスタ R G i j への設定値に基づいて、データ転送回路 6 0 の動作を開始させて処理を終える (S T 2 7)。その後、演出制御 C P U 6 3 は、データ転送回路 7 2 や描画回路の動作に特に関与せず、次の動作周期で実効化されるディスプレイリストの生成処理 (S T 7) に移行する。10

【 0 2 9 9 】

一方、ステップ S T 2 6 のタイミングで動作を開始する描画回路 7 6 は、書換えリスト D L ' に基づいた描画動作を実行して、フレームバッファ F B a , F B b に、書換えリスト D L ' に基づいた画像データを生成する。なお、この動作において、描画回路 7 6 は、C G R O M 5 5 をReadアクセスすることなく、もっぱら、プリロード領域をReadアクセスするので、一連の描画動作を迅速に完了することができる。

【 0 3 0 0 】

以上、ステップ P T 1 0 の処理内容を説明したので、図 1 5 に戻って説明を続けると、ステップ P T 1 1 の処理の後、プリローダ 7 3 を活用する実施例では、次サイクルで実効化されるディスプレイリスト D L を、標準手法 (B) に基づいて作成する (S T 7)。例えば、図 1 9 (a) に示す動作周期 (T 1) では、次サイクルである動作周期 (T 1 +) において、描画回路 7 6 に参照されるディスプレイリスト D L を作成する。20

【 0 3 0 1 】

次に、演出制御 C P U 6 3 は、作成後のディスプレイリスト D L を、描画回路 7 6 ではなく、プリローダ 7 3 に発行する (P T 1 1)。具体的な動作内容は、図 1 7 に示す通りである。先に、プリローダ 7 3 を使用しない実施例 (図 1 0) に関し、演出制御 C P U 6 3 が、ディスプレイリスト D L を、直接的に、描画回路 7 6 に発行する場合 (図 1 2) と、D M A C 回路 6 0 を経由して発行する場合 (図 1 3) を示しているが、図 1 7 には、発行先がプリローダ 7 3 である点を除いて、ほぼ同じ動作が図 1 7 (b) と図 1 7 (c) に示されている。30

【 0 3 0 2 】

図 1 7 (a) は、図 1 7 (b) の動作を説明するフローチャートであり、図 1 2 のフローチャートとほぼ同じである。但し、C P U I F 部 5 6 から C h C 制御回路 7 2 c を経由すること、及び、C P U バス制御部 7 2 d に関し、その F I F O バッファの残量をチェックしながらデータ転送動作を実行すると設定する (S T 2 0)。なお、以下の説明では、C h C 制御回路 7 2 c を、便宜上、「転送回路 C h C 」と略すことがある。

【 0 3 0 3 】

次に、転送総サイズ (標準手法 (B) で調整された例えば 2 5 6 バイト) を、所定のデータ転送レジスタ R G i j 設定し、管理カウンタ C N を 6 4 に初期設定する (S T 2 1)。次に、転送回路 C h C を経由するデータ転送動作を開始状態に設定すると共に (S T 2 2)、プリローダ 7 3 の動作を規定するプリロードレジスタ R G i j への設定値に基づいて、プリロード動作を開始させる (S T 2 3)。40

【 0 3 0 4 】

この結果、その後、プリローダ 7 3 は、演出制御 C P U 6 3 が、転送ポート TR_PORT に書込む指示コマンド毎に、必要な解析 (Analyze) 処理を実行し、C G R O M 5 5 をReadアクセスすべき指示コマンド (TXLOAD) を検出すると、そのテクスチャをプリロードして、D R A M 5 4 のプリロード領域に保存する。また、テクスチャのSourceアドレスを変更した書換えリスト D L ' を D R A M 5 4 の D L バッファ領域 B U F ' に保存する。

【 0 3 0 5 】

10

20

30

40

50

なお、図19(a)におけるタイミングt₁, t₃, t₅は、事実上、図17のステップST23の動作タイミングを示している。但し、この実施例においても、ディスプレイリストDLの発行処理の途中で、何らかの異常が発生すれば、ステップST25やステップST27の処理を実行する。具体的には、データ転送回路72や、プリローダ73の動作を初期化して、可能な範囲でディスプレイリストDLの発行処理(ST20~ST30)を再実行する。プリローダ73の初期化処理には、未完成状態の書き換えリストDL'の消去や、新規にプリロードデータを記憶したプリロード領域のクリア処理が含まれる。

【0306】

以上、プリローダ73を使用する場合と、使用しない場合について詳細に説明したが、具体的な動作内容は、特に限定されない。図18(b)は、演出制御CPU63が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れて描画回路76に発行する実施例を示している。このような実施例の場合には、描画回路76は、一動作周期()のほぼ全時間を使用できるので、フレーム落ちの可能性が低減される。10

【0307】

また、図19(b)は、演出制御CPU63が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れてプリローダ73に発行する実施例を示している。この場合は、プリローダ73は、一動作周期()のほぼ全時間を使用してプリロード動作を実行することができるので、この場合も、フレーム落ちの可能性が低減される。

【0308】

なお、ここまで説明では、複合チップ50を使用することにしているが、必ずしも、演出制御CPU63とVDP回路を、一素子に集積化する必要はない。更にまた、上記の実施例では、演出制御全体を、単一のCPU(演出制御CPU63)で制御しているが、上流側のCPUと、下流側の演出制御CPU63が互いに協働して、演出制御動作を実行しても良い。20

【0309】

図20~図21は、このような実施例を示すブロック図である。図示の通り、この実施例では、上流側の演出制御CPUが、音声演出と、ランプ演出と、モータ演出を制御している。一方、下流側の内蔵CPU50は、演出制御CPUから受ける制御コマンドCMD'に基づいて、画像演出だけを制御している。

【0310】

このような構成を採る場合には、内蔵CPU50は、図10(a)のステップST12の処理と、図10(b)の処理を実行する必要がなく、十分に時間をかけて複雑なディスプレイリストDLを生成することができ、より複雑で高度な3D(Dimension)などの画像演出を実現することができる。このような場合には、ディスプレイリストが大型化するが、その場合には、ディスプレイリストDLのデータ総量は、ダミーコマンドを付加することで、512バイト又はそれ以上のN×256バイトに調整される。30

【0311】

また、下流側の内蔵CPU50の動作は、画像演出制御に特化されるので、ディスプレイリストDLの発行後、描画動作が完了するのを確認することもできる。図12の下方は、この場合の動作制御例を示しており、限界時間を超えて描画動作が完了しない場合には、重大異常フラグABNをセットして処理を終える(ST32)。なお、下流側の内蔵CPU50の処理は、画像演出制御だけであるので、簡易的には、描画動作の完了を無限ループ状に待機するのでも良い。40

【0312】

このような構成を採る場合、図10(a)の開始条件判定(ST5)を所定時間繰り返すことができる。このように構成しても、描画動作完了の遅れが、それほど長くなければ、表示領域(0)と表示領域(1)の切り換えが遅れるだけの問題しか生じない。すなわち、図22(a)に示す動作周期T1+3のように、表示動作が二回繰り返される一動作周期の中で、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。50

【 0 3 1 3 】

この点は、プリローダを使用する場合も同様であり、図15(a)の開始条件判定(ST5')を所定時間繰り返すことができる。そして、多少の遅れであれば、図22(b)に示す動作周期T1+3のように、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。但し、描画動作の完了が大幅に遅れると、図18(a)の動作周期T1+3と同様に、完全なフレーム落ちが生じることになり、万一、このような事態が継続すると、ウォッチドッグタイマ58が起動することになる。そこで、その後は、アンダーフロー信号UFに基づいて、演出制御動作の全部又は一部(画像演出のみ)を異常リセットすればよい。この点は、プリローダを使用しない場合も同様である。

【 0 3 1 4 】

10

また、内蔵CPU50の制御動作が画像演出制御に特化される場合、DMA転送を採用する実施例では、図14の下方に示す通り、描画回路76の描画動作の完了と、データ転送回路72の動作完了と、DMAC回路60の動作完了が判定される(ST50' ~ ST52')。そして、何れかの動作が正常に終了しない場合には、データ転送回路72と、描画回路76の動作を初期化し、ステップST53 ~ ST55の処理と同様の処理(ST55' ~ ST57')が実行される。なお、この場合も、所定回数だけ、DL発行処理を再実行するのが好適である。

【 0 3 1 5 】

20

以上、メイン表示装置DS1及びサブ表示装置DS2のフレームバッファF_Ba, F_Bbとして、各表示装置の水平ピクセル数に完全一致する水平サイズのインデックス空間を構築する実施例について説明した。図23(a)は、この関係を確認的に図示したものであり、仮想描画空間上の描画領域(W×H)と、インデックス空間上の有効データ領域(実描画領域W×H)とが、何れも、表示装置の水平/垂直ピクセル数に一致する場合を示している。

【 0 3 1 6 】

このような対応関係において、ディスプレイリストDLによる仮想描画空間への描画動作は、必ずしも、描画領域(W×H)に限定されないので、例えば、図23(a)上部の左傾斜線で示すように、描画領域(W×H)を超える描画画像(W'×H')について、その描画位置を時間的に移動させることで、図23(a)下部の右傾斜線で示す実描画領域W×Hへの描画内容を、縦/横/斜めに適宜に移動させることが可能となる。

30

【 0 3 1 7 】

また、このような演出を実行するため、例えば、図23(b)に示すように、表示装置の水平ピクセル数より大きい水平サイズWのインデックス空間を設けても良い。この場合には、ディスプレイリストDLの指示コマンドL12(SETDAVF)で定義される仮想描画空間上の描画領域W×Hは、表示装置の水平/垂直ピクセル数に対応する実描画領域w×hより大きく設定される。なお、図23(b)の下部には、実描画領域w×hが、右傾斜線で示されている。

【 0 3 1 8 】

そして、実描画領域w×hの縦横寸法は、図10のステップSS30の処理で、表示装置の表示ライン数と水平画素数として特定され、また、実描画領域w×hの左上端点は、図10のステップSS31の処理で、垂直/水平表示開始位置として、所定の表示レジスタに設定される。

40

【 0 3 1 9 】

一方、インデックス空間における基点アドレス(X, Y)は、ディスプレイリストの指示コマンドL11によって、所定の描画レジスタに設定される。先に説明した通り、具体的には、環境設定系の指示コマンドL11(SETDAVR)によって、インデックス空間ID X上の左上基点アドレスが、例えば(0, 0)と規定される。そして、実描画領域w×hの左上端点を、定常処理において適宜に移動させれば、図23(b)下部の右傾斜線で示す実描画領域W×Hの描画内容は、縦/横/斜めに適宜に移動することになる。

【 0 3 2 0 】

50

図10に関して説明した通り、ステップSS30～SS32に係るVDPレジスタRG_{i,j}については、初期設定時に、書き込み禁止設定がされているが（第2の禁止設定SS34）、上記の演出を実行するタイミングでは、所定のVDPレジスタRG_{i,j}に解除値を書き込むことで、この禁止設定が解除される。

【0321】

以上、各種の実施例について詳細に説明したが、具体的な記載内容は、何ら本発明を限定しない。なお、便宜上、弾球遊技機について説明しているが、本発明は、回胴遊技機など他の遊技機に対しても好適に適用可能である。

【符号の説明】

【0322】

G M 遊技機

D L ディスプレイリスト

5 1 C P U回路

7 1 R Wメモリ

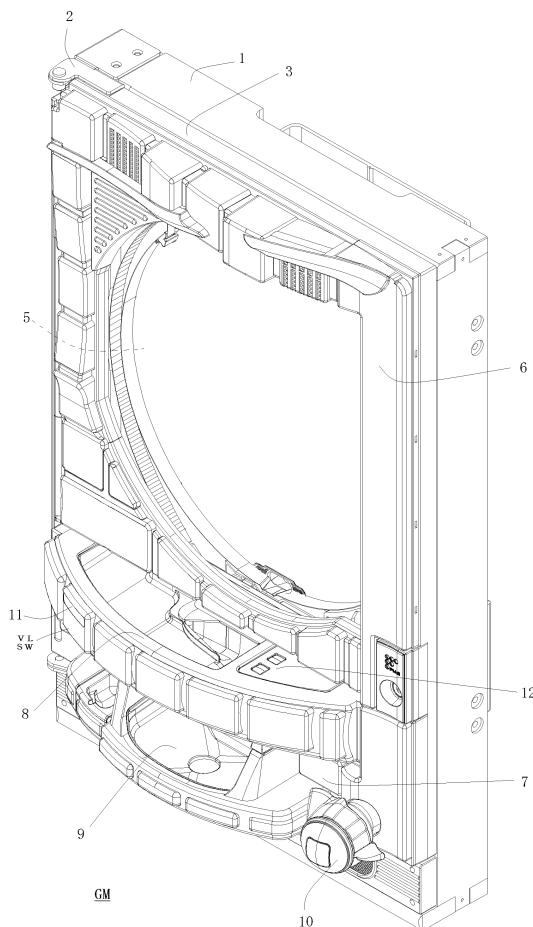
5 5 C Gメモリ

2 3 画像制御手段

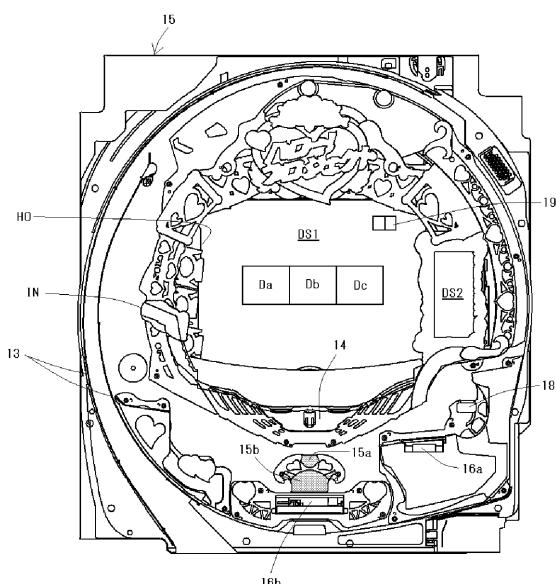
5 2 画像生成手段

10

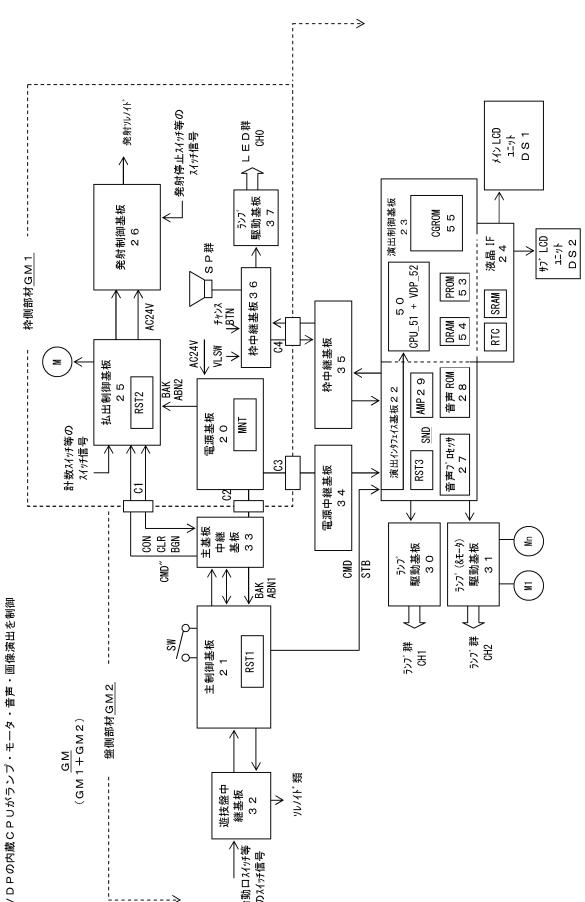
【図1】



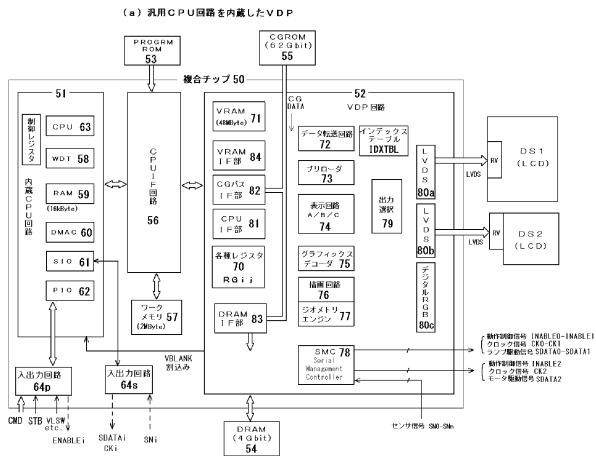
【図2】



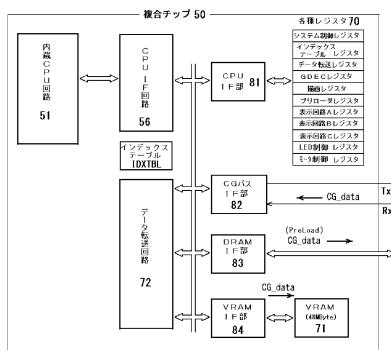
【 义 3 】



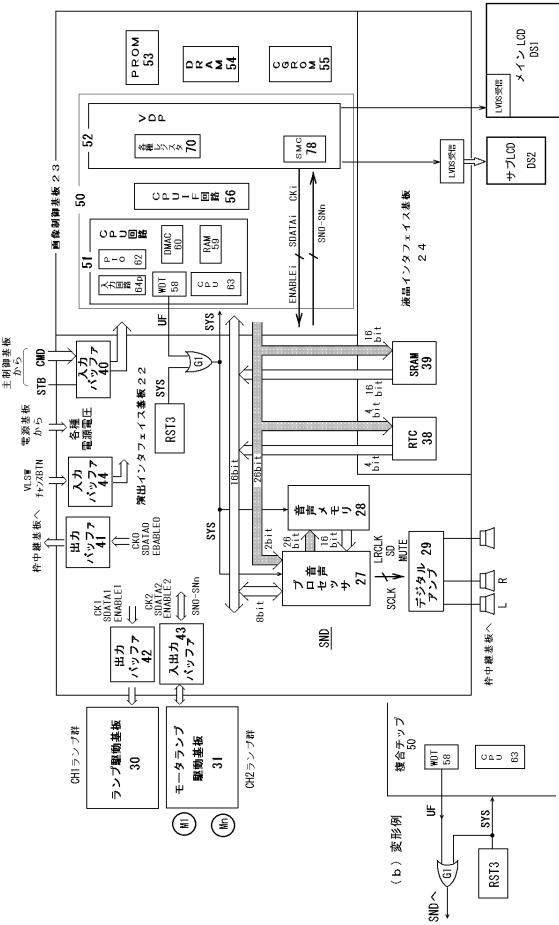
【 図 5 】



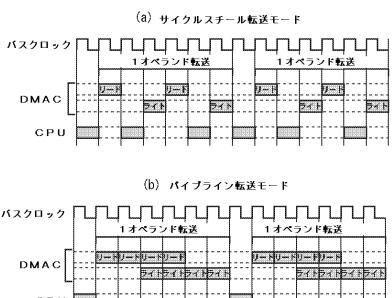
(b) 要部構成図



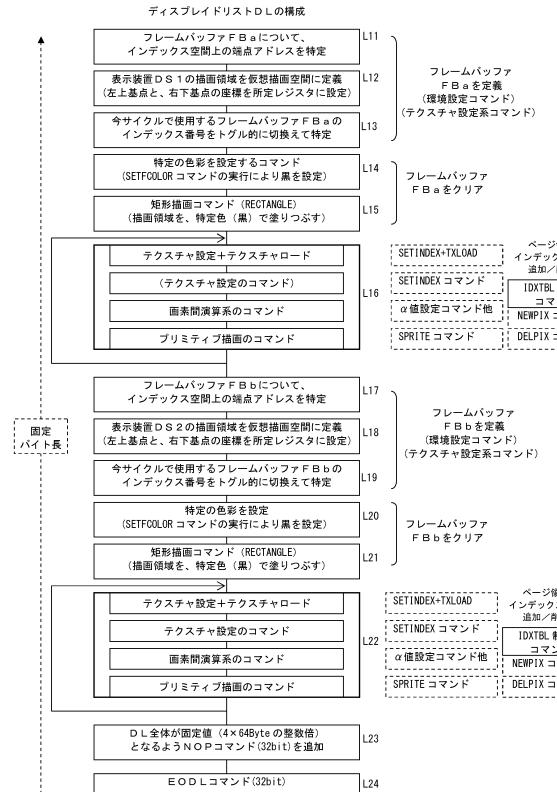
【 図 4 】



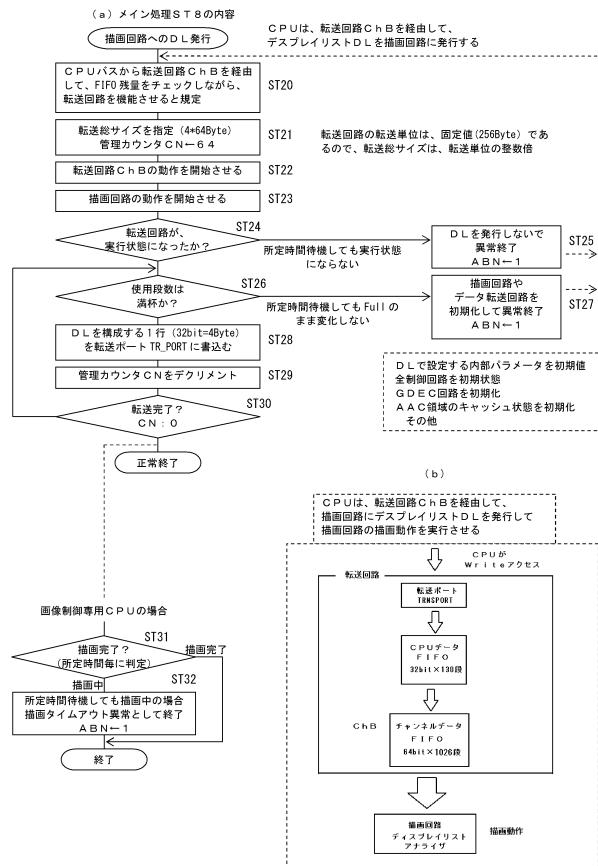
【図6】



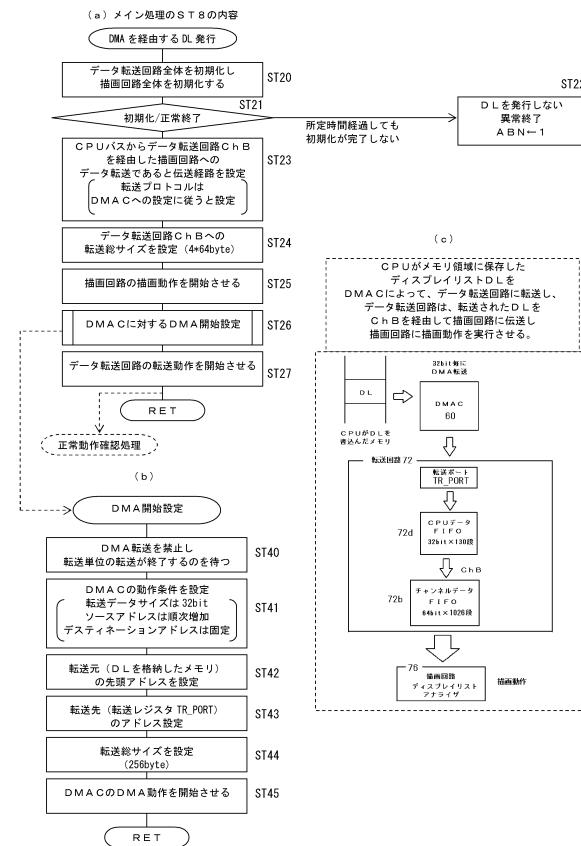
【図11】



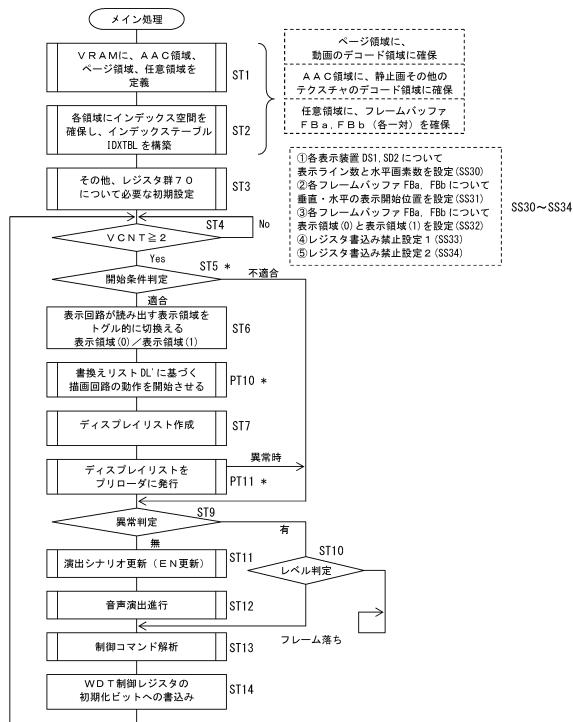
【図12】



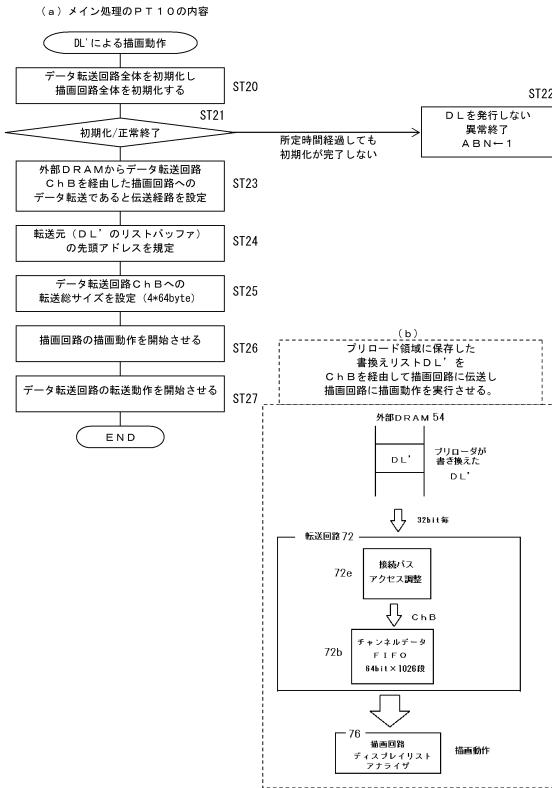
【図13】



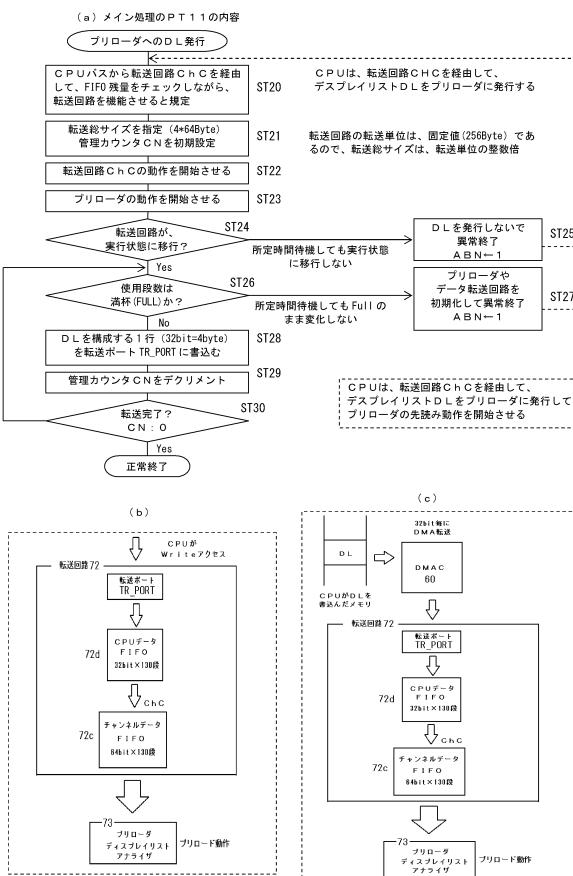
【図15】



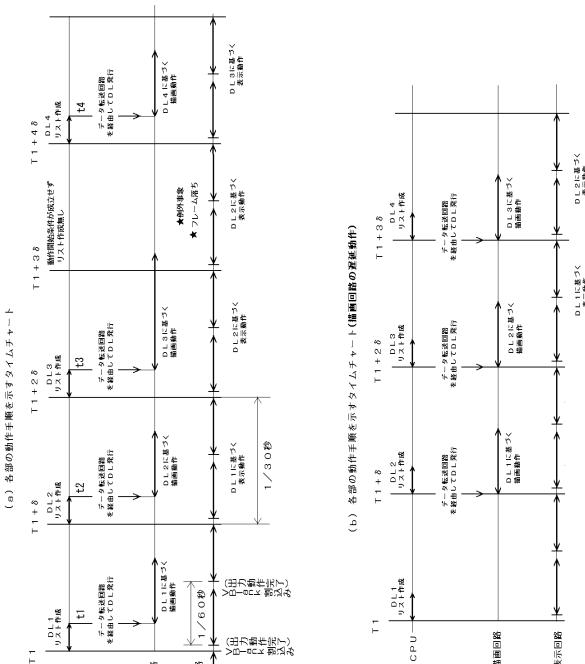
【図16】



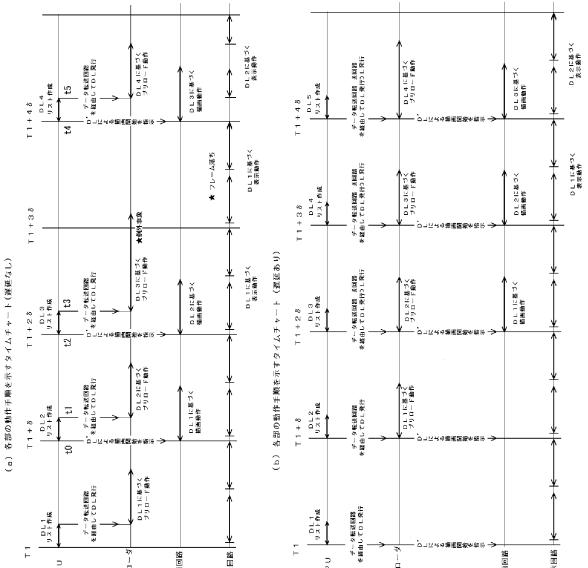
【図 17】



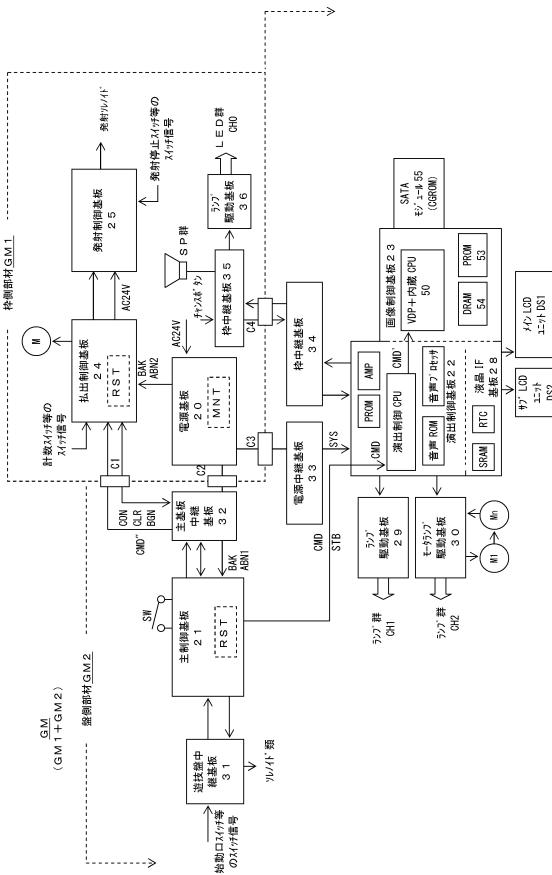
【図18】



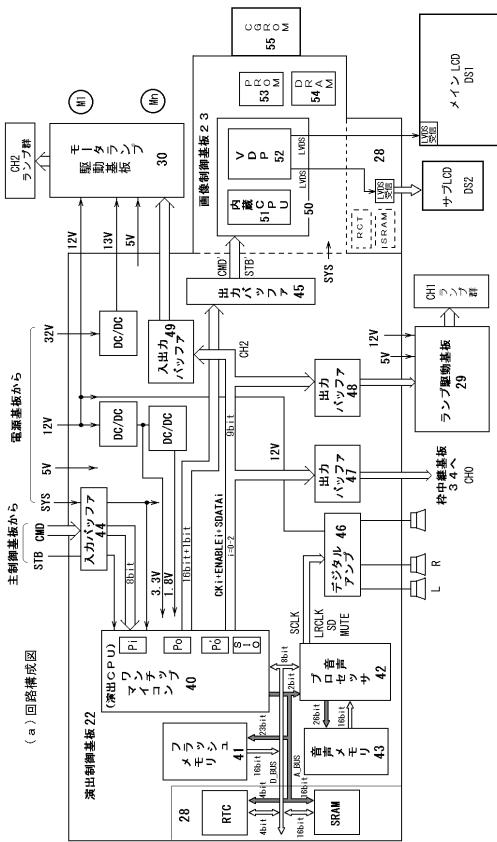
【図19】



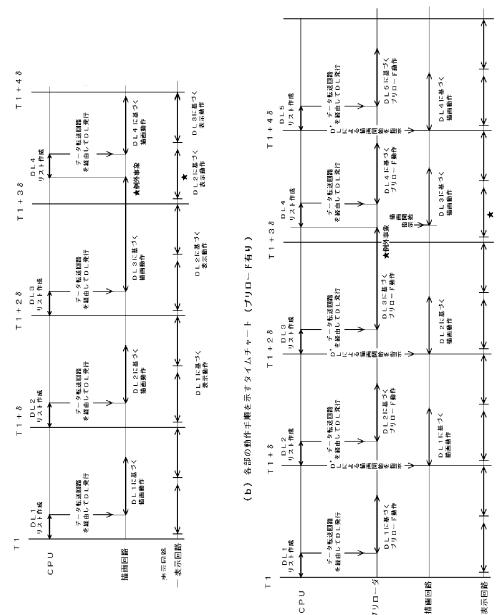
【図20】



【図21】

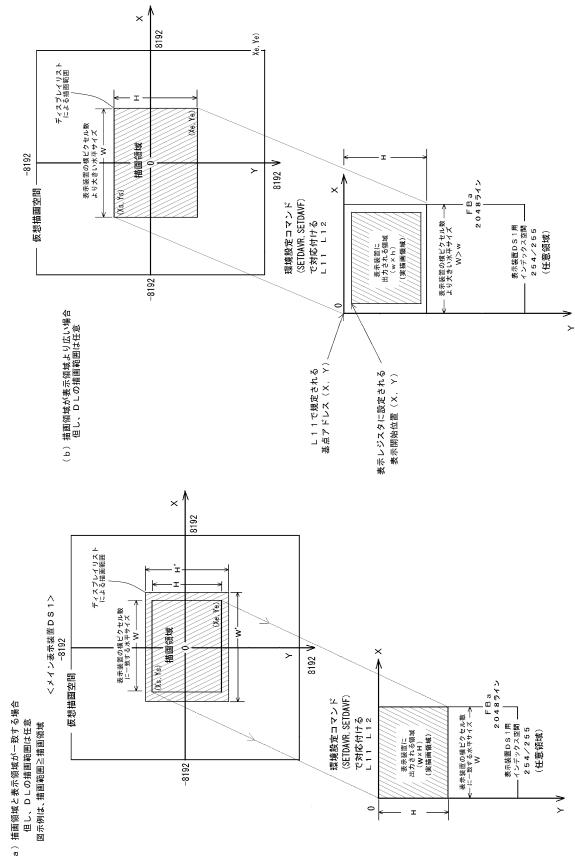


【図22】



(b) 各部の動作手順を示すタイミングチャート(ブリード-F449)

【図23】



フロントページの続き

(56)参考文献 特開2018-108527(JP,A)
特開2013-240688(JP,A)
特開2007-075480(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 6 3 F 7 / 0 2