公告本

295697

申請日期	85.1.4
案號	85100110
類別	H01L 21/3205, 23/52
Int. Cl.[6]	

（以上各欄由本局填註）

A4
C4

295697

發明 新型 專利說明書

一、發明新型名稱	中文	半導體裝置及其製法
	英文	
二、發明創作人	姓名	堤 聡，明
	國籍	日本
	住、居所	日本國東京都千代田區丸の内2丁目2番3號 三菱電機株式會社内
三、申請人	姓名（名稱）	三菱電機股份有限公司 （三菱電機株式會社）
	國籍	日本
	住、居所（事務所）	日本國東京都千代田區丸の内2丁目2番3號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

日　本　國（地區）　申請專利，申請日期：1995-12-　案號：7-314102　，□有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

[發明所屬之技術領域]

本發明有關於半導體裝置及其製造方法，尤其有關於連接在Metal-Insulator-Semicouductor-Field-Effect-Transistor(以下稱為MISFET)之電極及配線層之構造及其製造方法。

[習知之技術]

隨著ULSI之高密集化之進展，越發要求裝置之垂直方向和水平方向之縮小化。在水平方向必需確保考慮到餘裕用來配合各個工程之照相製版之重合精確度之誤差。另外，要以優良之精確度進行照相製版之圖型製作時，必需極力的避免垂直方向之高低差。

首先使用附圖用來說明習知之半導體裝置之一實例之使用在DRAM(Dynamic-Random-Access-Memory)等之MISFET。

在圖89或圖90中具備有閘極電極105經由閘極絕緣膜104形成在半導體基板101上。在閘極電極兩側之半導體基板101具備有不純物擴散層，用以形成MISFET之源極一吸極區域103。此種MISFET利用元件分離絕緣膜102和通道阻擋層111用來與其他之MISFET進行相互間之電分離。閘極電極105由如同聚矽膜或金屬矽化物膜之導電性膜所形成，用以構成字線105之一部份。位元線108形成與該字線105交叉之方式。該位元線108利用層間絕緣膜107用來與字線105互作電的隔絕，形成不會短路之方式。另外，位元線108經由接觸孔洞，電連接到MISFET之源極一吸極區域103之一方之區域。位元線108之接觸孔洞形成在以1個或2個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

之MISFET為1組之每一個記憶單元。另外，在DRAM之情況時，於MISFET之另外一個源極—吸極區域103連接有電容器（圖中未顯示）用來儲存作為資訊之電荷。

圖91是平面圖，用來表示源極—吸極區域103，位元線108和字線105之位置關係之一實例。圖89和圖90分別用來表示圖91之A-A，B-B之剖面。如圖91所示，習知之半導體裝置之構造因為在字線105之上更形成有位元線108，所以在交叉部份會產生高低差等，在垂直方向之高低差變成很嚴重。另外一方面，接觸孔洞不能接觸在字線105，而且在源極—吸極103之一方之區域內需要完全連接。另外，如圖90所示，接觸孔洞使元件分離絕緣膜102突出，必需要不與設在其下之通道阻擋層111產生短路。因此，對接觸孔洞之配置要求必需考慮到接觸孔洞之照相製版之水平方向之重合精確度。例如，從接觸孔洞之端到源極—吸極區域之端和字線之端，必需設定成寬廣到0.3μm之程度。

下面將使用附圖用來說明習知之半導體裝置之另一實例。圖92表示圖93之B-B之剖面。在圖92中，閘極電極105之一部份跨越在元件分離絕緣膜102上。字線109經由埋入到接觸孔洞110之導電層連接到該跨越部份。該字線109形成依照與閘極電極105交叉之方向延伸。字線109和閘極電極105經由層間絕緣膜107互相隔絕。在圖92中，形成源極—吸極區域103之不純物擴散層103構成位元線。在此種構造之情況時，因為字線109和閘極電極105互相連接，在水平方向需要使閘極電極105之一部份延伸，因此不能提高水

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

平方向之密集程度。另外，必需要具有接觸孔洞之層間絕緣膜，所以垂直方向之高低差亦變大。

另外，具有可以減小連接在MISFET之電極和其配線之高低差之構造被揭示在日本國專利案特開平1-106469號公報，其中所揭示之實例是將各個電極埋入到絕緣膜，和使各個電極之一部份露出成與該絕緣膜表面大致在同一表面。下面將使用圖94和圖95來加以說明。其中，圖94表示圖95中之A-A之剖面。如圖94或圖95所示，該半導體裝置具備有MOS電晶體其中包含有：接觸電極141，連接到1對之源極—吸極區域137；和閘極電極139，經由閘極絕緣膜135位於被2個源極—吸極區域包夾之區域（通道區域）上。該MOS電晶體利用元件分離絕緣膜133用來與其他之MOS電晶體產生電的分離。MOS電晶體之2個之接觸電極141和閘極電極139利用絕緣膜143產生電的互相分離。而且，該絕緣膜143之表面和各個電極141、139之上面形成位於大致相同之平面。因此，連接在各個電極之配線145在大致相同之平面上，藉以減小高低差。然而，連接在閘極電極139之配線145，因為利用該種形成方法，所以只能沿著閘極電極139形成。因此，在構成記憶裝置之記憶單元之MOS電晶體中，連接在接觸電極之配線145和連接在閘極電極139之配線145必需交叉，在這時其交差必需具有高低差使其不會短路。另外，依照情況之不同，必需使配線145迂迴用以防止發生短路。因此，在配線會產生高低差，其結果是在後工程之照相製版和加工會發生困難，和使水平方向之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

配線形成區域擴大。

[發明所欲解決之問題]

如上所述，在習知之半導體裝置中，作為半導體元件者，例如MISFET，為著要使其閘極電極和字線連接，所以必需要使閘極電極之一部份依水平方向延伸。因此會有裝置之水平方向之密集度不能提高之問題。另外，在使連接在MISFET之電極之配線層交叉之情況時會產生高低差，和必需迂迴等，因此在後工程之照相製版和加工會有困難，會有水平方向之配線層之形成區域擴大之問題。

本發明用來解決此種問題，其目的是用以獲得一種半導體裝置之構造及其製造方法，其中連接在半導體元件之配線層不會有高低差，可以減小垂直方向之高低差，可以使水平方向之配線形成區域成為最小，和可以很容易的進行高密集化。

[解決問題之手段]

用以解決上述問題之申請專利範圍第1項之本發明之半導體裝置具備有半導體基板和形成在該半導體基板上之第1～第3電極。具備有第1和第2配線層被連接到第1～第3電極之至少2個電極之上面。具備有絕緣膜形成埋入之方式用來使第1～第3電極互相絕緣。而且，在第1和第2配線層中，使一個配線層位於第1～第3電極之近傍，用來與另外一個配線層進行交差。另外，在第1～第3電極中，使一個電極之上面之位置與另外一個電極之上面之位置形成互不相同。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

依照此種製造方法時，連接在各個電極之配線層位於不同之層，具備有絕緣膜形成將其埋入之方式。因此，即使各個配線產生交叉時亦不會在交叉部產生高低差，可以減小垂直方向之高低差，和可以進行微細之加工。因此，可以很容易進行半導體裝置之高密集化。

另外，在申請專利範圍第1項中，如申請專利範圍第2項所示，亦可以在第1電極和半導體基板之間具備有閘極絕緣膜，在第2和第3電極下近傍之半導體基板具備有指定導電型之不純物擴散層。

在該種情況時，經由對第1電極施加之指定之電壓，可以用來使電流在被連接到指定導電型之不純物擴散層之第2和第3電極之間流動。因此，可以獲得包含有電極被連接到MISFET之半導體裝置。

另外，在申請專利範圍第1項中，如申請專利範圍第3項所示，第2和第3電極亦可以為指定導電型之不純物擴散層。在該種情況時，可以不需要形成被連接在不純物擴散層之電極，因此可以減少工程數目。

在申請專利範圍第2項中，如申請專利範圍第4項所示，亦可以使第1電極之上面之位置比第2和第3電極之電極之上面之位置高，和使第2和第3電極之上面之位置大致在同一平面，而且絕緣膜之表面亦可以與第1電極之上面之位置大致在同一平面。另外，在申請專利範圍第2項中，如申請專利範圍第5項所示，亦可以使第1電極之上面之位置比第2和第3電極之上面之位置低，和使第2和第3電極之上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

面之位置大致在同一平面，而且絕緣膜之表面亦可以與第2和第3電極之上面之位置大致在同一平面。另外，在申請專利範圍第2項中，如申請專利範圍第6項所示，亦可以使第1電極之上面之位置比第2電極之上面之位置高，和比第3電極之上面之位置低，而且亦可以使絕緣膜之表面與第3電極上面之位置大致在同一平面。

依照該等構造時，連接在第1電極之第1配線層和連接在第2和第3電極之第2配線層位於不同之層，以將該等埋入之方式存在有絕緣膜。因此，依一方向延伸之第2配線層和與其交叉之第1配線層，在交叉部分不會產生高低差，可以減小垂直方向之高低差。因此，可以進行微細之加工，可以很容易進行半導體裝置之高密集化。

另外，在申請專利範圍第4～6項之任何一項中，如申請專利範圍第7項所示，亦可以使第1配線層包含有字線，使第2配線層包含有位元線。

申請專利範圍第8項之本發明之半導體裝置之製造方法是在半導體基板上形成第1絕緣膜。在該第1絕緣膜形成第1開口部用來使半導體基板之表面露出。在該第1開口部內形成第1～第3電極分別被側壁絕緣膜加以絕緣。在第1～第3電極中，使任何一個電極之上面之位置與其他電極之上面之位置互不相同。形成連接到第1～第3電極之任何一個之上面之配線層。

依照此種製造方法時，與第1電極連接之配線層形成即使以任何方向延伸時亦不會與其他之第2或第3電極直接連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

接。因此，不需要設置高低差或進行迂迴用以避免與其他電極產生短路。因此，可以減小垂直方向之高低差，和可以減小水平方向之配線之佔用面積，可以很容易的形成高密集度之半導體裝置。

在申請專利範圍第8項中，如申請專利範圍第9項所示，在第1電極下形成第2絕緣膜。在第2和第3電極下近傍之半導體基板形成指定導電型之不純物擴散層。

採用此種構造時，可以很容易形成包含有MISFET之半導體裝置。

在申請專利範圍第9項中，如申請專利範圍第10項所示，可以使第1電極之上面之位置比第2和第3電極之上面之位置高，和使第2和第3電極之上面之位置大致在同一平面。

另外，在申請專利範圍第9項中，如申請專利範圍第14項所示，可以使第1電極之上面之位置比第2和第3電極之上面之位置低，和使第2和第3電極之上面之位置大致在同一平面。

另外，在申請專利範圍第9項中，如申請專利範圍第15項所示，亦可以使第1電極之上面之位置位於第2電極之上面之位置和第3電極之上面之位置之間。

依照該等構造時，與第1電極連接之配線層形成不與第2和第3電極直接連接之方式。另外，即使配線層形成與依一方向延伸之第2或第3電極連接時，與第1電極連接之配線層亦不會與該等配線層交叉。

因此，不需要使配線進行迂迴，或在配線與配線之交叉

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

部設置高低差，就可以避免配線層與其他電極產生短路。

因此，可以減小垂直方向之高低差，和減小水平方向之配線之形成區域，可以很容易形成高密集度之半導體裝置。

在申請專利範圍第10項中，如申請專利範圍第11項所示，在形成第1開口部之後，在半導體基板上形成第2絕緣膜。在該第2絕緣膜上，只在第1開口部形成第1導電性膜。對第1導電性膜施加蝕刻，用來形成使半導體基板之表面露出之第2和第3開口部和第1電極。然後，在第1電極之側壁形成側壁絕緣膜。只在第2和第3開口部形成第2導電性膜。

依照此種製造方法時，連接在第1電極（被連接到MISFET）之配線層即使依任何方向延伸時，亦不會與連接在MISFET之不純物擴散層之2個之第2和第3電極直接連接。

因此，不需要設置高低差或進行迂迴就可以避免與其他之電極產生短路。

因此，可以很容易形成具備有MISFET之高密集度之半導體裝置。

在申請專利範圍第10項中，如申請專利範圍第12項所示，在形成第1開口部之後，只在第1開口部內形成第3絕緣膜。在第3絕緣膜之指定之區域，形成用以讓基板之表面露出之第4開口部。在半導體基板之露出之表面上形成第2絕緣膜。只在第4開口部內形成第1導電性膜，用以形成第1電極。在形成該第1電極之後，除去殘留在第1開口部內之第3絕緣膜，用以形成第2和第3開口部。然後，在第1電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 11 ）

極之側壁形成側壁絕緣膜。只在第2和第3開口部形成第2導電性膜，用以形成第2和第3電極。

依照此種製造方法，在形成第1電極時不需要以閘極絕緣膜作為阻擋層的進行蝕刻。另外，在連接於第1電極之配線層不會產生高低差。因此可以很容易形成具備MISFET（具有薄閘極絕緣膜），和配線之高低差被減小之半導體裝置。

在申請專利範圍第10項中，如申請專利範圍第13項所示，在形成第1開口部之後，只在第1開口部形成第3絕緣膜。在第3絕緣膜上之指定之區域，形成用以讓半導體基板之表面露出之第2和第3開口部。只在第2和第3開口部形成第1導電性膜，用以形成第2和第3電極。在形成第2和第3電極之後，除去殘留在第1開口部內之第3絕緣膜，用以形成第4開口部。然後，在第2和第3電極之側壁形成側壁絕緣膜。只在第4開口部形成第2導電性膜，用以形成第1電極。

依照此種方法時是在第2、第3電極形成後，形成閘極絕緣膜。因此，不會由於蝕刻等而使閘極絕緣膜受損。另外，連接在第1電極之配線層不會產生高低差。因此，可以很容易的形成具備有MISFET(具有高可靠度之閘極絕緣膜)，和配線高低差被減小之半導體裝置。

申請專利範圍第16項之半導體裝置之製造方法是在半導體基板上形成第1導電性膜。除去殘留在第1導電性膜之指定之區域，用以形成積層構造體。在半導體基板上形成第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

4絕緣膜，使其形成埋入積層構造體之周圍之方式。除去積層構造體之指定之區域，用以形成第2和第3開口部和第1電極。在第2和第3開口部，形成具備有側壁絕緣膜之第2和第3電極。在第1～第3電極之中，使任何一個電極之上面之位置與其他電極之上面之位置成為互不相同。藉以形成連接在第1～第3電極之任何一個之上面之配線層。

依照此種製造方法時，首先形成第1～第3電極形成區域，然後形成包圍電極之絕緣膜。因此，在形成第1和第2開口部時，不會由於乾式蝕刻等而使碳或氟等之不純物附著在第1電極下之半導體基板。另外，在連接到電極之配線層不會產生高低差。因此，可以防止由於不純物而造成之可靠度之劣化，而且可以很容易形成高低差被減小之半導體裝置。

在申請專利範圍第16項中，如申請專利範圍第17項所示，在第1電極下形成第2絕緣膜。在第2和第3電極下近傍之半導體基板，形成指定導電型之不純物擴散層。

依照此種方法時，可以很容易形成包含有MISFET之半導體裝置。

[發明之實施形態]

(實施形態1)

下面將使用圖1和圖2用來說明作為實施形態1之本發明之半導體裝置。圖1表示圖2中之A-A之剖面。如圖1和圖2所示，在形成於半導體基板之MISFET之1對之n^-源極－吸極區域12和n^+源極－吸極區域16連接有源極－吸極電極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

18，在閘極絕緣膜7上具備有閘極電極11。閘極電極11之上面之位置比源極一吸極電極18之上面之位置高。另外，該等電極經由側壁絕緣膜15形成互相絕緣。另外，各個電極被矽氧化膜2，矽氮化膜3或矽氧化膜19覆蓋，用來與其他之MISFET(圖中未顯示)產生電絕緣。第1配線20連接在閘極電極11之上面。該第1配線20用來形成MISFET之字線。另外，源極一吸極電極18假如依圖面之垂直方向延長時，亦可以作為位元線之用。

採用此種構造時，在習知技術中，如圖91或圖92之說明，字線與閘極電極11之連接區域，亦即用以形成接觸孔洞之區域，在元件分離絕緣膜上不一定要確保具有充分之餘裕。該字線對閘極電極11，可以依任意之方向延伸。另外，在源極一吸極電極18或位元線上，因為形成有矽氧化膜19，所以作為字線之第1配線20不會與該等電極短路。另外，因為在閘極電極11和第1配線20之間沒有絕緣膜，而且依照與第1配線20交叉之方向延伸之位元線，在第1配線20之下，經由矽氧化膜形成低於閘極電極11之上面，所以可以減小垂直方向之高低差。

（實施形態2）

下面將使用附圖用來說明實施形態1所說明之半導體裝置之製造方法之一實例。首先，如圖3所示，在半導體基板1上，利用CVD法或熱氧化法形成5000Å之矽氧化膜2。在該矽氧化膜2上利用CVD法形成1000Å之矽氮化膜3。其次，如圖4所示，利用通常之照相製版法和蝕刻法形成電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

形成用之第1開口部4。其次，利用離子注入法，例如在形成NMOS電晶體之情況時，以能量為數十Kev～100Kev，劑量為10^{13}～10^{14}/cm^{2}之條件注入硼，用以形成通道阻擋層5和不純物注入層6。利用矽氧化膜2，矽氮化膜3和該通道阻擋層5用來使元件之間產生分離。另外，不純物注入層6形成在第1開口部4之基板表面下之數千Å處，對裝置特性不會造成特別之影響。第1開口部4因為利用通常之乾式蝕刻形成，所以其側壁形成近似垂直之急激之高低差。其次，如圖5所示，利用熱氧化法或CVD法，形成由100Å之矽氧化膜所製成之閘極絕緣膜7。其次，利用CVD法形成聚矽膜8用來覆蓋第1開口部4。其次，如圖6所示，利用刻回法或研磨法對聚矽膜8之表面進行蝕刻，用來除去矽氮化膜3上之聚矽膜，只在第1開口部4內殘留聚矽膜8。其次，如圖7所示，利用CVD法形成100Å之矽氧化膜9。其次，如圖8所示，利用照相製版形成由光抗蝕劑10製成之蝕刻罩幕，使其成為橫切第1開口部4上之方式。其次，如圖9所示，以該光抗蝕劑10作為罩幕，對矽氧化膜9進行蝕刻。然後以閘極絕緣膜7作為蝕刻阻擋層對聚矽膜8進行蝕刻，用以形成閘極電極11。利用作為元件分離絕緣膜之矽氧化膜2和矽氮化膜3用來確定閘極寬度。另外，因為元件分離絕緣膜之側壁形成急峻之方式，所以不會產生如同LOCOS分離之狹通道效應。然後，利用離子注入法，以能量為數十Kev，劑量為10^{14}～10^{15}/cm^{2}之條件注入砷，用以形成n^-源極－吸極區域12。其次，如圖10所示，利用CVD法形成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

1000Å之矽氧化膜。利用異方性蝕刻形成側壁絕緣膜15。其次，利用離子注入法，以能量為數十Kev，劑量為10^{15}～10^{16}/cm^2之條件注入砷，用以形成n^+源極－吸極區域16。其次，如圖11所示，利用CVD法形成聚矽膜17。另外，除了聚矽膜17外，亦可以使用非晶形矽膜或金屬矽化物膜。其次，如圖12所示，利用刻回法或研磨法，只埋入在第1開口部4之閘極電極11以外之部份。然後，利用刻回使其表面形成比矽氮化膜3之表面低2000Å，用以形成源極－吸極電極18。這時，因為以矽氧化膜9覆蓋閘極電極11之表面，所以該表面不會被蝕刻。需要埋入之聚矽膜之膜厚只要為埋入溝之寬度之一半以上即可，隨著微細化可以以薄的膜厚有效的埋入。另外，其後之平坦化只要較小之蝕刻量即可。因此，本發明具有半微米以下之有效作用。另外，在本實施形態中，所利用之方式是作為元件分離絕緣膜之矽氧化膜2和矽氮化膜3之側壁部之高低差大致為垂直，和閘極電極11，源極－吸極電極18之埋入較容易。其次，如圖13所示，利用CVD法形成矽氧化膜2000Å。其次，利用刻回法或研磨法進行平坦化，用來使矽氧化膜19只殘留在源極－吸極18上。除去這時之閘極電極11上之矽氧化膜9。圖14表示該工程之平面圖。

利用以上之工程形成電晶體之閘極電極11，源極－吸極吸極電極18，和只在源極－吸極電極18上形成矽氧化膜19，藉以完成平坦之MISFET。源極源極－吸極電極18和形成在其上之矽氧化膜19自行整合的形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

其次，形成連接該電晶體之配線。亦即，如圖1所示，利用CVD法或噴濺法形成1000～5000Å之鋁膜。該鋁膜亦可以使用鎢等之金屬或$TiSi_2$或WSi_2等之金屬矽化物膜，或WN、TiN等之金屬氮化膜。這時，因為源極一吸極電極18被矽氧化膜19覆蓋，所以與第1配線20產生電絕緣，閘極電極11直接與第1配線20連接。此處之直接連接之意思是閘極電極11和第1配線20之構造不是經由形成在層間絕緣膜之接觸孔洞產生電連接。

源極一吸極電極18之延長可以利用作為半導體基板上之配線層，例如位元線，下面將說明源極一吸極電極18作為配線層之形成方法之一實例。

在圖1中，如上述之圖15所示，利用CVD法形成10000Å之矽氧化膜。然後，利用照相製版和蝕刻法形成接觸孔洞22。在這種情況時，使源極一吸極電極18和矽氮化膜3形成蝕刻阻擋層。另外，亦可以使接觸孔洞22之底部達到源極一吸極電極18之表面。因此，通常在進行接觸孔洞22之蝕刻時，接觸孔洞22之底部不會因為過度蝕刻而到達半導體基板1之表面。因此，即使在接觸孔洞22之底部全體未被完全收納在源極一吸極電極18之區域之情況時，亦不會因為接觸在作為元件分離絕緣膜之矽氧化膜2和矽氮化膜3之區域之下部而發生接合洩漏。因此，在考慮到照相製版之重合精確度時，不需要將源極一吸極電極18之區域設定成很大，可以在水平方向進行高密集化。

其次，如圖16所示，利用噴濺法和CVD法，用以形成TiN

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

和鋁合金之積層膜，利用照相製版和蝕刻法進行圖型製作，藉以形成第2配線23。

在此實施形態1中，因為分別的形成閘極電極11和與其連接之第1配線20（亦即字線），所以用以形成源極－吸極區域12、16之區域之熱處理是施加800～900℃後，用以形成字線。因此，可以使用如同鋁之低熔點金屬作為字線。

另外，在此實施形態中所示之實例是n^-源極－吸極區域12和n^+源極－吸極區域16一起形成之實例，但是也可以只形成n^-源極－吸極區域12或n^+源極－吸極區域16之任何一方。另外，所示者是NMISFET之實例，但是亦可以應用在PMISFET之情況。另外，在PMISFET之情況，不一定要有通道阻擋層。另外，亦可以使用SOI基板作為半導體基板。

另外，在本實施形態中，連接在閘極電極11之第1配線20依閘極之長度方向（亦即，連結源極－閘極－吸極之方向）延伸。在這種情況時，如上所述之閘極電極11只存在於被作為元件分離絕緣膜之矽氧化膜2和矽氮化膜3包圍之區域。亦即，閘極電極11只存在於通道區域上，第1配線20和閘極電極11在電晶體之通道區域之上方部份進行交叉，只以該交叉部份接合。因此，在習知之技術中，如圖91或圖92所示，用以使字線和閘極電極連接之區域（亦即用以形成接觸孔洞之區域）不需要在元件分離絕緣膜上確保充分之餘裕，所以不會妨礙高密集化之進行。另外，與圖91或圖92之情況不同的，因為不需要有用以形成接觸孔洞

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

110之工程，所以工程簡單而且可以縮短工期。

（實施形態3）

下面將說明實施形態3之半導體裝置，其中用以形成字線之第1配線20依閘極之長度方向延伸，尤其是對於記憶裝置之記憶單元之電晶體之追加工程下面將使用附圖來進行說明。

圖17是圖12所示之工程之平面圖。在閘極電極之部份具有矽氧化膜9。在源極一吸極電極18a、18b中，18a用來構成位元線，18b連接到電容器（圖中未顯示）。圖18是圖13或圖14所示之工程之平面圖。除去閘極電極11表面之矽氧化膜之另外一種代替方式是在源極一吸極電極18a和18b之表面形成矽氧化膜19。圖19是圖1或圖2所示之工程之平面圖。然後，與圖15、圖16之說明同樣的，在源極一吸極電極之18b連接電容器之電極（圖中未顯示）。第1配線20構成字線。字線與習知之一般使用之DRAM之記憶單元相反，依閘極長度方向延伸。因此，位元線和字線互相正交，位元線存在於字線之更下層，和位元線形成不會經由元件分離絕緣膜被分斷之構造。在此實施形態中，如同習知技術所說明之方式，經由使位元線18形成多層配線構造，可以不需要使記憶單元之電晶體之源極一吸極電極18互相電連接，另外，字線和閘極電極11之連接之意思是直接連接，所以可以減小垂直方向之高低差。因此，除了在其後之工程之配線等之加工性變成容易外，要使字線和閘極電極連接時，可以不需要使閘極電極之一部份延伸到元件分離區域

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

。另外，與習知技術之圖89之情況不同的，不需要在每一個記憶單元形成用以讓位元線和源極一吸極區域進行連接之接觸孔洞，所以可以提高密集度。因此，在連接有互相交差之字線和位元線之構造之MISFET中，本發明特別有效。以下之全部之實施形態均可適用於此種構造。

另外，用以形成源極一吸極電極18之方法亦可以利用選擇CVD法用來形成W、Al、Cu等。另外，利用離子注入將不純物注入源極一吸極區域之後，形成源極一吸極電極，然後利用多結晶矽或金屬矽化物形成源極一吸極電極，利用離子注入法將不純物摻雜到源極一吸極電極，利用熱處理使不純物從源極一吸極電極擴散到半導體基板表面。

另外，本實施形態並不只限於適用在DRAM，而且也適用於具有連接在閘極電極之配線和連接在源極一吸極電極之配線形成交差之其他之一般半導體裝置。另外，在所說明之附圖中，所示之實例是第1配線20和閘極寬度方向形成正交，但是交叉角度並不只限於直角，只要不平行亦可具有同樣之效果。

（實施形態4）

下面將使用附圖用來說明作為實施形態4之以實施形態說明之半導體裝置之製造方法之另一實例。此種方法可以使工程簡化。

首先，如圖20所示，在圖6所示之工程之後，利用照相製版形成作為蝕刻罩幕之光抗蝕劑10。其次，如圖21所示，對聚矽膜進行蝕刻，用以形成閘極電極11。然後利用離

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

子注入法形成n^-源極－吸極區域12。其次，如圖22所示，形成1000Å之矽氮化膜，然後施加異方性蝕刻用以形成側壁絕緣膜15。其次，利用離子注入法形成n^+源極－吸極區域16。另外，亦可以只形成n^-源極－吸極12或n^+源極－吸極區域16之任何一方。

其次，如圖23所示，利用CVD法形成矽氧化膜，利用研磨或刻回法使其平坦化，在源極－吸極區域上形成矽氧化膜19。然後，形成第1配線20。圖24是該工程之平面圖。然後，如圖25所示，形成矽氧化膜21。其次形成接觸孔洞22，然後形成第2配線23。在這種情況時選擇性的除去矽氧化膜21、19使矽氮化膜3和側壁絕緣膜15殘留，促成第2配線23不會接合在作為元件分離絕緣膜之矽氧化膜2和 矽氮化膜3下之通道阻擋層5。因此，不會由於第2配線23而使源極－吸極區域12，16和半導體基板1發生電的短路。

另外，亦可以在圖22所示之工程之後，利用自行調準矽化物法(Self Aligned Silicide)在閘極電極11和n^+源極－吸極區域16上，利用Ti、Co、Ni等進行矽化物化，藉以減小薄膜電阻。

在此實施形態中，閘極電極11和第1配線20進行交叉，在該交叉部份兩者進行電接觸。假如使用n^-源極－吸極區域12或n^+源極－吸極區域16作為位元線時，可以形成與實施形態2所說明明者同樣之配線。在這種情況時，因為沒有由聚矽膜（形成埋入在源極－吸極區域上）製成之電極，所以需要使接觸孔洞形成到達基板。因此，當與實施

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

形態2比較時，變成需要較深之接觸孔洞，接觸孔洞形成用之蝕刻和其後形成之配線層之接觸孔洞之埋入會有困難為其缺點，但是另外一方面，可以使工程簡化為其優點。

另外，本實施形態經由省略用以形成本發明之源極一吸極電極18之工程，可以適用於所有之實施形態。

（實施形態5）

在實施形態2所說明之圖15所示之工程中，形成接觸孔洞22時之問題是當接觸孔洞22和第1配線20之間之距離間隔很小之情況時（當與照相製版之重合精確度比較，該距離變成很小時），第1配線20和形成在其上之第2配線23有可能經由接觸孔洞22而產生短路。下面將以實施形態5用來說明能夠解決此種問題之製造方法。

在圖13或圖14所示之工程之後，形成1000Å之作為第1配線20之$TiSi_2$。其次，如圖26所示，在其上形成1000Å之矽氮化膜24。其次，利用照相製版和蝕刻法，對該積層構造膜之指定區域進行圖型製作。其次，如圖27所示，形成500Å之矽氮化膜，利用異方性刻回形成側壁絕緣膜25。然後，如圖28所示，形成10000Å之矽氧化膜21，利用照相製版和蝕刻用以形成接觸孔洞22。這時，以矽氮化膜24和側壁絕緣膜25作為蝕刻罩幕，只對矽氧化膜21、19進行選擇性之蝕刻。即使在第1配線20上形成有接觸孔洞之情況時，在其後形成之第2配線23和第1配線20亦不會產生電連接。另外，圖29表示該工程之平面圖，圖28表示圖29之A-A之剖面。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（）

（實施形態6）

下面將使用附圖用來說明實施形態1所說明之半導體裝置之製造方法之另外一種方法。首先，在圖4所示之工程之後，如圖30所示，利用CVD法形成矽氧化膜26，將第1開口部4埋入。其次，如圖31所示，利用研磨法或刻回法使矽氧化膜26只殘留在第1開口部4內。其次，如圖32所示，利用照相製版和蝕刻法形成第2開口部13。其次，如圖33所示，利用熱氧化法或CVD法堆積50～100Å之矽氧化膜用以形成閘極絕緣膜7。然後，利用CVD法形成聚矽膜，利用研磨法或刻回法在第2開口部13內形成閘極電極11。這時，進行刻回使閘極電極11之表面比矽氮化膜3之表面低1000Å。其次，如圖34所示，利用CVD法形成矽氮化膜27。利用研磨法或刻回法，只在閘極電極11之表面和矽氮化膜3之表面之高低差部殘留矽氮化膜27。其次，如圖35所示，以矽氮化朕3、27作為罩幕，對矽氧化膜26進行蝕刻。然後，利用砷離子之注入，用以形成n^-源極一吸極區域12。其次，如圖36所示，利用CVD法或熱氧化法形成1000Å之矽氧化膜，經由施加刻回用以形成側壁絕緣膜15。其次，利用砷之離子注入用以形成n^+源極一吸極區域16。然後，如圖37所示，利用CVD法形成聚矽膜，利用研磨或刻回法形成源極一吸極電極18。另外，除了聚矽膜之外，作為金屬矽化物者可以使用$TiSi_2$、WSi_2、$MoSi_2$、$CoSi_2$、NiSi，作為金屬者可以使用Al、Cu合金，作為金屬氮化膜者可以使用TiN。其次，如圖38所示，利用CVD法形成矽

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

氧化膜19。利用研磨法或刻回法進行平坦化，只在源極—吸極電極18上殘留矽氧化膜19。其次，利用熱磷酸或乾式蝕刻，除去矽氮化膜3、27。以下，利用實施形態2所說明之同樣方法形成連接在各個電極之配線。

在實施形態2之情況，於形成閘極電極11時，需要以閘極絕緣膜7作為阻擋層進行蝕刻。因此，隨著閘極絕緣膜7之薄膜化，需要提高閘極電極11之蝕刻之選擇比，但是在此實施形態之製造方法中，則無此需要，因此閘極絕緣膜之薄膜化變成很容易。

（實施形態7）

下面將使用附圖用來說明實施形態1所說明之半導體裝置之製造方法之另外一種方法。首先，如圖39所示，利用CVD法在半導體基板1上形成10000Å之矽氧心膜2。其次，形成第1開口部4，利用離子注入法形成通道阻擋層5和不純物注入層6。其次，利用CVD法形成矽氮化膜29。然後，利用研磨法或回刻法進行平坦化，只在第1開口部4殘留矽氮化膜29。其次，如圖40所示，利用照相製版和蝕刻法除去殘留之矽氮化膜29之指定之區域，用以形成第2開口部13和第3開口部14。然後，利用離子注入法形成n^-源極—吸極區域12。其次，如圖41所示，利用CVD法形成1000Å之矽氧化膜，利用異方性蝕刻形成側壁絕緣膜15。然後，利用離子注入法形成n^+源極—吸極區域16。其次，如圖42所示，利用CVD法形成聚矽膜。然後，利用蝕刻法埋入聚矽膜，用以形成源極—吸極電極18。源極—吸極電極18之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

上面之位置比矽氧化膜2之表面低。其次，如圖43所示，利用CVD法形成矽氧化膜19，利用研磨法或刻回法進行平坦化。然後，如圖44所示，利用乾式蝕刻或磷酸等，選擇性的除去矽氮化膜29。其次，如圖45所示，利用熱氧化法或CVD法形成由矽氧化膜製成之閘極絕緣膜7。然後，利用CVD法形成聚矽膜，利用研磨法或刻回法進行平坦化，用以形成閘極電極11。

另外，該工程亦可以如圖46所示，至少在形成閘極電極11之前，利用離子注入法等，只在閘極電極11之正下方之通道區域，自行整合的形成不純物注入擴散層30。該不純物注入擴散層30之作用是用來決定電晶體之臨界值，和用來連接源極區域之空乏層與吸極區域之空乏層，藉以防止由於電流在源極－吸極間流動而造成之擊穿。此種情況時之不純物注入擴散層30只形成在閘極電極11之下，不形成在源極－吸極區域12、16之下，所以可以抑制源極－吸極區域12、16之接合容量之增加，和可以防止接合耐壓之降低。然後，在注入該不純物之後，進行活性化用之熱處理，同時可以一起進行被注入到源極－吸極區域12、16之不純物之活性化用之熱處理。另外，亦可以在通道區域之注入前，進行被預先注入到源極－吸極12、16之不純物之活性化用之熱處理。然後，與實施形態2同樣的形成配線層。

在此實施形態中，可以形成如上所述之不純物注入擴散層。因此，具有如圖46之工程所述之優點，可以使裝置高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

速化和消耗電力節省化。另外，與實施形態6相關的，在圖32之工程之後施加離子注入，在閘極電極11之下形成不純物注入擴散層30，則亦可獲得同樣之效果。本實施形態與實施形態6之不同之點是在源極－吸極電極18之形成後，形成閘極絕緣膜7和閘極電極11。亦即，在閘極絕緣膜7之形成後，實質上只有閘極電極11之形成工程。因此，如實施形態6之說明，其優點是不會因為圖35之矽氧化膜26之蝕刻和圖36之側壁絕緣膜15之形成時之蝕刻，和形成源極－吸極區域12、16時之離子注入工程之損傷，而使閘極絕緣膜7之可靠度劣化。

另外，可以使用金屬膜或金屬氮化膜作為閘極電極。因為在閘極電極形成前進行源極－吸極之活性化之熱處理，所以在閘極電極形成後不需要進行高溫熱處理。因此，即使使用容易因熱而氧化之金屬膜或金屬氮化膜作為閘極電極時，亦不會氧化為其優點。

（實施形態8）

下面將使用附圖用來說明實施形態1所示之半導體裝置之製造方法之另外一種製造方法。在實施形態6中，於圖32所示之工程之後，如圖47所示的利用CVD法形成聚矽膜8，利用研磨法或刻回法進行平坦化。其次，如圖48所示，利用噴濺法和CVD法形成金屬膜31。另外，作為該金屬膜者可以使用Ti、Co、Ni、Ta等之金屬膜。其次，如圖49所示，以溫度500～700℃，時間1分鐘之條件，在氮、氬等惰性氣體之環境中或真空中，進行燈泡退火，用來使金屬

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

膜31和聚矽膜8產生反應，藉以形成金屬矽化物膜32。其次，利用H_2SO_4、H_2O_2、HCl等之藥品，除去矽氧化膜26和矽氮化膜3上之未反應之金屬　膜。金屬矽化物膜32可以在閘極電極11之表面自行整合的形成。例如，在金屬膜為Co之情況時，首先，以400～500℃，1分鐘之條件，形成CoSi、CO_2Si，利用藥品除去未反應之CO。然後，以800℃，1分鐘之條件進行熱處理，藉以形成電阻較低之$COSi_2$。

其次，如圖50所示，利用乾式蝕刻（使用如同CHF_3之氣體）除去矽氧化膜26。然後，利用離子注入法形成n^-源極—吸極區域12。其次，如圖51所示，利用CVD法形成矽氧化膜，利用異方式蝕刻形成側壁絕緣膜15。然後，利用離子注入法形成n^+源極—吸極區域16。其次，如圖52所示，形成聚矽膜，利用刻回法形成源極—吸極電極18。這時，利用BCl_3，Cl_2對聚矽膜進行蝕刻。因為閘極電極11受未被氯蝕刻之$CoSi_2$保護，所以其形狀未變化。另外，除了聚矽膜外，即使使用$TiSi_2$或TiN時，亦同樣的可以利用氯加以除去。其次，如圖53所示，利用CVD法形成矽氧化膜19，利用研磨法或刻回法進行平坦化。然後，與實施形態2同樣的形成第1配線20。第1配線20以$TiSi_2$、TiN、Al或Al合金等作為主要材料以導電性膜形成，當利用氯進行乾式蝕刻時，閘極電極11不會被蝕刻。在實施形態6之情況時，為著要除去形成在閘極電極上之矽氮化膜27，所以作為元件分進絕緣膜之矽氧膜2之膜厚需要形成矽氮化膜27之膜厚。因此，圖32所示工程之形成閘極電極用之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

第2開口部13之蝕刻時，和圖35所示工程之矽氧化膜26之蝕刻時，其寬高比可以較小為其優點。

（實施形態9）

使作為源極—吸極電極之聚矽膜延長，可以利用作為與源極—吸極電極連接之配線。在這種情況時，因為該配線直接形成在半導體基板上，和在半導體基板表面形p/n接合，所以會由於該接合容量而產生使配線之寄生容量增大之問題。下面將使用附圖用來說明能夠解決此種問題之半導體裝置之製造方法。

首先，如圖54所示，在半導體基板1上形成10000Å之矽氧化膜2。其次，如圖55所示，形成第1開口部4，利用離子注入法形成通道阻擋層和不純物注入層6。其次，如圖56所示，利用熱氧化法或CVD法形成由50Å之矽氧化膜所製成之閘極絕緣膜7。其次，在利用CVD法形成聚矽膜之後，利用照相製版和蝕刻用以形成閘極電極11。然後，利用離子注入法用以形成n^-源極—吸極區域12。其次，如圖57所示，形成1000Å之矽氧化膜，施加異方性蝕刻，用以形成側壁絕緣膜15。然後，利用離子注入法形成n^+源極—吸極區域16。然後，利用照相製版和蝕刻，在元件分離絕緣膜之矽氧化膜2之一部份，形成如同深度6000Å之溝33。圖58是表示該工程之平面圖。然後，如圖59所示，利用CVD法形成由500Å之TiN膜和6000Å之W膜之積層所製成之導電性膜34。然後，利用刻回法或研磨法進行平坦化，用來埋入溝33和閘極電極11以外之第1開口部4。其次，如圖60

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

所示，選擇性的將導電性膜34蝕刻成3000Å，用以減小膜厚。這時，假如使用H_2O_2時，可以只對導電性膜34進行蝕刻。圖61表示該工程之平面圖。形成在溝內導電性膜用來形成連接到源極一吸極電極之配線35。在溝之下面因為存在有4000Å之矽氧化膜2，所以可以減小由於形成在溝內之配線35之接合容量所產生之寄生電容之增加。其次，如圖62所示，利用CVD法形成3000Å之矽氧化膜，利用刻回法或研磨法進行平坦化。其次，如圖63和圖64所示，形成由鋁合金製成之第1配線20。

在本實施形態之情況時，形成在溝內之導電性膜構成連接到源極一吸極電極18之配線35，因為形成在基板之p/n接合之間存在有矽氧化膜2，所以形成在該配線35與半導體基板之間之寄生容量可以減小（當與其間未存在有矽氧化膜2之情況比較時）。

另外，連接在源極一吸極電極18之2根配線35和連接在閘極電極11之第1配線20被電的絕緣，不會在電極近傍之同一平面上進行交叉，和不會產生高低差。

（實施形態10）

在以上之實施形態所說明之半導體裝置之製造方法中，首先形成作為元件分離絕緣膜之矽氧化膜和矽氮化膜，然後形成開口部藉以形成電晶體。由於該開口部之形成時之矽氧化膜或矽氮化膜之乾式蝕刻工程之過度蝕刻，會使碳或氟等混入到用以形成電晶體之半導體表面，所以會產生電晶體之可靠度劣化之問題。因此，在實施形態10中，作

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

為元件分離絕緣膜之矽氧化膜或矽氮化膜之形成與電晶體形成區域之形成之順序交換，下面將使用附圖用來說明可以避免此種問題之製造方法。

首先，如圖65所示，利用熱氧化法或CVD法，在半導體基板1上形成作為閘極絕緣膜7之100Å之矽氧化膜。其次，利用CVD法形成4000Å之聚矽膜8。然後，利用CVD法形成1000Å之矽氮化膜36。其次，如圖66所示，利用照相製版和蝕刻法殘留電晶體形成區域，除去矽氮化膜36和聚矽膜8。利用離子注入法形成通道阻擋層5。其次，如圖67所示，利用CVD法形成矽氧化膜2。利用研磨法或刻回法進行平坦化，除去矽氮化膜36上之矽氧化膜2。其次，如圖68所示，利用照相製版和蝕刻法，對殘留在電晶體形成區域之矽氮化膜36和聚矽膜8進行蝕刻，用以形成閘極電極11。其次，利用離子注入法形成n^-源極—吸極區域12。其次，如圖69所示，利用圖10所說明之相同方法形成側壁絕緣膜15和n^+源極—吸極區域16。其次，如圖70所示，利用圖12所說明之相同方法形成源極—吸極電極18。其次，如圖71所示，除去閘極電極11上之矽氮化膜。利用CVD法形成矽氧化膜19。然後，利用研磨法或刻回法用來對矽氧化膜19進行蝕刻藉以使其高度與閘極電極11之表面相同。然後，以實施形態2所說明之相同方法形成配線。

（實施形態11）

在以上之實施形態中，在閘極電極11上對第1配線20進行蝕刻。在閘極電極11之材料為矽或鈦矽化物之情況時，

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

用以對A又合金進行蝕刻之乾式蝕刻氣體使用C又$_2$、BC又$_3$或SiC又$_4$之包含有氯之氣體用來進行蝕刻。這時，因為矽或鈦矽亦被氯加以蝕刻，所以閘極電極11會被過度蝕刻。亦即，當配線材料被蝕刻使閘極電極11露出時，因為閘極電極11之區域之面積比配線之面積小數倍，由於裝載效應，當與配線之蝕刻速度比較時，閘極電極之蝕刻速度變成非常快速。

下面將使用附圖用來說明實施形態11之可以解決此問題之半導體裝置之製造方法。

如圖38所示，在具有閘極電極11之表面被露出和源極—吸極電極18被絕緣膜覆蓋之電晶體上，如圖72所示，利用CVD法形成2000Å之矽氧化膜37。另外，亦可以在形成矽氧化膜19之前之工程，形成矽氧化膜37，然後利用研磨法等進行平坦化。然而，隨著LSI之微細化之進展，當源極—吸極區域之寬度變狹（例如0.5μm以下）時，利用該區域之寬度之一半之膜厚之矽氧化膜37埋入，因此，只需要進行膜形成就可以變成平坦化，所以不需要研磨等之平坦化工程。可以形成高低差急激之元件分離絕緣膜為本發明之優點。

其次，如圖73所示，利用照相製版和蝕刻，在矽氧化膜37形成溝33。該溝33之深度與矽氧化膜37之膜厚相同。圖74表示該工程之平面圖。其次，如圖75所示，利用CVD法或噴濺法形成鋁合金等之金屬膜。另外，除了鋁合金外，亦可以形成TiSi$_2$等之金屬矽化物膜。然後，利用研磨法

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

或刻回法只在溝33埋入金屬膜，用以形成第1配線20。

依照此種方法時，不需要對閘極電極11進行蝕刻就可以形成第1配線20。另外，在對溝33進行蝕刻之情況時，不會由於蝕刻區域之減小而使蝕刻速度急速的增大。另外，如圖13所示，在矽氧化膜和矽氮化膜存在於最表面之情況時，假如以兩者之蝕刻速度大致相同之條件進行蝕刻時，可以防止裝載效應。例如，使用CHF_3、CF_4、H_2之混合氣體作為蝕刻氣體，經由變化該等氣體之混合比，可以調整矽氧化膜和矽氮化膜之蝕刻速度，可以使該兩者之蝕刻速度相等。另外，在圖73和圖74中，形成側壁絕緣膜15和矽氧化膜19作為矽氮化膜，使乾式蝕刻之條件最佳化，假如選擇性的對矽氧化膜37進行蝕刻時，可以更有效的防止由於過度蝕刻而造成側壁絕緣膜15和矽氮化膜被蝕刻。因此，可以防止第1配線20和源極—吸極電極18發生不必要之短路不良。

（實施形態12）

以上之實施形態之半導體裝置之構造，所說明之情況是使閘極電極之上面之位置比源極—吸極電極之上面之位置高。但是本發明之半導體裝置並不只限於這種方式，亦可以如圖76所示，使源極—吸極電極18之上面之位置比閘極電極11之上面之位置高。採用此種構造時亦可以獲得與實施形態1相同之效果。

（實施形態13）

下面將使用附圖用來說明作為實施形態13之實施形態12

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(..)

所示之半導體裝置之製造方法之一實例。首先，如實施形態6所說明之方式，在圖31所示之工程之後，如圖77所示，形成具有閘極電極和配線之圖型之光抗蝕劑罩幕10。其次，如圖78所示，以光抗蝕劑罩幕10作為罩幕，施加異方性蝕刻，用以形成溝33和第2開口部13。圖79表示圖78中之A-A之剖面。另外，圖80表示B-B之剖面。

在圖78～圖80中，矽氧化膜2為4000Å，矽氮化膜3為1500Å，矽氧化膜26為5500Å。矽氮化膜和矽氧化膜之蝕刻速度比為1：3，以此條件施加蝕刻。在將矽氧化膜蝕刻成6000Å之階段，於埋入到第1開口部4之5500Å之矽氧化膜26中，以未被光抗蝕劑罩幕10覆蓋之區域，形成完全被除去之第2開口部13。在矽氧化膜2和矽氮化膜3之積層膜之中，對未被光抗蝕劑罩幕10覆蓋之區域進行蝕刻，使矽氮化膜3成為1500Å，和從矽氧化膜2之上方蝕刻成1500Å之矽氧化膜。

另外，蝕刻氣體是使用CF_4和H_2或CHF_3之混合氣體。經由調整其混合比，可以調整矽氧化膜和矽氮化膜之蝕刻之選擇比。

其次，如圖81所示，利用圖33、圖34所示之相同方法，用以形成閘極電極11和矽氮化膜27。在該工程中，以圖82表示圖78所示之B-B之剖面。如圖82所示，埋入到溝之導電性膜34與閘極電極11同時形成。其次，如圖76所示，使用圖35～圖37所示之相同方法，形成源極一吸極電極18。但是，在此種情況時，與圖37之工程不同的，源極一吸極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ ）

電極18之表面位於與矽氮化膜3之表面大致相同之面。亦即，在形成聚矽膜之後，利用刻回法或研磨法進行平坦化，除去矽氮化膜3上之聚矽膜，利用其後之蝕刻進行減小聚矽膜之膜厚之處理。其次，形成如圖83所示之第1配線20。

在這種情況時，第1配線20不是連接在閘極電極，而是連接在源極一吸極電極18。作為連接在閘極電極之配線之導電性膜34用來構成字線，第1配線20用來構成位元線。閘極電極和第1配線20之連接隨著情況而不同，必需要將圖型配置成使連接在源極或吸極電極之一方之配線不與另外一方之電極連接。如此一來可以形成具有高低差被減小之半導體裝置。

另外，上面所說明之方法是使實施形態6所說明之製造方法部份適用之形成方法，但是亦可以部份的使用實施形態2、7或10所說明之製造方法，可以很容易的形成該構造。（實施形態14）

使閘極電極和2個源極一吸極電極之上面分別位於不同之位置。亦即，如圖84所示，在2個源極一吸極18中，使一方之電極之上面之位置比另外一方之電極之上面之位置高，閘極電極11之上面之位置在2個源極一吸極電極之各個上面之位置之間。

利用此種構造亦可以獲得與實施形態1相同之效果。（實施形態15）

其次，使用附圖用來說明實施形態14所示之半導體裝置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

之製造方法之一實例。在圖76所示之工程之後，如圖85所示，形成光抗蝕劑罩幕38。光抗蝕劑罩幕38在源極一吸極電極18之任何一方之上，形成開口部40。其次，如圖86所示，以光抗蝕劑罩幕38作為罩幕，施加異方性蝕刻，用來將源極一吸極18之膜厚減小為2000Å。圖86表示在此工程中之圖85所示之A-A之剖面。其次，如圖87所示，形成300Å之矽氧化膜，利用刻回法或研磨法，只在膜厚被減小之源極一吸極電極18之上殘留矽氧化膜39。其次，形成第1配線20。圖88表示該工程之平面圖。

在實施形態12或13中，連接在源極一吸極電極之一方之電極之配線必需被圖型配置成不與另外一方之電極連接，如圖88所示，在此種構造中，因為在另外一方之電極上形成矽氧化膜39，所以可以提高水平方向之密集度。

另外，上面所說明者是從圖76所示之工程起之製造方法，但是也可以到該工程止，部份的使用實施形態2、6、7或10所說明之製造方法。

另外，此處所揭示之實施形態之所有之實例並不作限制之用。本發明之範圍並不以上述說明之範圍表示，而是以申請專利範圍表示，包含與申請專利範圍同等意義及該範圍內之所有之變更。

[附圖之簡單說明]

圖1是剖面圖，用來表示本發明之實施形態1之半導體裝置。

圖2是平面圖，用來表示本發明之實施形態1之半導體裝

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ ）

置。

圖3是剖面圖，用來表示本發明之實施形態2之半導體裝置之製造方法之一工程。

圖4是剖面圖，用來表示本發明之實施形態2之在圖3所示工程後進行之工程。

圖5是剖面圖，用來表示本發明之實施形態2之在圖4所示工程後進行之工程。

圖6是剖面圖，用來表示本發明之實施形態2之在圖5所示工程後進行之工程。

圖7是剖面圖，用來表示本發明之實施形態2之在圖6所示工程後進行之工程。

圖8是剖面圖，用來表示本發明之實施形態2之在圖7所示工程後進行之工程。

圖9是剖面圖，用來表示本發明之實施形態2之在圖8所示工程後進行之工程。

圖10是剖面圖，用來表示本發明之實施形態2之在圖9所示工程後進行之工程。

圖11是剖面圖，用來表示本發明之實施形態2之在圖10所示工程後進行之工程。

圖12是剖面圖，用來表示本發明之實施形態2之在圖11所示工程後進行之工程。

圖13是剖面圖，用來表示本發明之實施形態2之在圖12所示工程後進行之工程。

圖14是剖面圖，用來表示本發明之實施形態2之在圖13

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

所示工程後進行之工程。

圖15是剖面圖，用來表示本發明之實施形態2之在圖14所示工程後進行之工程。

圖16是剖面圖，用來表示本發明之實施形態2之在圖15所示工程後進行之工程。

圖17是平面圖，用來表示本發明之實施形態3之半導體裝置之製造方法之一工程。

圖18是平面圖，用來表示本發明之實施形態3之在圖17所示工程後進行之工程。

圖19是平面圖，用來表示本發明之實施形態3之在圖18所示工程後進行之工程。

圖20是剖面圖，用來表示本發明之實施形態4之半導體裝置之製造方法之一工程。

圖21是剖面圖，用來表示本發明之實施形態4之在圖20所示工程後進行之工程。

圖22是剖面圖，用來表示本發明之實施形態4之在圖21所示工程後進行之工程。

圖23是剖面圖，用來表示本發明之實施形態4之在圖22所示工程後進行之工程。

圖24是平面圖，用來表示本發明之實施形態4之圖23所示之工程。

圖25是剖面圖，用來表示本發明之實施形態4之在圖23所示工程後進行之工程。

圖26是剖面圖，用來表示本發明之實施形態5之半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

裝置之製造方法之一工程。

圖27是剖面圖，用來表示本發明之實施形態5之在圖26所示工程後進行之工程。

圖28是剖面圖，用來表示本發明之實施形態5之在圖27所示工程後進行之工程。

圖29是平面圖，用來表示本發明之實施形態5之圖28所所示之工程。

圖30是剖面圖，用來表示本發明之實施形態6之半導體裝置之製造方法之一工程。

圖31是剖面圖，用來表示本發明之實施形態6之在圖30所示工程後進行之工程。

圖32是剖面圖，用來表示本發明之實施形態6之在圖31所示工程後進行之工程。

圖33是剖面圖，用來表示本發明之實施形態6之在圖32所示工程後進行之工程。

圖34是剖面圖，用來表示本發明之實施形態6之在圖33所示工程後進行之工程。

圖35是剖面圖，用來表示本發明之實施形態6之在圖34所示工程後進行之工程。

圖36是剖面圖，用來表示本發明之實施形態6之在圖35所示工程後進行之工程。

圖37是剖面圖，用來表示本發明之實施形態6之在圖36所示工程後進行之工程。

圖38是剖面圖，用來表示本發明之實施形態6之在圖37

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

所示工程後進行之工程。

圖39是剖面圖，用來表示本發明之實施形態7之半導體裝置之製造方法之一工程。

圖40是剖面圖，用來表示本發明之實施形態7之在圖39所示工程後進行之工程。

圖41是剖面圖，用來表示本發明之實施形態7之在圖40所示工程後進行之工程。

圖42是剖面圖，用來表示本發明之實施形態7之在圖41所示工程後進行之工程。

圖43是剖面圖，用來表示本發明之實施形態7之在圖42所示工程後進行之工程。

圖44是剖面圖，用來表示本發明之實施形態7之在圖43所示工程後進行之工程。

圖45是剖面圖，用來表示本發明之實施形態7之在圖44所示工程後進行之工程。

圖46是剖面圖，用來表示本發明之實施形態7之在圖45所示工程後進行之工程。

圖47是剖面圖，用來表示本發明之實施形態8之半導體裝置之製造方法之一工程。

圖48是剖面圖，用來表示本發明之實施形態8之在圖47所示工程後進行之工程。

圖49是剖面圖，用來表示本發明之實施形態8之在圖48所示工程後進行之工程。

圖50是剖面圖，用來表示本發明之實施形態8之在圖49

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（　）

所示工程後進行之工程。

圖51是剖面圖，用來表示本發明之實施形態8之在圖50所示工程後進行之工程。

圖52是剖面圖，用來表示本發明之實施形態8之在圖51所示工程後進行之工程。

圖53是剖面圖，用來表示本發明之實施形態8之在圖52所示工程後進行之工程。

圖54是剖面圖，用來表示本發明之實施形態9之半導體裝置之製造方法之一工程。

圖55是剖面圖，用來表示本發明之實施形態9之在圖54所示工程後進行之工程。

圖56是剖面圖，用來表示本發明之實施形態9之在圖55所示工程後進行之工程。

圖57是剖面圖，用來表示本發明之實施形態9之在圖56所示工程後進行之工程。

圖58是剖面圖，用來表示本發明之實施形態9之在圖57所示工程後進行之工程。

圖59是剖面圖，用來表示本發明之實施形態9之在圖58所示工程後進行之工程。

圖60是剖面圖，用來表示本發明之實施形態9之在圖59所示工程後進行之工程。

圖61是剖面圖，用來表示本發明之實施形態9之在圖60所示工程後進行之工程。

圖62是剖面圖，用來表示本發明之實施形態9之在圖61

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

所示工程後進行之工程。

圖63是剖面圖，用來表示本發明之實施形態9之在圖62所示工程後進行之工程。

圖64是剖面圖，用來表示本發明之實施形態9之在圖63所示工程後進行之工程。

圖65是剖面圖，用來表示本發明之實施形態10之半導體裝置之製造方法之一工程。

圖66是剖面圖，用來表示本發明之實施形態10之在圖65所示工程後進行之工程。

圖67是剖面圖，用來表示本發明之實施形態10之在圖66所示工程後進行之工程。

圖68是剖面圖，用來表示本發明之實施形態10之在圖67所示工程後進行之工程。

圖69是剖面圖，用來表示本發明之實施形態10之在圖68所示工程後進行之工程。

圖70是剖面圖，用來表示本發明之實施形態10之在圖69所示工程後進行之工程。

圖71是剖面圖，用來表示本發明之實施形態10之在圖70所示工程後進行之工程。

圖72是剖面圖，用來表示本發明之實施形態11之半導體裝置之製造方法之一工程。

圖73是剖面圖，用來表示本發明之實施形態11之在圖72所示工程後進行之工程。

圖74是平面圖，用來表示本發明之實施形態11之圖73所

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

示之工程。

圖75是剖面圖，用來表示本發明之實施形態11之在圖73所示工程後進行之工程。

圖76是剖面圖，用來表示本發明之實施形態12之半導體裝置。

圖77是剖面圖，用來表示本發明之實施形態13之半導體裝置之製造方法之一工程。

圖78是剖面圖，用來表示本發明之實施形態13之在圖77所示工程後進行之工程。

圖79是本發明之實施形態13中之圖78所示之A-A之剖面圖。

圖80是本發明之實施形態13中之圖78所示之B-B之剖面圖。

圖81是剖面圖，用來表示本發明之實施形態13之在圖79所示工程後進行之工程。

圖82是剖面圖，用來表示本發明之實施形態13之在圖80所示工程後進行之工程。

圖83是平面圖，用來表示本發明之實施形態13之在圖81或82所示工程後進行之工程。

圖84是剖面圖，用來表示本發明之實施形態14之半導體裝置。

圖85是平面圖，用來表示本發明之實施形態15之半導體裝置之製造方法之一工程。

圖86是剖面圖，用來表示本發明之實施形態15之在圖85

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

所示工程後進行之工程。

圖87是剖面圖，用來表示本發明之實施形態15之在圖86所示工程後進行之工程。

圖88是平面圖，用來表示本發明之實施形態15之在圖87所示工程後進行之工程。

圖89是第1剖面圖，用來表示習知之半導體裝置之一實例。

圖90是第2剖面圖，用來表示習知之半導體裝置之一實例。

圖91是平面圖，用來表示習知之半導體裝置之一實例。

圖92是剖面圖，用來表示習知之半導體裝置之一另實例。

圖93是平面圖，用來表示習知之半導體裝置之一另實例。

圖94是剖面圖，用來表示習知之半導體裝置之　更另一實例。

圖95是平面圖，用來表示習知之半導體裝置之更另一實例。

[符號之說明]

1.....半導體基板，　2....矽氧化膜，　3....矽氮化膜，　7....閘極絕緣膜，　11....閘極電極，　12....n^-源極—吸極區域，　16....n^+源極—吸極區域，　18....源極—吸極電極，　20....第1配線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　半導體裝置及其製法　）

本發明之目的是用以獲得可以在垂直方向和水平方向進行高密集化之半導體裝置之構造及其製造方法。

本發明之解決手段是具備有：源極—吸極電極18，連接在MISFET之n^-和n^+源極—吸極區域12、16，和具有作為位元線之一部份之功能；和閘極電極11，連接到作為字線之第1配線20。各個電極11、18經由側壁絕緣膜15，矽氧化膜12、19或矽氮化膜3被絕緣和埋入。因為字線和位元線不在同一平面上交叉，所以可以減輕垂直方向之高低差。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種半導體裝置，具備有：

半導體基板；

第1～第3電極，形成在上述半導體基板上；

第1和第2配線層，連接到上述第1～第3電極之至少2個之電極之上面；和

絕緣膜，形成使上述之第1～第3電極互相絕緣和埋入之方式；其特徵是：

在上述第1和第2配線層中，使1個配線層在上述第1～第3電極之近傍與另外1個配線層交叉；和

在上述第1～第3電極中，使1個電極之上面之位置與另外一個電極之上面之位置不同。

2.如申請專利範圍第1項之半導體裝置，其中具備有：

閘極絕緣膜，位於上述之第1電極和上述之半導體基板之間；和

指定導電型之不純物擴散層，位於上述第2和第3電極下近傍之上述半導體基板。

3.如申請專利範圍第1項之半導體裝置，其中具備有：

閘極絕緣膜，位於上述之第1電極和上述之半導體基板之間；和

上述之第2和第3電極由指定導電型之不純物擴散層所形成。

4.如申請專利範圍第2項之半導體裝置，其中：

上述第1電極之上面之位置比上述第2和第3電極之上面之位置高，和上述第2和第3電極之上面之位置大致在同一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

平面；

連接在上述第1電極之上面之上述第1配線層，與連接在上述第2或第3電極之上面之上述第2配線層形成交叉；和

上述絕緣膜之表面與上述第1電極之上面之位置大致在同一平面。

5.如申請專利範圍第2項之半導體裝置，其中：

上述第1電極之上面之位置比上述第2和第3電極之上面之位置低，和上述第2和第3電極之上面之位置大致在同一平面。

連接在上述第1電極之上面之上述第1配線層，與連接在上述第2或第3電極之上面之上述第2配線層形成交叉；和

上述絕緣膜之表面與上述第2和第3電極之上面之位置大致在同一平面。

6.如申請專利範圍第2項之半導體裝置，其中：

上述第1電極之上面之位置比上述第2電極之上面之位置高，和比上述第3電極之上面之位置低；

連接在上述第1電極之上面之上述第1配線層，與連接在上述第2或第3電極之上面之上述第2配線層形成交叉；和

上述絕緣膜之表面與上述第3電極之上面之位置大致在同一平面。

7.如上述申請專利範圍第4～6項之任何一項之半導體裝置，其中：

上述之第1配線層包含字線；和

上述之第2配線層包含位元線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

8.一種半導體裝置之製造方法，其特徵是所包含之工程有：

在半導體基板上形成第1絕緣膜；

在上述之第1絕緣膜形成第1開口部用來使上述半導體基板之表面露出；

在上述之第1開口部內形成第1～第3電極分別被側壁絕緣膜加以絕緣；

在上述第1～第3電極中，使任何1個電極之上面之位置與其他電極之上面之位置互不相同；和

形成連接到上述第1～第3電極之任何一個之上面之配線層。

9.如申請專利範圍第8項之半導體裝置之製造方法，其中所包含之工程有：

在上述第1電極下形成第2絕緣膜；和

在上述第2和第3電極下近傍之上述半導體基板，形成指定導電型之不純物擴散層。

10.如申請專利範圍第9項之半導體裝置之製造方法，其中所包含之工程有：

使上述第1電極之上面之位置比上述第2和第3電極之上面之位置高，和使上述第2和第3電極之上面之位置大致在同一平面。

11.如申請專利範圍第10項之半導體裝置之製造方法，其中所包含之工程有：

在形成上述第1開口部之後，在上述之半導體基板上形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

成第2絕緣膜；

在上述之第2絕緣膜上，只在上述之第1開口部形成第1導電性膜；

對上述之第1導電性膜施加蝕刻，形成用以讓上述半導體基板之表面露出之第2和第3開口部和第1電極；

在上述第1電極之側壁形成側壁絕緣膜；和

只在上述之第2和第3開口部形成第2導電性膜。

12.如申請專利範圍第10項之半導體裝置之製造方法，其特徵是所包含之工程有：

在形成上述第1開口部之後，只在上述第1開口部內形成第3絕緣膜；

在上述第3絕緣膜之指定區域，形成用以讓上述半導體基板之表面露出之第4開口部；

在上述半導體基板之露出表面上形成第2絕緣膜；

只在上述之第4開口部內形成第1導電性膜，用以以形成第1電極；

在形成上述第1電極之後，除去殘留在上述第1開口部內之上述第3絕緣膜，用以形成第2和第3開口部；

在上述之第1電極之側壁形成側壁絕緣膜；

只在上述之第2和第3開口部形成第2導電性膜；和

形成第2和第3電極。

13.如申請專利範圍第10項之半導體裝置之製造方法，其中所包含之工程有：

在形成上述第1開口部之後，只在上述之第1開口部形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第3絕緣膜；

在上述第3絕緣膜上之指定區域，形成用以讓上述半導體基板之表面露出之第2和第3開口部；

只在上述之第2和第3開口部形成第1導電性膜，用以形成第2和第3電極；

在形成上述之第2和第3電極之後，除去殘留在上述第1開口部內之上述第3絕緣膜，用以形成第4開口部；

在上述第2和第3電極之側壁形成側壁絕緣膜；和

只在上述之第4開口部形成第2導電性膜，用以形成第1電極。

14.如申請專利範圍第9項之半導體裝置之製造方法，其中所包含之工程有：

使上述第1電極之上面之位置比上述第2和第3電極之上面之位置低，和使上述第2和第3電極之上面之位置大致在同一平面。

15.如申請專利範圍第9項之半導體裝置之製造方法，其中所包含之工程有使上述第1電極之上面之位置位於上述第2電極之上面之位置和上述第3電極之上面之位置之間。

16.一種半導體裝置之製造方法，其特徵是所包含之工程有：

在半導體基板上形成第1導電性膜；

使上述第1導電性膜之指定區域殘留和除去，用以形成積層構造體；

以埋入上述積層構造體之周圍之方式，在上述半導體基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

板上形成第4絕緣膜；

除去上述積層構造體之指定之區域，用以形成第2和第3開口部和第1電極；

在上述之第2和第3開口部形成具備有側壁絕緣膜之第2和第3電極；

在上述之第1～第3電極中，使任何一個之電極之上面之位置與其他電極之上面之位置不同；和

形成連接在上述第1～第3電極之任何一個之上面之配線層。

17.如申請專利範圍第16項之半導體裝置之製造方法，其中所包含之工程有：

在上述之第1電極下形成第2絕緣膜；和

在上述第2和第3電極下近傍之上述半導體基板，形成指定導電型之不純物擴散層。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

圖1

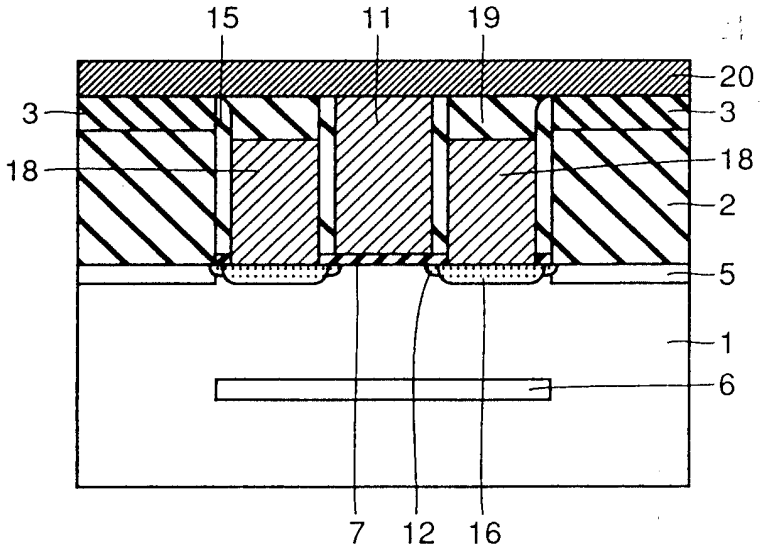


圖2

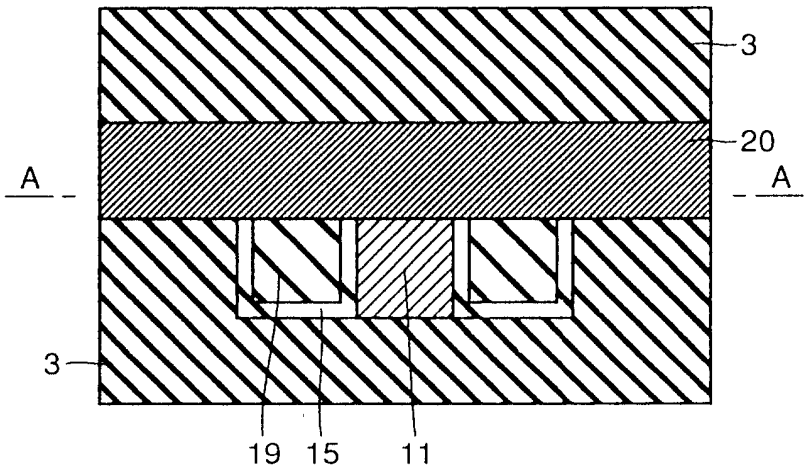


圖3

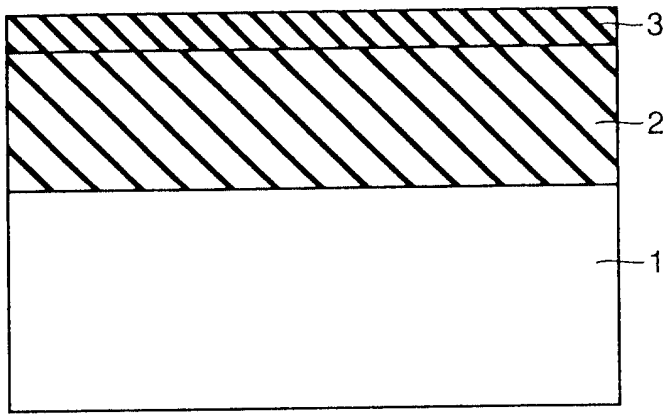


圖4

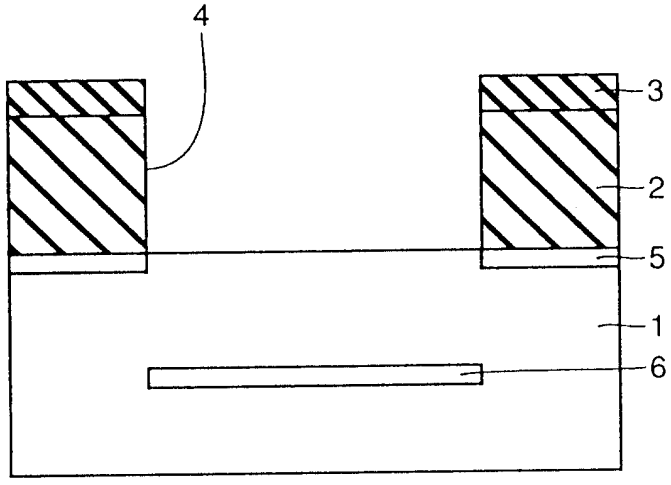


圖5

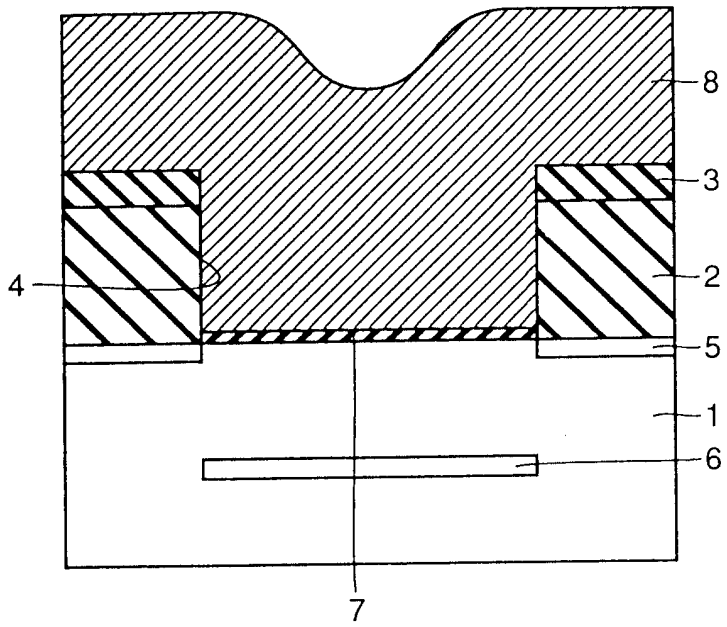


圖6

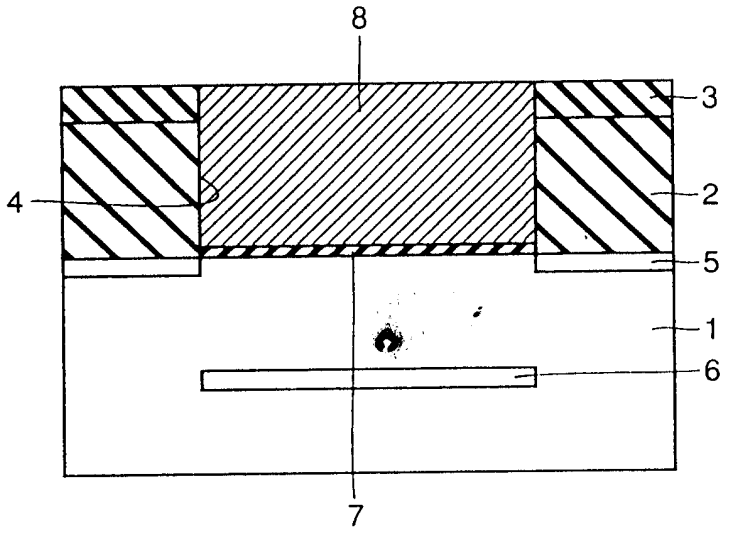


圖7

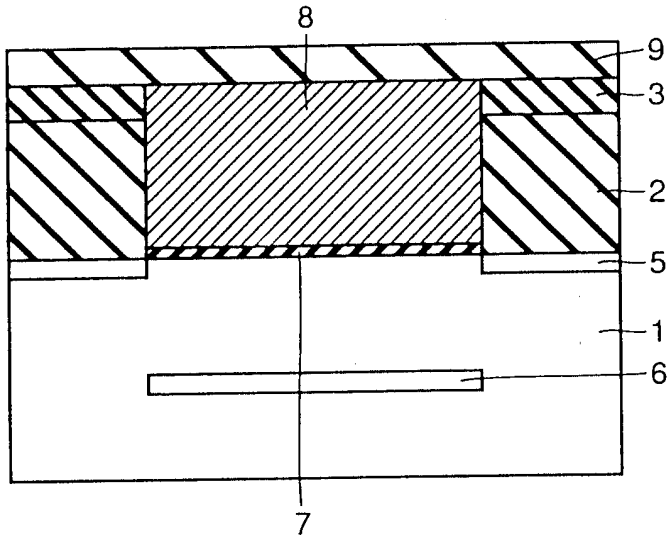


圖8

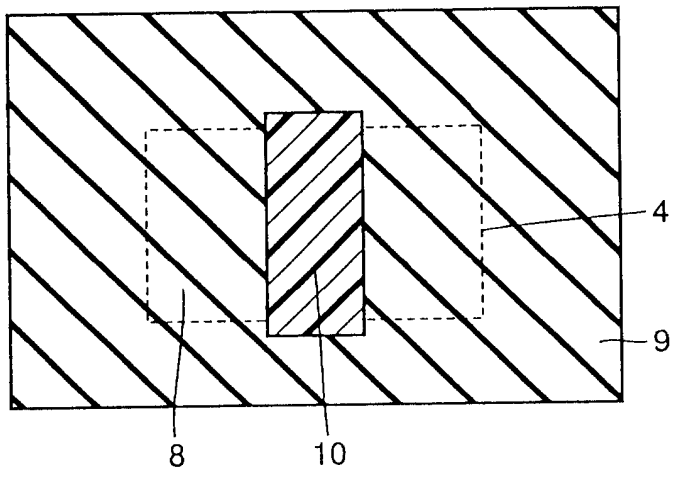


圖9

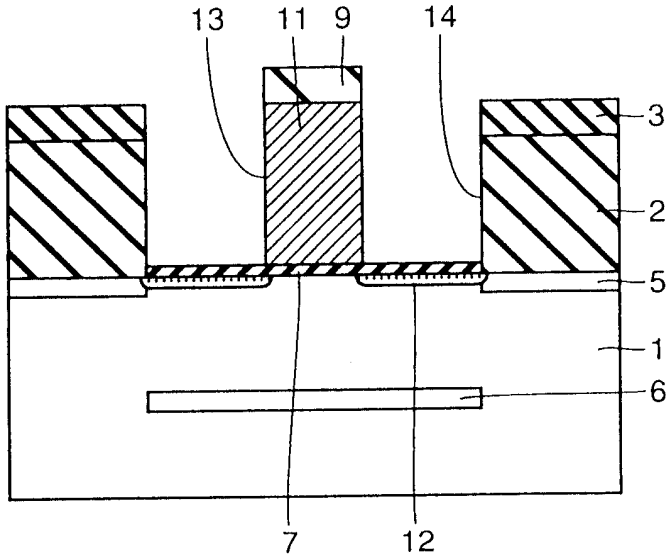


圖10

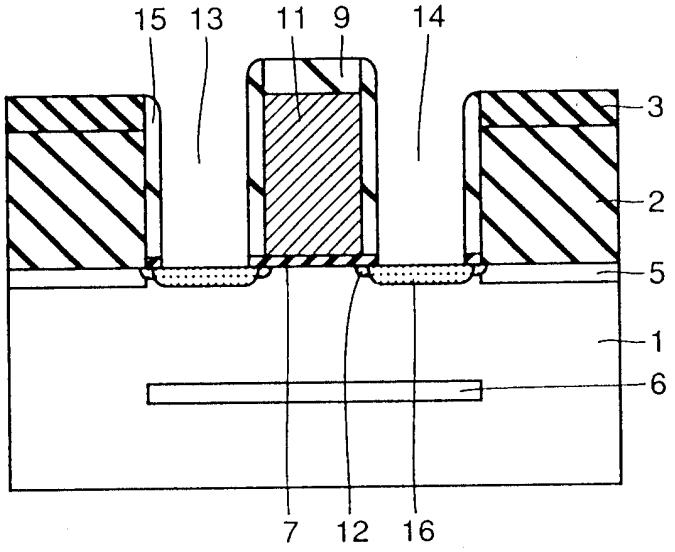


圖11

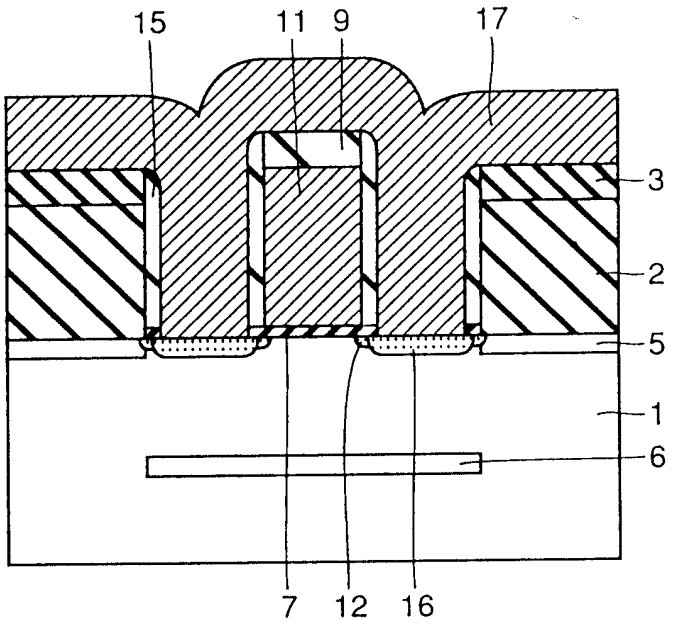


圖12

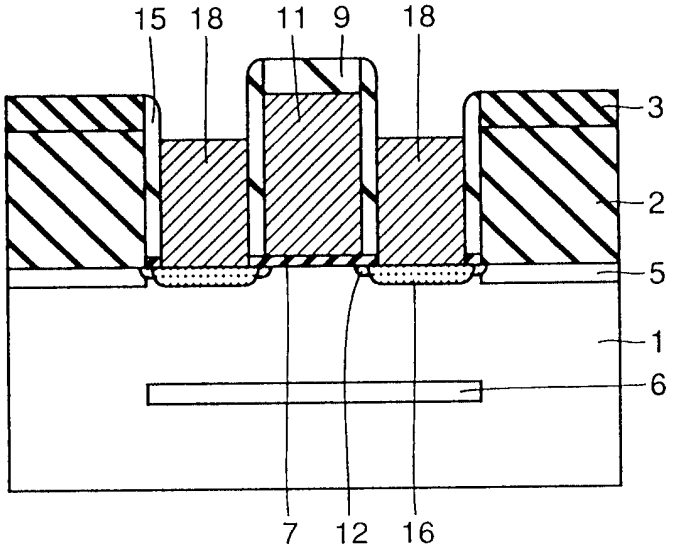


圖13

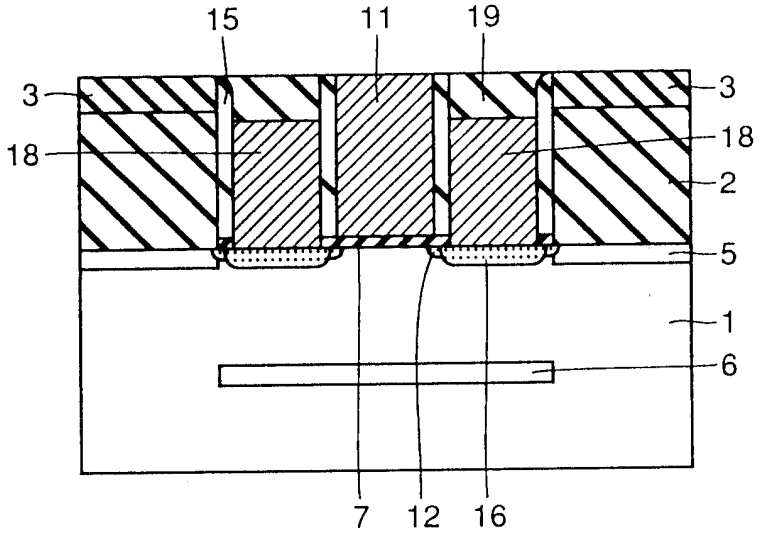


圖14

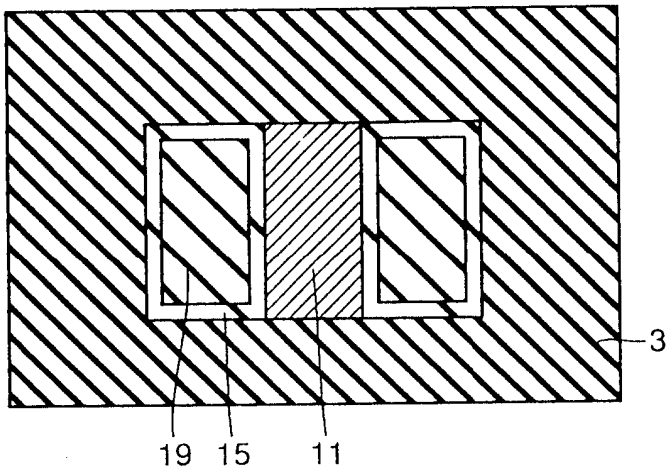


圖15

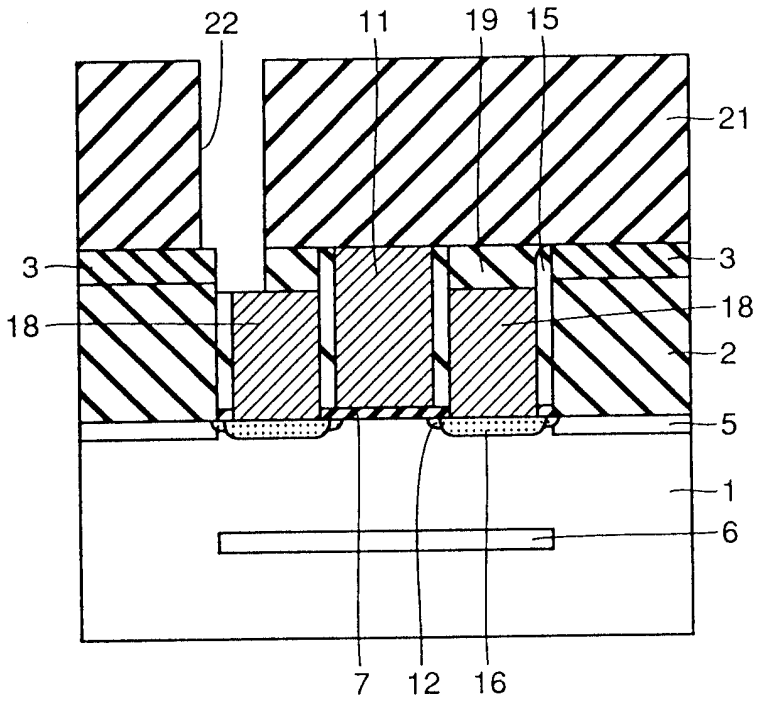

22
11
19
15
21
3
3
18
18
2
5
1
6
7
12
16

圖16

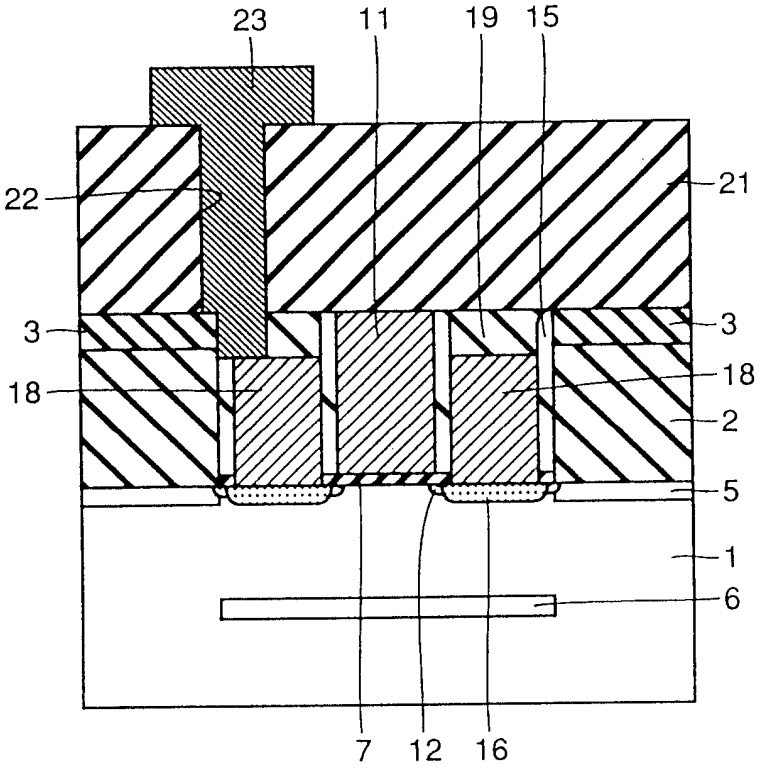

23
11
19
15
22
21
3
3
18
18
2
5
1
6
7
12
16

圖17

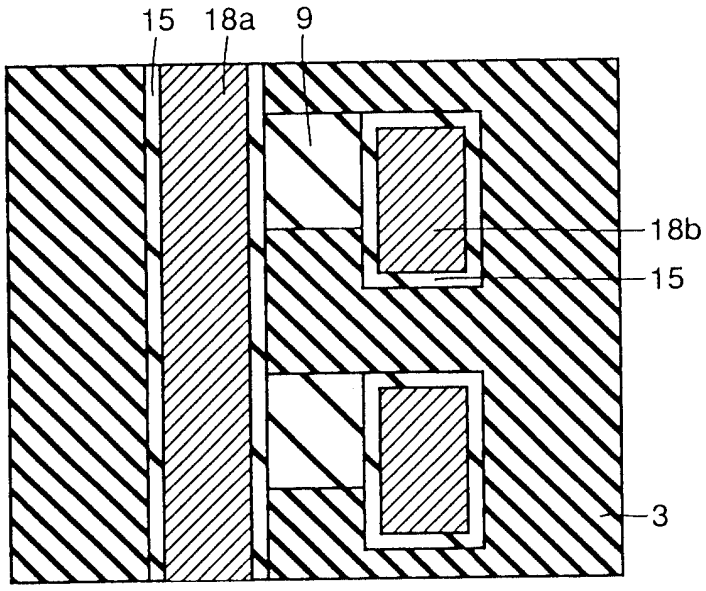


圖18

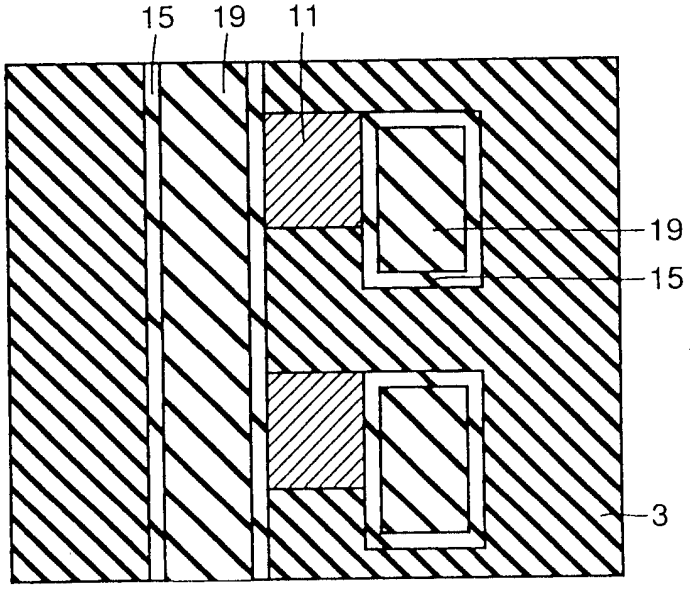


圖19

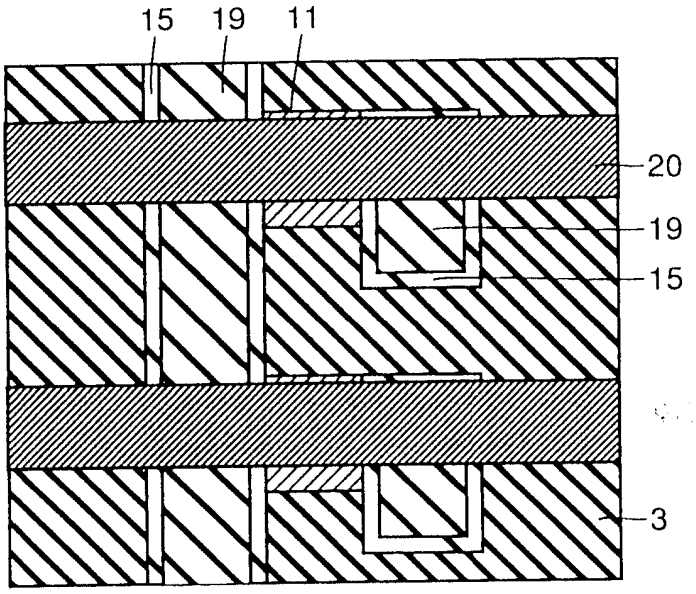


圖20

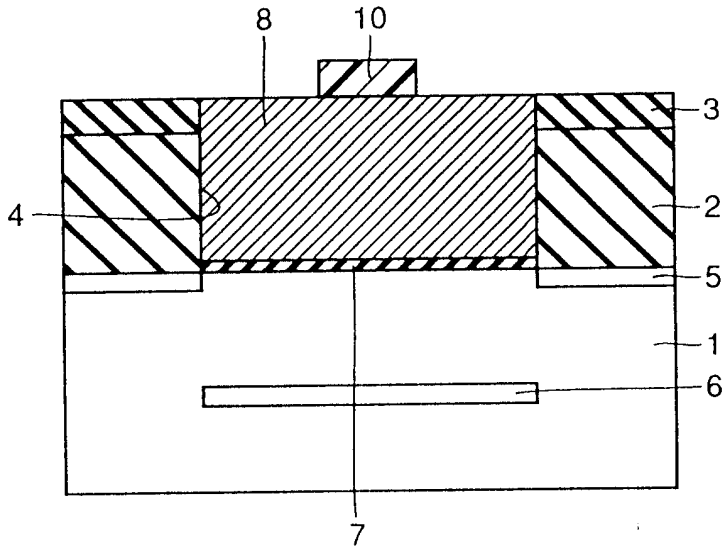


圖21

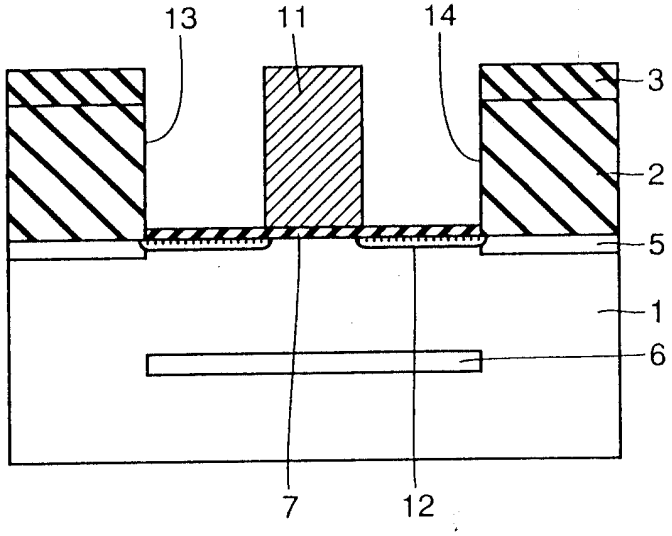


圖22

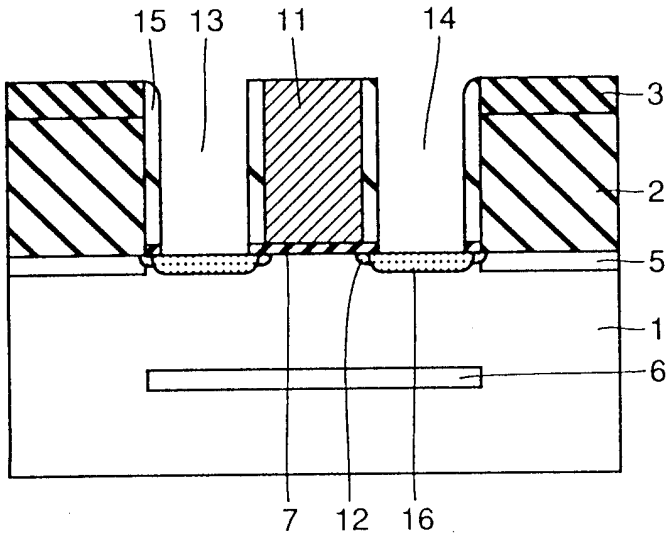


圖23

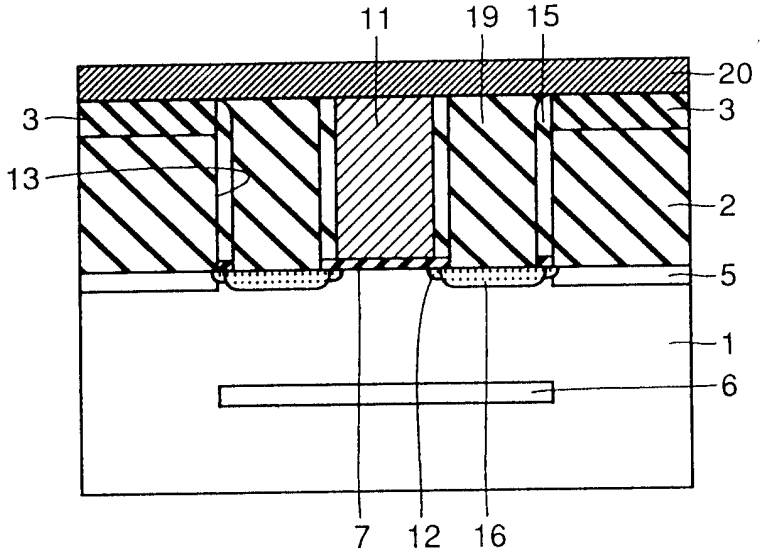


圖24

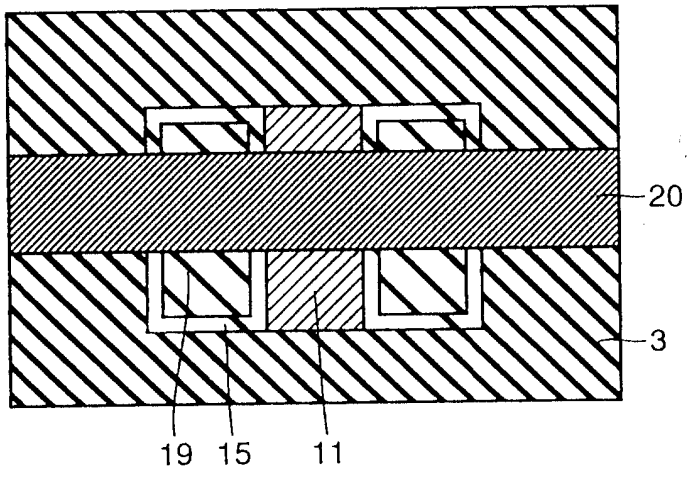


圖25

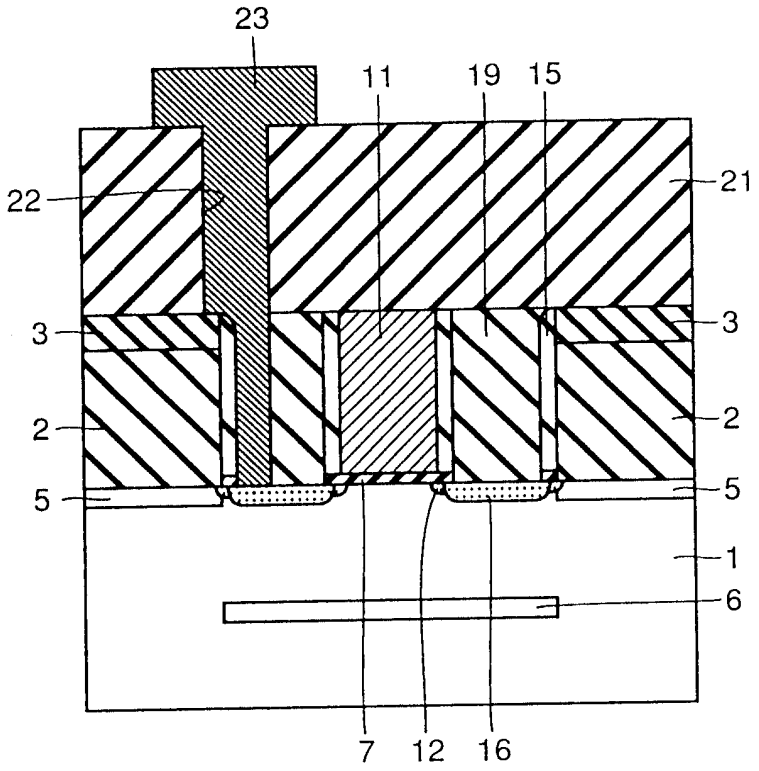

23
11
19
15
22
21
3
3
2
2
5
5
1
6
7
12
16

圖26

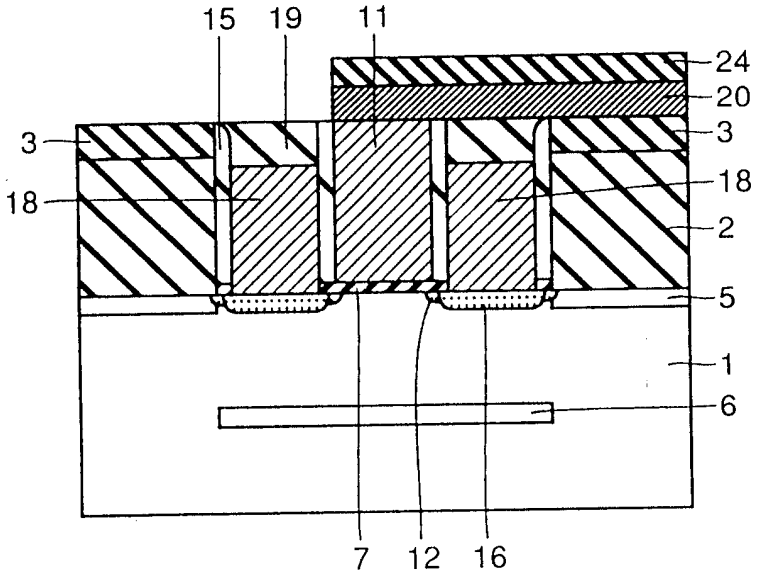

15
19
11
24
20
3
3
18
18
2
5
1
6
7
12
16

圖27

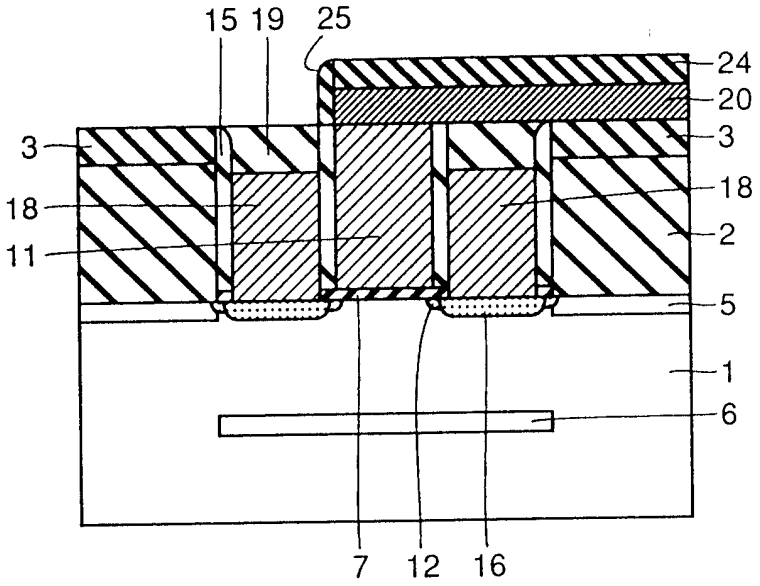

15
19
25
24
20
3
3
18
18
2
11
5
1
6
7
12
16

圖28

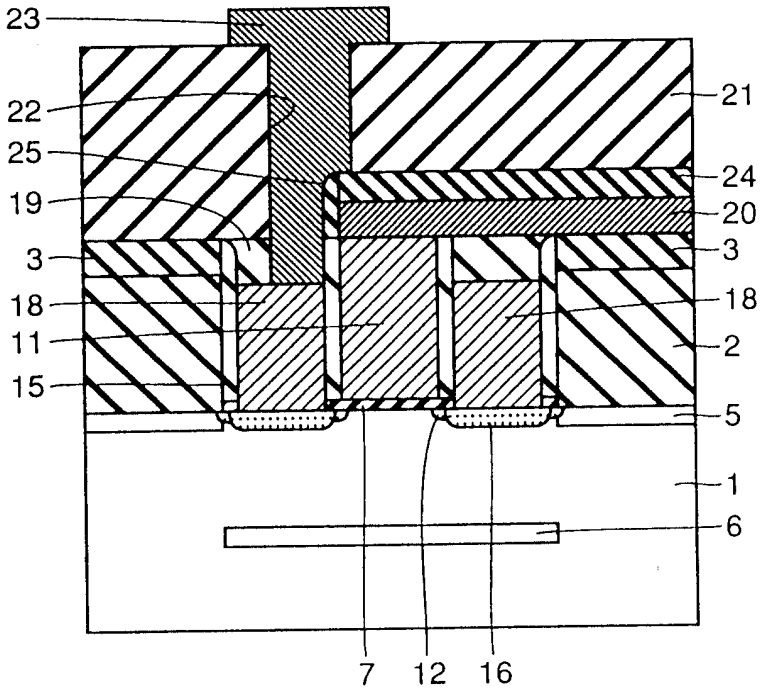

23
22
21
25
24
19
20
3
3
18
18
11
2
15
5
1
6
7
12
16

圖29

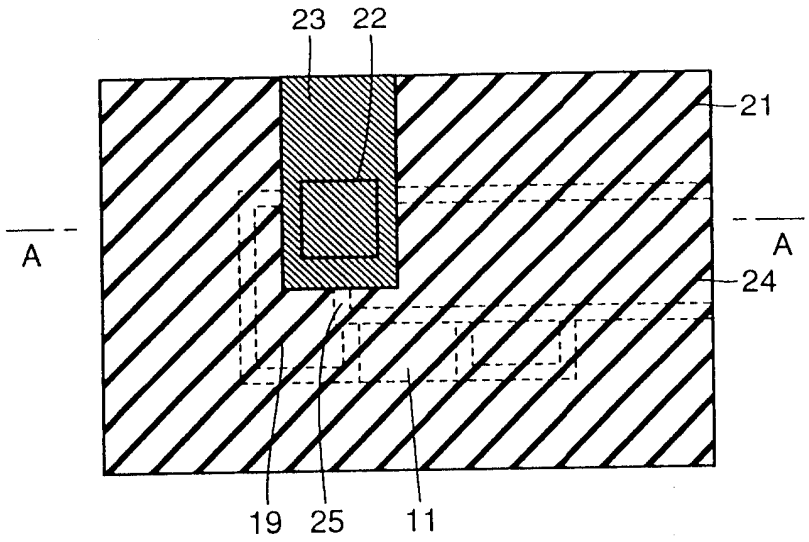


圖30

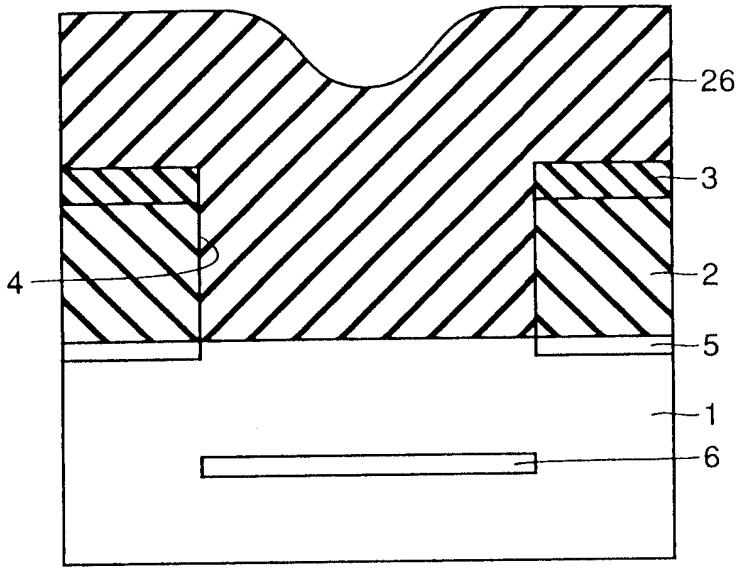


圖31

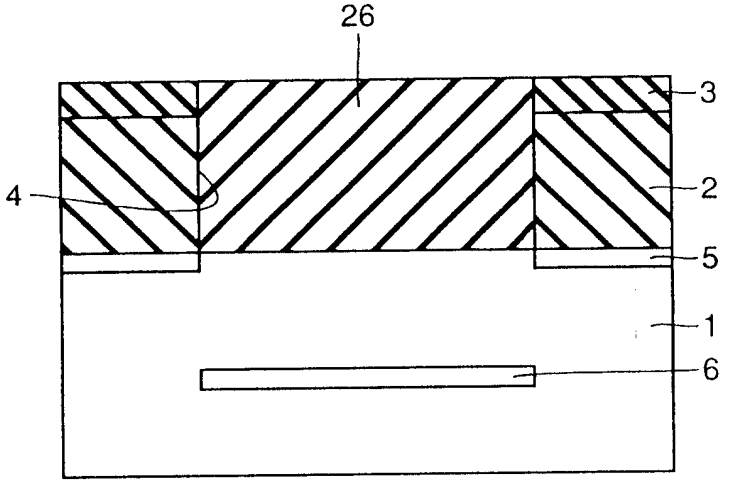


圖32

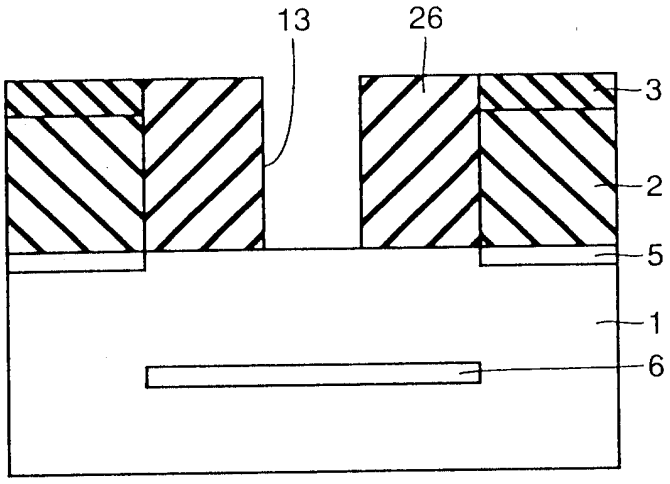


圖33

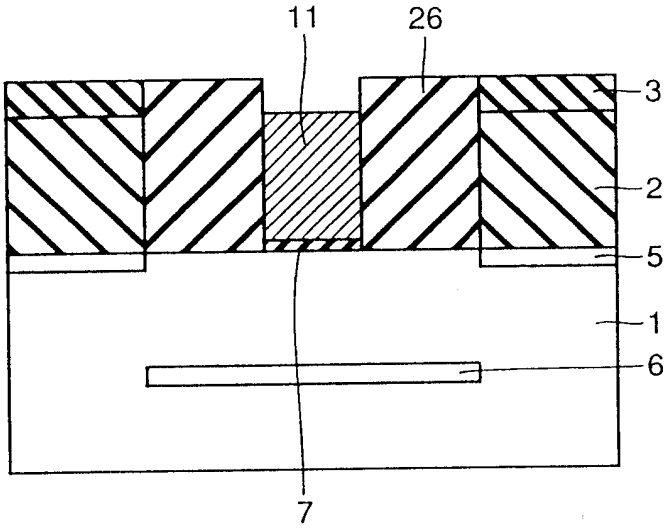


圖34

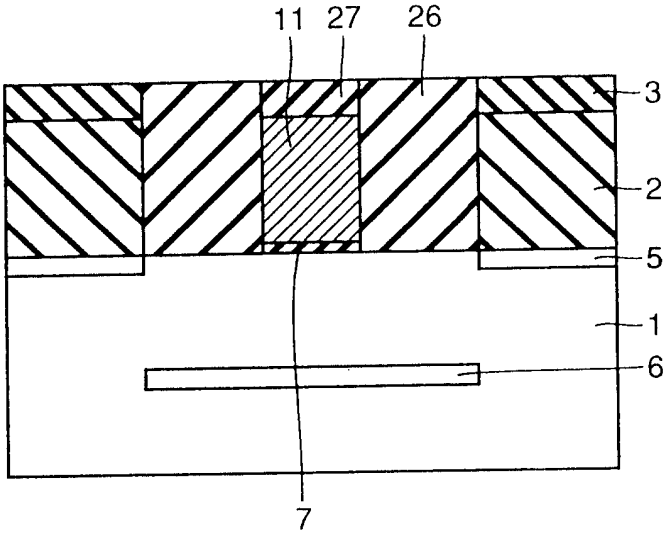


圖35

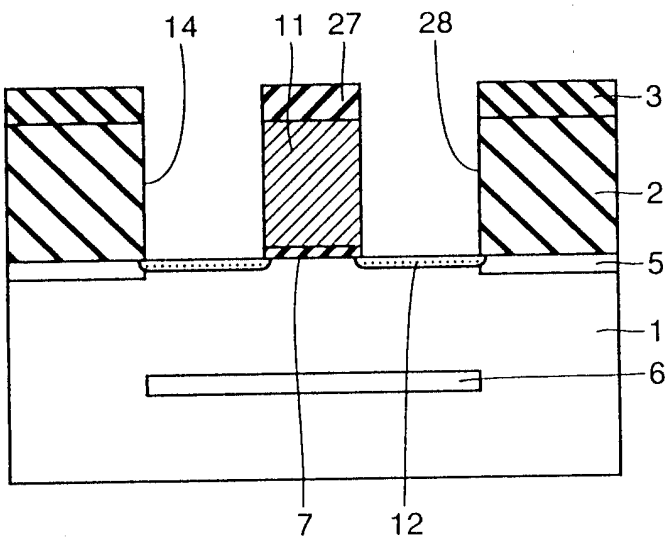


圖36

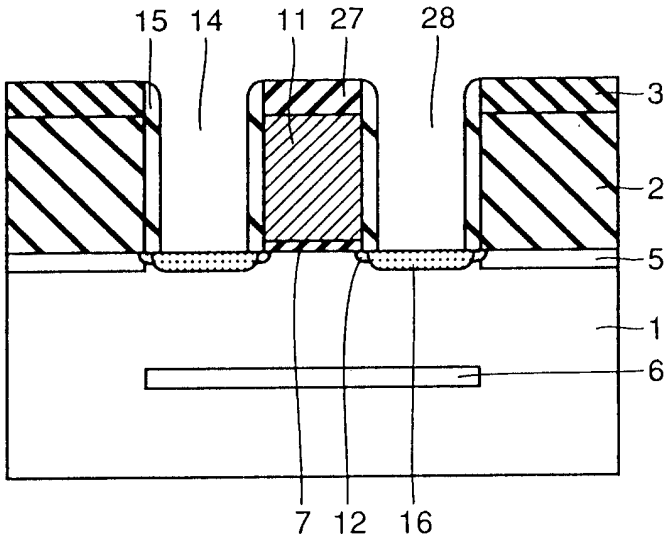


圖37

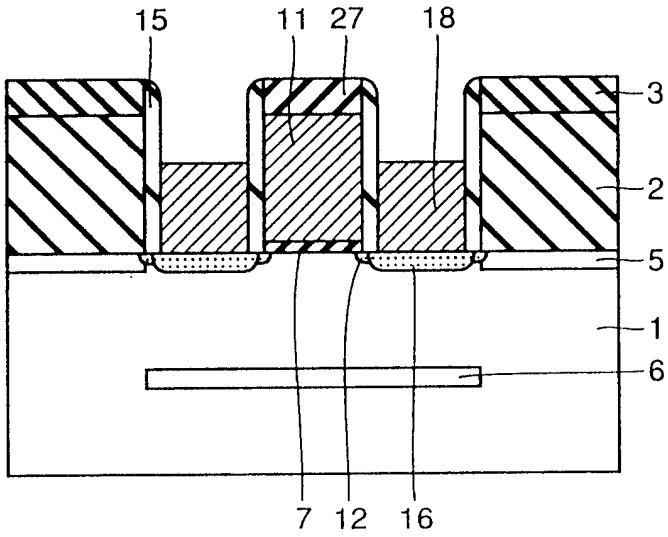


圖38

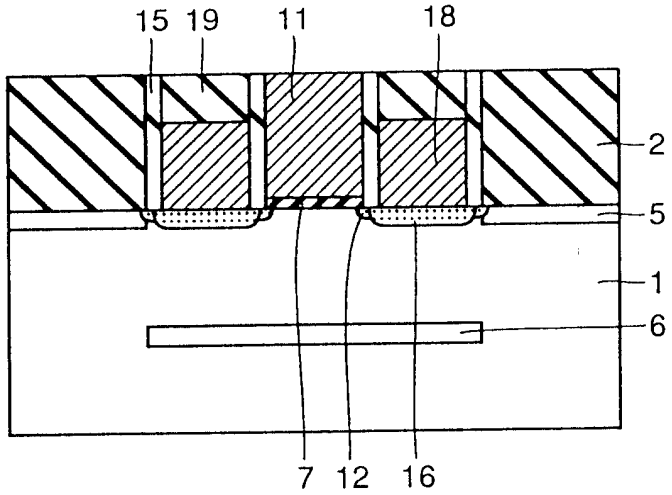


圖39

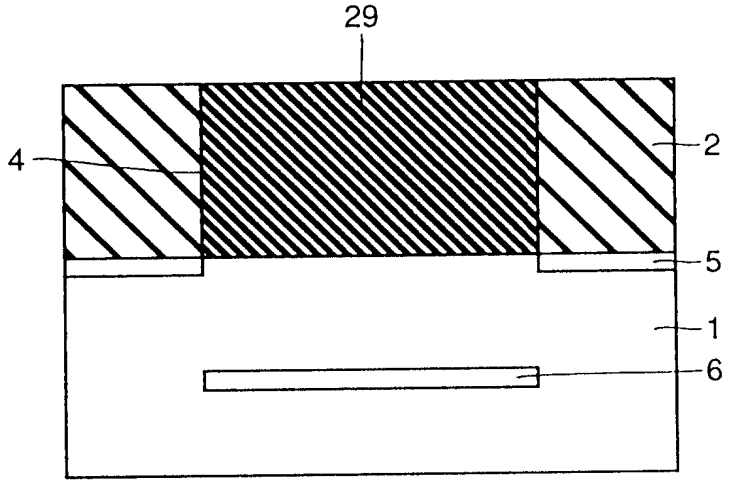


圖40

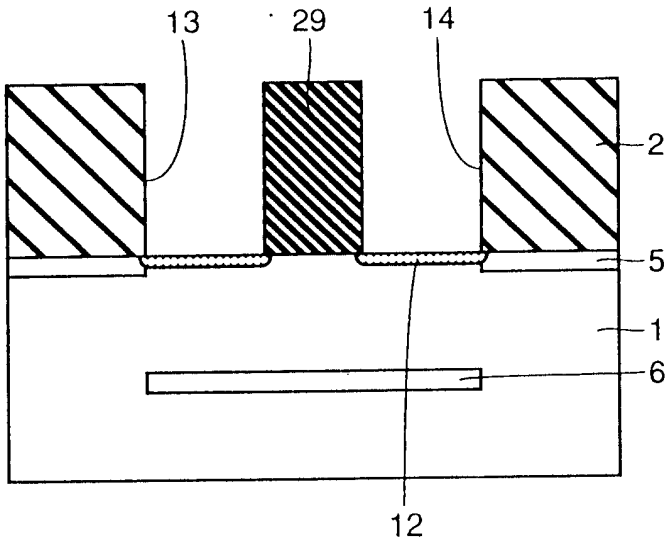


圖41

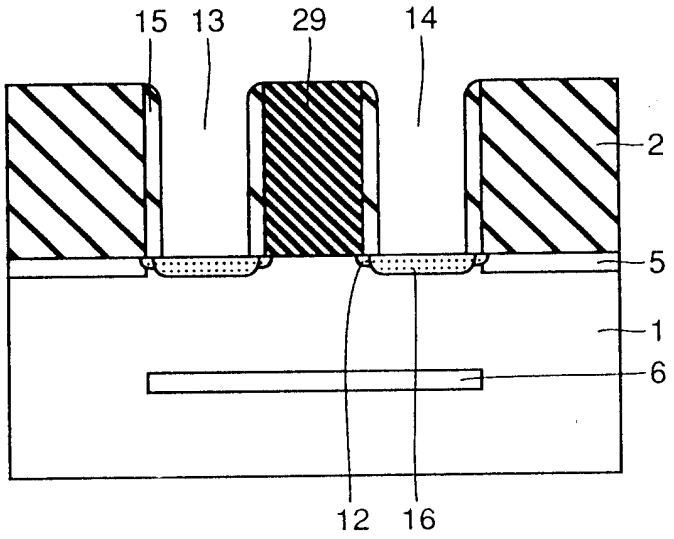


圖42

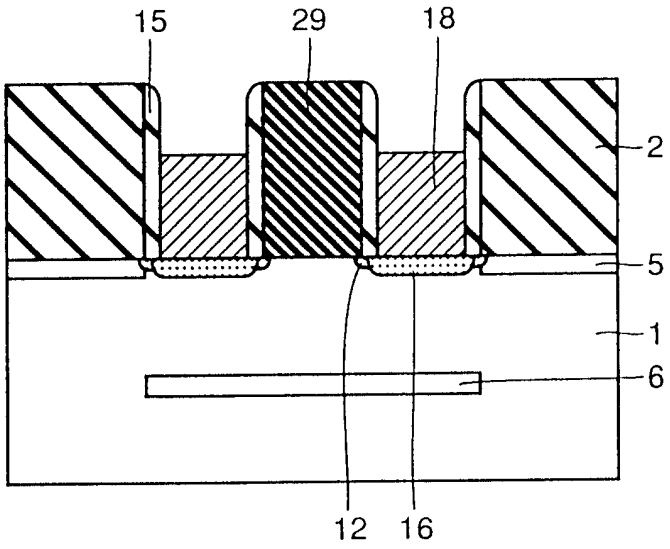


圖43

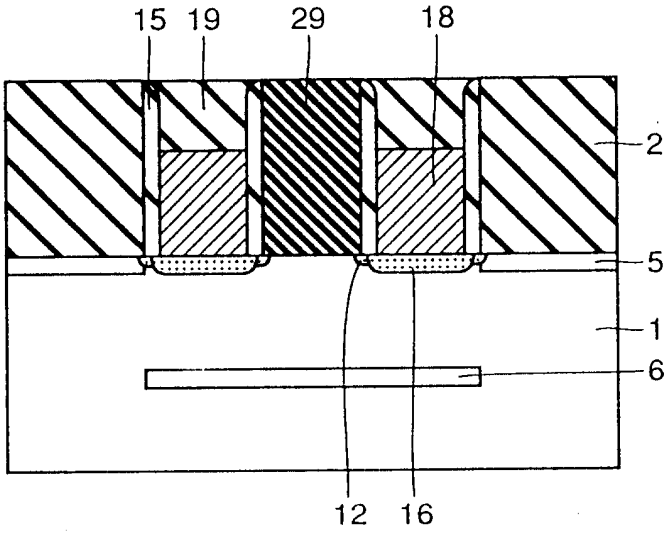


圖44

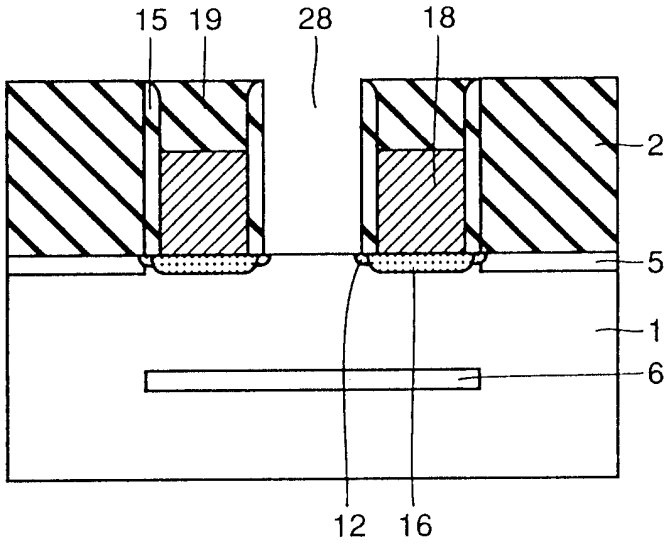


圖45

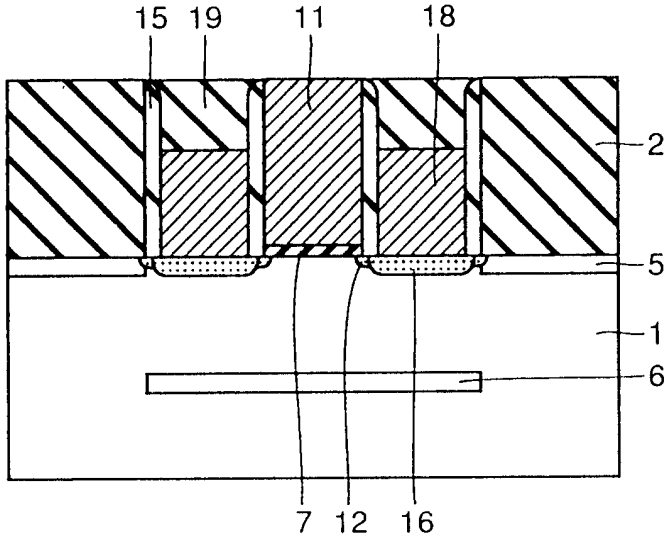


圖46

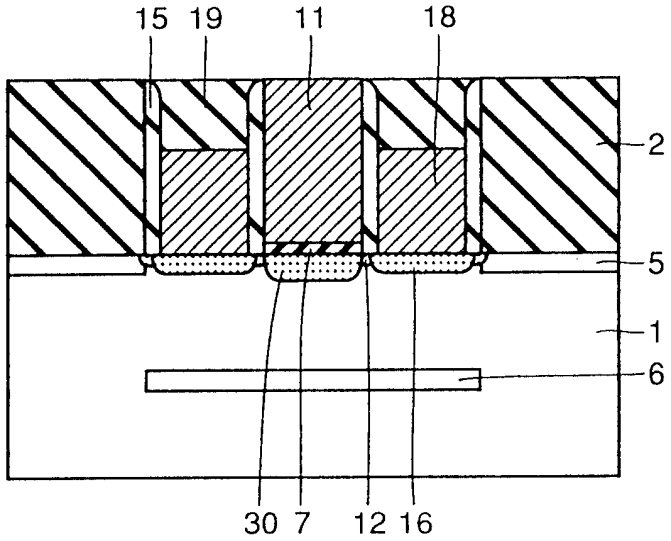


圖47

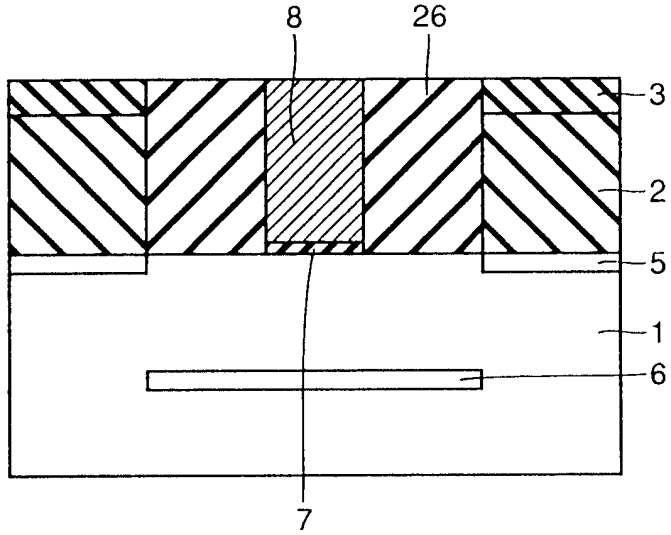


圖48

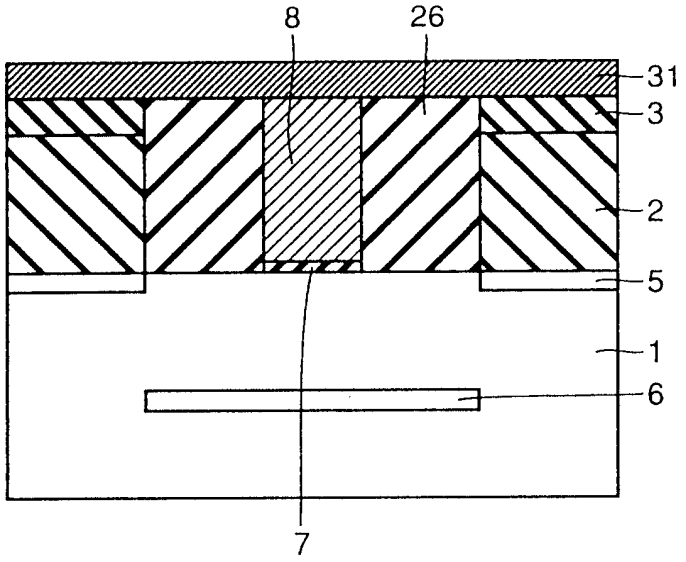


圖49

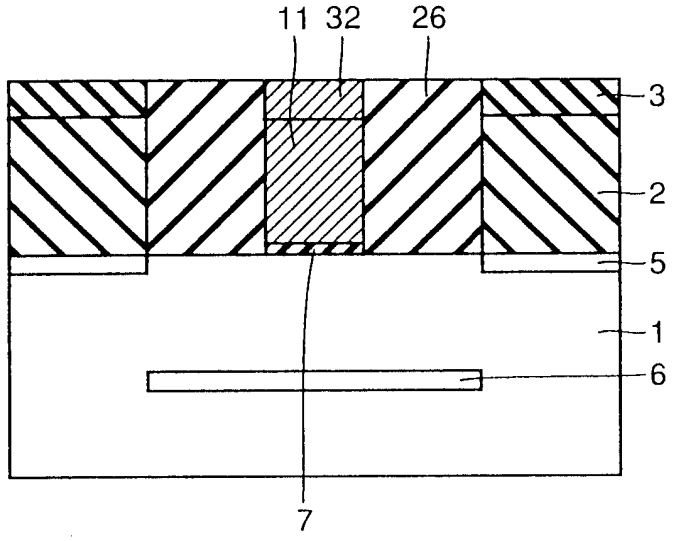


圖50

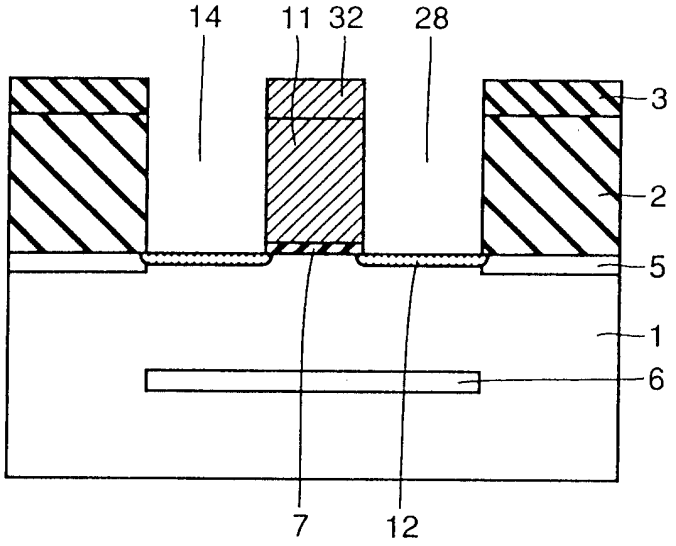


圖51

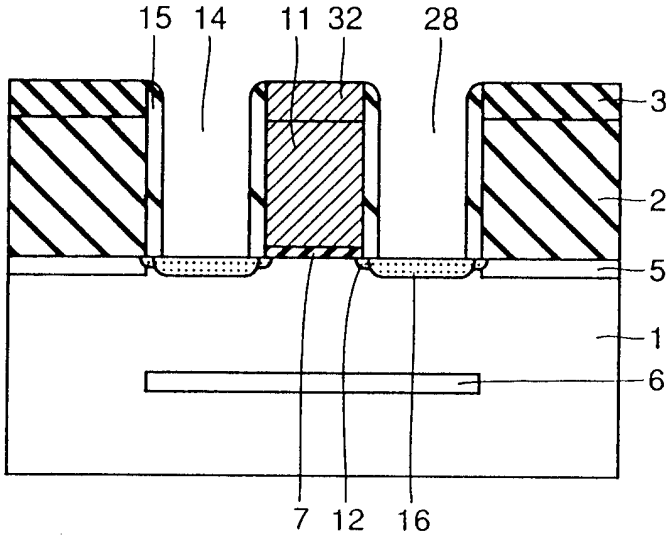


圖52

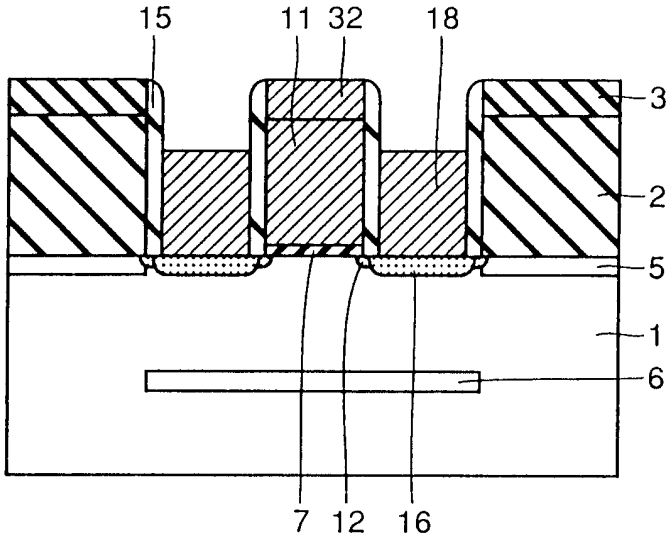


圖53

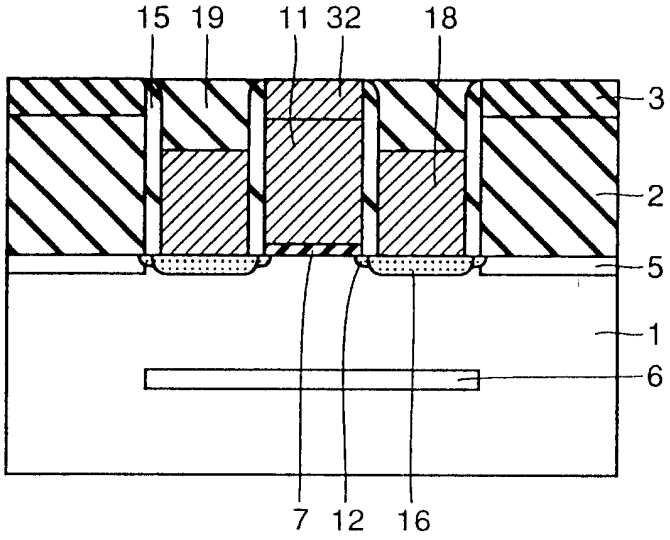


圖54

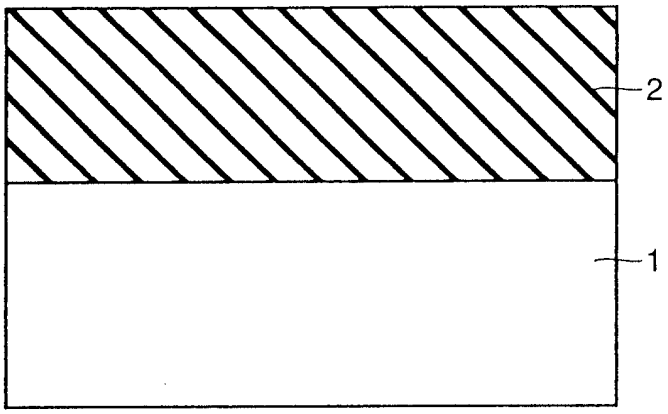


圖55

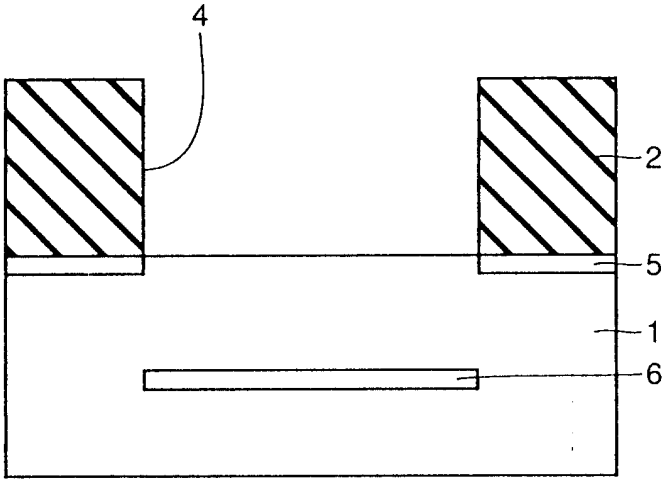


圖56

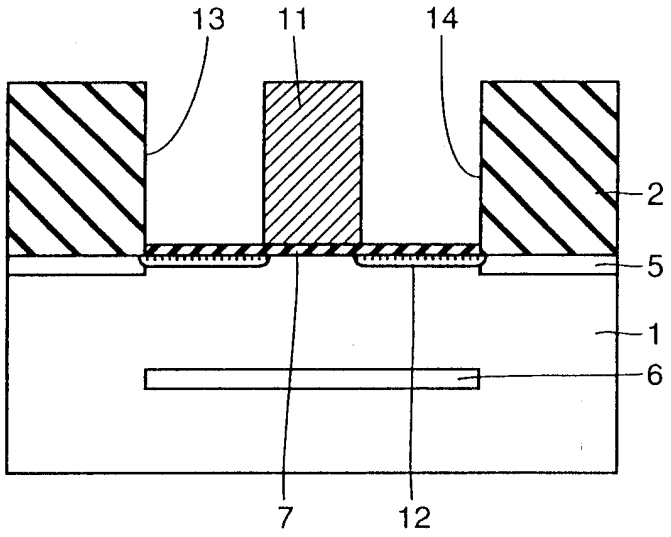


圖57

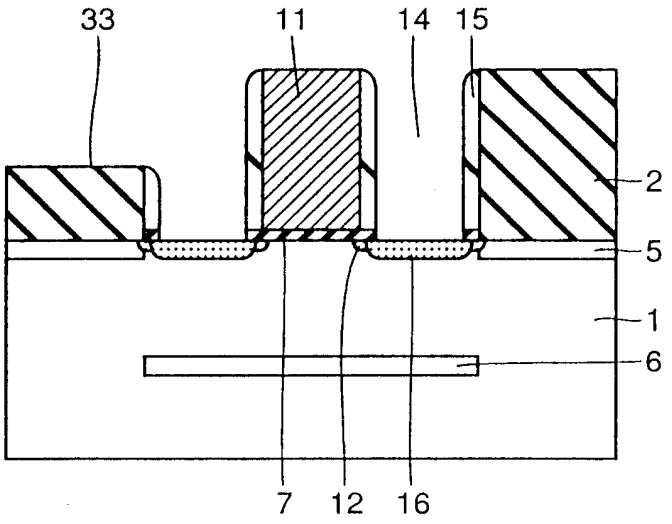


圖58

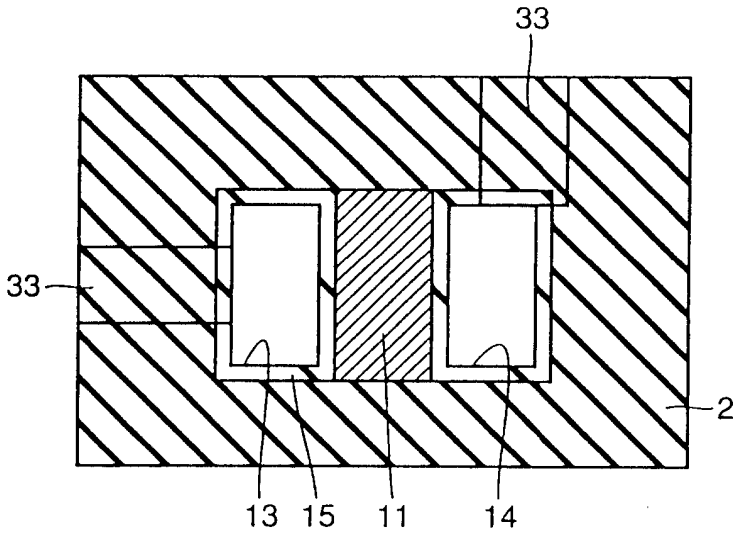


圖59

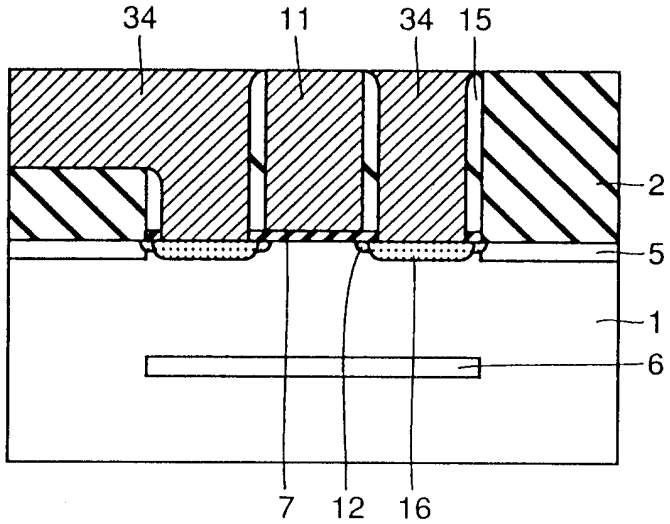


圖60

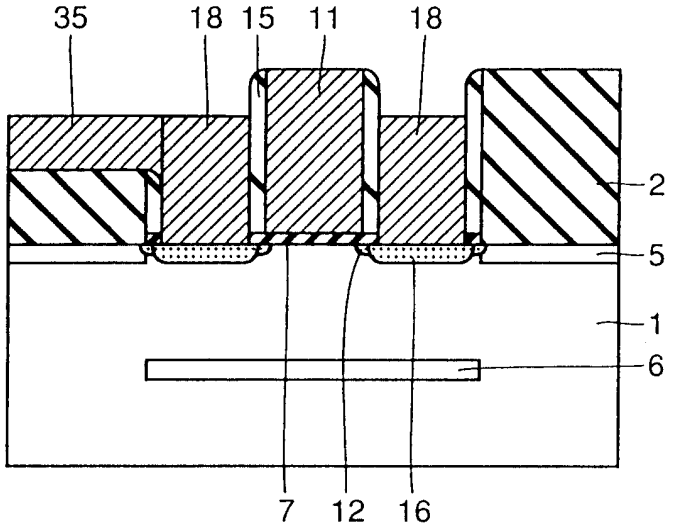


圖61

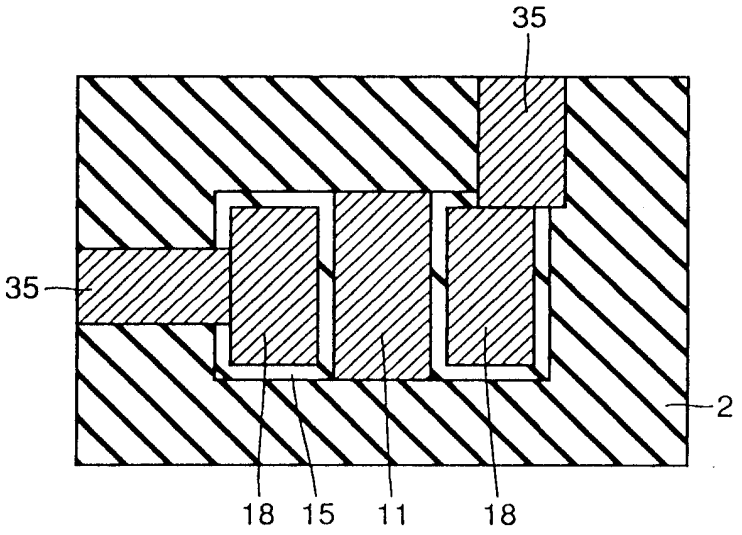


圖62

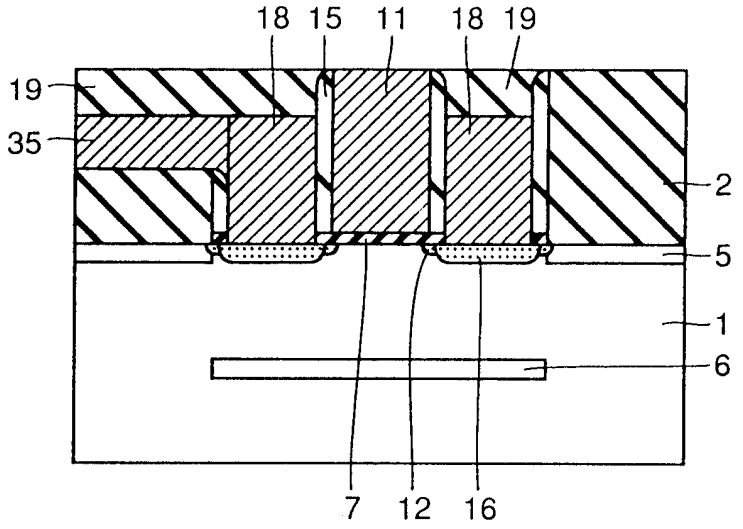


圖63

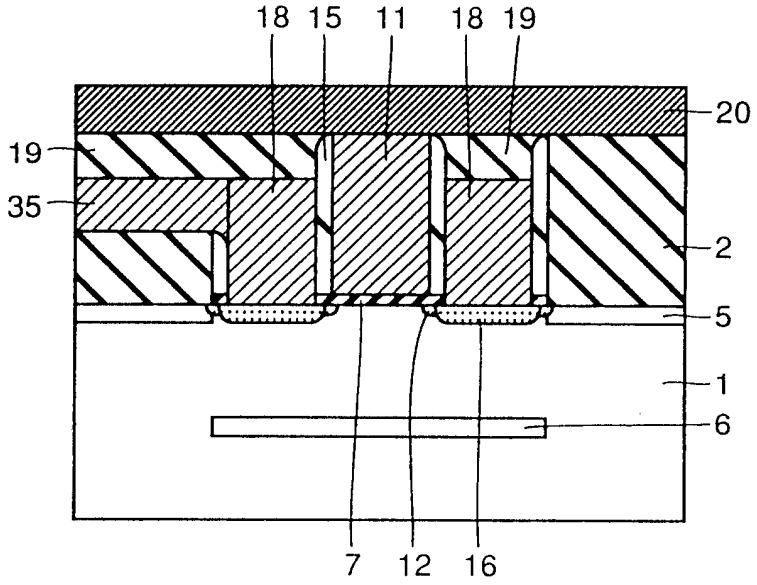


圖64

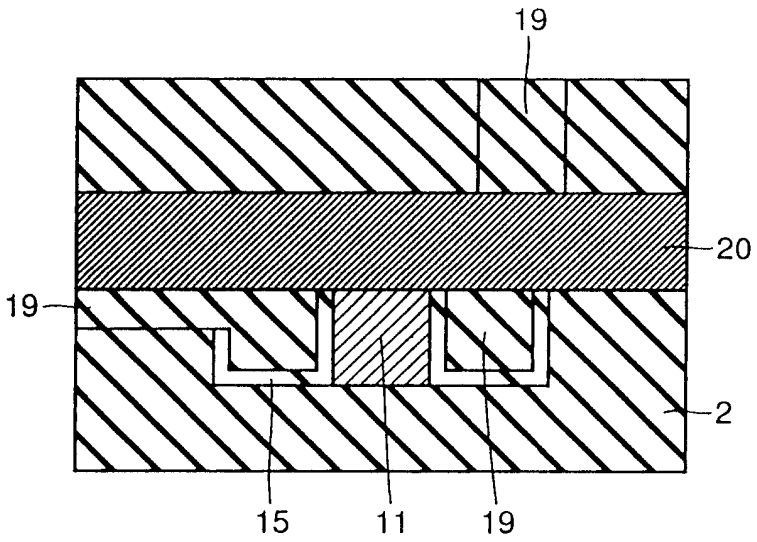


圖65

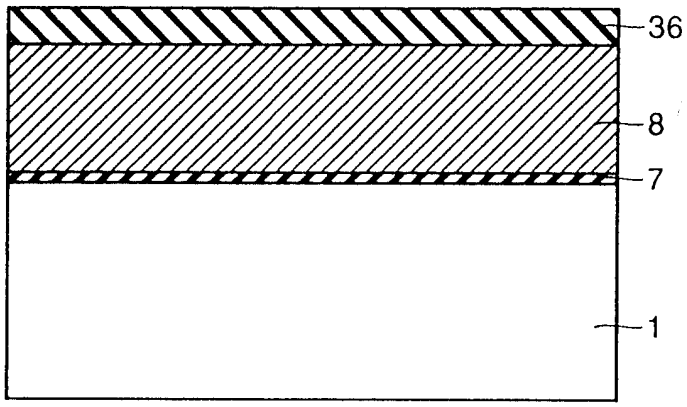


圖66

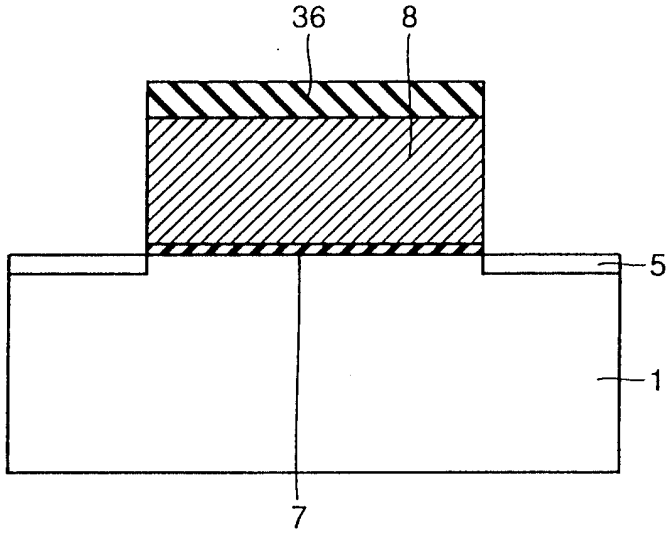


圖67

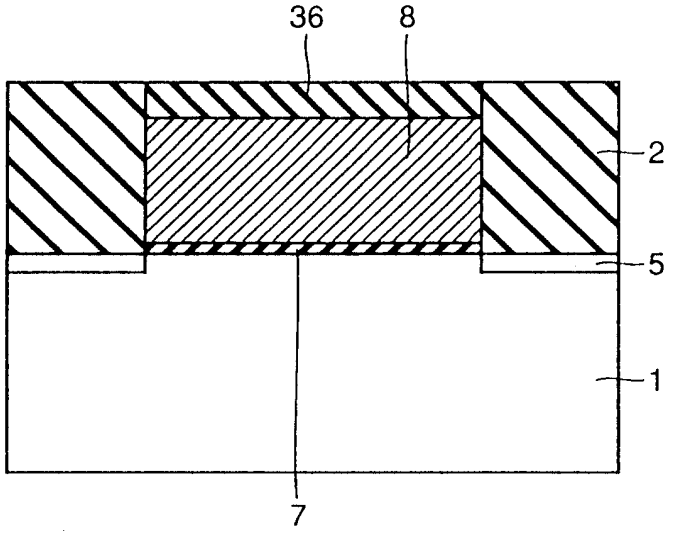


圖68

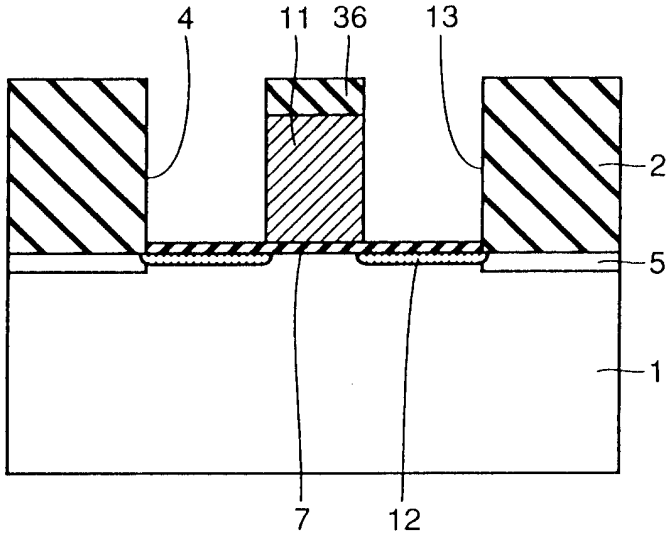


圖69

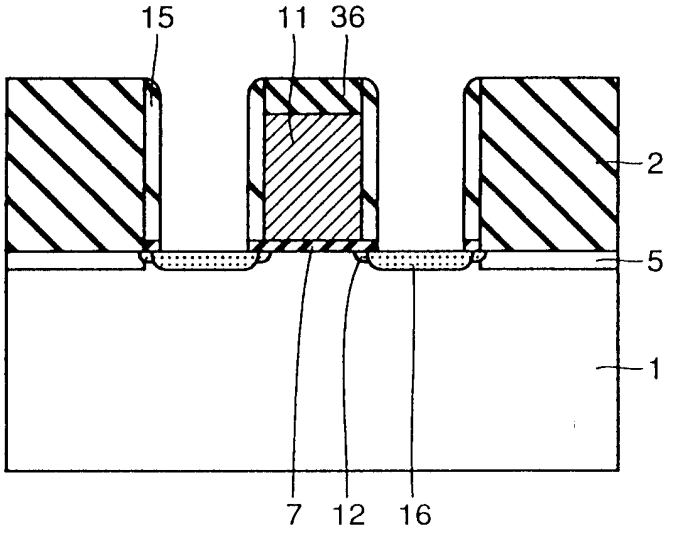


圖70

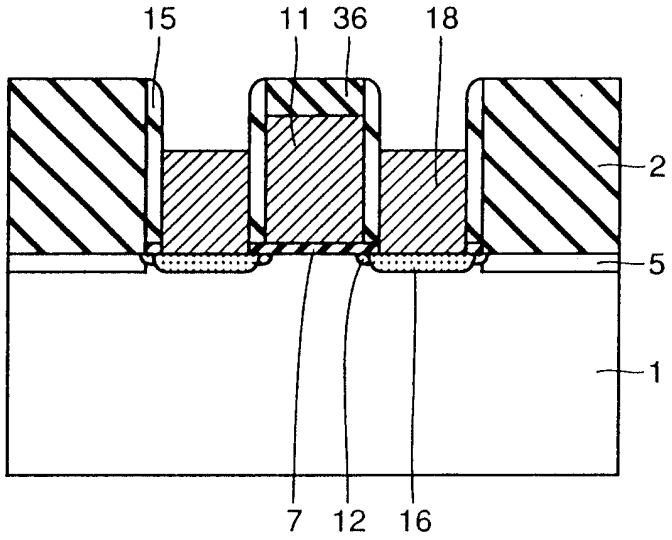


圖71

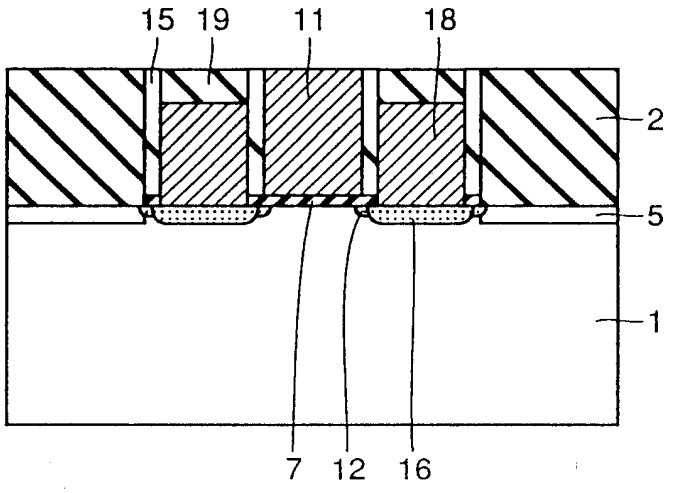


圖72

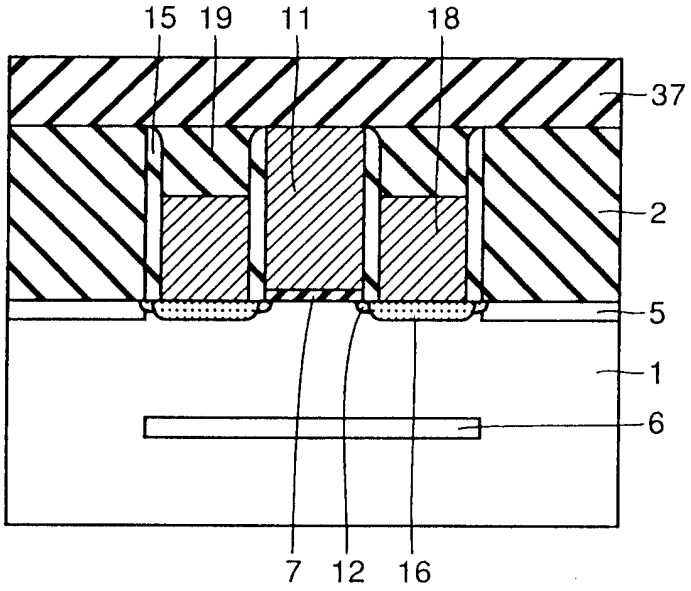


圖73

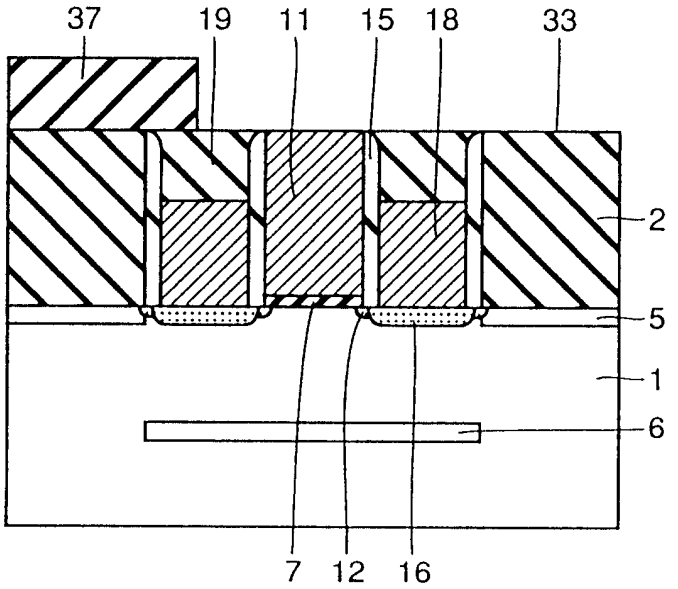


圖74

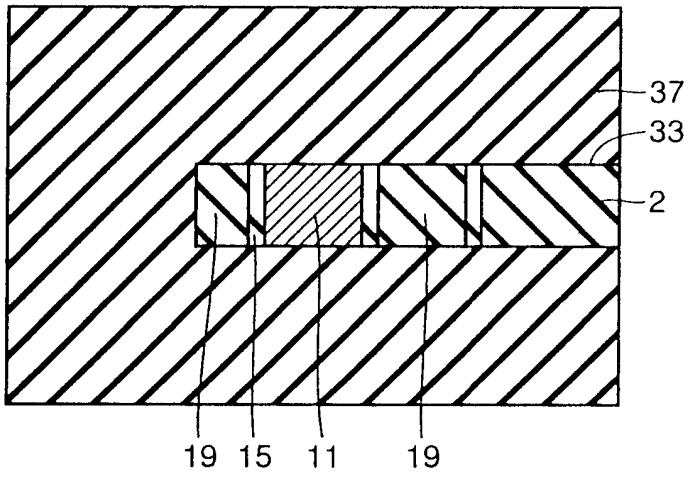


圖75

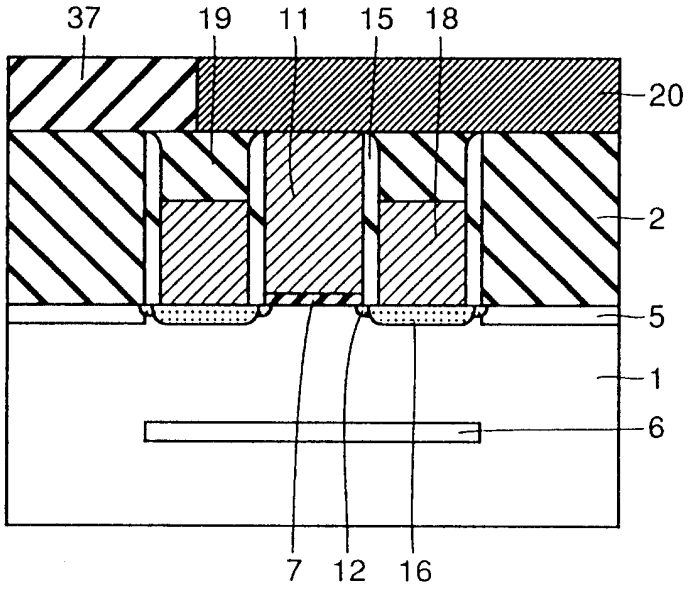


圖76

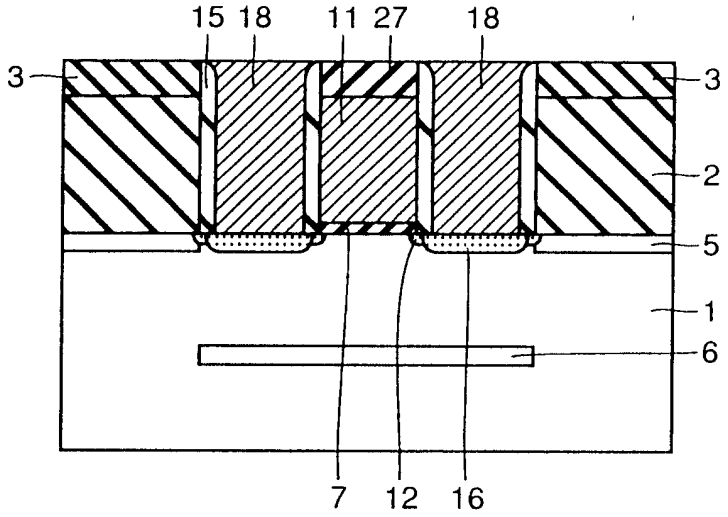


圖77

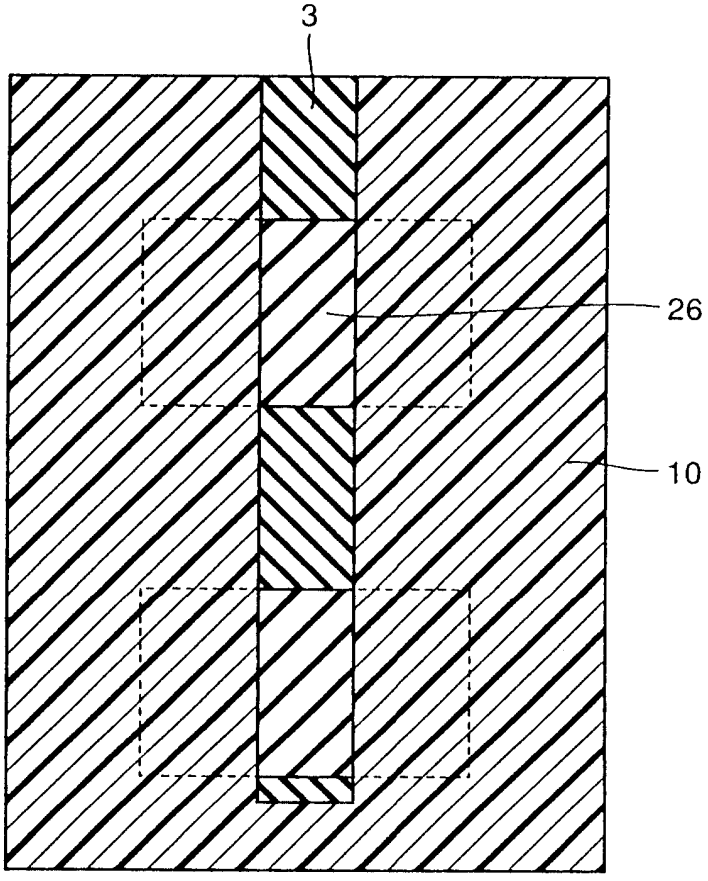


圖78

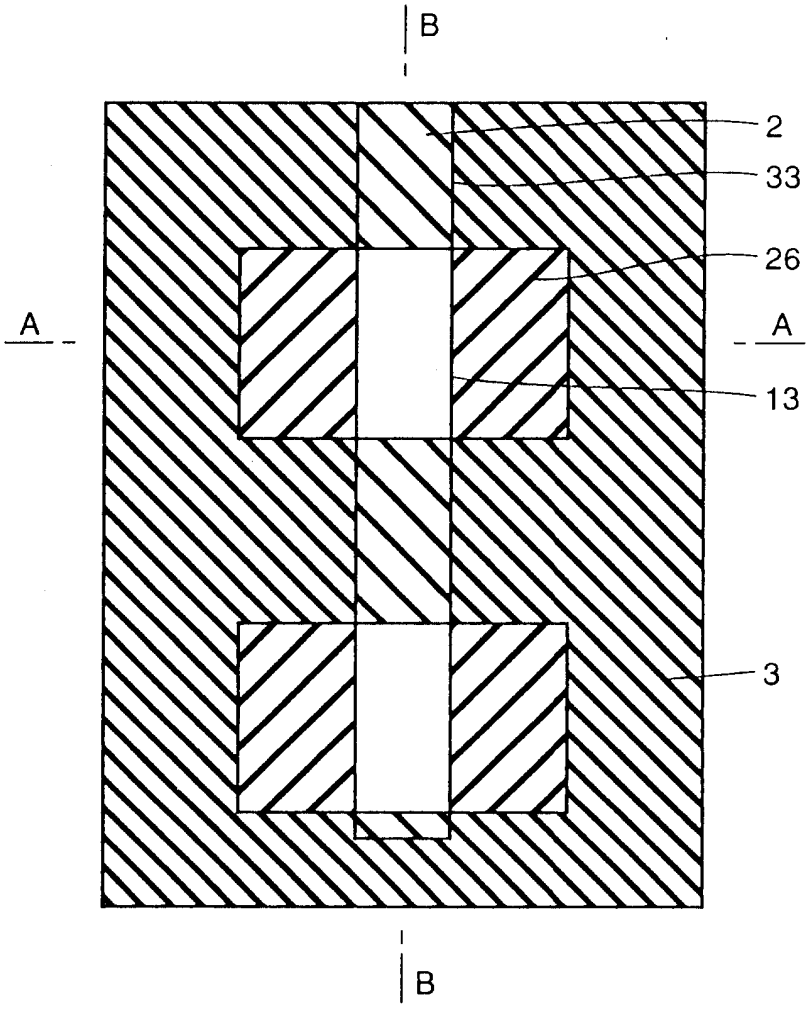


圖79

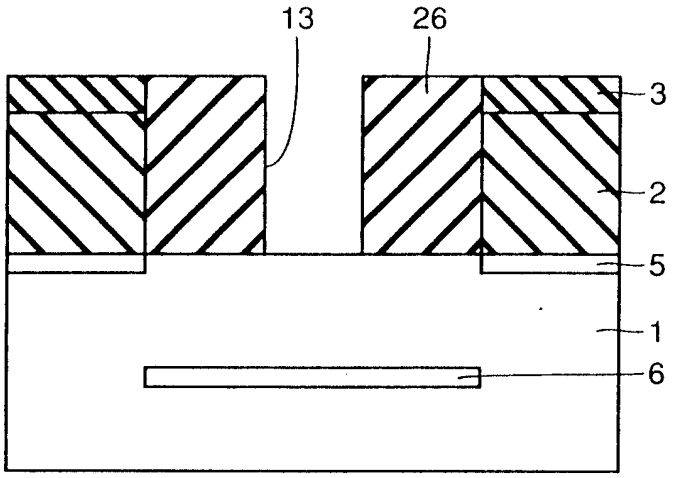


圖80

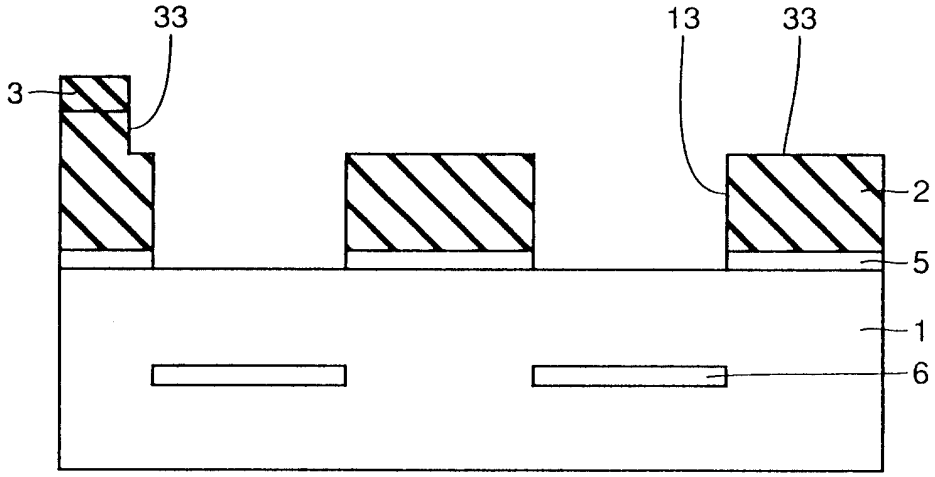


圖81

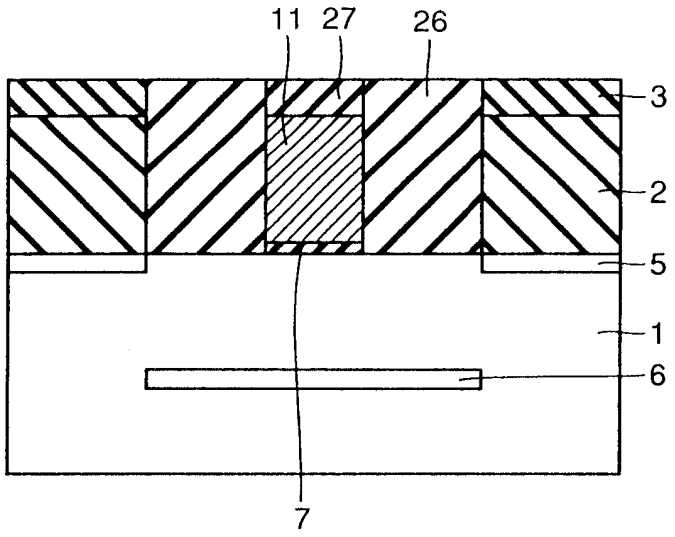


圖82

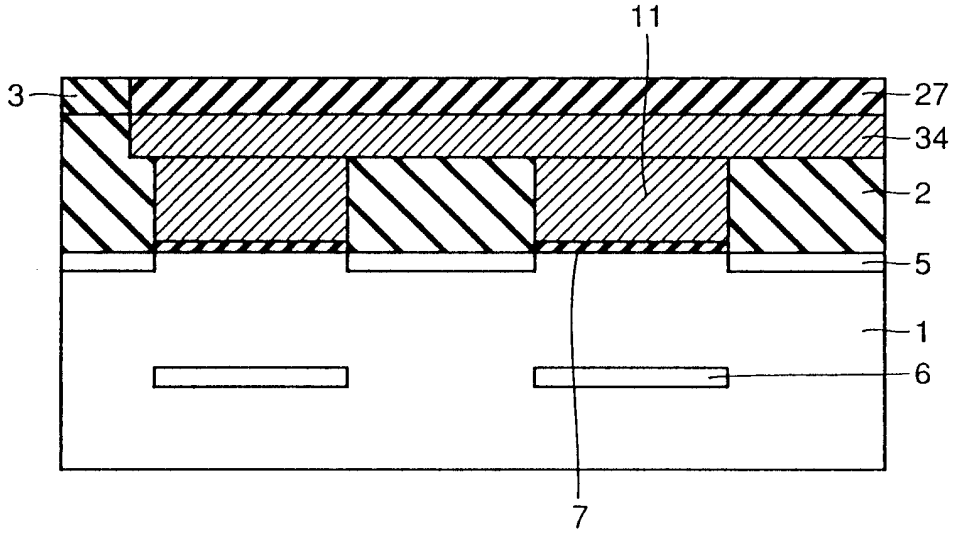


圖83

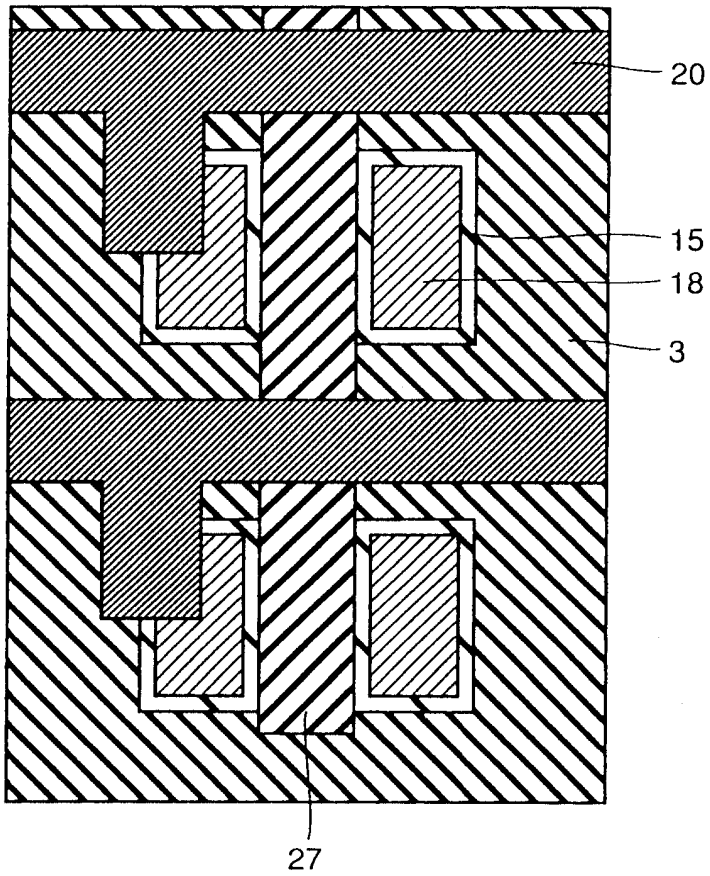


圖84

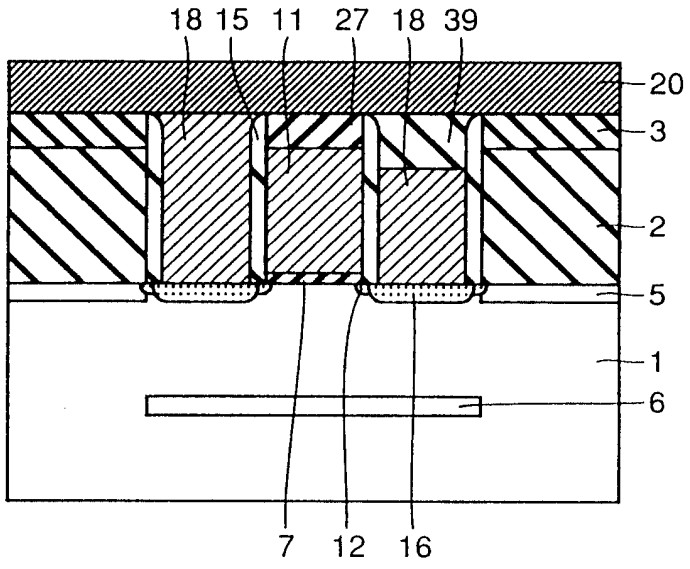


圖85

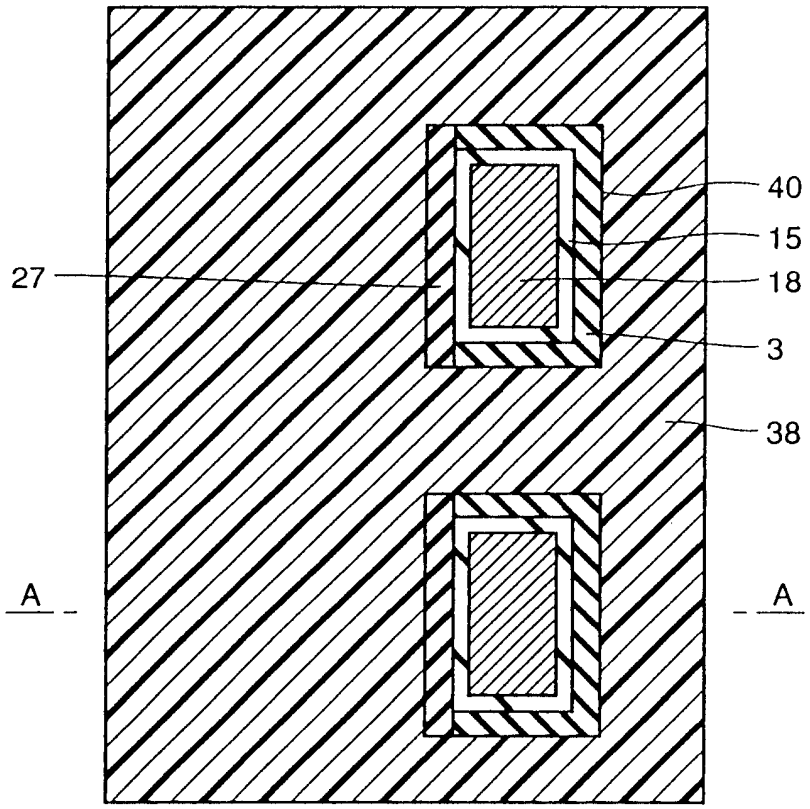


圖86

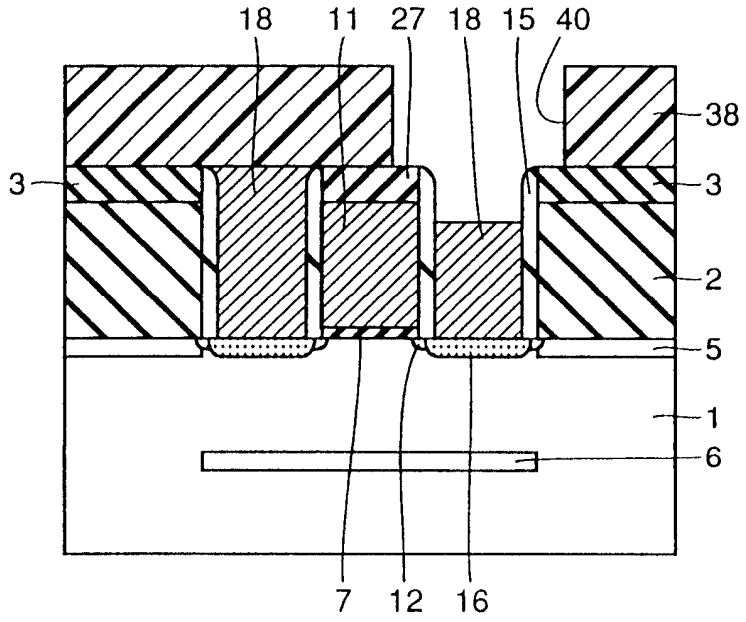


圖87

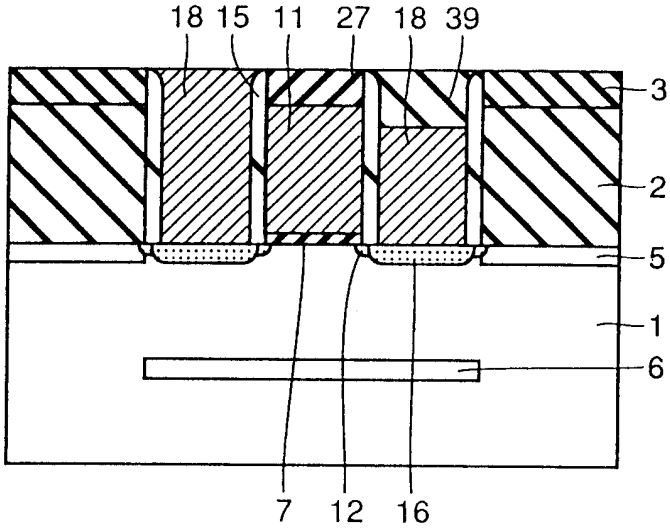


圖88

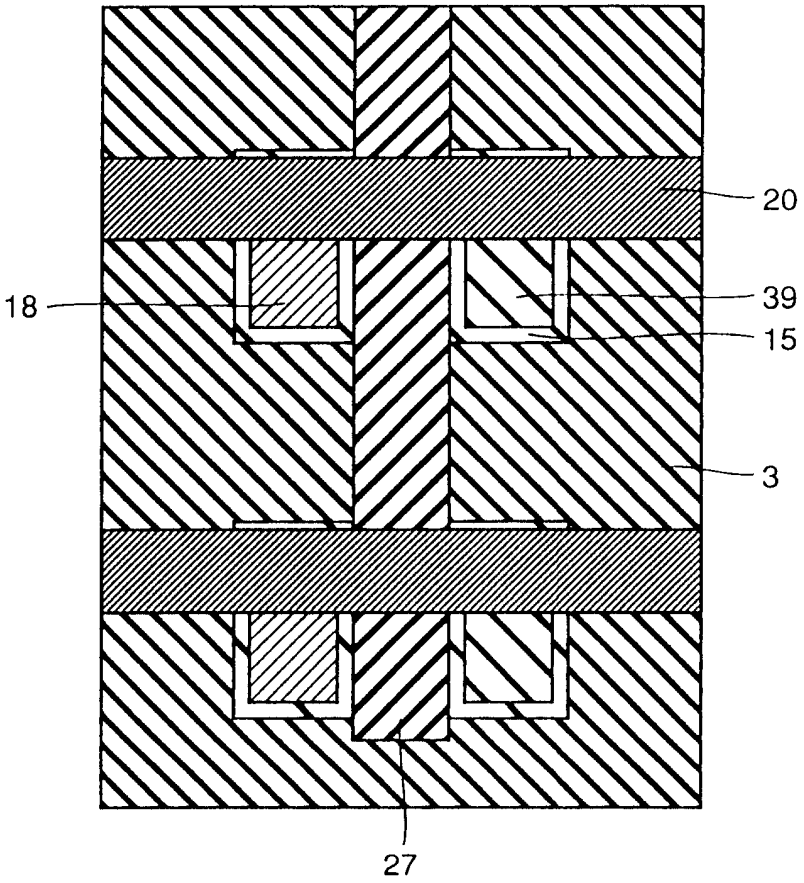


圖89

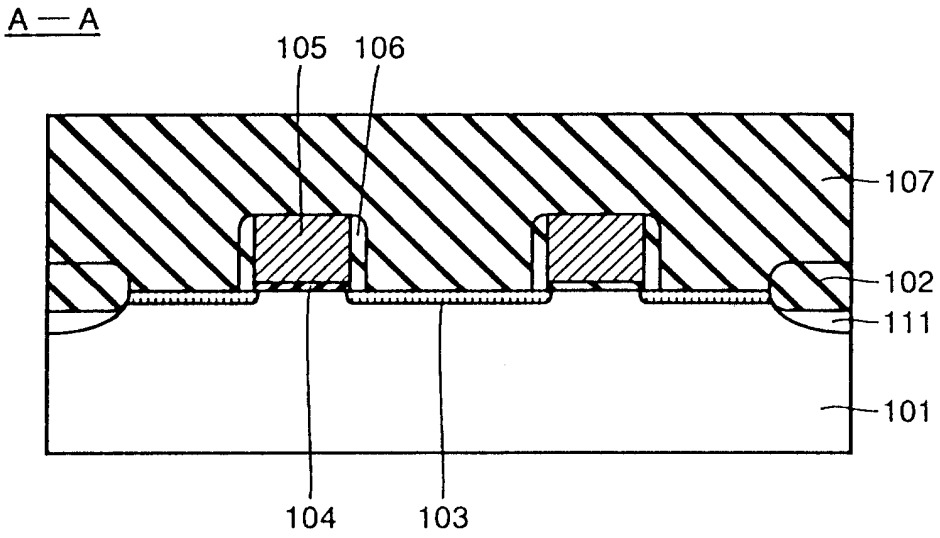

A — A
105
106
107
102
111
101
104
103

圖90

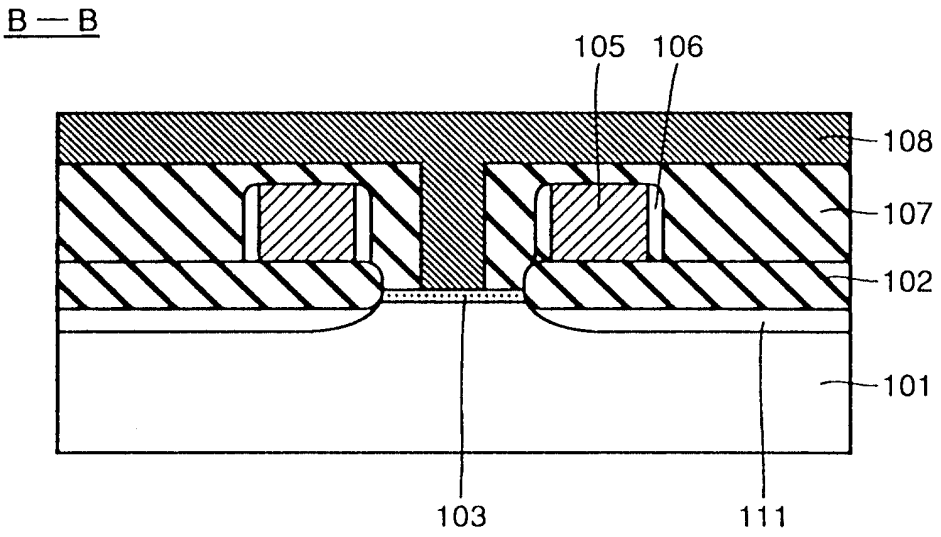

B — B
105
106
108
107
102
101
103
111

圖91

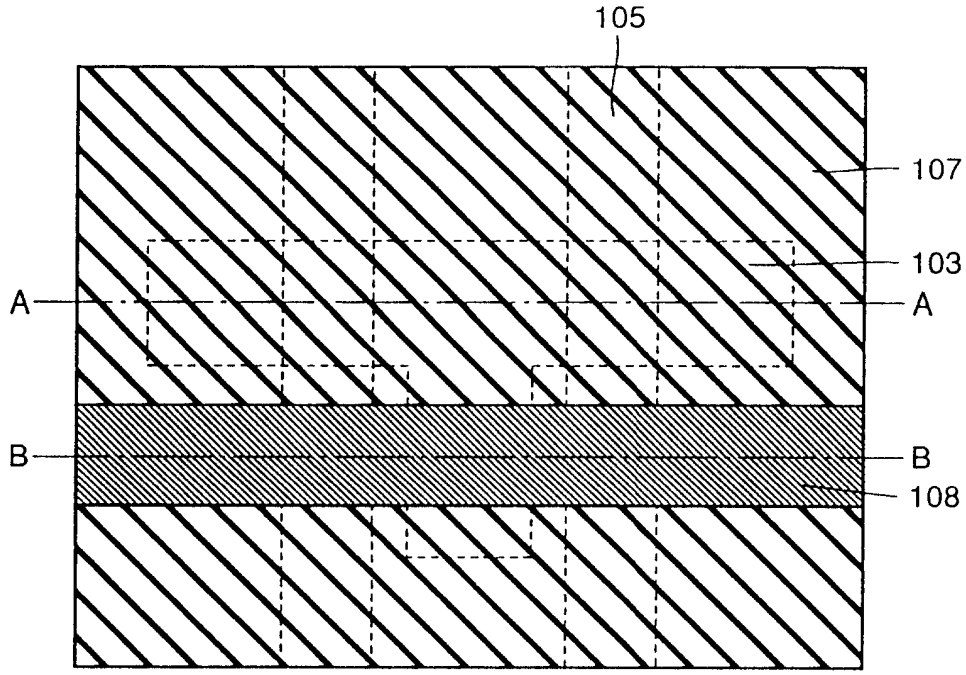


圖92

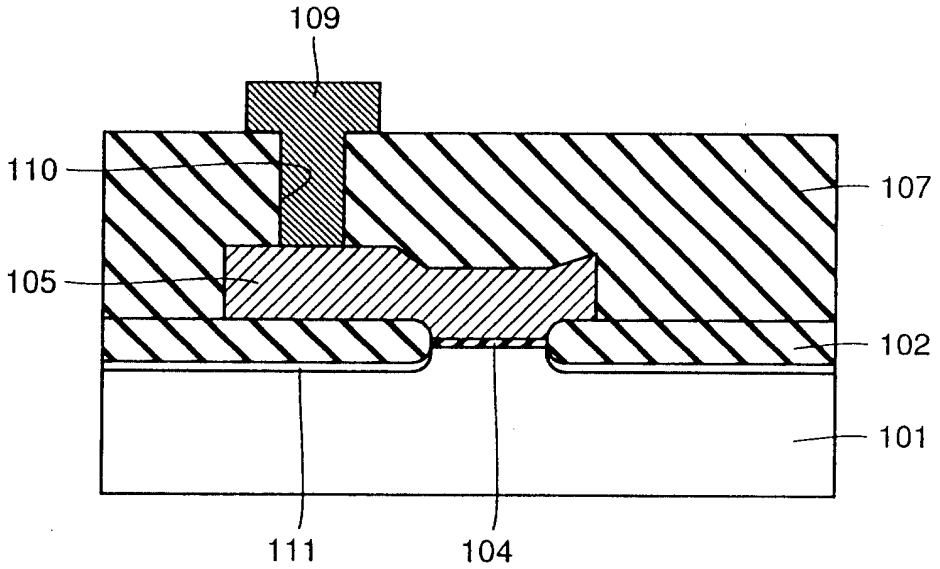


圖93

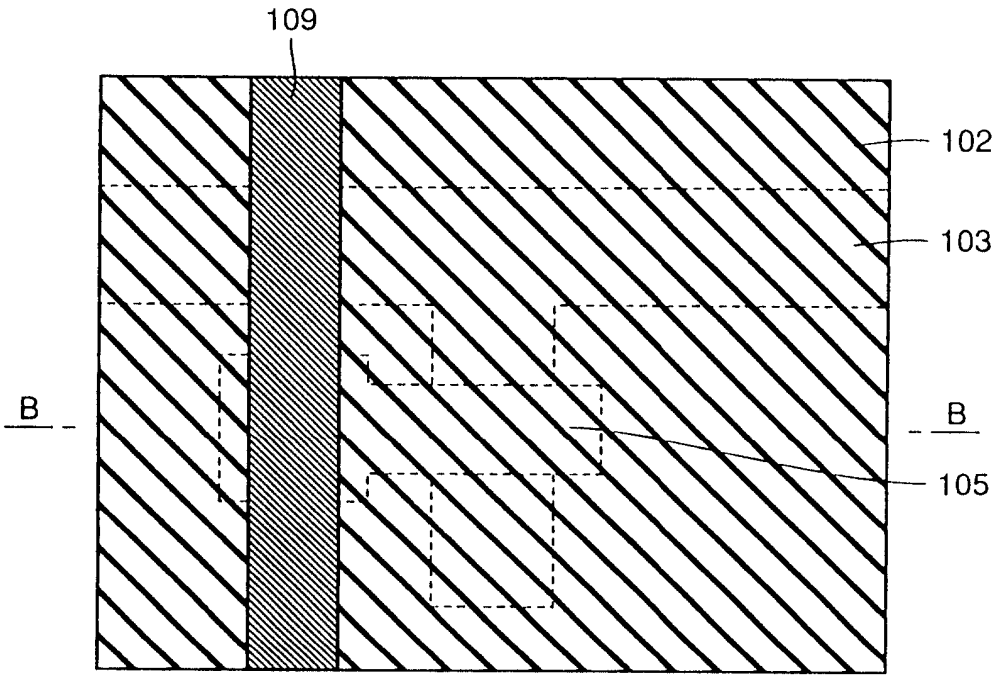


圖94

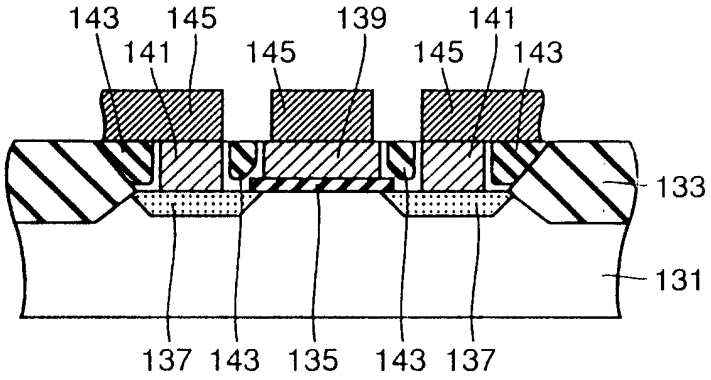
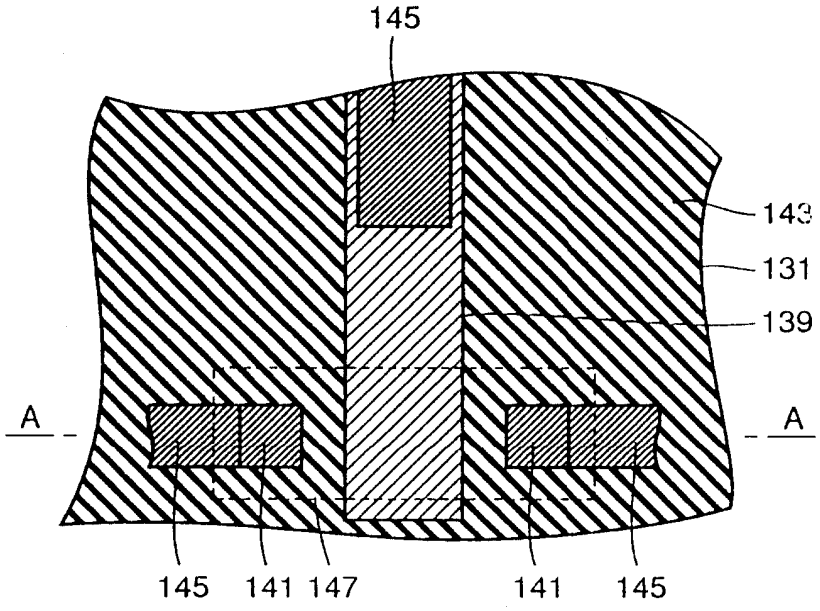

143
145
139
141
141
145
145
143
133
131
137
143
135
143
137

圖95


145
143
131
139
A
A
145
141
147
141
145