



(12) 发明专利

(10) 授权公告号 CN 111742408 B

(45) 授权公告日 2024.05.28

(21) 申请号 201980008397.X  
 (22) 申请日 2019.01.17  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 111742408 A  
 (43) 申请公布日 2020.10.02  
 (30) 优先权数据  
 2018-010564 2018.01.25 JP  
 (85) PCT国际申请进入国家阶段日  
 2020.07.14  
 (86) PCT国际申请的申请数据  
 PCT/IB2019/050375 2019.01.17  
 (87) PCT国际申请的公布数据  
 W02019/145827 JA 2019.08.01  
 (73) 专利权人 株式会社半导体能源研究所  
 地址 日本神奈川  
 (72) 发明人 国武宽司 长塚修平  
 (74) 专利代理机构 中国贸促会专利商标事务所  
 有限公司 11038  
 专利代理师 贾成功  
 (51) Int. Cl.  
 H01L 27/06 (2006.01)  
 G02F 1/1368 (2006.01)

H01L 21/336 (2006.01)  
 H01L 21/822 (2006.01)  
 H01L 21/8234 (2006.01)  
 H10B 12/00 (2023.01)  
 H01L 27/04 (2006.01)  
 H01L 27/088 (2006.01)  
 H10B 41/70 (2023.01)  
 H01L 29/786 (2006.01)  
 H10K 59/10 (2023.01)  
 H01L 29/788 (2006.01)  
 H01L 29/792 (2006.01)  
 H05B 33/14 (2006.01)

(56) 对比文件

CN 101030585 A, 2007.09.05  
 CN 101159388 A, 2008.04.09  
 CN 105027284 A, 2015.11.04  
 CN 106165106 A, 2016.11.23  
 CN 107431042 A, 2017.12.01  
 US 2011010332 A1, 2011.01.13  
 US 2016027809 A1, 2016.01.28  
 US 2017126176 A1, 2017.05.04  
 US 5969929 A, 1999.10.19

审查员 李宁馨

权利要求书2页 说明书50页 附图28页

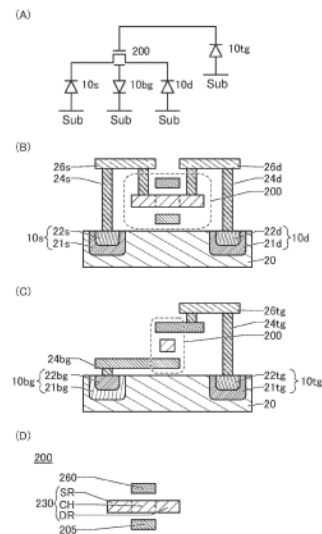
(54) 发明名称

半导体材料及半导体装置

(57) 摘要

提供一种抑制导致特性变动、元件劣化或绝缘破坏的带电现象的半导体装置。该半导体装置包括：衬底上的第一晶体管、第二晶体管、第三晶体管及第四晶体管，其中，第四晶体管包括第一导电体、第二导电体、第三导电体及氧化物半导体，第一导电体通过第一晶体管与半导体衬底电连接，第二导电体通过第一晶体管与半导体衬底电连接，第三导电体通过第一晶体管与半导体衬底电连接，并且，第四导电体通过第一晶体管与半导体衬底电连接。

CN 111742408 B



1. 一种半导体装置,包括:  
包括半导体衬底上的第一导电体、第二导电体、第三导电体及氧化物半导体的晶体管;  
与所述第一导电体电连接的第一之二极管元件;  
与所述第二导电体电连接的第二之二极管元件;以及  
与所述第三导电体电连接的第三之二极管元件,  
其中,所述第一导电体为所述晶体管的源极和漏极中的一个,  
所述第二导电体为所述晶体管的所述源极和所述漏极中的另一个,  
所述第三导电体为所述晶体管的栅极,  
在所述晶体管中带电的电荷通过所述第一之二极管元件、所述第二之二极管元件或所述第三之二极管元件迁移到所述半导体衬底。
2. 根据权利要求1所述的半导体装置,还包括:第四之二极管元件,  
其中,所述第四之二极管元件与所述半导体衬底电连接。
3. 根据权利要求1所述的半导体装置,  
其中,所述半导体装置包括两个以上的晶体管。
4. 一种半导体装置,包括:  
包括衬底上的第一导电体、第二导电体、第三导电体及氧化物半导体的晶体管;  
与所述第一导电体电连接的第一电容器;  
与所述第二导电体电连接的第二电容器;以及  
与所述第三导电体电连接的第三电容器,  
其中,所述第一导电体为所述晶体管的源极和漏极中的一个,  
所述第二导电体为所述晶体管的所述源极和所述漏极中的另一个,  
所述第三导电体为所述晶体管的第一栅极,  
在所述晶体管中带电的电荷迁移到所述第一电容器、所述第二电容器或所述第三电容器并被固定。
5. 根据权利要求4所述的半导体装置,  
其中所述第一电容器、所述第二电容器及所述第三电容器与第四导电体电连接。
6. 根据权利要求5所述的半导体装置,  
其中所述第四导电体被用作所述晶体管的第二栅极。
7. 根据权利要求4所述的半导体装置,  
其中所述半导体装置包括两个以上的晶体管。
8. 一种半导体装置,包括:半导体衬底上的第一晶体管、第二晶体管、第三晶体管及第四晶体管,  
其中,所述第四晶体管包括第一导电体、第二导电体、第三导电体及氧化物半导体,  
所述第一导电体通过所述第一晶体管与所述半导体衬底电连接,  
所述第二导电体通过所述第二晶体管与所述半导体衬底电连接,  
所述第三导电体通过所述第三晶体管与所述半导体衬底电连接,  
所述第一导电体为所述第四晶体管的源极和漏极中的一个,  
所述第二导电体为所述第四晶体管的所述源极和所述漏极中的另一个,以及  
所述第三导电体为所述第四晶体管的栅极。

9. 根据权利要求8所述的半导体装置，  
其中所述第一晶体管、所述第二晶体管及所述第三晶体管被用作电容器。
10. 根据权利要求8所述的半导体装置，  
其中所述第一晶体管、所述第二晶体管及所述第三晶体管被用作二极管元件。

## 半导体材料及半导体装置

### 技术领域

[0001] 本发明的一个方式涉及一种半导体材料及半导体装置。

[0002] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置及电子设备等有时包括半导体装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

### 背景技术

[0004] 作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。但是,作为其他材料,氧化物半导体受到关注。作为氧化物半导体,例如,已知除了如氧化铟、氧化锌等单元金属氧化物之外还有多元金属氧化物。在多元金属氧化物中,有关In-Ga-Zn氧化物(以下也称为IGZO)的研究尤为火热。

[0005] 通过对IGZO的研究,在氧化物半导体中,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline:c轴取向结晶)结构及nc(nanocrystalline:纳米晶)结构(参照非专利文献1至非专利文献3)。非专利文献1及非专利文献2中公开了一种使用具有CAAC结构的氧化物半导体制造晶体管的技术。非专利文献4及非专利文献5中公开了一种比CAAC结构及nc结构的结晶性更低的氧化物半导体中也具有微小的结晶。

[0006] 将IGZO用于活性层的晶体管具有极低的关态电流(参照非专利文献6),已知有利利用了该特性的LSI及显示器(参照非专利文献7及非专利文献8)。

[0007] [先行技术文献]

[0008] [非专利文献]

[0009] [非专利文献1]S.Yamazaki et al.,“SID Symposium Digest of Technical Papers”,2012,volume 43,issue 1,p.183-186

[0010] [非专利文献2]S.Yamazaki et al.,“Japanese Journal of Applied Physics”,2014,volume 53,Number 4S,p.04ED18-1-04ED18-10

[0011] [非专利文献3]S.Ito et al.,“The Proceedings of AM-FPD’13Digest of Technical Papers”,2013,p.151-154

[0012] [非专利文献4]S.Yamazaki et al.,“ECS Journal of Solid State Science and Technology”,2014,volume 3,issue 9,p.Q3012-Q3022

[0013] [非专利文献5]S.Yamazaki,“ECS Transactions”,2014,volume 64,issue 10,p.155-164

[0014] [非专利文献6]K.Kato et al.,“Japanese Journal of Applied Physics”,2012,volume 51,p.021201-1-021201-7

[0015] [非专利文献7] S.Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216-T217

[0016] [非专利文献8] S.Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626-629

## 发明内容

[0017] 发明所要解决的技术问题

[0018] 本发明的一个方式的目的之一是抑制半导体装置中的导致特性变动、元件劣化或绝缘破坏的带电现象。尤其是,因为随着微型化而栅极绝缘膜等各种绝缘膜的厚度减少,所以异常带电所引起的绝缘破坏是更重大的问题。

[0019] 本发明的一个方式的目的之一是提供一种能够长期间保持数据的半导体装置。本发明的一个方式的目的之一是提供一种在包括使用氧化物半导体的晶体管的半导体装置中晶体管的电特性及可靠性稳定的半导体装置。

[0020] 本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。本发明的一个方式的目的之一是提供一种生产率高的半导体装置。本发明的一个方式的目的之一是提供一种设计自由度高的半导体装置。

[0021] 本发明的一个方式的目的之一是提供一种能够抑制功耗的半导体装置。本发明的一个方式的目的之一是提供一种数据的写入速度快的半导体装置。本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0022] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。另外,说明书、附图以及权利要求书等的记载中显然存在上述目的以外的目的,可以从说明书、附图以及权利要求书等的记载中获得上述目的以外的目的。

[0023] 解决技术问题的手段

[0024] 本发明的一个方式包括:包括衬底上的第一导电体、第二导电体、第三导电体及氧化物半导体的晶体管;第一之二极管元件;第二之二极管元件;以及第三之二极管元件,其中,在晶体管中带电的电荷通过第一之二极管元件、第二之二极管元件或第三之二极管元件迁移到半导体衬底。

[0025] 在上述结构中,第一之二极管元件、第二之二极管元件、第三之二极管元件及第四之二极管元件与第四导电体电连接。

[0026] 本发明的一个方式包括:包括衬底上的第一导电体、第二导电体、第三导电体及氧化物半导体的晶体管;第一电容器;第二电容器;以及第三电容器,其中,在晶体管中带电的电荷迁移到第一电容器、第二电容器或第三电容器并被固定。

[0027] 在上述结构中,第一电容器、第二电容器及第三电容器与第四导电体电连接。

[0028] 在上述结构中,第四导电体被用作晶体管的栅电极。

[0029] 在上述结构中,半导体装置包括两个以上的晶体管。

[0030] 本发明的一个方式包括:衬底上的第一晶体管、第二晶体管、第三晶体管及第四晶体管,其中,第四晶体管包括第一导电体、第二导电体、第三导电体及氧化物半导体,第一导电体通过第一晶体管与半导体衬底电连接,第二导电体通过第一晶体管与半导体衬底电连

接,第三导电体通过第一晶体管与半导体衬底电连接,并且,第四导电体通过第一晶体管与半导体衬底电连接。

[0031] 在上述结构中,第一晶体管、第二晶体管及第三晶体管被用作电容器。

[0032] 在上述结构中,第一晶体管、第二晶体管及第三晶体管被用作二极管元件。

[0033] 发明效果

[0034] 根据本发明的一个方式,可以提供一种元件的劣化或绝缘破坏被抑制的半导体装置。根据本发明的一个方式,可以提供一种能够长期间保持数据的半导体装置。根据本发明的一个方式,可以提供一种在包括使用氧化物半导体的晶体管的半导体装置中晶体管的电特性及可靠性稳定的半导体装置。

[0035] 根据发明的一个方式,可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式,可以提供一种能够实现微型化或高集成化的半导体装置。根据本发明的一个方式,可以提供一种生产率高的半导体装置。根据本发明的一个方式,可以提供一种设计自由度高的半导体装置。

[0036] 根据本发明的一个方式,可以提供一种数据的写入速度快的半导体装置。根据本发明的一个方式,可以提供一种能够抑制功耗的半导体装置。根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0037] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。另外,说明书、附图以及权利要求书等的记载中显然存在上述效果以外的效果,可以从说明书、附图以及权利要求书等的记载中获得上述效果以外的效果。

[0038] 附图简要说明

[0039] [图1]根据本发明的一个方式的半导体装置的电路图及截面图。

[0040] [图2]根据本发明的一个方式的半导体装置的电路图及截面图。

[0041] [图3]根据本发明的一个方式的半导体装置的电路图及截面图。

[0042] [图4]根据本发明的一个方式的半导体装置的电路图及截面图。

[0043] [图5]根据本发明的一个方式的半导体装置的电路图及截面图。

[0044] [图6]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0045] [图7]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0046] [图8]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0047] [图9]根据本发明的一个方式的半导体装置的俯视图。

[0048] [图10]根据本发明的一个方式的半导体装置的俯视图。

[0049] [图11]根据本发明的一个方式的半导体装置的俯视图。

[0050] [图12]说明根据本发明的一个方式的晶体管的结构例子的图。

[0051] [图13]说明根据本发明的一个方式的晶体管的结构例子的图。

[0052] [图14]说明根据本发明的一个方式的晶体管的结构例子的图。

[0053] [图15]说明根据本发明的一个方式的晶体管的结构例子的图。

[0054] [图16]示出根据本发明的一个方式的存储装置的结构截面图。

[0055] [图17]示出根据本发明的一个方式的存储装置的结构截面图。

[0056] [图18]示出根据本发明的一个方式的存储装置的结构例子的方框图及示意图。

[0057] [图19]示出根据本发明的一个方式的存储装置的结构例子的电路图。

[0058] [图20]根据本发明的一个方式的半导体装置的方框图及示意图。

[0059] [图21]根据本发明的一个方式的存储装置的示意图。

[0060] [图22]说明显示装置的一个例子及像素的电路结构例子的图。

[0061] [图23]说明像素的电路结构例子的图。

[0062] [图24]说明驱动电路的结构例子的图。

[0063] [图25]说明显示装置的一个例子的图。

[0064] [图26]说明显示装置的一个例子的图。

[0065] [图27]说明显示模块的一个例子的图。

[0066] [图28]示出根据本发明的一个方式的电子设备的图。

[0067] 实施发明的方式

[0068] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0069] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。另外,在附图中,有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。另外,有时使用同一阴影线表示具有相同功能的部分,而不特别附加附图标记。

[0070] 在本说明书中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0071] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有形成沟道的区域,并且电流能够流过漏极、形成沟道的区域以及源极。注意,在本说明书等中,形成沟道的区域是指电流主要流过的区域。

[0072] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,源极和漏极可以相互调换。

[0073] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻器、电感器、电容器、其他具有各种功能的元件等。

[0074] 在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测量各元素的含量。

[0075] 另外,在本说明书等中,“平行”是指在 $-10^{\circ}$ 以上且 $10^{\circ}$ 以下的角度的范围中配置两条直线的状态。因此,也包括角度为 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的情况。此外,“大致平行”是指两条直线形成的角度为 $-30^{\circ}$ 以上且 $30^{\circ}$ 以下的状态。另外,“垂直”是指在 $80^{\circ}$ 以上且 $100^{\circ}$ 以下的角度的范围中配置两条直线的状态。因此,也包括角度为 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的情况。另外,“大

致垂直”是指两条直线形成的角度为 $60^\circ$ 以上且 $120^\circ$ 以下的情况。

[0076] 注意,在本说明书中,阻挡膜是指具有抑制氢等杂质或氧的透过的功能的膜,在该阻挡膜具有导电性的情况下,有时被称为导电阻挡膜。

[0077] 另外,在本说明书等中,晶体管的常开启特性是指在电源不供应电位(0V)时处于导通状态的特性。例如,晶体管的常开启特性有时是指在对晶体管的栅极施加的电压( $V_g$ )为0V的情况下漏极与源极间流过电流( $I_d$ )的电特性。

[0078] 在本说明书等中,氧化物半导体是一种金属氧化物(metal oxide)。金属氧化物是包含金属元素的氧化物。金属氧化物有时根据组成及形成方法呈现绝缘性、半导体性以及导电性。呈现半导体性的金属氧化物被称为金属氧化物半导体或氧化物半导体(Oxide Semiconductor,也可以简称为OS)。呈现绝缘性的金属氧化物被称为金属氧化物绝缘体或氧化物绝缘体。呈现导电性的金属氧化物被称为金属氧化物导电体或氧化物导电体。换言之,用于晶体管的沟道形成区域中等的金属氧化物可以被称为氧化物半导体。

[0079] (实施方式1)

[0080] 在本实施方式中,参照图1至图5说明本发明的一个方式的包括使用氧化物半导体的晶体管的半导体装置。

[0081] 在使用氧化物半导体的晶体管中,为了防止静电破坏,使用由二极管元件(保护二极管)或电容器(保护电容器)构成的保护电路确保放电路径是有效的。于是,在本发明的一个方式中,使用氧化物半导体的晶体管与二极管元件或电容器设置在同一衬底上。

[0082] <半导体装置的结构例子>

[0083] 图1D是根据本发明的一个方式的晶体管200的示意图。注意,在图1D中,为了明确起见,省略附图中的部分构成要素。

[0084] [晶体管200]

[0085] 如图1D所示,晶体管200至少包括被用作栅极的260和包括形成沟道的区域CH(以下,也称为沟道形成区域)、被用作源极的区域SR及被用作漏极的区域DR的氧化物230。

[0086] 晶体管200也可以在氧化物230的下方包括导电体205。此外,导电体205也可以被用作第二栅极。例如,通过独立地改变供应到导电体205的电位而不使其与供应到导电体260的电位联动,可以控制晶体管200的阈值电压。尤其是,通过对导电体205供应负电位,可以使晶体管200的阈值电压大于0V且可以减小关态电流。因此,与不对导电体205施加负电位时相比,在对导电体205施加负电位的情况下,可以减小对导电体260供应的电位为0V时的漏极电流。

[0087] 另外,例如通过将导电体205重叠于导电体260,在对导电体260及导电体205供应相等电位的情况下,从导电体260产生的电场和从导电体205产生的电场连接,可以覆盖形成在氧化物230中的沟道形成区域。就是说,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕沟道形成区域。在本说明书中,将由第一栅电极的电场和第二栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel:围绕沟道)结构。

[0088] 另外,作为氧化物230,优选使用包含镧的金属氧化物。例如,可以使用In-M-Zn氧化物(元素M为选自铝、镓、铋、铜、钒、铍、硼、钛、铁、镍、锗、铟、镉、铊、钨和镁等中的一种或多种)等金属氧化物。此外,作为氧化物230也可以使用In-Ga氧化物、In-Zn氧化物。

[0089] 由于将氧化物半导体用于形成沟道的区域CH的晶体管200的非导通状态下的泄漏电流极小,所以可以提供功耗低的半导体装置。另外,由于氧化物半导体可以使用溅射法等形式,所以可以用于构成高集成型半导体装置的晶体管200。

[0090] 此外,通过将氧化物半导体用作活性层,可以使用形成在半导体衬底、导电衬底或绝缘衬底上的半导体薄膜构成薄膜晶体管。再者,还可以使用设置有导电体或半导体的绝缘衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电衬底。另外,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电感元件、电阻器(开关元件、发光元件、存储元件等)等。

[0091] 在此,晶体管的各构成要素可以通过反复进行使用适用于各构成要素的材料进行成膜并对该膜进行加工成形来制造。

[0092] 上述膜例如利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法或原子层沉积(ALD:Atomic Layer Deposition)法等形成。

[0093] CVD法可以分为利用等离子体的等离子体CVD(PECVD:Plasma Enhanced CVD)法、利用热的热CVD(TCVD:Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者,CVD法可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法及有机金属CVD(MOCVD:Metal Organic CVD)法。

[0094] 在此,通过利用等离子体CVD法,能够以较低的温度得到高品质的膜。另一方面,通过在成膜时产生的等离子体接收电荷,半导体装置所包括的布线、电极、元件(晶体管、电容器等)等有可能发生带电现象(charging)(成为带电状态也可以说是电荷积聚(charge up))。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极或元件等受损伤。

[0095] 作为对上述膜进行加工成形的的方法,有干蚀刻、湿蚀刻及化学机械抛光(也称为Chemical Mechanical Polishing:CMP)处理等。当随着器件的尺寸缩小而进行微型加工时,一般进行使用等离子体的干蚀刻。另一方面,干蚀刻也有时因等离子体而进行电荷积聚。

[0096] 例如,在形成布线的工序中,布线的分断容易使各布线成为电浮动状态。被分断了的各布线在之后的工序中会发生电荷积聚,这成为引起元件的静电破坏(ESD:Electro-Static Discharge)的原因。尤其是,当在晶体管的各电极中带电的电位不同时,栅极绝缘体被破坏的可能性较高。

[0097] 发生带电现象的原因及环境极为复杂且是各种样的。因此,优选的是,不仅查明带电现象所发生的原因及环境而且提高半导体装置的结构本身的对带电现象所引起的劣化或绝缘破坏的耐性。

[0098] 于是,为了防止晶体管200的带电现象所引起的劣化或绝缘破坏,使用由二极管(保护二极管)或电容器构成的保护电路确保放电路径。通过确保放电路径,可以防止在绝缘膜中积累的电荷在半导体元件附近进行放电。

[0099] <使用半导体衬底的半导体装置的结构例子>

[0100] 以下,参照图1A示出使用半导体衬底的半导体装置的例子。

[0101] 图1A是根据本发明的一个方式的包括晶体管200的半导体装置的电路图。图1A所

示的半导体装置包括与晶体管200的各电极电连接的二极管10(二极管10tg、二极管10bg、二极管10s及二极管10d)。晶体管200通过各二极管与衬底20连接。

[0102] 衬底20优选使用半导体衬底。例如,将衬底20配置在接地的载物台等上。由于在晶体管200中带电的电荷通过二极管10向接地电位(GND)的方向流过,所以最终被放电。

[0103] 另外,一般而言,电位(电压)是相对的,其大小根据与基准电位之差决定。因此,在本说明书中,“接地”、“GND”等的记载不一定是指电位为0V的情况。例如,有时以电路中的最低电位为基准而定义“接地”或“GND”。或者,有时以电路中的中间电位为基准而定义“接地”或“GND”。注意,以“接地”、“GND”等的电位为基准规定正电位或负电位。

[0104] 在此,图1B及图1C示出图1A中的根据本发明的一个方式的包括晶体管200的半导体装置的截面图的一个例子。图1B是晶体管200的L长度方向的截面图,图1C是晶体管200的W长度方向的截面图。注意,在图1B及图1C中,为了明确起见,省略附图中的部分构成要素。

[0105] 如图1B及图1C所示,半导体装置至少包括被用作晶体管的晶体管200、二极管10s、二极管10d、二极管10tg及二极管10bg。二极管10(二极管10s、二极管10d、二极管10tg及二极管10bg)各自包括区域21(区域21s、区域21d、区域21tg及区域21bg)及区域22(区域22s、区域22d、区域22tg及区域22bg)。

[0106] 半导体装置包括与晶体管200的源极和漏极中的一个电连接的插头、与该插头电连接的布线26s以及与布线26s和二极管10s的区域22s电连接的插头24s。

[0107] 半导体装置包括与晶体管200的源极和漏极中的另一个电连接的插头、与该插头电连接的布线26d以及与布线26d和二极管10d的区域22d电连接的插头24d。

[0108] 半导体装置包括与导体260电连接的插头、与该插头电连接的布线26tg以及与布线26tg和二极管10tg的区域22tg电连接的插头24tg。

[0109] 半导体装置包括使晶体管200的导体205和二极管10bg的区域22bg电连接的插头24bg。

[0110] 例如,衬底20可以使用p型单晶硅衬底。此时,能够使衬底20的一部分选择性地导电化而形成所谓的嵌入型二极管。可以将该嵌入型二极管用作二极管10。

[0111] 具体而言,在图1中,通过在p型单晶硅衬底的衬底20中形成薄的p型区域的区域21s、区域21d及区域21tg并在其上部形成n型区域的区域22s、区域22d及区域22tg,来形成二极管10s、二极管10d及二极管10tg。另一方面,通过在p型单晶硅衬底的衬底20中形成薄的n型区域的区域21bg并在其上部形成p型区域,来形成二极管10bg。

[0112] 注意,在作为衬底20使用p型单晶硅衬底的情况下,也可以不设置薄的p型区域。此外,在使用衬底20设置Si晶体管等的情况下,可以在与形成该Si晶体管的工序同时设置区域21及区域22。

[0113] 注意,虽然上面示出使用单晶半导体衬底的例子,但是也可以使用SOI(Silicon On Insulator:绝缘体上硅)结构的衬底。作为半导体衬底,例如除了由硅构成的半导体衬底之外还可以举出由锗等构成的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓等构成的化合物半导体衬底等。再者,还有在上述半导体衬底内部具有绝缘体区域的半导体衬底。

[0114] 注意,在图1B及图1C中,在晶体管200的L长度方向上形成二极管10s及二极管10d,在晶体管200的W长度方向上形成二极管10bg及二极管10tg,但是不局限于本结构,可以根

据所需要的电路设计适当地改变布局。

[0115] 注意,可以根据需要设置二极管10s、二极管10d、二极管10tg及二极管10bg。例如,在晶体管200不具有导电体205时,不需要设置二极管10bg。

[0116] 此外,不一定需要对一个晶体管200设置成对的一个二极管10。对多个晶体管200设置的二极管10的个数也可以比晶体管200的个数少。例如,当排列为阵列状的多个晶体管200共同使用布线时,对共同使用的布线设置至少一个二极管10,即可。

[0117] <使用导电衬底的半导体装置的结构例子>

[0118] 以下,参照图2及图3说明使用导电衬底的半导体装置的例子。

[0119] 导电衬底与半导体衬底不同,难以设置嵌入型二极管。于是,将使用氧化物半导体的晶体管200t和被用作二极管元件或电容器的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg制造在同一衬底上。因此,优选在与晶体管200t同时设置晶体管200s、晶体管200d、晶体管200tg及晶体管200bg。就是说,晶体管200s、晶体管200d、晶体管200tg及晶体管200bg配置在与晶体管200t同一的层。

[0120] 此外,可以在导电衬底上设置多个单元阵列(单元阵列是指多个晶体管的集合体)。晶体管200s、晶体管200d、晶体管200tg及晶体管200bg可以根据所需要的设计被用作二极管元件或电容器。例如,因为电容器没有电压范围所以可以用于电源电路等。另一方面,在所设计的单元阵列重视响应速度时,可以使用二极管元件。可以按设置在同一衬底上的单元阵列的每一个设置二极管元件或电容器。

[0121] 作为可用于衬底20的导电衬底,有石墨衬底、金属衬底、合金衬底、导电树脂衬底等。另外,有包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,例如可以使用低电阻化了的半导体衬底。例如,可以使用p型单晶硅衬底。

[0122] 注意,在图2及图3中,在晶体管200t的L长度方向上形成晶体管200s及晶体管200d,在晶体管200t的W长度方向上形成晶体管200bg及晶体管200tg,但是不局限于本结构,可以根据所需要的电路设计适当地改变布局。

[0123] 另外,可以根据需要设置晶体管200s、晶体管200d、晶体管200tg及晶体管200bg。例如,在晶体管200不包括导电体205时,不需要设置晶体管200bg。

[0124] 此外,不一定需要对一个晶体管200设置一个晶体管200。对多个晶体管200设置的晶体管200的个数也可以比晶体管200的个数少。例如,当排列为阵列状的多个晶体管200共同使用布线时,对共同使用的布线设置至少一个晶体管200,即可。

[0125] 《具有二极管连接的半导体装置1》

[0126] 图2A是根据本发明的一个方式的包括晶体管200t的半导体装置的电路图。图2A所示的半导体装置包括与晶体管200t的各电极电连接的被用作二极管的多个晶体管(晶体管200tg、晶体管200bg、晶体管200s及晶体管200d)。晶体管200t通过各二极管与衬底20连接。

[0127] 衬底20使用导电衬底。例如,将衬底20配置在接地的载物台等上。由于在晶体管200t中带电的电荷通过晶体管200tg、晶体管200bg、晶体管200s及晶体管200d向接地电位(GND)的方向流过,所以最终被放电。

[0128] 在此,图2B及图2C示出图2A中的根据本发明的一个方式的包括晶体管200t的半导体装置的截面图的一个例子。图2B是晶体管200t的L长度方向的截面图,图2C是晶体管200t的W长度方向的截面图。注意,在图2B及图2C中,为了明确起见,省略附图中的部分构成要

素。

[0129] 如图2B及图2C所示,半导体装置至少包括被用作晶体管的晶体管200t。此外,包括被用作二极管的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg。

[0130] 半导体装置包括与晶体管200t的源极和漏极中的一个电连接的插头、与该插头电连接的布线26s1以及与布线26s1和晶体管200s的源极和漏极中的另一个电连接的插头。另外,包括与晶体管200s的源极和漏极中的一个电连接的插头、与晶体管200s的导电体260电连接的插头以及与这两个插头电连接的布线26s2。另外,包括使布线26s2与衬底20电连接的插头24s。

[0131] 半导体装置包括与晶体管200t的源极和漏极中的另一个电连接的插头、与该插头电连接的布线26d1以及与布线26d1和晶体管200d的源极和漏极中的一个电连接的插头。另外,包括与晶体管200d的源极和漏极中的另一个电连接的插头、与晶体管200d的导电体260电连接的插头以及与这两个插头电连接的布线26d2。另外,包括使布线26d2与衬底20电连接的插头24d。

[0132] 半导体装置包括与晶体管200t的导电体260电连接的插头、与该插头电连接的布线26tg1以及与布线26tg1和晶体管200tg的源极和漏极中的一个电连接的插头。另外,包括与晶体管200tg的源极和漏极中的另一个电连接的插头、与晶体管200tg的导电体260电连接的插头以及与这两个插头电连接的布线26tg2。另外,包括使布线26tg2与衬底20电连接的插头24tg。

[0133] 半导体装置包括与晶体管200t的导电体205电连接的插头、与该插头电连接的布线26bg1、与布线26bg1和晶体管200bg的源极和漏极中的另一个电连接的插头以及使布线26bg1与晶体管200bg的导电体260电连接的插头。另外,包括与晶体管200bg的源极和漏极中的一个电连接的插头以及与该插头电连接的布线26bg2。另外,包括使布线26bg2与衬底20电连接的插头24bg。

[0134] 就是说,被用作晶体管的晶体管200t的各电极通过二极管连接的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg与具有导电性的衬底20电连接。

[0135] 作为使用氧化物半导体的晶体管200t,优选使用以与被用作二极管元件的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg同一的工序设置的具有相同结构的晶体管。

[0136] 《具有电容器连接的半导体装置1》

[0137] 图3A是根据本发明的一个方式的包括晶体管200t的半导体装置的电路图。图3A所示的半导体装置包括与晶体管200t的各电极电连接的被用作电容器的多个晶体管(晶体管200tg、晶体管200bg、晶体管200s及晶体管200d)。晶体管200t通过各电容器与衬底20连接。

[0138] 在晶体管200t中带电的电荷由被用作保护电容器的晶体管200tg、晶体管200bg、晶体管200s及晶体管200d吸收并保持。

[0139] 注意,晶体管200tg、晶体管200bg、晶体管200s及晶体管200d优选具有相等电位。为此,优选以被用作电容器的晶体管200tg、晶体管200bg、晶体管200s及晶体管200d的电容量值尽可能大的方式进行设计。并且,优选使被用作电容器的晶体管200tg、晶体管200bg、晶体管200s及晶体管200d的另一个电极通过使用导电衬底的衬底20接地。

[0140] 在此,图3B及图3C示出图3A中的根据本发明的一个方式的包括晶体管200t的半导体装置的截面图的一个例子。图3B是晶体管200t的L长度方向的截面图,图3C是晶体管200t

的W长度方向的截面图。注意,在图3B及图3C中,为了明确起见,省略附图中的部分构成要素。

[0141] 如图3B及图3C所示,半导体装置至少包括被用作晶体管的晶体管200t。此外,包括被用作电容器的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg。

[0142] 半导体装置包括与晶体管200t的源极和漏极中的一个电连接的插头、与该插头电连接的布线26s1以及与布线26s1和晶体管200s的氧化物230电连接的插头。另外,包括与晶体管200s的导电体260电连接的插头以及与该插头电连接的布线26s2。另外,包括使布线26s2与衬底20电连接的插头24s。

[0143] 半导体装置包括与晶体管200t的源极和漏极中的另一个电连接的插头、与该插头电连接的布线26d1以及与布线26d1和晶体管200d的氧化物230电连接的插头。另外,包括与晶体管200d的导电体260电连接的插头以及与该插头电连接的布线26d2。另外,包括使布线26d2与衬底20电连接的插头24d。

[0144] 半导体装置包括与晶体管200t的导电体260电连接的插头、与该插头电连接的布线26tg1以及与布线26tg1和晶体管200tg的导电体260电连接的插头。另外,包括与晶体管200tg的源极和漏极中的另一个电连接的插头以及与该插头电连接的布线26tg2。另外,包括使布线26tg2与衬底20电连接的插头24tg。

[0145] 另外,包括与晶体管200bg的氧化物230电连接的插头以及与该插头电连接的布线26bg。另外,包括使布线26bg与衬底20电连接的插头24bg。

[0146] 在此,为了明确起见,省略附图中的部分构成要素。虽然共同设置晶体管200t的导电体205和晶体管200bg的导电体205,但是不局限于本结构,而可以根据所需要的设计适当地进行改变。

[0147] 就是说,被用作晶体管的晶体管200t的各电极通过电容器连接的晶体管200s、晶体管200d、晶体管200tg及晶体管200bg与具有导电性的衬底20电连接。

[0148] 优选在与晶体管200t同时设置晶体管200s、晶体管200d、晶体管200tg及晶体管200bg。注意,作为晶体管200s、晶体管200d、晶体管200tg及晶体管200bg,也可以使用与晶体管200t同一的工序设置的具有相同结构的晶体管并使其电容器连接。

[0149] 另外,也可以使用构成晶体管200t的膜形成电容器。例如,能够被用作氧化物230的氧化物半导体可以减少电阻值而使其成为导电体。上述导电体可以称为OC(Oxide Conductor)电极。因此,通过使氧化物230导电体化,可以将晶体管200s、晶体管200d、晶体管200tg及晶体管200bg用作电容器的电极。

[0150] 注意,虽然在附图中将氧化物230用作电容器的电极,但是不局限于本结构。例如,当在晶体管200t中设置被用作源电极或漏电极的导电体时,也可以将该导电体用作电极。

[0151] <使用绝缘衬底的半导体装置的结构例子>

[0152] 以下,参照图4及图5说明使用导电衬底的半导体装置的例子。

[0153] 绝缘衬底与半导体衬底不同,难以设置嵌入型二极管。于是,将使用氧化物半导体的晶体管200t和被用作二极管元件或电容器的晶体管200s、晶体管200d及晶体管200tg制造在同一衬底上。因此,优选在与晶体管200t同时设置晶体管200s、晶体管200d及晶体管200tg。就是说,晶体管200s、晶体管200d及晶体管200tg配置在与晶体管200t同一的层。

[0154] 此外,可以在导电衬底上设置多个单元阵列(单元阵列是指多个晶体管的集合

体)。晶体管200s、晶体管200d、晶体管200tg及晶体管200bg可以根据所需要的设计被用作二极管元件或电容器。例如,因为电容器没有电压范围所以可以用于电源电路等。另一方面,在重视所设计的单元阵列的响应速度时,可以使用二极管元件。可以按设置在同一衬底上的单元阵列分别制造二极管元件或电容器。

[0155] 这里,当在绝缘衬底上设置晶体管200t时,即便将衬底20配置在接地的载物台等上,也难以对在晶体管200t中带电的电荷进行放电。于是,优选使晶体管200tg、晶体管200bg、晶体管200s及晶体管200d与其尺寸充分大的导电体29电连接。

[0156] 例如,通过在晶体管200t、晶体管200s、晶体管200d及晶体管200tg中共同设置导电体205,可以将导电体205用作导电体29。在此情况下,也可以在制造半导体装置之后通过与导电体205连接的布线对在导电体29(导电体205)中带电的电荷进行放电。

[0157] 另外,通过对导电体29(导电体205)供应适当的电位,可以将导电体29(导电体205)用作第二栅电极。

[0158] 作为可用于衬底20的绝缘衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。

[0159] 注意,在图4及图5中,在晶体管200t的L长度方向上形成晶体管200s及晶体管200d,在晶体管200t的W长度方向上形成晶体管200tg,但是不局限于本结构,可以根据所需要的电路设计适当地改变布局。

[0160] 另外,可以根据需要设置晶体管200s、晶体管200d及晶体管200tg。

[0161] 此外,不一定需要对一个晶体管200设置成对的一个晶体管200。对多个晶体管200设置的晶体管200的个数也可以比晶体管200的个数少。例如,当排列为阵列状的多个晶体管200共同使用布线时,对共同使用的布线设置至少一个晶体管200,即可。

[0162] 《具有二极管连接的半导体装置2》

[0163] 图4A是根据本发明的一个方式的包括晶体管200t的半导体装置的电路图。图4A所示的半导体装置包括与晶体管200t的各电极电连接的被用作二极管的多个晶体管(晶体管200tg、晶体管200s及晶体管200d)。晶体管200t通过各二极管与导电体29连接。

[0164] 作为衬底20使用绝缘衬底,在衬底20上设置导电体29。在晶体管200t中带电的电荷通过被用作二极管的晶体管200tg、晶体管200s及晶体管200d向导电体29的方向流过,由此被导电体29吸收。因为导电体29的尺寸比晶体管200t充分大,所以被导电体29吸收的电荷不容易发生电位变动。由此,被导电体29吸收的电荷成为被导电体29保持的状态。

[0165] 在此,图4B及图4C示出图4A中的根据本发明的一个方式的包括晶体管200t的半导体装置的截面图的一个例子。图4B是晶体管200t的L长度方向的截面图,图4C是晶体管200t的W长度方向的截面图。注意,在图4B及图4C中,为了明确起见,省略附图中的部分构成要素。

[0166] 如图4B及图4C所示,半导体装置至少包括被用作晶体管的晶体管200t。此外,包括被用作二极管的晶体管200s、晶体管200d及晶体管200tg。

[0167] 半导体装置包括与晶体管200t的源极和漏极中的一个电连接的插头、与该插头电连接的布线26s1以及与布线26s1和晶体管200s的源极和漏极中的另一个电连接的插头。另外,包括与晶体管200s的源极和漏极中的一个电连接的插头、与晶体管200s的导电体260电连接的插头以及与这两个插头电连接的布线26s2。另外,包括使布线26s2与导电体29电连

接的插头24s。

[0168] 半导体装置包括与晶体管200t的源极和漏极中的另一个电连接的插头、与该插头电连接的布线26d1以及与布线26d1和晶体管200d的源极和漏极中的一个电连接的插头。另外,包括与晶体管200d的源极和漏极中的另一个电连接的插头、与晶体管200d的导电体260电连接的插头以及与这两个插头电连接的布线26d2。另外,包括使布线26d2与导电体29电连接的插头24d。

[0169] 半导体装置包括与晶体管200t的导电体260电连接的插头、与该插头电连接的布线26tg1以及与布线26tg1和晶体管200tg的源极和漏极中的一个电连接的插头。另外,包括与晶体管200tg的源极和漏极中的另一个电连接的插头、与晶体管200tg的导电体260电连接的插头以及与这两个插头电连接的布线26tg2。另外,包括使布线26tg2与导电体29电连接的插头24tg。

[0170] 就是说,被用作晶体管的晶体管200t的各电极通过二极管连接的晶体管200s、晶体管200d及晶体管200tg与导电体29电连接。

[0171] 作为使用氧化物半导体的晶体管200t,优选使用以与被用作二极管元件的晶体管200s、晶体管200d及晶体管200tg同一的工序设置的具有相同结构的晶体管。

[0172] 《具有电容器连接的半导体装置2》

[0173] 图5A是根据本发明的一个方式的包括晶体管200t的半导体装置的电路图。图5A所示的半导体装置包括与晶体管200t的各电极电连接的被用作电容器的多个晶体管(晶体管200tg、晶体管200s及晶体管200d)。晶体管200t通过各电容器与导电体29连接。

[0174] 在晶体管200t中带电的电荷由被用作保护电容器的晶体管200tg、晶体管200s及晶体管200d吸收。因为导电体29的尺寸比晶体管200t充分大,所以被导电体29吸收的电荷不容易发生电位变动。由此,被导电体29吸收的电荷成为被导电体29保持的状态。

[0175] 注意,晶体管200tg、晶体管200s及晶体管200d优选具有相等电位。为此,优选以被用作电容器的晶体管200tg、晶体管200s及晶体管200d的电容值尽可能大的方式进行设计。并且,优选共同设置与被用作电容器的晶体管200tg、晶体管200s及晶体管200d的另一个电极电连接的导电体。

[0176] 在此,图5B及图5C示出图5A中的根据本发明的一个方式的包括晶体管200t的半导体装置的截面图的一个例子。图5B是晶体管200t的L长度方向的截面图,图5C是晶体管200t的W长度方向的截面图。注意,在图5B及图5C中,为了明确起见,省略附图中的部分构成要素。

[0177] 如图5B及图5C所示,半导体装置至少包括被用作晶体管的晶体管200t。此外,包括被用作电容器的晶体管200s、晶体管200d及晶体管200tg。

[0178] 半导体装置包括与晶体管200t的源极和漏极中的一个电连接的插头、与该插头电连接的布线26s1以及与布线26s1和晶体管200s的氧化物230电连接的插头。另外,包括与晶体管200s的导电体260电连接的插头以及与该插头电连接的布线26s2。另外,包括与布线26s2和导电体29电连接的插头24s。

[0179] 半导体装置包括与晶体管200t的源极和漏极中的另一个电连接的插头、与该插头电连接的布线26d1以及与布线26d1和晶体管200d的氧化物230电连接的插头。另外,包括与晶体管200d的导电体260电连接的插头以及与该插头电连接的布线26d2。另外,包括使布线

26d2与导电体29电连接的插头24d。

[0180] 半导体装置包括与晶体管200t的导电体260电连接的插头、与该插头电连接的布线26tg1以及与布线26tg1和晶体管200tg的导电体260电连接的插头。另外,包括与晶体管200tg的源极和漏极中的另一个电连接的插头以及与该插头电连接的布线26tg2。另外,包括使布线26tg2与导电体29电连接的插头24tg。

[0181] 就是说,被用作晶体管的晶体管200t的各电极与电容器连接的晶体管200s、晶体管200d、晶体管200tg及导电体29电连接。

[0182] 优选在与晶体管200t同时设置晶体管200s、晶体管200d及晶体管200tg。注意,作为晶体管200s、晶体管200d及晶体管200tg,也可以使用与晶体管200t同一的工序设置的具有相同结构的晶体管并使其电容器连接。

[0183] 另外,也可以使用构成晶体管200t的膜形成电容器。例如,能够被用作氧化物230的氧化物半导体可以减少电阻值而使其成为导电体。上述导电体可以称为OC(Oxide Conductor)电极。因此,通过使氧化物230导电体化,可以将晶体管200s、晶体管200d及晶体管200tg用作电容器的电极。

[0184] 注意,虽然在附图中将氧化物230用作电容器的电极,但是不局限于本结构。例如,当在晶体管200t中设置被用作源电极的导电体或被用作漏电极的导电体时,也可以将该导电体用作电极。

[0185] 此外,在图5A所示的电路结构中,例如在对导电体29(导电体205)施加第二栅极电压之后向晶体管200t的第一栅电极、源电极及漏电极供应各电压,可以将导电体29(导电体205)用作第二栅电极。

[0186] 如上所述,通过在与晶体管元件同一的衬底上设置保护二极管元件或保护电容器,成品率得到提高,由此可以提高半导体装置的生产率。

[0187] 《在多个晶体管的下部共同使用导电体的半导体装置》

[0188] 以下,参照图6至图11说明包括设置在绝缘衬底上的导电体29的半导体装置的具体布局例子。

[0189] 如上所述,通过在绝缘衬底上设置保持电荷的导电体29,可以使在晶体管200t中带电的电荷被导电体29或保护电容器吸收并固定。

[0190] 注意,优选使导电体29的尺寸比晶体管充分大。当导电体29较大时,被吸收的电荷量较大也不容易发生电位变动。因此,通过使导电体29的尺寸充分大,可以提供一种可靠性高的半导体装置。

[0191] 尤其是,优选在晶体管200t、晶体管200s、晶体管200d及晶体管200tg中共同设置导电体205,这是因为通过在将导电体205用作导电体29时对导电体29(导电体205)供应适当的电位可以将导电体29(导电体205)用作第二栅电极。

[0192] 图6A、图7A及图8A是在衬底20上设置导电体29的俯视图,图6B、图7B及图8B是在衬底20上设置导电体29且在导电体29上以矩阵状设置多个氧化物230的俯视图。图6C、图7C及图8C是沿着图6B、图7B及图8B中的点划线A1-A2所示的部分的截面图。图6D、图7D及图8D是沿着图6B、图7B及图8B中的点划线A3-A4所示的部分的截面图。

[0193] 另外,图6B、图7B及图8B示出在导电体29上以矩阵状设置n行×m列的多个氧化物230的一个例子。在各附图中,氧化物230的符号的后面附加有行列的地址。注意,多个氧化

物230不一定需要排列为矩阵状。可以根据半导体装置的用途适当地进行高效的布局。

[0194] 例如,如图6所示,可以使用与多个晶体管共同使用的一面状的导电体29。通过将导电体29设置为整个面,可以减少布线电阻。

[0195] 如图7所示,导电体29也可以具有与m个氧化物230重叠的直线状的n个区域,并且直线状的n个区域也可以互相电连接。尤其是,导电体29的直线状的区域优选与氧化物230的沟道形成区域重叠。通过采用本结构,在作为被用作第二栅电极的导电体205使用导电体29的情况下,可以减少在晶体管的周边产生不需要的寄生电容的可能性。

[0196] 如图8所示,导电体29也可以具有与n个氧化物230重叠的直线状的m个区域,并且直线状的m个区域也可以互相电连接。例如,导电体29的直线状的区域优选设置在与氧化物230重叠的区域。

[0197] 图9A、图9B及图9C是在衬底20上设置导电体29的俯视图。

[0198] 如图9A及图9B所示,导电体29也可以具有梳齿状的区域。此外,如图9B所示,具有直线状的区域导电体29不一定需要设置在端部区域中电连接的区域,也可以具有在导电体29的任何区域中电接触的区域。此外,例如,导电体29也可以为一笔绘成的形状。作为一个例子,也可以为图9C所示的U子型连续的形状。

[0199] 在图10A、图10B及图10C所示的俯视图中,在衬底20上设置导电体29,在导电体29上以矩阵状设置多个氧化物230,在多个氧化物230上设置多个导电体260。

[0200] 例如,如图10A所示,多个导电体260(导电体260\_1至导电体260\_n;n为自然数)优选以与导电体29所具有的直线状的区域交叉的方式设置,即为条纹状。尤其是,导电体29、氧化物230的沟道形成区域及氧化物230的沟道形成区域优选彼此重叠。通过采用本结构,可以减少在导电体260与导电体29之间产生布线电阻或寄生电容的可能性。

[0201] 另外,例如,在导电体29所具有的直线状的区域和氧化物230配置在互相交叉的直线上时,多个导电体260(导电体260\_1至导电体260\_n)也可以具有与氧化物230平行的区域和与氧化物230交叉的区域。具体而言,如图10B所示,导电体260具有从直线状的区域延伸的突出的区域。该半岛状的区域与氧化物230的沟道形成区域重叠。通过采用本结构,可以减少在导电体260与导电体29之间产生布线电阻或寄生电容的可能性。

[0202] 此外,例如,多个导电体260(导电体260\_1至导电体260\_n)也可以具有对2行(2列)的氧化物230设置一个导电体260的结构。具体而言,如图10B所示,导电体260具有直线与直线互相交叉的形状(也称为十字)的区域。通过采用本结构,可以减少在导电体260与导电体29之间产生布线电阻或寄生电容的可能性。

[0203] 在图11的俯视图中,在衬底上设置导电体29,在导电体29上以矩阵状设置多个氧化物230。如图11A及图11B所示,也可以在衬底20上包括两个以上的导电体29(例如,导电体29a及导电体29b)。此外,可以在导电体29上设置以阵列状配置的多个晶体管。注意,导电体29也可以不具有同一的形状。如图11B所示,可以根据设计具有不同的形状。

[0204] 另外,也可以将使用导电衬底的半导体装置的结构例子及使用绝缘衬底的半导体装置的结构例子所示的结构用于半导体衬底上。此外,也可以将使用绝缘衬底的半导体装置的结构例子所示的结构用于导电衬底上。

[0205] 另外,可以提供包括通态电流大的晶体管的半导体装置。此外,可以提供具有关态电流小的晶体管的半导体装置。此外,可以提供电特性变动得到抑制的具有稳定的电特性

且可靠性高的半导体装置。此外,氧化物半导体可以利用溅射法等形成,所以可以用于构成高集成型半导体装置的晶体管。

[0206] 本实施方式所示的构成、结构和方法等可以与其他实施方式所示的构成、结构和方法等适当地组合而实施。

[0207] (实施方式2)

[0208] 在本实施方式中,说明上述实施方式所示的晶体管的结构例子。

[0209] <晶体管的结构例子1>

[0210] 参照图12A至图12C对晶体管200A的结构例子进行说明。图12A是晶体管200A的俯视图。图12B是沿着图12A中的点划线L1-L2所示的部位的截面图。图12C是沿着图12A中的点划线W1-W2所示的部位的截面图。注意,在图12A的俯视图中,为了明确起见,省略一部分构成要素。

[0211] 图12A至图12C示出被用作晶体管200A的层间膜的绝缘体210、绝缘体212、绝缘体214、绝缘体216、绝缘体280、绝缘体282及绝缘层284。另外,还示出与晶体管200A电连接且被用作接触插头的导电体246(导电体246a及导电体246b)以及被用作布线的导电层203。

[0212] 晶体管200A包括被用作第一栅电极(也称为顶栅电极)的导电体260(导电体260a及导电体260b)、被用作第二栅电极(也称为底栅电极)的导电体205(导电体205a及导电体205b)、被用作第一栅极绝缘层的绝缘体250、被用作第二栅极绝缘层的绝缘层220、绝缘体222及绝缘体224、具有形成沟道的区域的氧化物230(氧化物230a、氧化物230b及氧化物230c)、被用作源极和漏极中的一个的导电体242a、被用作源极和漏极中的另一个的导电体242b以及绝缘体274。

[0213] 绝缘体210及绝缘体212被用作层间膜。

[0214] 作为层间膜,可以使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶( $\text{SrTiO}_3$ )、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等绝缘体的单层或叠层。或者,例如也可以对这些绝缘体添加氧化铝、氧化铋、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。或者,也可以对上述绝缘体进行氮化处理。还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0215] 例如,绝缘体210优选被用作抑制水或氢等杂质从衬底一侧进入晶体管200A的阻挡膜。因此,作为绝缘体210优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。此外,例如,优选作为绝缘体210使用氧化铝或氮化硅等。通过采用该结构可以抑制水、氢等杂质越过上述绝缘体210从衬底一侧扩散到晶体管200A一侧。

[0216] 例如,绝缘体212的介电常数优选比绝缘体210低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0217] 导电层203以嵌入在绝缘体212中的方式形成。在此,导电层203的顶面的高度与绝缘体212的顶面的高度可以大致相同。注意,虽然示出导电层203为单层结构的情况,但是本发明不局限于此。例如,导电层203也可以具有两层以上的叠层结构。作为导电层203,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。

[0218] 在晶体管200A中,导电体260有时被用作第一栅电极。另外,导电体205有时被用作

第二栅电极。在此情况下,通过独立地改变施加到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200A的阈值电压。尤其是,通过对导电体205施加负电位,可以使晶体管200A的阈值电压大于0V且可以减少关态电流。因此,与不对导电体205施加负电位时相比,在对导电体205施加负电位的情况下,可以减小对导电体260施加的电位为0V时的漏极电流。

[0219] 另外,例如通过将导电体205重叠于导电体260,在对导电体260及导电体205供应电位的情况下,从导电体260产生的电场和从导电体205产生的电场连接,可以覆盖形成在氧化物230中的沟道形成区域。

[0220] 就是说,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕沟道形成区域。在本说明书中,将由第一栅电极及第二栅电极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。

[0221] 与绝缘体210或绝缘体212同样,绝缘体214及绝缘体216被用作层间膜。例如,绝缘体214优选被用作抑制水或氢等杂质从衬底一侧进入晶体管200A的阻挡膜。通过采用该结构可以抑制水、氢等杂质越过绝缘体214从衬底一侧扩散到晶体管200A一侧。例如,绝缘体216的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0222] 在被用作第二栅电极的导电体205中,以与绝缘体214及绝缘体216的开口的内壁接触的方式形成有导电体205a,其内侧形成有导电体205b。在此,导电体205a及导电体205b的顶面的高度与绝缘体216的顶面的高度可以大致相同。注意,在晶体管200A中层叠有导电体205a和导电体205b,但是本发明不局限于此。例如,导电体205也可以具有单层结构或者三层以上的叠层结构。

[0223] 在此,作为导电体205a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,“抑制杂质或氧的扩散的功能”是指抑制上述杂质或上述氧中的任一个或全部的扩散的功能。

[0224] 例如,通过使导电体205a具有抑制氧的扩散的功能,可以抑制因导电体205b氧化而导致导电率的下降。

[0225] 另外,在导电体205还具有布线的功能的情况下,作为导电体205b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。在此情况下,不一定需要设置导电层203。在附图中,导电体205b具有单层结构,但是也可以具有叠层结构,例如,可以采用钛或氮化钛与上述导电材料的叠层结构。

[0226] 绝缘层220、绝缘体222及绝缘体224被用作第二栅极绝缘层。

[0227] 在此,在与氧化物230接触的绝缘体224中,优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘体224适当地使用氧化硅或氧氮化硅等,即可。通过以与金属氧化物230接触的方式设置包含氧的绝缘体,可以减少金属氧化物230中的氧空位,从而可以提高晶体管200A的可靠性。

[0228] 具体而言,作为绝缘体224,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS(Thermal Desorption Spectroscopy:热脱附谱分

析法)分析中换算为氧原子的氧的脱离量为 $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>以上,优选为 $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上,进一步优选为 $2.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上,或者 $3.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上的氧化物膜。进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0229] 绝缘体222优选具有阻挡性。当绝缘体222具有阻挡性时,绝缘体222被用作抑制氢等杂质从晶体管200A的周围部进入晶体管200A的层。

[0230] 作为绝缘体222,例如优选使用包含氧化铝、氧化铪、含有铝及铪的氧化物(铝酸铪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO<sub>3</sub>)或(Ba,Sr)TiO<sub>3</sub>(BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘层的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0231] 例如,绝缘层220优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以是优选的。另外,通过high-k材料的绝缘体、氧化硅或氧氮化硅与绝缘体222组合,可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体222。

[0232] 注意,在图12中,第二栅极绝缘层具有三层的叠层结构,但是也可以具有单层结构或两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0233] 包括被用作沟道形成区域的区域的氧化物230包括氧化物230a、氧化物230a上的氧化物230b及氧化物230b上的氧化物230c。当在氧化物230b之下设置有氧化物230a时,可以防止杂质从形成在氧化物230a下的结构物扩散到氧化物230b。当在氧化物230b之上设置有氧化物230c时,可以防止杂质从形成在氧化物230c的上方的结构物扩散到氧化物230b。作为氧化物230,可以使用以下所示的金属氧化物之一的氧化物半导体。

[0234] 另外,图12所示的晶体管200A具有导电体242(导电体242a及导电体242b)与氧化物230c、绝缘体250及导电体260重叠的区域。通过采用该结构,可以提供一种通态电流高的晶体管。此外,可以提供一种控制性高的晶体管。

[0235] 导电体242中的一个被用作源电极,另一个被用作漏电极。

[0236] 导电体242可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以这些金属为主要成分的合金。尤其是,氮化钽等金属氮化物膜具有对氢或氧的阻挡性,并且耐氧化性高,所以是优选的。

[0237] 此外,虽然在图12中示出导电体242具有单层结构,但是也可以采用两层以上的叠层结构。例如,可以层叠氮化钽膜和钨膜。此外,也可以层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0238] 另外,也可以使用:钛膜或氮化钛膜、在钛膜或氮化钛膜上层叠的铝膜或铜膜以及在其上形成的钛膜或氮化钛膜的三层结构;钼膜或氮化钼膜、在钼膜或氮化钼膜上层叠的铝膜或铜膜以及在其上形成的钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0239] 此外,也可以在导电体242上设置阻挡层。阻挡层优选使用对氧或氢具有阻挡性的物质。通过采用该结构,可以抑制在形成绝缘体274时导电体242氧化。

[0240] 阻挡层例如可以使用金属氧化物。尤其是,优选使用氧化铝、氧化铪、氧化镓等对氧或氢具有阻挡性的绝缘膜。此外,也可以使用利用CVD法形成的氮化硅。

[0241] 通过包括阻挡层,可以扩大导电体242的材料的选择范围。例如,作为导电体242,可以使用钨或铝等的耐氧化性低且导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0242] 绝缘体250被用作第一栅极绝缘层。

[0243] 当进行晶体管的微型化及高集成化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等问题。此时,与第二栅极绝缘层同样,绝缘体250也可以具有叠层结构。通过使被用作栅极绝缘层的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0244] 被用作第一栅电极的导电体260包括导电体260a及导电体260a上的导电体260b。与导电体205a同样,作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0245] 当导电体260a具有抑制氧的扩散的功能时,可以提高导电体260b的材料的选择性。也就是说,通过包括导电体260a,可以抑制导电体260b的氧化,而可以防止导电率的下降。

[0246] 作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钇、氧化钇等。此外,作为导电体260a,可以使用可用于氧化物230的氧化物半导体。在此情况下,通过利用溅射法形成导电体260b,可以降低导电体260a的电阻率而使其成为导电层。该导电层可以被称为OC(Oxide Conductor)电极。

[0247] 另外,由于导电体260被用作布线,所以优选使用导电性高的导电体。例如,作为导电体260b可以使用以钨、铜或铝为主要成分的导电材料。另外,导电体260b可以具有叠层结构,例如可以具有钛、氮化钛与上述导电材料的叠层。

[0248] 此外,优选以覆盖导电体260的顶面及侧面、绝缘体250的侧面以及氧化物230c的侧面的方式设置绝缘体274。作为绝缘体274优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如,优选使用氧化铝、氧化铪等。此外,例如还可以使用氧化镁、氧化镓、氧化锆、氧化钇、氧化锆、氧化镧、氧化钆、氧化钽等的金属氧化物、氮氧化硅、氮化硅等。

[0249] 通过设置绝缘体274,可以抑制导电体260的氧化。此外,通过包括绝缘体274,可以抑制绝缘体280所包含的水、氢等杂质扩散到晶体管200A。

[0250] 绝缘体280、绝缘体282及绝缘层284被用作层间膜。

[0251] 与绝缘体214同样,绝缘体282优选被用作抑制水或氢等杂质从外部进入晶体管200A的阻挡绝缘膜。

[0252] 此外,与绝缘体216同样,绝缘体280及绝缘层284的介电常数优选比绝缘体282低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0253] 另外,晶体管200A也可以通过嵌入在绝缘体280、绝缘体282及绝缘层284中的导电体246等插头或布线电连接到其他结构。

[0254] 另外,与导电体205同样,作为导电体246的材料,可以使用金属材料、合金材料、金

属氮化物材料或金属氧化物材料等导电材料的单层或叠层。例如,优选使用具有耐热性及导电性的钨或钼等高熔点材料。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0255] 例如,作为导电体246,通过采用对氢及氧具有阻挡性的导电体的氮化钼等与导电性高的钨的叠层结构,可以在保持作为布线的导电性的情况下抑制来自外部的杂质扩散。

[0256] 另外,也可以在导电体246与绝缘体280之间设置具有阻挡性的绝缘体276(绝缘体276a及绝缘体276b)。通过设置绝缘体276,可以抑制绝缘体280的氧与导电体246起反应而导致导电体246氧化。

[0257] 另外,通过设置具有阻挡性的绝缘体276,可以扩大用于插头或布线的导电体的材料的选择范围。例如,通过导电体246使用具有吸收氧的性质且具有高导电性的金属材料,可以提供一种低功耗的半导体装置。具体地,可以使用钨、铝等耐氧化性低而导电性高的材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0258] 通过采用上述结构,可以提供一种具有通态电流大的晶体管的半导体装置。另外,可以提供一种包括关态电流低的晶体管的半导体装置。另外,可以提供一种抑制电特性变动而实现具有稳定的电特性及高可靠性的半导体装置。

[0259] <构成材料>

[0260] [衬底]

[0261] 虽然对用于衬底的材料没有较大的限制,但是衬底必需至少具有足够高的耐热性来耐受后面进行的加热处理。例如,作为衬底,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底等。此外,也可以使用SOI衬底或者在半导体衬底上设置有应变晶体管或FIN型晶体管等半导体元件的衬底等。另外,也可以使用可用于高电子迁移率晶体管(HEMT:High Electron Mobility Transistor)的砷化镓、砷化铝镓、砷化铟镓、氮化镓、磷化铟、硅锗等。也就是说,衬底不仅是支撑衬底,也可以是形成有晶体管等其他装置的衬底。

[0262] 此外,作为衬底,可以使用硼硅酸钡玻璃和硼硅酸铝玻璃等玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,作为衬底可以使用柔性衬底。当使用柔性衬底时,既可以在柔性衬底上直接制造晶体管或电容器等,又可以在其他制造衬底上制造晶体管或电容器等,然后剥离该晶体管而将它转置到柔性衬底上。另外,为了从制造衬底剥离晶体管和电容器等并将其转置到柔性衬底上,优选在制造衬底与晶体管和电容器等之间设置剥离层。

[0263] 作为柔性衬底,例如可以使用金属、合金、树脂、玻璃或其纤维等。被用作衬底的柔性衬底的线性膨胀系数越低,因环境而发生的变形越得到抑制,所以是优选的。被用作衬底的柔性衬底例如可以使用线性膨胀系数为 $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下或 $1 \times 10^{-5}/K$ 以下的材料。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。尤其是,芳族聚酰胺的线性膨胀系数较低,因此适合用于柔性衬底。

[0264] [绝缘层]

[0265] 绝缘层采用如下材料的单层或叠层,该材料选自氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化铈、氧化镧、氧化钆、氧化铈、氧化钆、铝硅酸盐等。另外,也可以使用在氧化物材料、氮化物材料、氧氮化物材料、氮氧化物材料中混合其多种的材料。

[0266] 注意,在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS: Rutherford Backscattering Spectrometry)等来测定各元素的含量。

[0267] 另外,当将为金属氧化物的一种的氧化物半导体用作半导体层时,为了防止半导体层中的氢浓度增加,优选降低绝缘层中的氢浓度。具体而言,绝缘层中的利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的氢浓度为 $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下,优选为 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下,更优选为 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下,进一步优选为 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下。

[0268] 另外,为了防止半导体层中的氮浓度增加,优选降低绝缘层中的氮浓度。具体而言,绝缘层中的利用SIMS测量的氮浓度为 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下,优选为 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下,更优选为 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下,进一步优选为 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下。

[0269] 绝缘层中的至少与半导体层接触的区域及绝缘层中的至少与半导体层接触的区域缺陷优选少,典型的是通过电子自旋共振法(ESR:Electron Spin Resonance)观察的信号优选少。例如,作为上述信号,可以举出在g值为2.001处观察到的E'中心的信号。E'中心起因于硅的悬空键。例如,作为绝缘层使用氧化硅层或氧氮化硅层时,可以使用起因于E'中心的自旋密度为 $3 \times 10^{17}$  spins/cm<sup>3</sup>以下、优选为 $5 \times 10^{16}$  spins/cm<sup>3</sup>以下的氧化硅层或氧氮化硅层。

[0270] 有时观察到除了上述信号以外起因于二氧化氮(NO<sub>2</sub>)的信号。该信号因氮的核自旋而分裂成三个信号,各个g值观察在2.037以上且2.039以下(第一信号)、g值为2.001以上且2.003以下(第二信号)及g值为1.964以上且1.966以下(第三信号)处。

[0271] 例如,作为绝缘层优选使用起因于二氧化氮(NO<sub>2</sub>)的信号的自旋密度为 $1 \times 10^{17}$  spins/cm<sup>3</sup>以上且低于 $1 \times 10^{18}$  spins/cm<sup>3</sup>的绝缘层。

[0272] 二氧化氮(NO<sub>2</sub>)的氮氧化物(NO<sub>x</sub>)在绝缘层中形成能级。该能级位于氧化物半导体层的能隙中。由此,当氮氧化物(NO<sub>x</sub>)扩散到绝缘层与氧化物半导体层的界面时,有时该能级在绝缘层一侧俘获电子。其结果是,被俘获的电子留在绝缘层与氧化物半导体层的界面附近,由此使晶体管的阈值电压向正方向漂移。因此,通过作为绝缘层使用氮氧化物的含量少的膜,可以降低晶体管的阈值电压的漂移。

[0273] 作为氮氧化物(NO<sub>x</sub>)的释放量少的绝缘层例如可以使用氧氮化硅层。该氧氮化硅层是在热脱附谱分析法(TDS:Thermal Desorption Spectroscopy)中氮释放量多于氮氧化物(NO<sub>x</sub>)的释放量的膜,典型的是氮释放量为 $1 \times 10^{18}$ 个/cm<sup>3</sup>以上且 $5 \times 10^{19}$ 个/cm<sup>3</sup>以下。另外,上述氮释放量为在TDS中在加热处理的温度为50℃以上且650℃以下或者50℃以上且550℃以下的范围内的总量。

[0274] 由于当进行加热处理时,氮氧化物(NO<sub>x</sub>)与氮及氧起反应,所以通过使用氮释放量多的绝缘层可以减少氮氧化物(NO<sub>x</sub>)。

[0275] 与氧化物半导体层接触的绝缘层中的至少一个优选使用通过加热释放氧的绝缘层形成。具体来说,优选使用如下绝缘层:在进行TDS分析(其中进行层表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理)时换算为氧原子的氧的脱离量为 $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>以上, $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上,或者 $1.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上。注意,在本说明书等中也将通过加热释放出的氧称为“过剩氧”。



杂质透过的导电材料,来可以进一步抑制杂质扩散到晶体管中。因此,可以进一步提高晶体管的可靠性。也就是说,可以进一步提高存储装置的可靠性。

[0288] [半导体层]

[0289] 作为半导体层,可以使用单晶半导体、多晶半导体、微晶半导体、和非晶半导体等中的一个或多个。作为半导体材料,例如可以使用硅或锗等。另外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体或有机半导体等。

[0290] 另外,当作为半导体层使用有机半导体时,可以使用具有芳环的低分子有机材料或 $\pi$ 电子共轭导电高分子等。例如,可以使用红荧烯、并四苯、并五苯、茈二酰亚胺、四氰基对醌二甲烷、聚噻吩、聚乙炔、聚对亚苯基亚乙烯基等。

[0291] 半导体层也可以采用叠层结构。当半导体层采用叠层结构时,可以使用具有不同结晶状态的半导体,也可以使用不同半导体材料。

[0292] 另外,由于为金属氧化物的一种的氧化物半导体的带隙为2eV以上,当作为半导体层使用氧化物半导体时,可以实现关态电流极小的晶体管。具体而言,可以使源极与漏极间的电压为3.5V且室温(典型地为25°C)下的每沟道宽度为1 $\mu$ m的关态电流为低于 $1 \times 10^{-20}$ A,优选低于 $1 \times 10^{-22}$ A,更优选低于 $1 \times 10^{-24}$ A。就是说,导通截止比可以为20位数以上。另外,在作为半导体层使用氧化物半导体的晶体管(OS晶体管)中,源极与漏极间的绝缘耐压高。由此,可以提供一种可靠性良好的晶体管。另外,可以提供一种输出电压大且高耐压的晶体管。另外,可以提供一种可靠性良好的存储装置等。另外,可以提供一种输出电压大且高耐压的存储装置。

[0293] 此外,在本说明书等中,将在形成沟道的半导体层中使用具有结晶性的硅的晶体管称为“晶体Si晶体管”。

[0294] 与OS晶体管相比,晶体Si晶体管可以容易得到较高的迁移率。另一方面,晶体Si晶体管难以实现如OS晶体管那样的极小的关态电流。因此,用于半导体层的半导体材料根据其目的和用途适当地选择是重要的。例如,根据目的或用途,可以使用OS晶体管和晶体Si晶体管等的组合。

[0295] 当作为半导体层使用氧化物半导体层时,优选通过溅射法形成氧化物半导体层。通过溅射法形成的氧化物半导体层的密度较高,所以是优选的。在通过溅射法形成氧化物半导体层的情况下,作为溅射气体,可以使用稀有气体(典型为氩)、氧或稀有气体和氧的混合气体。另外,需要进行溅射气体的高纯度化。例如,作为用作溅射气体的氧气体或稀有气体,使用露点为-60°C以下,优选为-100°C以下的高纯度气体。通过使用高纯度溅射气体进行成膜,可以尽可能地防止水分等混入氧化物半导体层中。

[0296] 在通过溅射法形成氧化物半导体层的情况下,优选尽可能地去除溅射装置所具有的成膜处理室内的水分。例如,优选使用低温泵等吸附式真空泵对成膜处理室进行高真空抽气(抽空到 $5 \times 10^{-7}$ Pa至 $1 \times 10^{-4}$ Pa左右)。尤其是,在溅射装置的待机时成膜处理室内的相当于H<sub>2</sub>O的气体分子(相当于m/z=18的气体分子)的分压优选为 $1 \times 10^{-4}$ Pa以下,更优选为 $5 \times 10^{-5}$ Pa以下。

[0297] [金属氧化物]

[0298] 作为金属氧化物之一的氧化物半导体优选至少包含铟或锌。尤其优选包含铟及锌。另外,除此之外,优选还包含铝、镓、铋或锡等。或者,也可以包含硼、钛、铁、镍、锗、锆、

钼、镧、铈、钕、钐、铈、钨、镁等中的一种或多种。

[0299] 在此,考虑氧化物半导体包含铟、元素M及锌的情况。注意,元素M表示铝、镓、铊或锡等。作为可用作元素M的其他元素,有硼、钛、铁、镍、锆、锆、钼、镧、铈、钕、钐、铈、钨、镁等。注意,作为元素M有时也可以组合多个上述元素。

[0300] 另外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物 (metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物 (metal oxynitride)。

[0301] [[金属氧化物的结构]]

[0302] 金属氧化物之一的氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS (nanocrystalline oxide semiconductor)、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化物半导体等。

[0303] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0304] 纳米晶基本上为六角形,但是不局限于正六角形,有时为非正六角形。另外,纳米晶有时在畸变中具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也观察不到明确的晶界 (grain boundary)。即,可知由于晶格排列畸变,可抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0305] CAAC-OS有具有层状结晶结构 (也称为层状结构) 的倾向,在该层状结晶结构中层叠有包含铟及氧的层 (下面称为In层) 和包含元素M、锌及氧的层 (下面称为 (M、Zn) 层)。另外,铟和元素M彼此可以取代,在用铟取代 (M、Zn) 层中的元素M的情况下,也可以将该层表示为 (In、M、Zn) 层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为 (In、M) 层。

[0306] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷 (氧空位等) 少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0307] 在nc-OS中,微小的区域 (例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域) 中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0308] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0309] 氧化物半导体 (金属氧化物) 具有各种结构及各种特性。氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0310] [[具有金属氧化物的晶体管]]

[0311] 接着,说明将上述金属氧化物用于晶体管的沟道形成区域的情况。

[0312] 通过将上述金属氧化物用于晶体管的沟道形成区域,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0313] 另外,优选将载流子密度低的金属氧化物用于晶体管。在降低金属氧化物膜的载流子密度的情况下,降低金属氧化物膜中的杂质浓度而降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,金属氧化物中的载流子密度可以低于 $8 \times 10^{11}/\text{cm}^3$ ,优选低于 $1 \times 10^{11}/\text{cm}^3$ ,更优选低于 $1 \times 10^{10}/\text{cm}^3$ ,且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0314] 因为高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0315] 此外,被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的金属氧化物中具有沟道形成区域的晶体管的电特性有时不稳定。

[0316] 因此,为了使晶体管的电特性稳定,减少金属氧化物中的杂质浓度是有效的。为了降低金属氧化物中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0317] [[杂质]]

[0318] 在此,说明金属氧化物中的各杂质的影响。

[0319] 在金属氧化物包含第14族元素之一的硅或碳时,在金属氧化物中形成缺陷态。因此,将金属氧化物中的硅或碳的浓度及金属氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 $2 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0320] 另外,当金属氧化物包含碱金属或碱土金属时,有时形成缺陷态而形成载流子。因此,作为沟道形成区域使用包含碱金属或碱土金属的金属氧化物的晶体管容易具有常开启特性。由此,优选降低金属氧化物中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的金属氧化物中的碱金属或碱土金属的浓度为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16}\text{atoms}/\text{cm}^3$ 以下。

[0321] 当金属氧化物包含氮时,产生作为载流子的电子,并载流子密度增加,而金属氧化物容易被n型化。其结果是,在将包含氮的金属氧化物用于沟道形成区域的晶体管容易具有常开启特性。因此,在该金属氧化物中,优选尽可能地减少沟道形成区域中的氮。例如,利用SIMS测得的金属氧化物中的氮浓度低于 $5 \times 10^{19}\text{atoms}/\text{cm}^3$ ,优选为 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0322] 包含在金属氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时会生成作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,作为沟道形成区域使用包含氢的金属氧化物的晶体管容易具有常开启特性。由此,优选尽可能减少金属氧化物中的氢。具体而言,将利用SIMS测得的金属氧化物中的氢浓度设定为低于 $1 \times 10^{20}\text{atoms}/\text{cm}^3$ ,优选低于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$ ,更优选低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ ,进一步优选低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 。

[0323] 通过将杂质被充分降低的金属氧化物用于晶体管的沟道形成区域,可以使晶体管

具有稳定的电特性。

[0324] 作为用于晶体管的半导体的金属氧化物,优选使用结晶性高的薄膜。通过使用该薄膜可以提高晶体管的稳定性或可靠性。作为该薄膜,例如,可以举出单晶金属氧化物薄膜或多晶金属氧化物薄膜。但是,在衬底上形成单晶金属氧化物薄膜或多晶金属氧化物薄膜需要进行高温或激光加热的工序。因此,制造工序的成本变高且处理量下降。

[0325] 非专利文献1及非专利文献2中报告了2009年发现了具有CAAC结构的In-Ga-Zn氧化物(也称为CAAC-IGZO)。在非专利文献1及非专利文献2中,报告了CAAC-IGZO具有c轴取向性、晶界不明确、可以低温形成在衬底上。另外,还报告了使用CAAC-IGZO的晶体管具有优良的电特性及可靠性。

[0326] 另外,2013年发现了具有nc结构的In-Ga-Zn氧化物(称为nc-IGZO)(参照非专利文献3)。在此报告了nc-IGZO在微小的区域(例如,1nm以上且3nm以下的区域)中的原子排列具有周期性,在不同区域间观察不到结晶取向的规律性。

[0327] 非专利文献4及非专利文献5示出分别对上述CAAC-IGZO、nc-IGZO及结晶性低的IGZO的薄膜照射电子束时的平均结晶尺寸的推移。在结晶性低的IGZO薄膜中,在对其照射电子束之前就能够观察到1nm左右的结晶性IGZO。因此,在非专利文献4及非专利文献5中报告了在IGZO中没能确认到完全的非晶结构(completely amorphous structure)的存在。再者,公开了与结晶性低的IGZO薄膜相比CAAC-IGZO薄膜及nc-IGZO薄膜的相对于电子束照射的稳定性较高。因此,作为晶体管的半导体优选使用CAAC-IGZO薄膜或nc-IGZO薄膜。

[0328] 非专利文献6公开了使用金属氧化物的晶体管在非导通状态下的泄漏电流极低。具体而言,晶体管的每沟道宽度1 $\mu\text{m}$ 的关态电流为 $\text{yA}/\mu\text{m}$ ( $10^{-24}\text{A}/\mu\text{m}$ )等级(order)。例如,已公开了一种应用了使用金属氧化物的晶体管的泄漏电流低这一特性的低功耗CPU等(参照非专利文献7)。

[0329] 另外,还有利用使用金属氧化物的晶体管的泄漏电流低这一特性将该晶体管应用于显示装置的报告(参照非专利文献8)。在显示装置中,显示图像在1秒间被切换数十次。每1秒钟的图像切换次数被称为“刷新频率”。另外,刷新频率有时被称为“驱动频率”。这样的人眼难以识别的高速画面切换被认为是导致眼睛疲劳的原因。于是,提出了降低显示装置的刷新频率以减少图像改写次数的技术。刷新频率得到降低的驱动可以减少显示装置的功耗。将该驱动方法称为“空转停止(IDS)驱动”。

[0330] CAAC结构及nc结构的发现有助于使用CAAC结构或具有nc结构的金属氧化物的晶体管的电特性及可靠性的提高、制造工序的成本的降低以及处理量的提高。另外,已进行利用上述晶体管的泄漏电流低这一特性将该晶体管应用于显示装置及LSI的研究。

[0331] <成膜方法>

[0332] 用来形成绝缘层的绝缘材料、用来形成电极的导电材料或用来形成半导体层的半导体材料可以利用溅射法、旋涂法、化学气相沉积(CVD:Chemical Vapor Deposition)法(包括热CVD法、MOCVD(Metal Organic Chemical Vapor Deposition,有机金属CVD)法、PECVD(Plasma Enhanced CVD,等离子体增强CVD)法、高密度等离子体CVD(High density plasma CVD)法、LPCVD(low pressure CVD,减压CVD)法、APCVD(atmospheric pressure CVD,常压CVD)法等)、ALD(Atomic Layer Deposition,原子层沉积)法、或MBE(Molecular Beam Epitaxy,分子束外延)法、PLD(Pulsed Laser Deposition,脉冲激光沉积)法、浸涂

法、喷涂法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)等形成。

[0333] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。在利用不使用等离子体的诸如MOCVD法、ALD法或热CVD法等成膜方法的情况下,在被形成面不容易产生损伤。例如,包括在存储装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在存储装置中的布线、电极、元件等受损伤。另一方面,在采用不使用等离子体的成膜方法的情况下,因为不发生这种等离子体损伤,所以能够提高存储装置的成品率。此外,不生成膜时的等离子体损伤,所以能够得到缺陷较少的膜。

[0334] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的成膜方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0335] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为可以省略传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以使其成膜时所需的时间缩短。因此,有时可以提高存储装置的生产率。

[0336] 注意,在利用ALD法进行成膜的情况下,作为材料气体优选使用不包含氯的气体。

[0337] <晶体管的结构例子2>

[0338] 参照图13A至图13C对晶体管200B的结构例子进行说明。图13A是晶体管200B的俯视图。图13B是沿着图13A中的点划线L1-L2所示的部位的截面图。图13C是沿着图13A中的点划线W1-W2所示的部位的截面图。注意,在图13A的俯视图中,为了明确起见,省略一部分构成要素。

[0339] 晶体管200B是晶体管200A的变形例子。因此,为了防止重复说明,主要对其与晶体管200A的不同之处进行说明。

[0340] 在图13所示的晶体管200B中,氧化物230c、绝缘体250及导体260隔着绝缘体274配置在设置于绝缘体280的开口部内。另外,氧化物230c、绝缘体250及导体260配置在导体242a与导体242b之间。

[0341] 另外,氧化物230c优选隔着绝缘体274形成在设置于绝缘体280的开口部内。当绝缘体274具有阻挡性时,可以抑制绝缘体280所包含的杂质扩散到氧化物230。

[0342] 绝缘体250被用作第一栅极绝缘层。绝缘体250优选隔着氧化物230c及绝缘体274形成在设置于绝缘体280的开口部内。

[0343] 在绝缘体280与晶体管200B间配置绝缘体274。作为绝缘体274优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如,优选使用氧化铝、氧化钪等。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化铋、氧化锆、氧化镧、氧化钕、氧化钽等的金属氧化物、氮化硅、氮化硅等。

[0344] 通过包括绝缘体274,可以抑制绝缘体280中的水、氢等杂质通过氧化物230c及绝

缘体250扩散到氧化物230b中。此外,可以抑制绝缘体280所包含的过剩氧使导体260氧化。

[0345] <晶体管的结构例子3>

[0346] 参照图14A至图14C对晶体管200C的结构例子进行说明。图14A是晶体管200C的俯视图。图14B是沿着图14A中的点划线L1-L2所示的部位的截面图。图14C是沿着图14A中的点划线W1-W2所示的部位的截面图。注意,在图14A的俯视图中,为了明确起见,省略一部分构成要素。

[0347] 晶体管200C是晶体管200B的变形例子。因此,为了防止重复说明,主要对其与晶体管200B的不同之处进行说明。

[0348] 图14所示的晶体管200C在导体242a与氧化物230b间配置导电层247a且在导体242b与氧化物230b间配置导电层247b。在此,导体242a(导体242b)具有超过导电层247a(导电层247b)的顶面及导体260一侧的侧面延伸并与氧化物230b的顶面接触的区域。在此,导电层247使用可用于导体242的导体即可。此外,优选导电层247的膜厚度至少厚于导体242。

[0349] 由于图14所示的晶体管200C具有上述结构,与晶体管200B相比,可以将导体242靠近导体260。或者,可以将导体242a的端部及导体242b的端部重叠于导体260。由此,可以减少晶体管200C的实质上的沟道长度,以提高通态电流及工作频率特性。

[0350] 此外,导电层247a(导电层247b)优选与导体242a(导体242b)重叠。通过采用该结构,在形成埋入导体246a(导体246b)的开口的蚀刻时,导电层247a(导电层247b)被用作蚀刻停止层而可以防止氧化物230b的过蚀刻。

[0351] 此外,在图14所示的晶体管200C中,也可以以接触于绝缘层244之上的方式配置绝缘层245。绝缘层244优选被用作抑制水或氢等杂质或过剩氧从绝缘体280一侧进入晶体管200C的阻挡绝缘膜。作为绝缘层245可以使用可用于绝缘层244的绝缘体。此外,作为绝缘层245,例如也可以使用氮化铝、氮化铝、氮化钛、氮化硅或氮氧化硅等氮化物绝缘体。

[0352] 另外,与图13所示的晶体管200B不同,在图14所示的晶体管200C的导体205可以具有单层结构。此时,可以在已形成图案的导体205上形成成为绝缘体216的绝缘膜,通过利用化学机械抛光(CMP)法等直到导体205的顶面露出为止去除该绝缘膜的顶部。在此,优选使导体205的顶面的平坦性良好。例如,导体205的顶面的平均表面粗糙度(Ra)为1nm以下,优选为0.5nm以下,更优选为0.3nm以下即可。由此,可以提高形成在导体205上的绝缘层的平坦性,并提高氧化物230b及氧化物230c的结晶性。

[0353] <晶体管的结构例子4>

[0354] 参照图15A至图15C对晶体管200D的结构例子进行说明。图15A是晶体管200D的俯视图。图15B是沿着图15A中的点划线L1-L2所示的部位的截面图。图15C是沿着图15A中的点划线W1-W2所示的部位的截面图。注意,在图15A的俯视图中,为了明确起见,省略一部分构成要素。

[0355] 晶体管200D是上述晶体管的变形例子。因此,为了防止重复说明,主要对其与上述晶体管的不同之处进行说明。

[0356] 在图15A至图15C中,将具有第二栅极的功能的导体205还用作布线而不设置导电层203。另外,在氧化物230c上设置有绝缘体250且在绝缘体250上设置有金属氧化物252。

此外,在金属氧化物252上包括导电体260,在导电体260上包括绝缘层270。此外,在绝缘层270上包括绝缘层271。

[0357] 金属氧化物252优选具有抑制氧扩散的功能。通过在绝缘体250与导电体260之间设置抑制氧扩散的金属氧化物252,向导电体260的氧扩散得到抑制。换言之,可以抑制对氧化物230供应的氧量的减少。另外,可以抑制因氧所导致的导电体260的氧化。

[0358] 另外,金属氧化物252可以被用作第一栅电极的一部分。例如,可以将可用作氧化物230的氧化物半导体层用于金属氧化物252。在此情况下,通过利用溅射法形成导电体260,可以降低金属氧化物252的电阻率而使其成为导电层。

[0359] 另外,金属氧化物252有时被用作第一栅极绝缘层的一部分。因此,在将氧化硅或氮化硅等用于绝缘体250的情况下,作为金属氧化物252优选使用作为相对介电常数高的high-k材料的金属氧化物。通过采用该叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘层的绝缘层的等效氧化物厚度(EOT)。

[0360] 虽然示出晶体管200D中的金属氧化物252是单层的结构,但是也可以采用两层以上的叠层结构。例如,可以将被用作第一栅电极的一部分的金属氧化物与被用作第一栅极绝缘层的一部分的金属氧化物层叠。

[0361] 当将金属氧化物252用作第一栅电极时,可以在不减弱来自导电体260的电场的影响的情况下提高晶体管200D的通态电流。另外,当将金属氧化物252用作第一栅极绝缘层时,通过利用绝缘体250及金属氧化物252的物理厚度保持导电体260与氧化物230之间的距离,可以抑制导电体260与氧化物230之间的泄漏电流。由此,通过设置绝缘体250与金属氧化物252的叠层结构,可以容易调节导电体260与氧化物230之间的物理距离及从导电体260施加到氧化物230的电场强度。

[0362] 具体而言,可以通过使可用于氧化物230的氧化物半导体低电阻化来将其用作金属氧化物252。或者,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锆和镁等中的一种或两种以上的金属氧化物。

[0363] 尤其是,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘层的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是,铝酸铪的耐热性比氧化铪高。因此,在后面的工序的热积存(thermal budget)中不容易晶化,所以是优选的。此外,不需要必须设置该金属氧化物252。根据所需要的晶体管特性,适当地设计即可。

[0364] 作为绝缘层270优选使用具有抑制水或氢等杂质及氧的透过的功能的绝缘材料。例如,优选使用氧化铝、氧化铪等。由此,可以防止导电体260因来自绝缘层270的上方的氧而氧化。另外,可以抑制来自绝缘层270的上方的水或氢等杂质通过导电体260及绝缘体250进入氧化物230中。

[0365] 绝缘层271被用作硬掩模。通过设置绝缘层271,可以以其侧面与衬底表面大致垂直的方式对导电体260进行加工,具体而言,可以使导电体260的侧面与衬底表面所形成的角度为75度以上且100度以下,优选为80度以上且95度以下。

[0366] 此外,也可以通过作为绝缘层271使用抑制水或氢等杂质及氧的透过的功能的绝缘材料,来将绝缘层271兼作用阻挡层。在此情况下,也可以不设置绝缘层270。

[0367] 通过将绝缘层271用作硬掩模,选择性地去除绝缘层270、导电体260、金属氧化物

252、绝缘体250及金属氧化物230c的一部分,可以使它们的侧面大致对齐,且使金属氧化物230b的表面的一部分露出。

[0368] 此外,晶体管200D在露出的氧化物230b的表面的一部分具有区域231a及区域231b。区域231a和区域231b中的一个被用作源区域,另一个被用作漏区域。

[0369] 例如通过利用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理等,对露出的氧化物230b的表面引入磷或硼等杂质元素,来可以形成区域231a及区域231b。注意,在本实施方式等中,“杂质元素”是指主要成分元素之外的元素。

[0370] 此外,也可以在使氧化物230b的表面的一部分露出之后形成金属膜,然后进行加热处理,来将包含在该金属膜中的元素扩散到氧化物230b中,由此形成区域231a及区域231b。

[0371] 被引入杂质元素的金属氧化物230b的一部分区域的电阻率下降。由此,有时将区域231a及区域231b称为“杂质区域”或“低电阻区域”。

[0372] 通过将绝缘层271或导体260用作掩模,可以自对准地形成区域231a及区域231b。因此,区域231a和/或区域231b不与导体260重叠,可以减小寄生电容。此外,偏置区域不形成在沟道形成区域与源区域或漏区域(区域231a或区域231b)之间。通过自对准地形成区域231a及区域231b,可以实现通态电流的增加、阈值电压的降低、工作频率的提高等。

[0373] 此外,为了进一步降低关态电流,也可以在沟道形成区域与源区域或漏区域之间设置偏置区域。偏置区域是电阻率高的区域,且是不被进行上述杂质元素的引入的区域。通过在形成绝缘层275后进行上述杂质元素的引入,可以形成偏置区域。在此情况下,与绝缘层271等同样,绝缘层275也被用作掩模。因此,氧化物230b的与绝缘层275重叠的区域不被引入杂质元素,由此可以将该区域的电阻率保持为高。

[0374] 晶体管200D在绝缘层270、导体260、金属氧化物252、绝缘体250及金属氧化物230c的侧面包括绝缘层275。绝缘层275优选为相对介电常数低的绝缘体。例如,优选使用氧化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是,当将氧化硅、氮氧化硅、氮化硅或具有空孔的氧化硅用于绝缘层275时,在后面的工序中可在绝缘层275中容易形成过剩氧区域,所以是优选的。另外,氧化硅及氮氧化硅具有热稳定性,所以是优选的。此外,绝缘层275优选具有扩散氧的功能。

[0375] 另外,晶体管200D在绝缘层275及氧化物230上包括绝缘体274。绝缘体274优选利用溅射法形成。通过利用溅射法,可以形成水或氢等杂质少的绝缘体。例如,作为绝缘体274,优选使用氧化铝。

[0376] 有时利用溅射法形成的氧化膜从被形成的结构体抽出氢。因此,绝缘体274从氧化物230及绝缘层275抽出氢及水,来可以降低氧化物230及绝缘层275的氢浓度。

[0377] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0378] (实施方式3)

[0379] 在本实施方式中,参照图16及图17说明半导体装置的一个方式。

[0380] [存储装置1]

[0381] 图16示出使用作为本发明的一个方式的电容器的半导体装置(存储装置)的一个例子。在本发明的一个方式的半导体装置中,晶体管200设置在晶体管300的上方,电容器

100设置在晶体管300及晶体管200的上方。此外,作为晶体管200,可以使用上述实施方式所说明的晶体管200。

[0382] 另外,构成晶体管200的各导电体优选与上述实施方式所说明的二极管元件或被用作电容器的晶体管电连接。注意,虽然图16及图17典型地仅示出二极管10s,但是不局限于本结构。可以根据所需要的半导体装置的性能并使用上述实施方式所说明的结构适当地进行设计。

[0383] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流小,所以通过将其用于存储装置,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频率极低,所以可以充分降低存储装置的功耗。

[0384] 在图16所示的半导体装置中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接。此外,布线1003与晶体管200的源极和漏极中的一个电连接,布线1004与晶体管200的第一栅极电连接,布线1006与晶体管200的第二栅极电连接。再者,晶体管300的栅极及晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接,布线1005与电容器100的另一个电极电连接。

[0385] 此外,通过将图16所示的存储装置配置为矩阵状,可以构成存储单元阵列。

[0386] <晶体管300>

[0387] 晶体管300设置在衬底311上,并包括用作栅电极的导电体316、用作栅电极的绝缘体315、由衬底311的一部分构成的半导体区域313以及用作源区域或漏区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0388] 在此,在图16所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0389] 注意,图16所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0390] <电容器100>

[0391] 电容器100设置在晶体管200的上方。电容器100包括用作第一电极的导电体110、用作第二电极的导电体120及用作介电质的绝缘体130。

[0392] 此外,例如,也可以同时形成设置在导电体246上的导电体112及导电体110。此外,导电体112用作与电容器100、晶体管200或晶体管300电连接的插头或者布线。

[0393] 在图16中,导电体112及导电体110具有单层结构,但是不局限于该结构,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体之间的紧密性高的导电体。

[0394] 此外,绝缘体130例如可以使用氧化硅、氮化硅、氮氧化硅、氮化硅、氧化铝、氮氧化铝、氮氧化铝、氮化铝、氧化铪、氮氧化铪、氮氧化铪、氮化铪等,并以叠层或单层设置。

[0395] 例如,绝缘体130优选使用氮氧化硅等绝缘耐压力高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构,电容器100可以包括高介电常数(high-k)的绝缘体来

确保充分的电容,并可以包括绝缘耐压力高的绝缘体来提高绝缘耐压力,从而可以抑制电容器100的静电破坏。

[0396] 注意,作为高介电常数 (high-k) 材料 (相对介电常数高的材料) 的绝缘体,有氧化镓、氧化铅、氧化锆、具有铝及铅的氧化物、具有铝及铅的氧氮化物、具有硅及铅的氧化物、具有硅及铅的氧氮化物或具有硅及铅的氮化物等。

[0397] 另一方面,作为绝缘耐压力高的材料 (相对介电常数低的材料),有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0398] <布线层>

[0399] 在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。在此,在具有插头或布线的功能的导体中,有时使用同一附图标记表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导体的一部分有时被用作布线,并且导体的一部分有时被用作插头。

[0400] 例如,在晶体管300上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,与电容器100或晶体管200电连接的导体328及导体330等嵌入绝缘体320、绝缘体322、绝缘体324及绝缘体326中。此外,导体328及导体330被用作插头或布线。

[0401] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,也可以通过利用化学机械抛光 (CMP) 法等的平坦化处理实现平坦化。

[0402] 可以在绝缘体326及导体330上设置布线层。例如,在图16中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导体356。导体356用作插头或布线。

[0403] 同样地,在绝缘体210、绝缘体212、绝缘体214及绝缘体216中填充有导体218及构成晶体管200的导体 (导体205) 等。此外,导体218用作与电容器100或晶体管300电连接的插头或布线。再者,导体120及绝缘体130上设置有绝缘体150。

[0404] 作为能够用作层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0405] 例如,通过将介电常数低的材料用于用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0406] 例如,优选作为绝缘体216、绝缘体212、绝缘体352及绝缘体354等使用介电常数低的绝缘体。例如,该绝缘体优选含有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。或者,该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅和树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性,因此通过将其与树脂组合,可以实现具有热稳定性且介电常数低的叠层结构。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺 (尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯或丙烯酸等。



当在该结构中保持晶体管200的第二栅极的负电位时,晶体管400的第一栅极与源极间的电压及第二栅极与源极间的电压成为0V。在晶体管400中,由于第二栅极电压及第一栅极电压为0V时的漏极电流非常小,所以即使没有向晶体管200及晶体管400供应电源,也可以长时间保持晶体管200的第二栅极的负电位。由此,包括晶体管200及晶体管400的存储装置可以长期间保持存储内容。

[0420] 因此,在图17中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接。此外,布线1003与晶体管200的源极和漏极中的一个电连接,布线1004与晶体管200的栅极电连接,布线1006与晶体管200的背栅极电连接。再者,晶体管300的栅极及晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接,布线1005与电容器100的另一个电极电连接。布线1007与晶体管400的源极电连接,布线1008与晶体管400的栅极电连接,布线1009与晶体管400的背栅极电连接,布线1010与晶体管400的漏极电连接。在此,布线1006、布线1007、布线1008及布线1009电连接。

[0421] 此外,通过将图17所示的存储装置与图16所示的存储装置同样地配置为矩阵状,可以构成存储单元阵列。注意,一个晶体管400可以控制多个晶体管200的第二栅极电压。因此,优选使晶体管400的个数少于晶体管200。

[0422] <晶体管400>

[0423] 晶体管400形成在与晶体管200相同的层上,由此可以同时制造它们。晶体管400包括:用作第一栅电极的导电体460;用作第二栅电极的导电体405(导电体405a及导电体405b);用作栅极绝缘层的绝缘体222、绝缘体224及绝缘体450;包括形成沟道的区域的氧化物430c;用作源极和漏极中的一个的导电体442a、氧化物432b及氧化物432a;用作源极和漏极中的另一个的导电体442b、氧化物431b及氧化物431a;以及导电体446(导电体446a及导电体446b)。

[0424] 在晶体管400中,导电体405与导电体205是相同的层。氧化物431a及氧化物432a与氧化物230a是相同的层,氧化物431b及氧化物432b与氧化物230b是相同的层。导电体442与导电体242是相同的层。氧化物430c与氧化物230c是相同的层。绝缘体450与绝缘体250是相同的层。导电体460与导电体260是相同的层。

[0425] 注意,形成在相同的层中的结构体可以同时形成。例如,氧化物430c可以通过对成为氧化物230c的氧化膜进行加工来形成。

[0426] 与氧化物230等同样,在用作晶体管400的活性层的氧化物430c中,减少了氧缺陷和氢或水等杂质。因此,可以使晶体管400的阈值电压大于0V,减少关态电流,并使第二栅极电压及第一栅极电压为0V时的漏极电流非常小。

[0427] 《切割线》

[0428] 下面,对当将大面积衬底按每个半导体元件分割而得到芯片形状的多个半导体装置时设置的切割线(也称为分割线、分断线或截断线)进行说明。作为分割方法,例如,有时,首先在衬底中形成用来分断半导体元件的槽(切割线)之后,在切割线处截断,得到被分断(被分割)的多个半导体装置。

[0429] 在此,例如,如图17所示,优选以使绝缘体274与绝缘体215接触的区域成为切割线的方式进行设计。也就是说,在设置在包括多个晶体管200的存储单元及晶体管400的边缘的成为切割线的区域附近,在绝缘体222及绝缘体216中设置开口之后,形成绝缘体274,即

可。

[0430] 也就是说,在设置在上述绝缘体223及绝缘体216的开口中,绝缘体214与绝缘体274接触。例如,此时,也可以使用相同的材料及相同的方法形成绝缘体215和绝缘体274。通过使用相同的材料及相同的方法形成绝缘体215和绝缘体274,可以提高紧密性。例如,优选使用氮化硅。

[0431] 通过采用该结构,可以使绝缘体215及绝缘体274包围绝缘体224、晶体管200及晶体管400。绝缘体215及绝缘体274由于具有抑制氧、氢及水的扩散的功能,所以即使按形成有本实施方式所示的半导体元件的电路区域将衬底分割加工为多个芯片,也可以防止氢或水等杂质从截断的衬底的侧面方向混入并扩散到晶体管200或晶体管400。

[0432] 通过采用该结构,可以防止绝缘体224中的过剩氧扩散到绝缘体274及绝缘体215的外部。因此,绝缘体224中的过剩氧高效地被供应到晶体管200或晶体管400中形成沟道的氧化物中。通过该氧,可以减少晶体管200或晶体管400中的形成沟道的氧化物的氧缺陷。由此,可以使晶体管200或晶体管400中的形成沟道的氧化物成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说,可以在抑制晶体管200或晶体管400的电特性变动的同时提高可靠性。

[0433] 本实施方式可以与其他实施方式及实施例等所记载的结构适当地组合而实施。

[0434] (实施方式4)

[0435] 在本实施方式中,参照图18和图19,对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为0S晶体管)及电容器的存储装置(以下有时称为0S存储装置)进行说明。0S存储装置是至少包括电容器和控制该电容器的充放电的0S晶体管的存储装置。因0S晶体管的关态电流极小所以0S存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0436] <存储装置的结构例子>

[0437] 图18A示出0S存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0438] 列电路1430例如包括列译码器、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0439] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,WDATA被输入到写入电路。

[0440] 控制逻辑电路1460对来自外部的输入信号(CE、WE、RE)进行处理来生成行译码器及列译码器的控制信号。CE是芯片使能信号,WE是写入使能信号,并且RE是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0441] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接

存储单元阵列1470和行电路1420的布线的数量取决于存储单元MC的结构、包括在一个列中的存储单元MC的数量等。此外,连接存储单元阵列1470和列电路1430的布线的数量取决于存储单元MC的结构、包括在一个行中的存储单元MC的数量等。

[0442] 此外,虽然在图18A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图18B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0443] 在图19中说明能够适合用于上述存储单元MC的存储单元的结构例子。

[0444] [DOSRAM]

[0445] 图19A至图19C示出DRAM的存储单元的电路结构例子。在本说明书等中,有时将使用1OS晶体管1电容器型存储单元的DRAM称为DOSRAM。图19A所示的存储单元1471包括晶体管M1及电容器CA。此外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0446] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线CAL连接。

[0447] 布线BIL被用作位线,布线WOL被用作字线。布线CAL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0448] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图19B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图19C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0449] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管M1可以使用上述实施方式所示的晶体管。通过作为晶体管M1使用0S晶体管,可以使晶体管M1的泄漏电流为极低。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以对存储单元1471、存储单元1472、存储单元1473保持多值数据或模拟数据。

[0450] 此外,在DOSRAM中,在如上所述那样地采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的存储电容。

[0451] [NOSRAM]

[0452] 图19D至图19H示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图19D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。此外,晶体管M2包括顶栅极(有时简单地称为栅极)及背栅极。在本说明书等中,有时将包括将0S晶体管用于晶体管M2的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM)。

[0453] 晶体管M2的第一端子与电容器CB的第一端子连接,晶体管M2的第二端子与布线WBL连接,晶体管M2的栅极与布线WOL连接,晶体管M2的背栅极与布线BGL连接。电容器CB的

第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器CB的第一端子连接。

[0454] 布线WBL被用作写入位线,布线RBL被用作读出布线,布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在数据的写入、保持及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M2的阈值电压。

[0455] 此外,存储单元MC不局限于存储单元1474,而可以适当地改变其电路结构。例如,存储单元MC也可以采用如图19E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图19F所示的存储单元1476那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M2构成的存储单元。此外,例如,存储单元MC也可以具有如图19G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0456] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下,作为晶体管M2可以使用上述实施方式所示的晶体管。通过作为晶体管M2使用0S晶体管,可以使晶体管M2的泄漏电流为极低。由此,因为可以由晶体管M2长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至1477也是同样的。

[0457] 此外,晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比0S晶体管高。因此,作为用作读出晶体管的晶体管M3,也可以使用Si晶体管。此外,通过将Si晶体管用于晶体管M3,可以层叠于晶体管M3上地设置晶体管M2,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0458] 此外,晶体管M3也可以是0S晶体管。在将0S晶体管用于晶体管M2及晶体管M3时,在存储单元阵列1470中可以只使用n型晶体管构成电路。

[0459] 此外,图19H示出3晶体管1电容器的增益单元型存储单元的一个例子。图19H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC可以适当地设置。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。此外,也可以将存储单元1478电连接到布线RBL、布线WBL,而不与布线BIL电连接。

[0460] 晶体管M4是包括背栅极的0S晶体管,该背栅极与布线BGL电连接。此外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0461] 此外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6都是0S晶体管。在此情况下,可以在存储单元阵列1470中只使用n型晶体管构成电路。

[0462] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用上述实施方式所示的晶体管。通过作为晶体管M4使用0S晶体管,可以使晶体管M4的泄漏电流为极低。

[0463] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。可以根据需要改变,去除或追加这些电路及连接到该电路的布线、电路元件等的配

置或功能。

[0464] 本实施方式所示的结构可以与其他实施方式及实施例等所示的结构适当地组合而实施。

[0465] (实施方式5)

[0466] 在本实施方式中,参照图20说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0467] 如图20A所示,芯片1200包括CPU(中央处理器,Central Processing Unit)1211、GPU(图形处理器,Graphics Processing Unit)1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0468] 在芯片1200上设置有凸块(未图示),该凸块如图20B所示那样与印刷电路板(PCB)1201的第一面连接。此外,在PCB1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0469] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0470] CPU1211优选具有多个CPU核。此外,GPU1212优选具有多个GPU核。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0471] 此外,因为同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0472] 模拟运算部1213具有模拟/数字(A/D)转换电路和数字/模拟(D/A)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0473] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0474] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用通用串行总线(USB)、高清晰度多媒体接口(HDMI)(注册商标)等。

[0475] 网络电路1216具有局域网(LAN)等网络电路。此外,还可以具有网络安全用电路。

[0476] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0477] 可以将包括设置有具有GPU1212的芯片1200的PCB1201、DRAM1221以及闪存1222的母板1203称为GPU模块1204。

[0478] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,GPU模块

1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(不是固定式的)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0479] 本实施方式所示的结构可以与其他实施方式及实施例等所示的结构适当地组合而实施。

[0480] (实施方式6)

[0481] 在本实施方式中,说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的半导体装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图21示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0482] 图21A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及衬底1104。衬底1104被容纳在外壳1101中。例如,衬底1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于衬底1104上的存储器芯片1105等。

[0483] 图21B是SD卡的外观示意图,图21C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及衬底1113。衬底1113被容纳在外壳1111中。例如,衬底1113上安装有存储器芯片1114及控制器芯片1115。通过在衬底1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于衬底1113上的存储器芯片1114等。

[0484] 图21D是SSD的外观示意图,图21E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及衬底1153。衬底1153被容纳在外壳1151中。例如,衬底1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在衬底1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于衬底1153上的存储器芯片1154等。

[0485] 本实施方式可以与其他实施方式及实施例等所记载的结构适当地组合而实施。

[0486] (实施方式7)

[0487] 在本实施方式中,作为使用本说明书等所公开的晶体管的半导体装置的一个例子说明显示装置及显示模块。

[0488] 以下,有时将参照晶体管200等说明的使用氧化物半导体的晶体管称为OS晶体管。

[0489] <显示装置>

[0490] 对可以使用上述晶体管的显示装置的一个例子进行说明。图22A是说明显示装置

500的结构例子的方框图。

[0491] 图22A所示的显示装置500包括驱动电路511、驱动电路521a、驱动电路521b及显示区域531。另外,有时将驱动电路511、驱动电路521a及驱动电路521b总称为“驱动电路”或“外围驱动电路”。

[0492] 可以将驱动电路521a及驱动电路521b用作例如扫描线驱动电路。另外,可以将驱动电路511用作例如信号线驱动电路。另外,也可以仅设置驱动电路521a和驱动电路521b中的某一个。此外,也可以在隔着显示区域531与驱动电路511相对的位置设置某种电路。

[0493] 另外,图22A所示的显示装置500包括分别大致平行地设置且由驱动电路521a和/或驱动电路521b控制电位的p条布线535以及分别大致平行地设置且由驱动电路511控制电位的q条布线536(p、q都为1以上的自然数)。并且,显示区域531包括配置为矩阵状的多个像素532。像素532包括像素电路534及显示元件。

[0494] 另外,通过将三个像素532用作一个像素,可以实现全彩色显示。三个像素532分别控制红色光、绿色光或蓝色光的透射率、反射率或发光光量等。另外,由三个像素532控制的光的颜色不局限于红色、绿色、蓝色的组合,也可以是黄、青色、品红色。

[0495] 另外,除了控制红色光、绿色光、蓝色光的像素之外还可以追加控制白色光的像素532并将四个像素532用作一个像素。通过追加控制白色光的像素532,可以提高显示区域的亮度。另外,通过增加用作一个像素的像素532可以适当地组合红色、绿色、蓝色、黄、青色及品红色而使用,由此可以扩大能够再现的色域。

[0496] 当将像素配置为 $1920 \times 1080$ 的矩阵状时,可以实现以所谓全高清(也称为“2K分辨率”、“2K1K”或“2K”等)的分辨率能够显示的显示装置500。另外,例如,当将像素配置为 $3840 \times 2160$ 的矩阵状时,可以实现以所谓超高清(也称为“4K分辨率”、“4K2K”或“4K”等)的分辨率能够显示的显示装置500。另外,例如,当将像素配置为 $7680 \times 4320$ 的矩阵状时,可以实现以所谓超高清(也称为“8K分辨率”、“8K4K”或“8K”等)的分辨率能够显示的显示装置500。通过增加像素,也可以实现以16K或32K的分辨率进行显示的显示装置500。

[0497] 第g行的布线535<sub>g</sub>(g为1以上且p以下的自然数)与显示区域531中配置在p行q列的多个像素532中的配置于g行的q个像素532电连接。另外,第h列的布线536<sub>h</sub>(h为1以上且q以下的自然数)与配置于p行q列的像素532中的配置于h列的p个像素532电连接。

[0498] [显示元件]

[0499] 显示装置500可以采用各种方式或具有各种显示元件。作为显示元件的一个例子,可以举出其对比度、亮度、反射率、透射率等因电或磁作用而变化的显示媒体,如EL(电致发光)元件(有机EL元件、无机EL元件或包含有机物及无机物的EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、使用MEMS(微电子机械系统)的显示元件、数字微镜设备(DMD)、DMS(数码微快门)、MIRASOL(注册商标)、IMOD(干涉测量调节)元件、快门方式的MEMS显示元件、光干涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器、使用碳纳米管的显示元件等。此外,作为显示元件,可以使用量子点。

[0500] 作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用量子点

的显示装置的一个例子,有量子点显示器等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透射型液晶显示器、半透射型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水、电子粉流体(注册商标)或电泳元件的显示装置的一个例子,有电子纸等。显示装置也可以为等离子体显示器(PDP)。显示装置也可以为视网膜扫描型成像装置。

[0501] 注意,当实现半透射型液晶显示器或反射式液晶显示器时,使像素电极的一部分或全部具有作为反射电极的功能即可。例如,使像素电极的一部分或全部包含铝、银等即可。并且,此时也可以将SRAM等存储电路设置在反射电极下方。由此,可以进一步降低功耗。

[0502] 注意,当使用LED时,也可以在LED的电极或氮化物半导体下配置石墨烯或石墨。石墨烯或石墨也可以为层叠有多个层的多层膜。如此,通过设置石墨烯或石墨,可以更容易地在其上形成氮化物半导体,如具有结晶的n型GaN半导体层等。并且,在其上设置具有结晶的p型GaN半导体层等,由此能够构成LED。另外,也可以在石墨烯或石墨与具有结晶的n型GaN半导体层之间设置AlN层。此外,LED所包括的GaN半导体层也可以通过MOCVD形成。注意,也可以通过设置石墨烯,以溅射法形成LED所包括的GaN半导体层。

[0503] 图22B、图22C、图23A和图23B示出能够用于像素532的电路结构例子。

[0504] [发光显示装置用像素电路的一个例子]

[0505] 图22B所示的像素电路534包括晶体管461、电容器463、晶体管468和晶体管464。另外,图22B所示的像素电路534与能够用作显示元件的发光元件469电连接。

[0506] 可以将OS晶体管用作晶体管461、晶体管468及晶体管464。尤其是,优选将OS晶体管用作晶体管461。

[0507] 晶体管461的源极和漏极中的一个与布线536\_h电连接。再者,晶体管461的栅极与布线535\_g电连接。从布线536\_h供应视频信号。

[0508] 晶体管461具有控制对节点465写入视频信号的功能。

[0509] 电容器463的一对电极中的一个与节点465电连接,另一个与节点467电连接。另外,晶体管461的源极和漏极中的另一个与节点465电连接。

[0510] 电容器463具有保持写入节点465中的数据的数据的存储电容器的功能。

[0511] 晶体管468的源极和漏极中的一个与电位供应线VL\_a电连接,另一个与节点467电连接。并且,晶体管468的栅极与节点465电连接。

[0512] 晶体管464的源极和漏极中的一个与电位供应线V0电连接,另一个与节点467电连接。并且,晶体管464的栅极与布线535\_g电连接。

[0513] 发光元件469的阳极和阴极中的一个与电位供应线VL\_b电连接,另一个与节点467电连接。

[0514] 作为发光元件469,例如可以使用有机电致发光元件(也称为有机EL元件)等。但是,发光元件469不限于于此,例如也可以使用由无机材料构成的无机EL元件。

[0515] 例如,高电源电位VDD施加到电位供应线VL\_a和电位供应线VL\_b中的一个,低电源电位VSS施加到另一个。

[0516] 在具有图22B的像素电路534的显示装置500中,通过驱动电路521a和/或驱动电路521b依次选择各行的像素532,使晶体管461及晶体管464成为导通状态以将视频信号写入节点465。

[0517] 当晶体管461及晶体管464处于截止状态时,使数据被写入到节点465的像素532成为保持状态。再者,根据写入到节点465的数据的电位,来控制流过晶体管468的源电极与漏电极之间的电流,并且,发光元件469以对应于流过的电流的亮度发光。通过逐行依次进行上述步骤,可以显示图像。

[0518] 另外,也可以如图23A所示地使用具有背栅极的晶体管作为晶体管461、晶体管464及晶体管468。在图23A所示的晶体管461及晶体管464中,栅极与背栅极电连接。因此,栅极与背栅极一直为相同电位。另外,在晶体管468中背栅极与节点467电连接。因此,背栅极与节点467一直为相同电位。

[0519] 可以将上述0S晶体管用作晶体管461、晶体管468及晶体管464中的至少一个。

[0520] [液晶显示装置用像素电路的一个例子]

[0521] 图22C所示的像素电路534包括晶体管461、电容器463。另外,图22C所示的像素电路534与能够用作显示元件的液晶元件462电连接。优选将0S晶体管用作晶体管461。

[0522] 液晶元件462的一对电极中的一个的电位根据像素电路534的规格适当地设定。例如,可以对液晶元件462的一对电极中的一个供应共同电位(公共电位)或与后述电容线CL相同的电位。另外,也可以对各像素532中的液晶元件462的一对电极中的一个供应不同的电位。液晶元件462的一对电极中的另一个与节点466电连接。液晶元件462的取向状态取决于写入节点466的数据。

[0523] 作为具有液晶元件462的显示装置的驱动方法,例如可以采用TN(Twisted Nematic:扭曲向列)模式、STN(Super Twisted Nematic:超扭曲向列)模式、VA模式、ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、MVA模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、IPS模式、FFS模式或TBA(Transverse Bend Alignment:横向弯曲取向)模式等。另外,作为显示装置的驱动方法,除了上述驱动方法之外,还有ECB(Electrically Controlled Birefringence:电控双折射)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网络型液晶)模式、宾主模式等。但是并不局限于此,作为液晶元件及其驱动方式可以使用各种液晶元件及其驱动方式。

[0524] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0525] 另外,也可以采用不使用取向膜的呈现蓝相(Blue Phase)的液晶。蓝相是液晶相的一种,是指当使胆甾型液晶的温度上升时在即将从胆甾相转变到各向同性相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有5wt.%以上的手性试剂的液晶组成物用于液晶层。由于包括呈现蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为1msec以下,并且它具有光学各向同性,所以不需要取向处理,并且视角依赖性低。另外,因可以不设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。由此,可以提高液晶显示装置的生产率。

[0526] 此外,也可以使用将像素(pixel)分成几个区域(子像素)且使分子分别倒向不同方向的被称为多畴化或多畴设计的方法。

[0527] 此外,液晶材料的固有电阻为 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上,优选为 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上,更优选为 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外,本说明书中的固有电阻的值为在 $20^\circ\text{C}$ 测量的值。

[0528] 在第g行h列的像素电路534中,晶体管461的源极和漏极中的一个与布线536\_h电连接,另一个与节点466电连接。晶体管461的栅极与布线535\_g电连接。布线536\_h供应视频信号。晶体管461具有控制向节点466写入视频信号的功能。

[0529] 电容器463的一对电极中的一个与被供应特定电位的布线(以下称为电容线CL)电连接,另一个与节点466电连接。另外,电容线CL的电位的值根据像素电路534的规格适当地设定。电容器463具有保持写入节点466中的数据的数据的存储电容器的功能。

[0530] 例如,在包括图22C的像素电路534的显示装置500中,通过驱动电路521a和/或驱动电路521b依次选择各行的像素电路534,使晶体管461变为导通状态来对节点466写入视频信号。

[0531] 节点466被写入视频信号的像素电路534当晶体管461为关闭状态时变为保持状态。通过按行依次进行上述步骤,可以在显示区域531上显示图像。

[0532] 另外,也可以如图23B所示地使用具有背栅极的晶体管作为晶体管461。图23B所示的晶体管461的栅极与背栅极电连接。因此,栅极与背栅极一直为相同电位。

[0533] [外围电路的结构例子]

[0534] 图24A示出驱动电路511的结构例子。驱动电路511包括移位寄存器512、锁存电路513及缓冲器514。此外,图24B示出驱动电路521a的结构例子。驱动电路521a包括移位寄存器522及缓冲器523。驱动电路521b也可以具有与驱动电路521a相同的结构。

[0535] 移位寄存器512及移位寄存器522被输入起始脉冲SP、时钟信号CLK等。

[0536] [显示装置的结构例子]

[0537] 通过利用上述实施方式所示的OS晶体管,可以将包括移位寄存器的驱动电路的一部分或整体与像素部形成在同一衬底上,来形成系统化面板(system-on-panel)。

[0538] 在本实施方式中,对使用液晶元件的显示装置的结构例子及使用EL元件的显示装置的结构例子进行说明。在图25A中,以围绕设置在第一衬底4001上的像素部4002的方式设置密封剂4005,并且,像素402被密封剂4005及第二衬底4006密封。在图25A中,在第一衬底4001上的与由密封剂4005围绕的区域不同的区域中安装有使用单晶半导体或多晶半导体形成在另行准备的衬底上的信号线驱动电路4003、扫描线驱动电路4004。此外,供应到另行形成的信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC(Flexible printed circuit,柔性印刷电路)4018a、FPC4018b供应。

[0539] 在图25B及图25C中,以围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004的方式设置有密封剂4005。此外,在像素部4002和扫描线驱动电路4004上设置有第二衬底4006。因此,像素部4002及扫描线驱动电路4004与显示元件一起由第一衬底4001、密封剂4005以及第二衬底4006密封。在图25B及图25C中,在第一衬底4001上的与由密封剂4005围绕的区域不同的区域中安装有使用单晶半导体或多晶半导体形成在另行准备的衬底上的信号线驱动电路4003。在图25B及图25C中,供应到信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC4018供应。

[0540] 虽然在图25B及图25C中示出另行形成信号线驱动电路4003并将其安装到第一衬底4001的例子,但是不局限于该结构。既可以另行形成扫描线驱动电路并进行安装,又可以仅另行形成信号线驱动电路的一部分或者扫描线驱动电路的一部分并进行安装。

[0541] 另外,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用引线键合方法、COG (Chip On Glass, 玻璃覆晶封装) 方法、TCP (Tape Carrier Package: 带载封装)、COF (Chip On Film: 覆晶薄膜封装) 等。图25A是通过COG方法安装信号线驱动电路4003、扫描线驱动电路4004的例子,图25B是通过COG方法安装信号线驱动电路4003的例子,而图25C是通过TCP方法安装信号线驱动电路4003的例子。

[0542] 此外,显示装置有时包括显示元件为密封状态的面板和在该面板中安装有包括控制器的IC等的模块。

[0543] 此外,设置在第一衬底上的像素部及扫描线驱动电路包括多个晶体管,可以应用上述实施方式所示的OS晶体管。

[0544] 图26A和图26B为示出图25B中以N1-N2的点划线表示的部分的截面结构的截面图。图26A示出作为显示元件采用液晶元件的液晶显示装置的一个例子。图26B示出作为显示元件使用发光元件的发光显示装置(也称为“EL显示装置”)的一个例子。

[0545] 如图26A和图26B所示,显示装置包括电极4015,并且,电极4015通过各向异性导电层4019电连接到FPC4018所包括的端子。另外,电极4015在形成在绝缘层4110、绝缘层4111及绝缘层4112中的开口中与布线4014电连接。

[0546] 电极4015由与第一电极层4030相同的导电层形成,布线4014由与晶体管4010及晶体管4011的源电极及漏电极相同的导电层形成。

[0547] 此外,设置在第一衬底4001上的像素部4002和扫描线驱动电路4004包括多个晶体管。在图26A及图26B中例示像素部4002所包括的晶体管4010和扫描线驱动电路4004所包括的晶体管4011。在图26A中,在晶体管4010及晶体管4011上设置有绝缘层4112,并且在图26B中,在绝缘层4112上还设置有分隔壁4510。

[0548] 另外,晶体管4010及晶体管4011设置在绝缘层4102上。另外,晶体管4010及晶体管4011包括形成在绝缘层4103上的电极4017,电极4017上形成有绝缘层4112。电极4017可以用作背栅电极。

[0549] 晶体管4010及晶体管4011可以使用上述实施方式所示的晶体管。作为晶体管4010及晶体管4011优选使用OS晶体管。OS晶体管的电特性变动被抑制,所以在电性上稳定。因此,可以使图26A及图26B所示的本实施方式的显示装置成为高可靠性的显示装置。

[0550] OS晶体管可以降低关闭状态下的电流值(关态电流值)。因此,可以延长图像信号等的电信号的保持时间,并且,还可以延长电源导通状态下的写入间隔。因此,可以降低刷新工作的频度,所以具有抑制功耗的效果。

[0551] 此外,由于OS晶体管可以得到较高的场效应迁移率,因此可以进行高速驱动。由此,通过在显示装置的驱动电路部或像素部中使用上述OS晶体管,可以提供高品质的图像。另外,由于可以在同一衬底上分别制造驱动电路及像素部,所以可缩减显示装置的构件个数。

[0552] 另外,图26A及图26B所示的显示装置包括电容器4020。电容器4020包括在与晶体管4010的栅电极相同的工序中形成的电极4021以及在与源电极及漏电极相同的工序中形

成的电极。各电极隔着绝缘层4103彼此重叠。

[0553] 一般而言,考虑在像素部中配置的晶体管的泄漏电流等设定在显示装置的像素部中设置的电容器的容量以使其能够在指定期间保持电荷。电容器的容量考虑晶体管的关态电流等设定即可。

[0554] 例如,通过在液晶显示装置的像素部中使用0S晶体管,可以将电容器的容量降低至液晶容量的1/3以下、进而1/5以下。当使用0S晶体管时,可以不设置电容器。

[0555] 设置在像素部4002中的晶体管4010与显示元件电连接。在图26A中,作为显示元件的液晶元件4013包括第一电极层4030、第二电极层4031以及液晶层4008。注意,以夹持液晶层4008的方式设置有用取向膜的绝缘层4032、绝缘层4033。第二电极层4031设置在第二衬底4006一侧,第一电极层4030与第二电极层4031隔着液晶层4008重叠。

[0556] 此外,间隔物4035是通过绝缘层选择性地蚀刻而得到的柱状间隔物,并且它是为控制第一电极层4030和第二电极层4031之间的间隔(单元间隙)而设置的。注意,还可以使用球状间隔物。

[0557] 此外,在显示装置中,可以适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0558] 另外,图26A及图26B所示的显示装置包括绝缘层4111及绝缘层4104。作为绝缘层4111及绝缘层4104,使用不易使杂质元素透过的绝缘层。通过由绝缘层4111和绝缘层4104夹持晶体管的半导体层,可以防止来自外部的杂质的混入。此外,当在像素部4002的外侧绝缘层4111与绝缘层4104接触时,可以提高防止来自外部的杂质的混入。

[0559] 绝缘层4104例如可以通过与绝缘层210同样的材料及方法形成。绝缘层4111例如可以通过与绝缘体282同样的材料及方法形成。

[0560] 作为显示装置所包括的显示元件,可以应用利用电致发光的发光元件(也称为EL元件)。EL元件在一对电极之间具有包含发光化合物的层(也称为EL层)。当使一对电极之间产生高于EL元件的阈值电压的电位差时,空穴从阳极一侧注入到EL层中,而电子从阴极一侧注入到EL层中。被注入的电子和空穴在EL层中重新结合,由此,包含在EL层中的发光物质发光。

[0561] EL元件根据发光材料是有机化合物还是无机化合物被区别,通常前者被称为有机EL元件,而后者被称为无机EL元件。

[0562] 在有机EL元件中,通过施加电压,电子从一个电极注入到EL层中,而空穴从另一个电极注入到EL层中。通过这些载流子(电子及空穴)重新结合,发光有机化合物形成激发态,当从该激发态回到基态时发光。由于这种机理,这种发光元件被称为电流激发型发光元件。

[0563] EL层除了发光化合物以外也可以还包括空穴注入性高的物质、空穴传输性高的物质、空穴阻挡材料、电子传输性高的物质、电子注入性高的物质或双极性的物质(电子传输性及空穴传输性高的物质)等。

[0564] EL层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等的方法形成。

[0565] 无机EL元件根据其元件结构而分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括发光层,其中发光材料的粒子分散在粘合剂中,并且其发光机理是利

用供体能级和受主能级的供体-受主重新结合型发光。薄膜型无机EL元件是其中发光层夹在电介质层之间,并且该夹着发光层的电介质层夹在电极之间的结构,其发光机理是利用金属离子的内壳层电子跃迁的局部型发光。注意,这里作为发光元件使用有机EL元件进行说明。

[0566] 为了取出发光,使发光元件的一对电极中的至少一个为透明即可。在衬底上形成有晶体管及发光元件。作为发光元件可以采用从与该衬底相反一侧的表面取出发光的顶部发射结构;从衬底一侧的表面取出发光的底部发射结构;以及从两个表面取出发光的双面发射结构。

[0567] 作为显示元件的发光元件4513与设置在像素部4002中的晶体管4010电连接。虽然发光元件4513具有第一电极层4030、发光层4511及第二电极层4031的叠层结构,但是不局限于该结构。根据从发光元件4513取出光的方向等,可以适当地改变发光元件4513的结构。

[0568] 分隔壁4510使用有机绝缘材料或无机绝缘材料形成。尤其优选使用感光树脂材料,在第一电极层4030上形成开口部,并且将该开口部的侧面形成为具有连续曲率的倾斜面。

[0569] 发光层4511可以使用一个层构成。此外,也可以使用多个层的叠层构成。

[0570] 为了防止氧、氢、水分、二氧化碳等侵入发光元件4513,也可以在第二电极层4031及分隔壁4510上形成保护层。作为保护层,可以形成氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、DLC(Diamond Like Carbon)膜等。此外,在由第一衬底4001、第二衬底4006以及密封剂4005密封的空间中设置有填充剂4514并被密封。如此,为了不暴露于外部气体,优选使用气密性高且脱气少的保护薄膜(粘合薄膜、紫外线固化树脂薄膜等)、覆盖材料进行封装(封入)。

[0571] 作为填充剂4514,除了氮或氩等惰性气体以外,也可以使用紫外线固化树脂或热固化树脂,例如可以使用PVC(聚氯乙烯)、丙烯酸类树脂、聚酰亚胺、环氧类树脂、硅酮类树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯-醋酸乙烯酯)等。填充剂4514也可以包含干燥剂。

[0572] 作为密封剂4005,可以使用玻璃粉等玻璃材料或者两液混合型树脂等在常温下固化的固化树脂、光固化树脂、热固化树脂等树脂材料。密封剂4005也可以包含干燥剂。

[0573] 另外,根据需要,也可以在发光元件的光射出面上适当地设置诸如偏振片或者圆偏振片(包括椭圆偏振片)、相位差板( $\lambda/4$ 板, $\lambda/2$ 板)、滤色片等的光学薄膜。此外,也可以在偏振片或者圆偏振片上设置抗反射膜。例如,可以进行抗眩光处理,该处理是通过利用表面的凹凸扩散反射光来降低反射眩光的处理。

[0574] 通过使发光元件具有微腔结构,能够提取色纯度高的光。另外,通过组合微腔结构和滤色片,可以防止反射眩光,而可以提高图像的可见度。

[0575] 关于对显示元件施加电压的第一电极层及第二电极层(也称为像素电极层、公共电极层、对置电极层等),根据取出光的方向、设置电极层的地方以及电极层的图案结构而选择其透光性、反射性,即可。

[0576] 作为第一电极层4030及第二电极层4031,可以使用包含氧化钨的氧化铟、包含氧化钨的铟锌氧化物、包含氧化钛的氧化铟、铟锡氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等具有透光性的导电材料。

[0577] 此外,第一电极层4030及第二电极层4031可以使用钨(W)、钼(Mo)、锆(Zr)、钪

(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)、银(Ag)等金属、或者、其合金或其氮化物中的一种以上形成。

[0578] 此外,第一电极层4030及第二电极层4031可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成。作为导电高分子,可以使用所谓的 $\pi$ 电子共轭导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的两种以上构成的共聚物或其衍生物等。

[0579] 此外,由于晶体管容易因静电等而损坏,所以优选设置用来保护驱动电路的保护电路。保护电路优选使用非线性元件构成。

[0580] 通过采用上述实施方式所示的移位寄存器,可以提供高可靠性的显示装置。此外,通过采用上述实施方式所示的晶体管,可以进一步提高显示装置的可靠性。另外,通过采用上述实施方式所示的晶体管,可以提供具有高分辨率、大尺寸且高显示质量的显示装置。另外,可以提供一种功耗得到降低的显示装置。

[0581] <显示模块>

[0582] 作为采用上述OS晶体管的半导体装置的一个例子对显示模块进行说明。在图27所示的显示模块6000中,在上盖6001与下盖6002之间设置有连接于FPC6003的触摸传感器6004、连接于FPC6005的显示面板6006、背光单元6007、框架6009、印刷电路板6010和电池6011。注意,有时没有设置背光单元6007、电池6011、触摸传感器6004等。

[0583] 例如,可以将本发明的一个方式的半导体装置用于安装在触摸传感器6004、显示面板6006、印刷电路板6010上的集成电路等。例如,可以将之前所述的显示装置用于显示面板6006。

[0584] 上盖6001和下盖6002的形状和尺寸可以根据触摸传感器6004和显示面板6006等的尺寸适当地改变。

[0585] 触摸传感器6004可以为电阻膜式或电容式,并且能够与显示面板6006重叠而使用。可以对显示面板6006附加触摸传感器功能。例如,也可以通过在显示面板6006的每个像素内设置触摸传感器用电极,附加电容式触摸面板的功能等。或者,也可以通过在显示面板6006的每个像素内设置光传感器,附加光学式触摸传感器的功能等。在不需设置触摸传感器6004的情况下,也可以省略触摸传感器6004。

[0586] 背光单元6007包括光源6008。可以将光源6008设置于背光单元6007的端部,并且可以使用光扩散板。另外,当将发光显示装置等用于显示面板6006时,可以省略背光单元6007。

[0587] 框架6009除了保护显示面板6006的功能之外还具有阻挡从印刷电路板6010一侧产生的电磁波的电磁屏蔽的功能。框架6009可以具有散热板的功能。

[0588] 印刷电路板6010包括电源电路以及用来输出视频信号及时钟信号的信号处理电路等。作为对电源电路供电的电源,可以使用电池6011或商用电源。注意,当作为电源使用商用电源时可以省略电池6011。

[0589] 另外,显示模块6000还可以追加设置有诸如偏振片、相位差板、棱镜片等的构件。

[0590] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0591] (实施方式8)

[0592] 根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器或芯片。图

28示出具有根据本发明的一个方式的如CPU、GPU等处理器或芯片的电子设备的例子。

[0593] <电子设备及系统>

[0594] 根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的集成电路或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0595] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0596] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0597] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图28示出电子设备的例子。

[0598] [移动电话机]

[0599] 图28A示出信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中具备触控面板,并且在外壳5510上设置有按钮。

[0600] 通过将本发明的一个方式的芯片应用于信息终端5500,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别声音来将该声音的内容显示在显示部5511上的应用程序、识别由使用者输入到显示部5511所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5511上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0601] [信息终端]

[0602] 图28B示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0603] 与上述信息终端5500同样,通过将本发明的一个方式的芯片应用于台式信息终端5300,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用台式信息终端5300,可以研发新颖的人工智能。

[0604] 注意,在上述例子中,图28A及图28B示出智能手机及台式信息终端作为电子设备的例子,但是人工智能也可以应用于智能手机及台式信息终端以外的信息终端。作为智能手机及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0605] [电器产品]

[0606] 图28C示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0607] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0608] 在图28C中,作为电器产品说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0609] [游戏机]

[0610] 图28D示出游戏机的一个例子的便携式游戏机5200。便携式游戏机包括外壳5201、显示部5202及按钮5203等。

[0611] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0612] 此外,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现具备人工智能的便携式游戏机5200。

[0613] 游戏的进展、游戏中出现的形象的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5200,可以实现不局限于游戏的程序的表现。例如,可以实现由于游戏玩者提问的内容、游戏的进展情况、时间而游戏上出现的形象的言行变化等的表现。

[0614] 此外,当使用便携式游戏机5200玩需要多个人玩的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0615] 虽然图28D示出便携式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0616] [移动体]

[0617] 本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0618] 图28E1是示出移动体的一个例子的汽车5700的图,图28E2是示出汽车室内的前挡风玻璃周边的图。图28E1示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0619] 显示面板5701至显示面板5703可以提供速度表、转速计、行驶距离、燃料表、排档状态、空调的设定以及其他各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0620] 通过将由设置在汽车5700的摄像装置(未图示)拍摄的影像显示在显示面板5704

上,可以补充被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车5700外侧的摄像装置拍摄的影像,可以补充死角,从而可以提高安全性。此外,通过显示补充看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0621] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车5700的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外,可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0622] 虽然在图28E1和图28E2中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0623] [广播电视系统]

[0624] 本发明的一个方式的GPU或芯片可以应用于广播电视系统。

[0625] 图28F示意性地示出广播电视系统中的数据传送。具体而言,图28F示出从广播电视台5680发送的电波(广播电视信号)到达每个家庭的电视接收机(TV)5600的路径。TV5600具备接收机(未图示),由此天线5650所接收的广播电视信号通过该接收机输入TV5600。

[0626] 虽然在图28F中示出超高频率(UHF)天线作为天线5650,但是可以使用BS/110度CS天线、CS天线等作为天线5650。

[0627] 电波5675A及电波5675B为地面广播电视信号,电波塔5670放大所接收的电波5675A并发送电波5675B。各家庭通过用天线5650接收电波5675B,就可以用TV5600收看地面TV播放。此外,广播电视系统可以为利用人造卫星的卫星广播电视、利用光路线的数据广播电视等而不局限于图28F所示的地面广播电视。

[0628] 此外,也可以将本发明的一个方式的芯片应用于上述广播电视系统,以形成利用人工智能的广播电视系统。当从广播电视台5680向每个家庭的TV5600发送广播电视数据时,利用编码器进行广播电视数据的压缩;当天线5650接收该广播电视数据时,利用包括在TV5600中的接收机的解码器进行该广播电视数据的恢复。通过利用人工智能,例如可以在编码器的压缩方法之一的变动补偿预测中识别包含在显示图像中的显示模型。此外,也可以进行利用人工智能的帧内预测等。例如,当TV5600接收低分辨率的广播电视数据而进行高分辨率的显示时,可以在解码器所进行的广播电视数据的恢复中进行上转换等图像的补充处理。

[0629] 上述利用人工智能的广播电视系统适合用于广播电视数据量增大的超高清晰度电视(UHDTV:4K、8K)播放。

[0630] 此外,作为TV5600一侧的人工智能的应用,例如,可以在TV5600内设置具备人工智能的录像装置。通过采用这种结构,可以使该具备人工智能的录像装置学习使用者的爱好,而可以自动对符合使用者的爱好的电视节目录像。

[0631] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0632] 本实施方式可以与其他的实施方式及实施例等所记载的结构适当地组合而实施。

[0633] [符号说明]

[0634] 10二极管、10bg二极管、10d二极管、10s二极管、10tg二极管、20衬底、21区域、21bg

区域、21d区域、21s区域、21tg区域、22区域、22bg区域、22d区域、22s区域、22tg区域、24bg插头、24d插头、24s插头、24tg插头、26bg布线、26bg1布线、26bg2布线、26d布线、26d1布线、26d2布线、26s布线、26s1布线、26s2布线、26tg布线、26tg1布线、26tg2布线、29导电体、200晶体管、200bg晶体管、200d晶体管、200s晶体管、200t晶体管、200tg晶体管、205导电体、230氧化物、260导电体

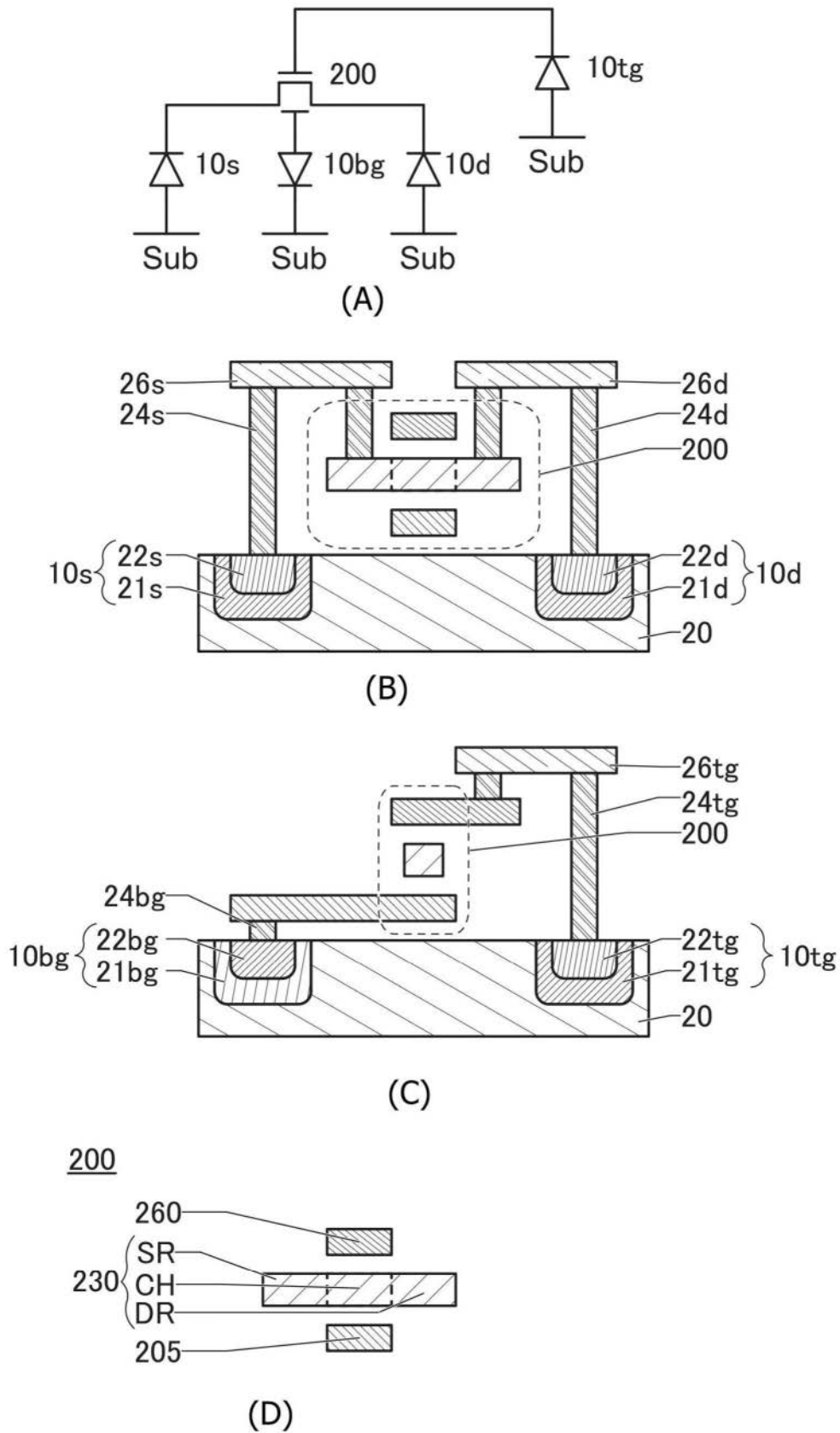


图1

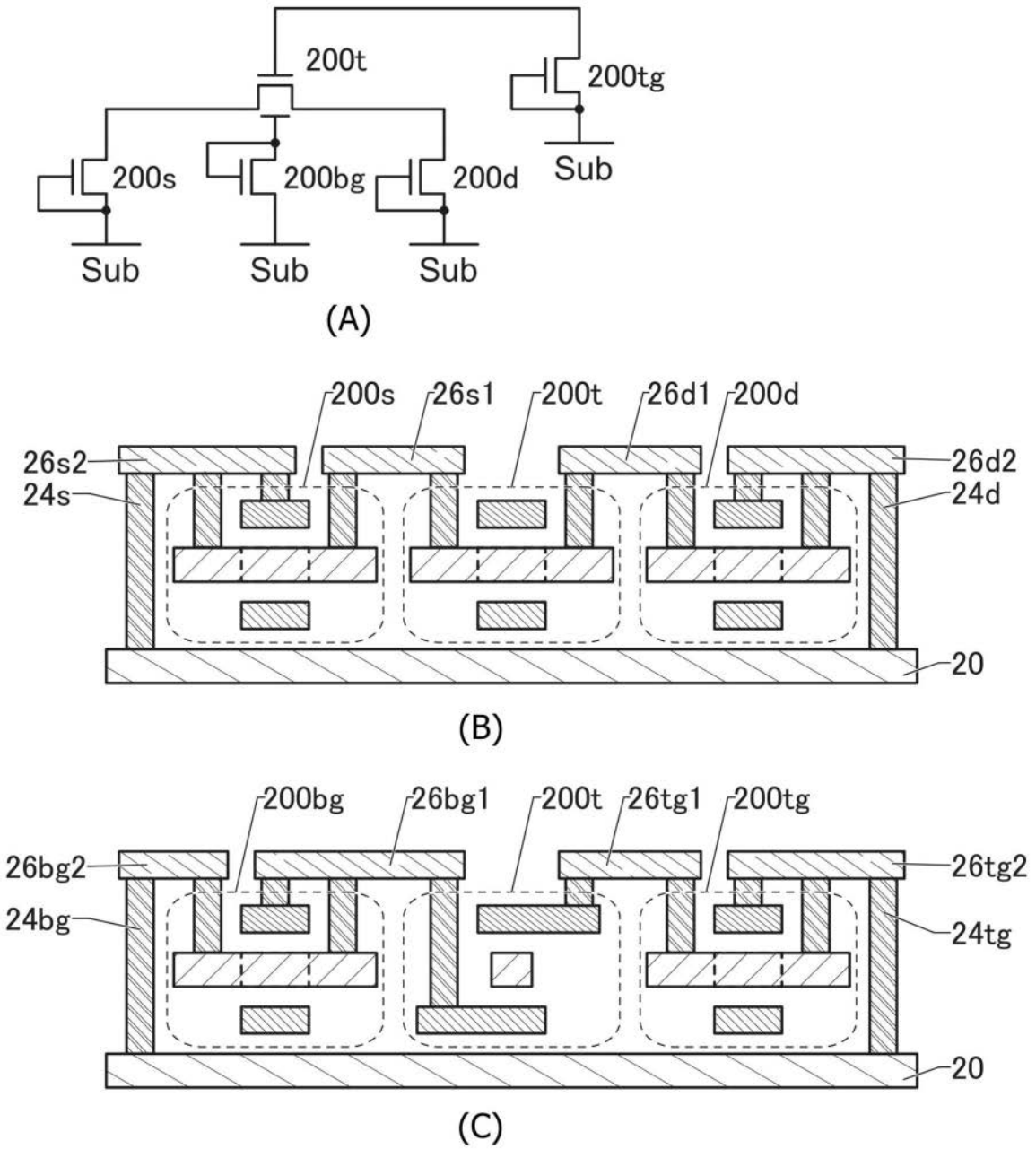


图2



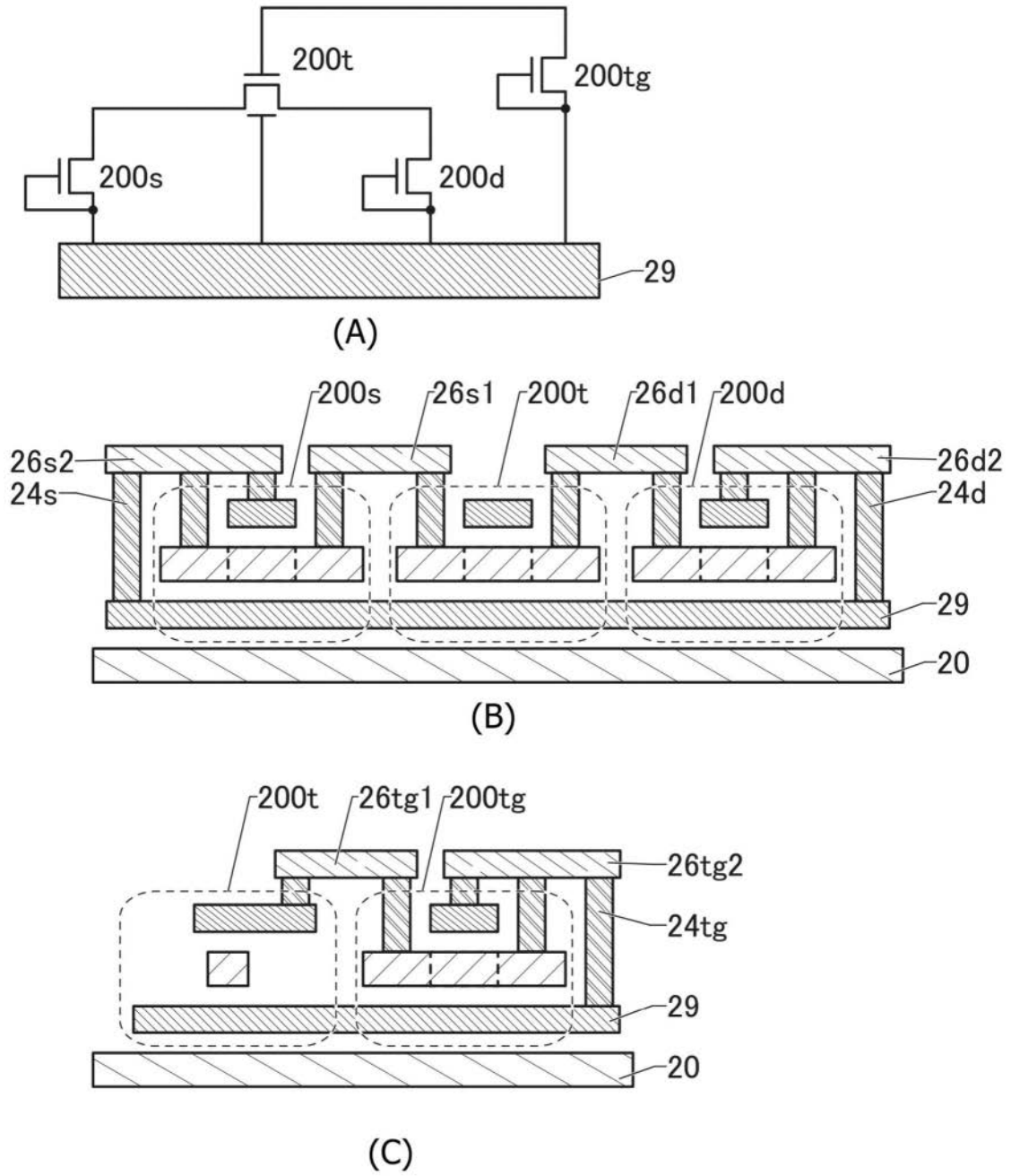


图4

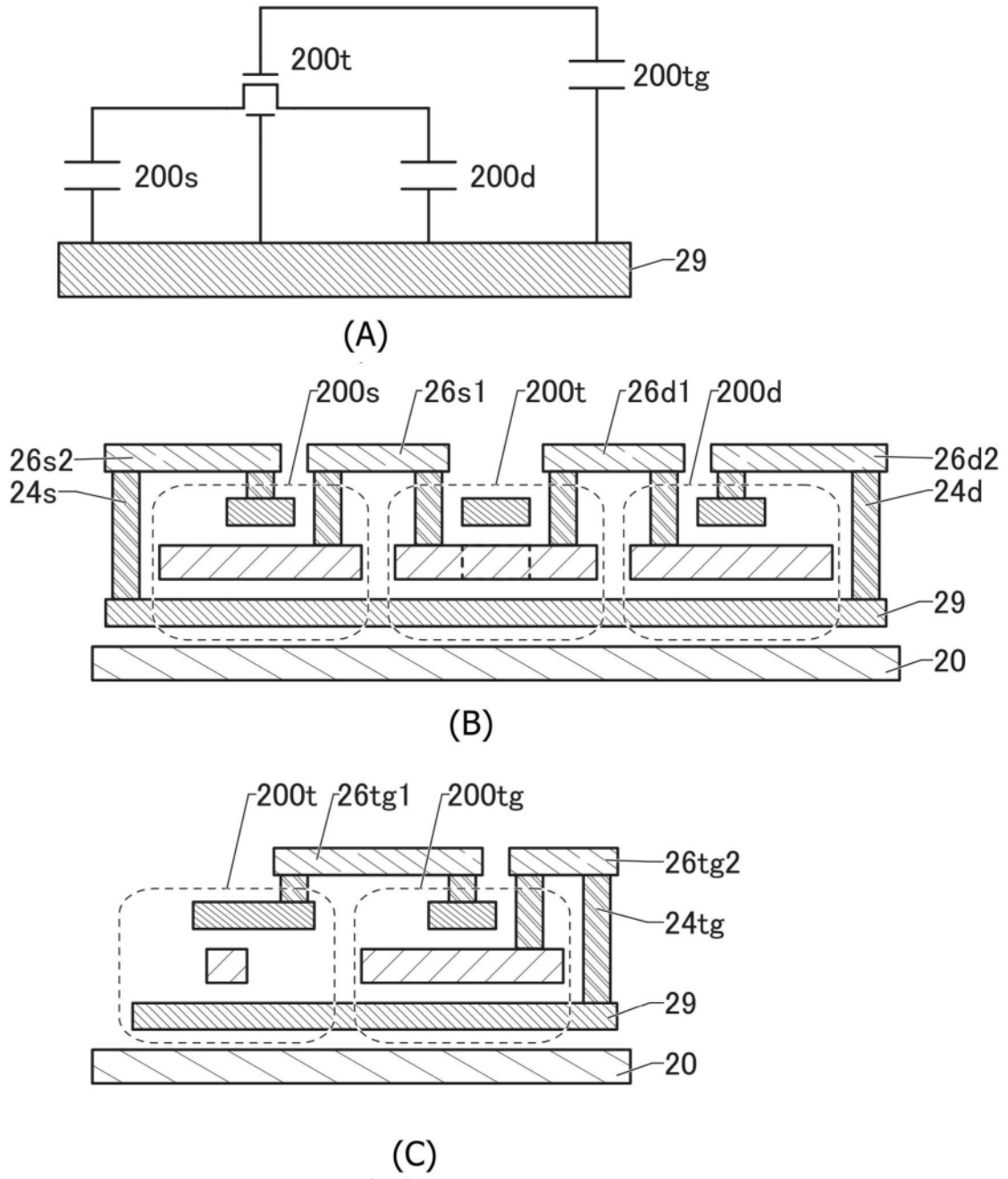


图5

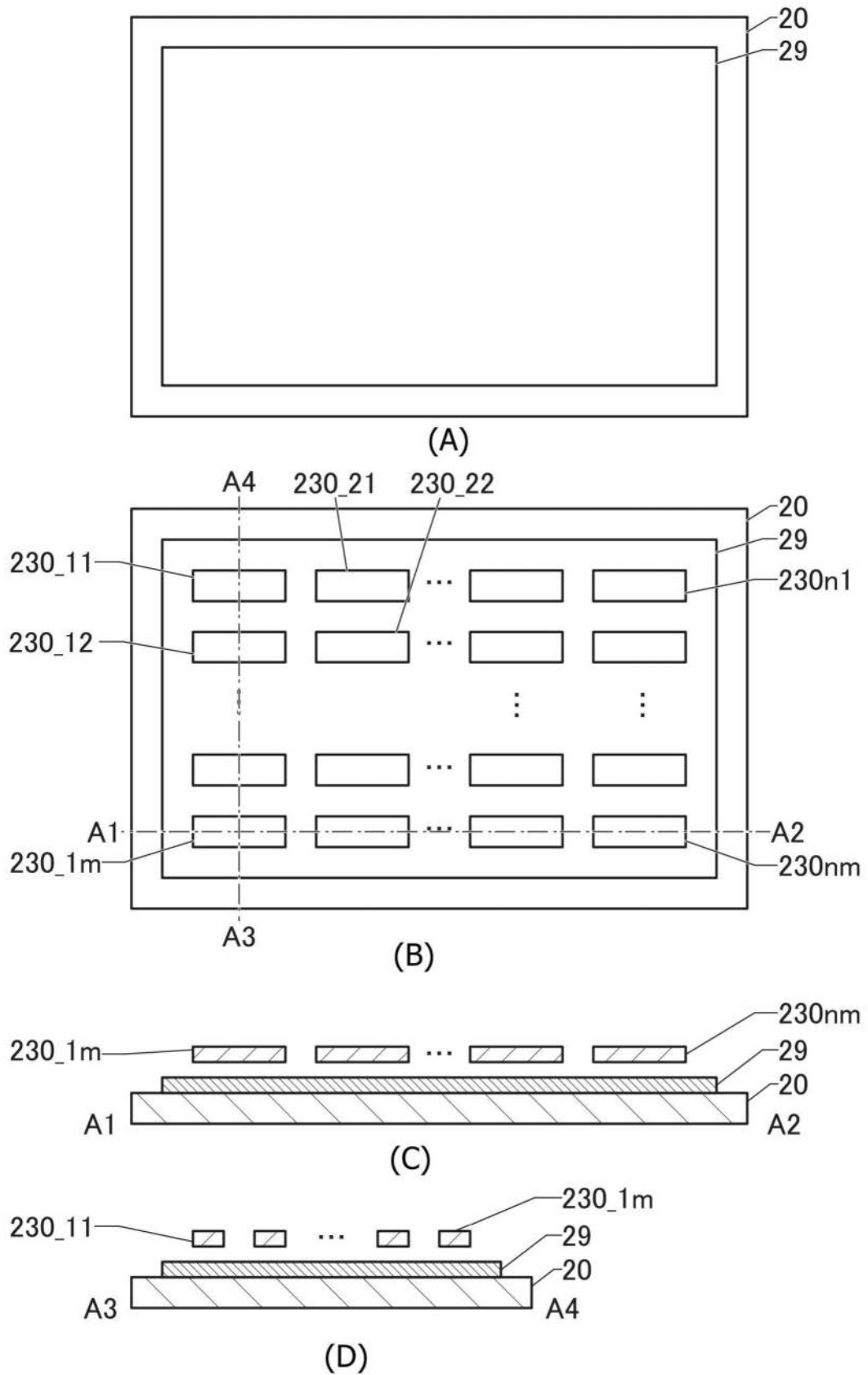


图6

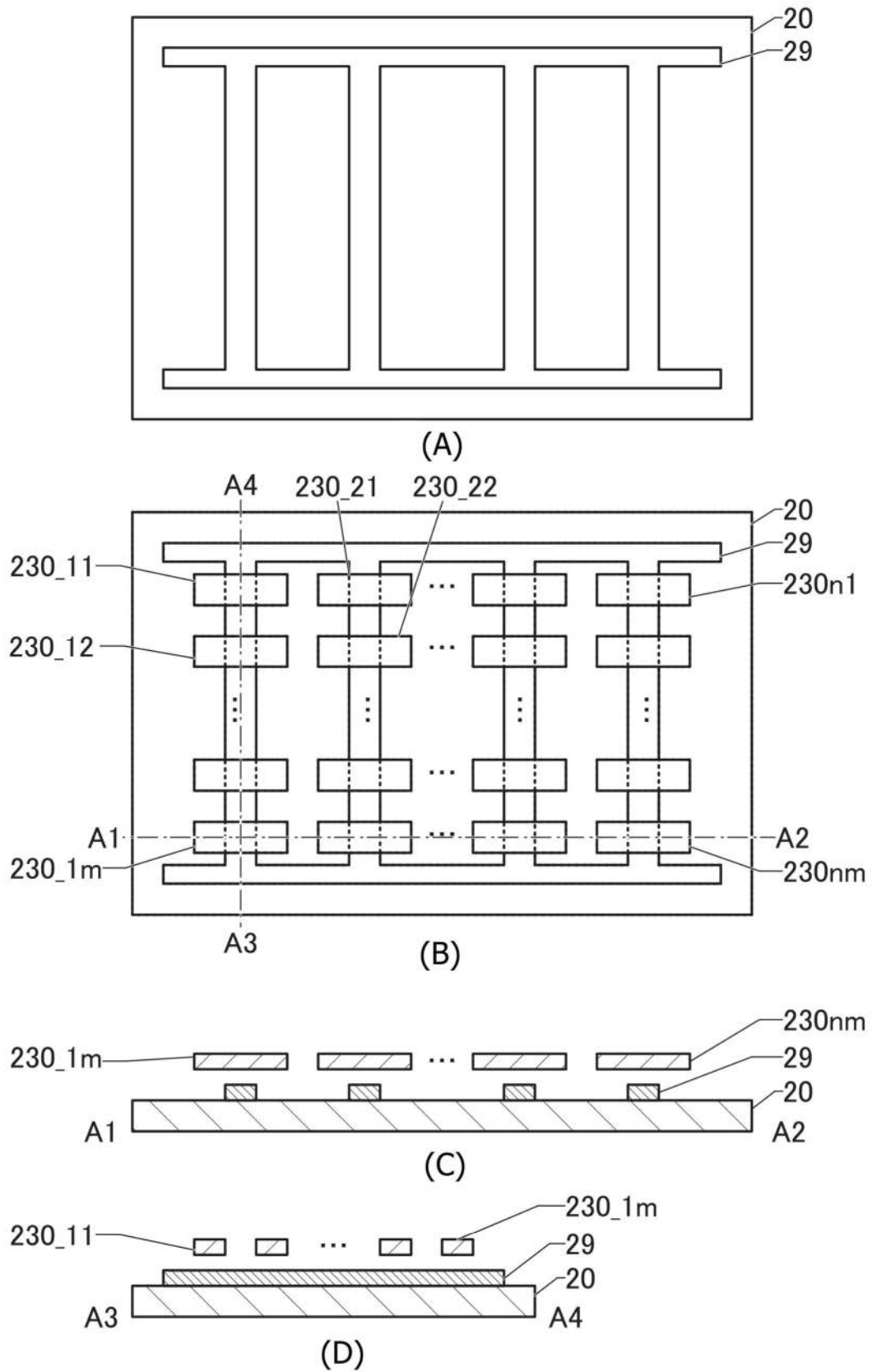


图7

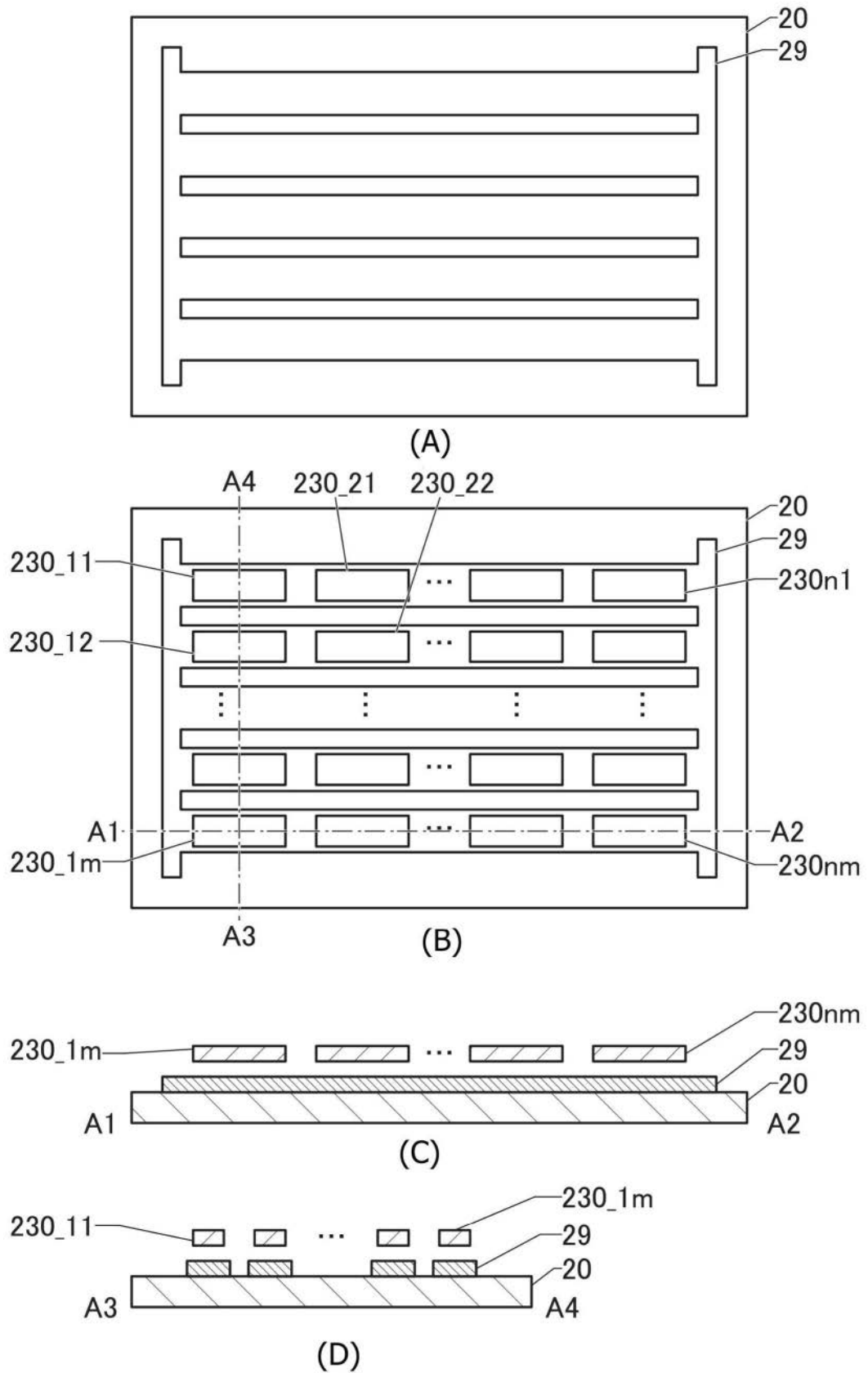
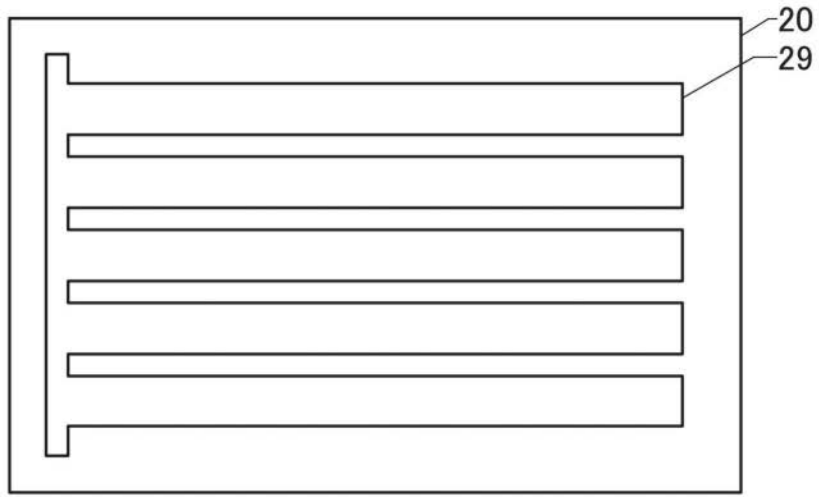
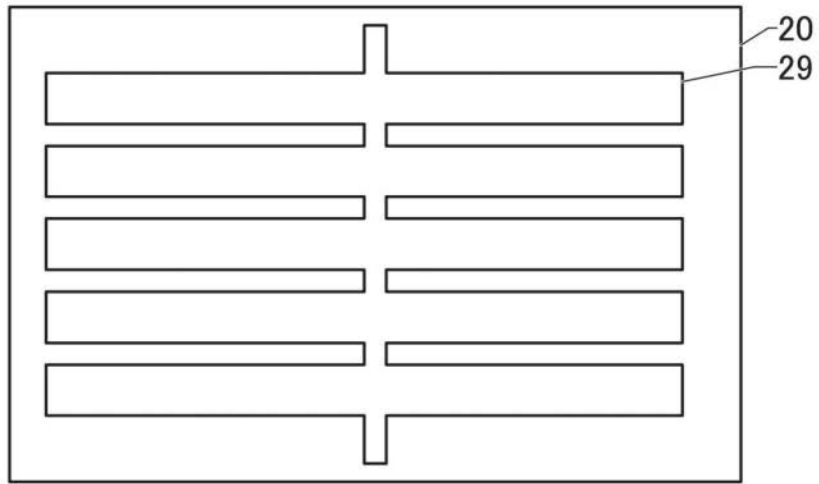


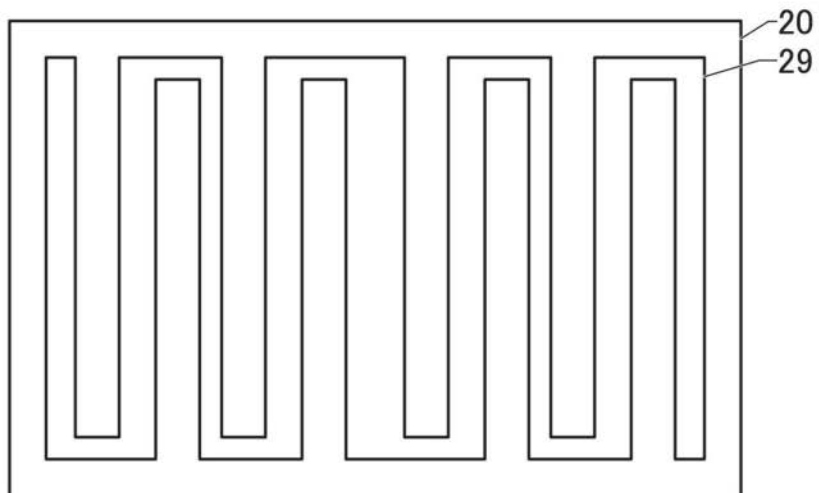
图8



(A)



(B)



(C)

图9

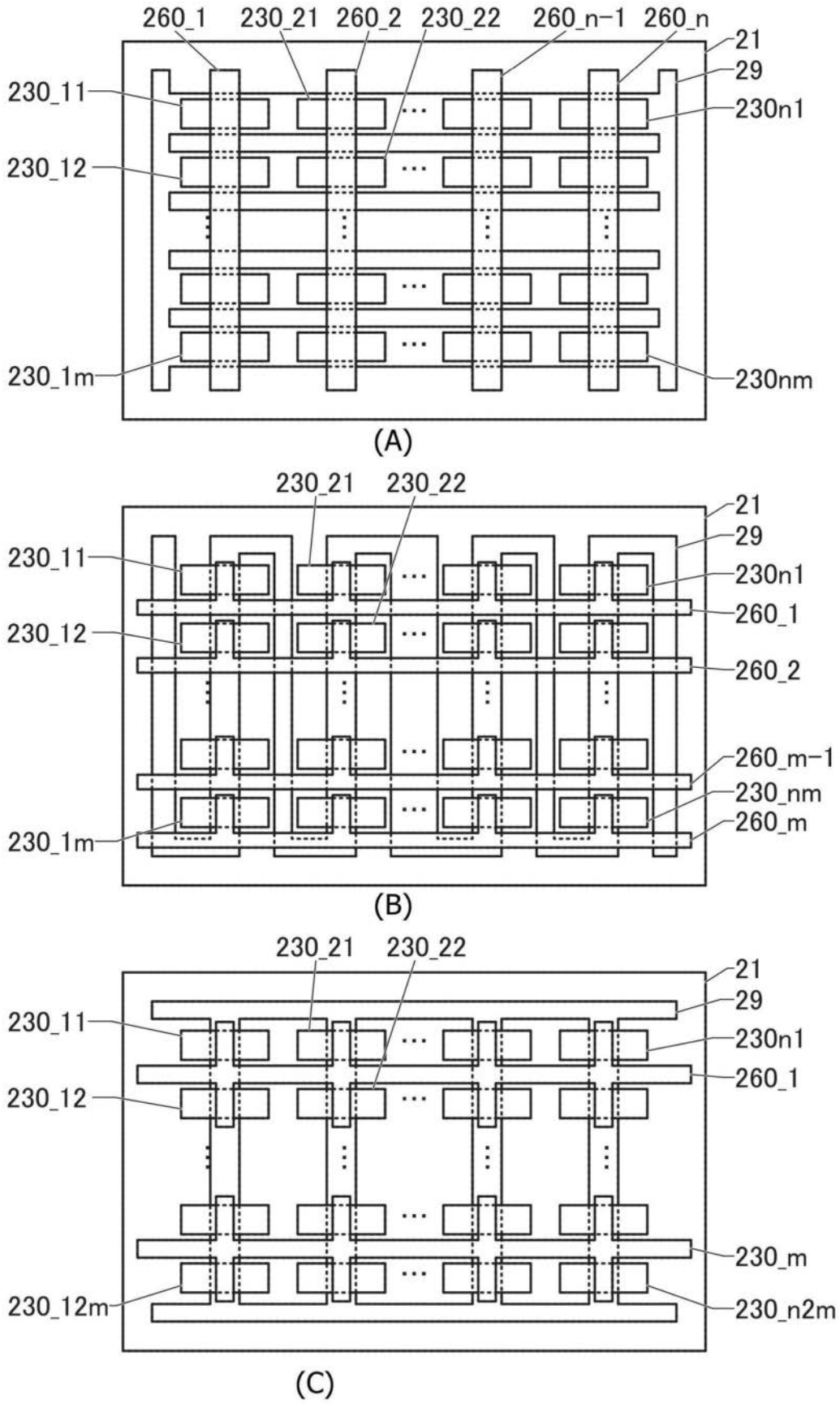


图10

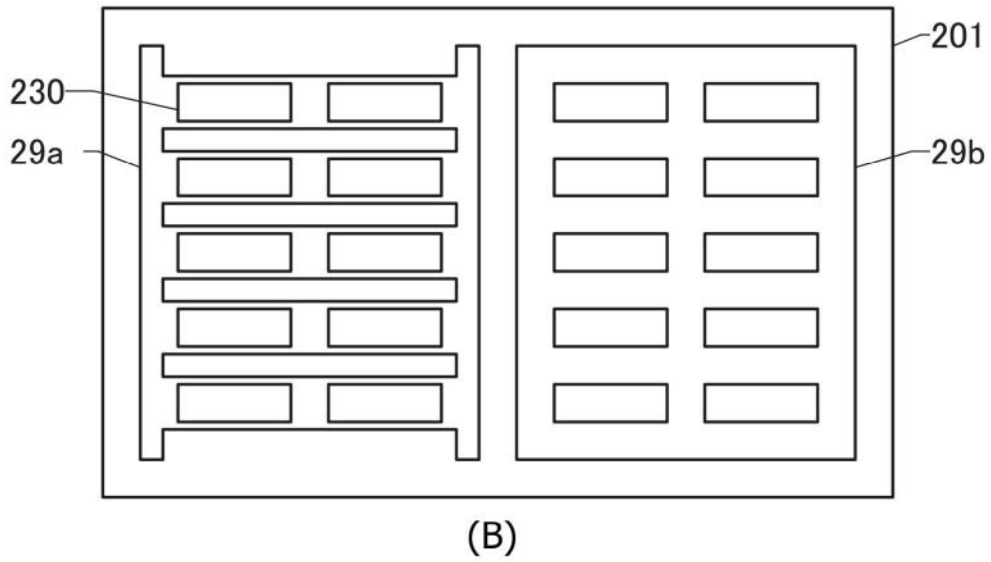
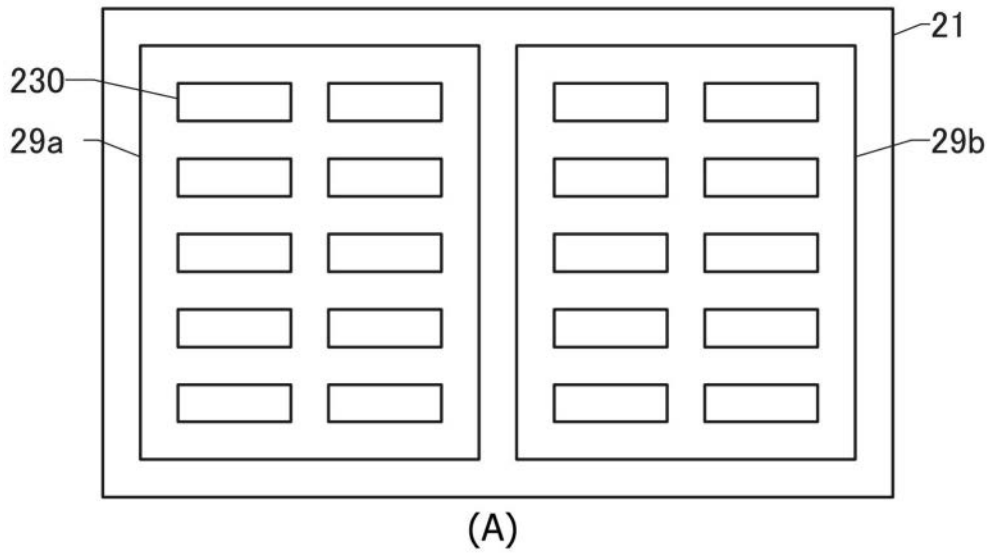


图11

200A

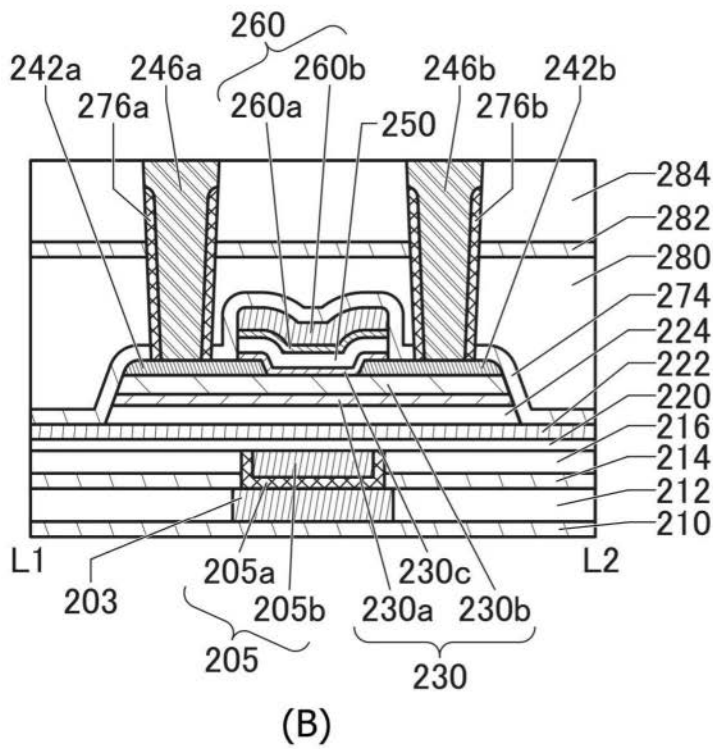
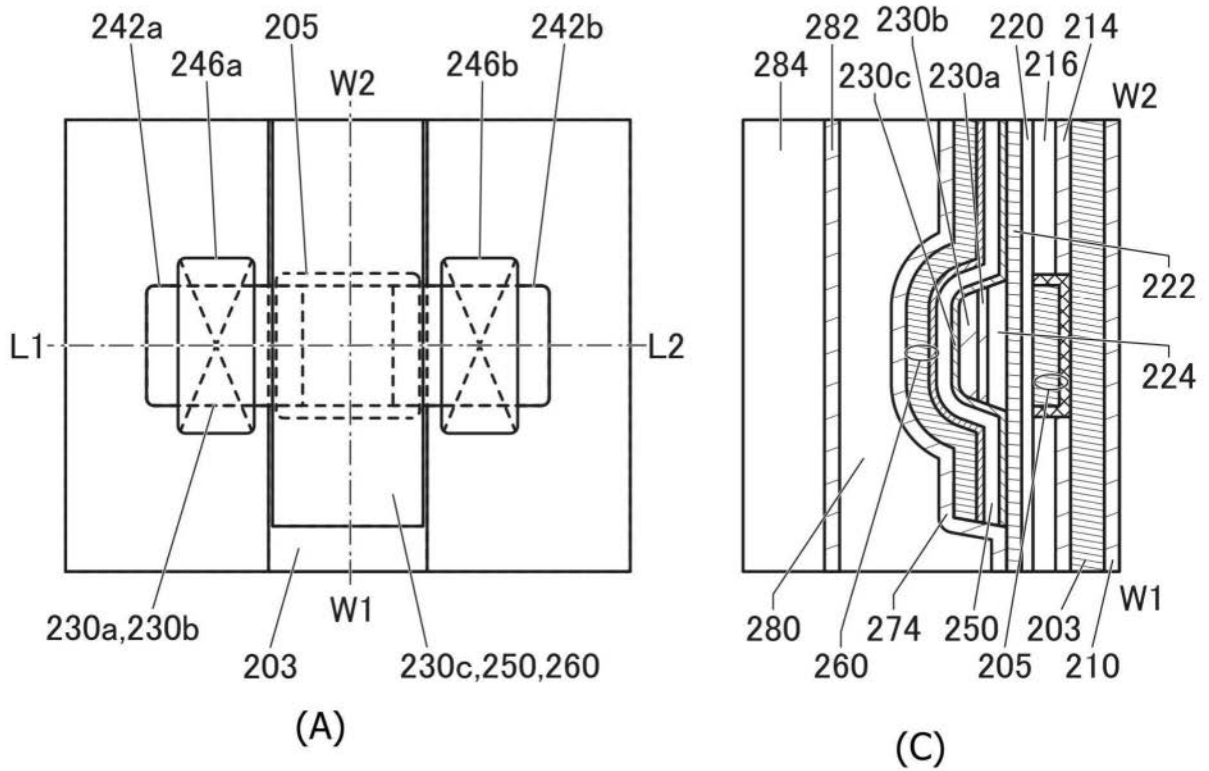


图12

200B

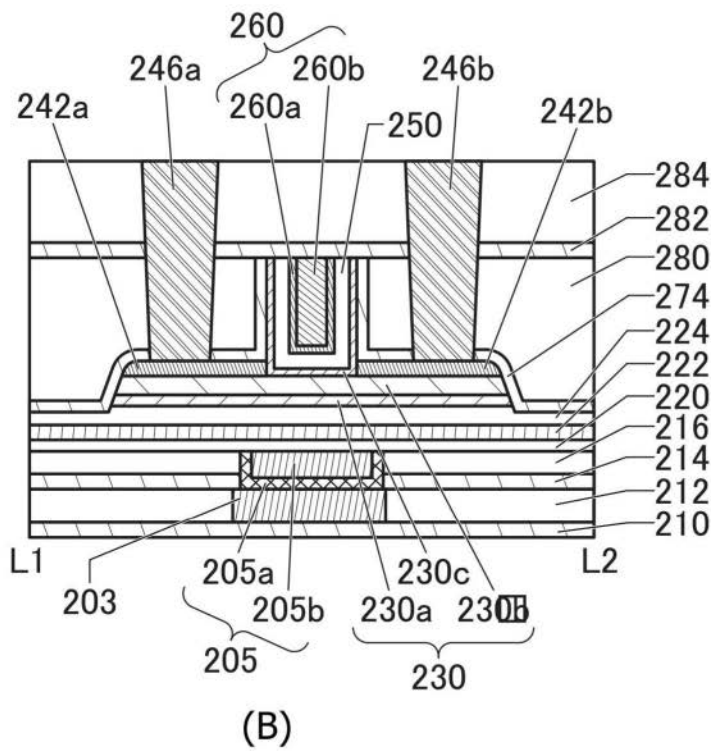
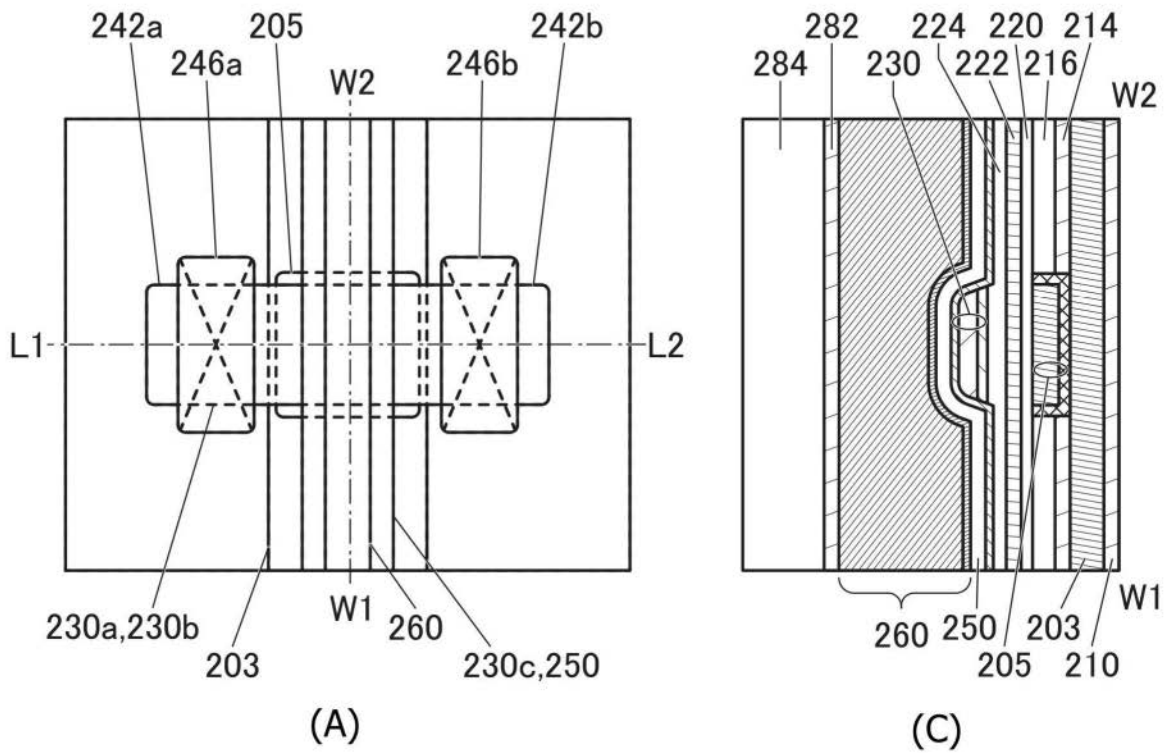


图13

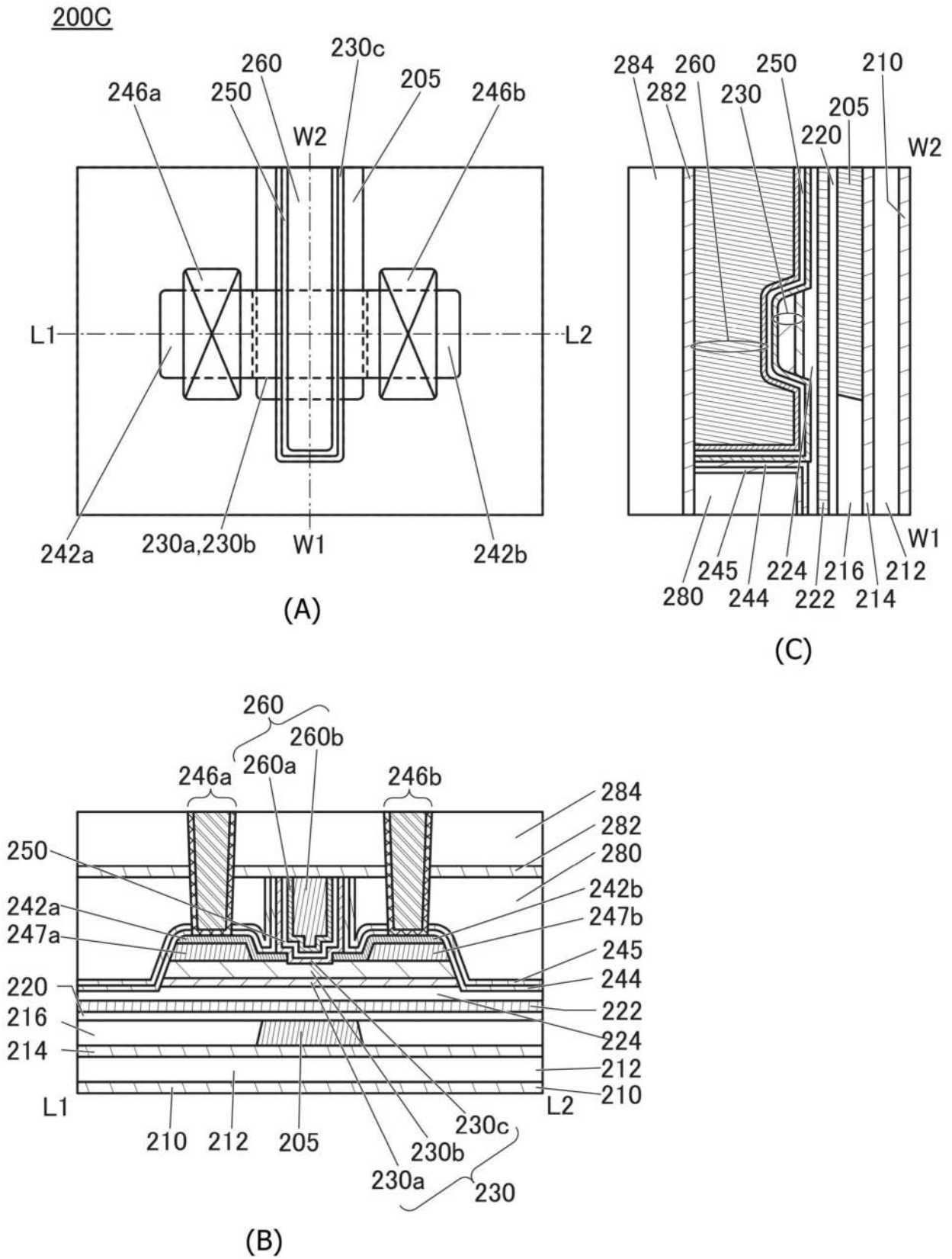


图14

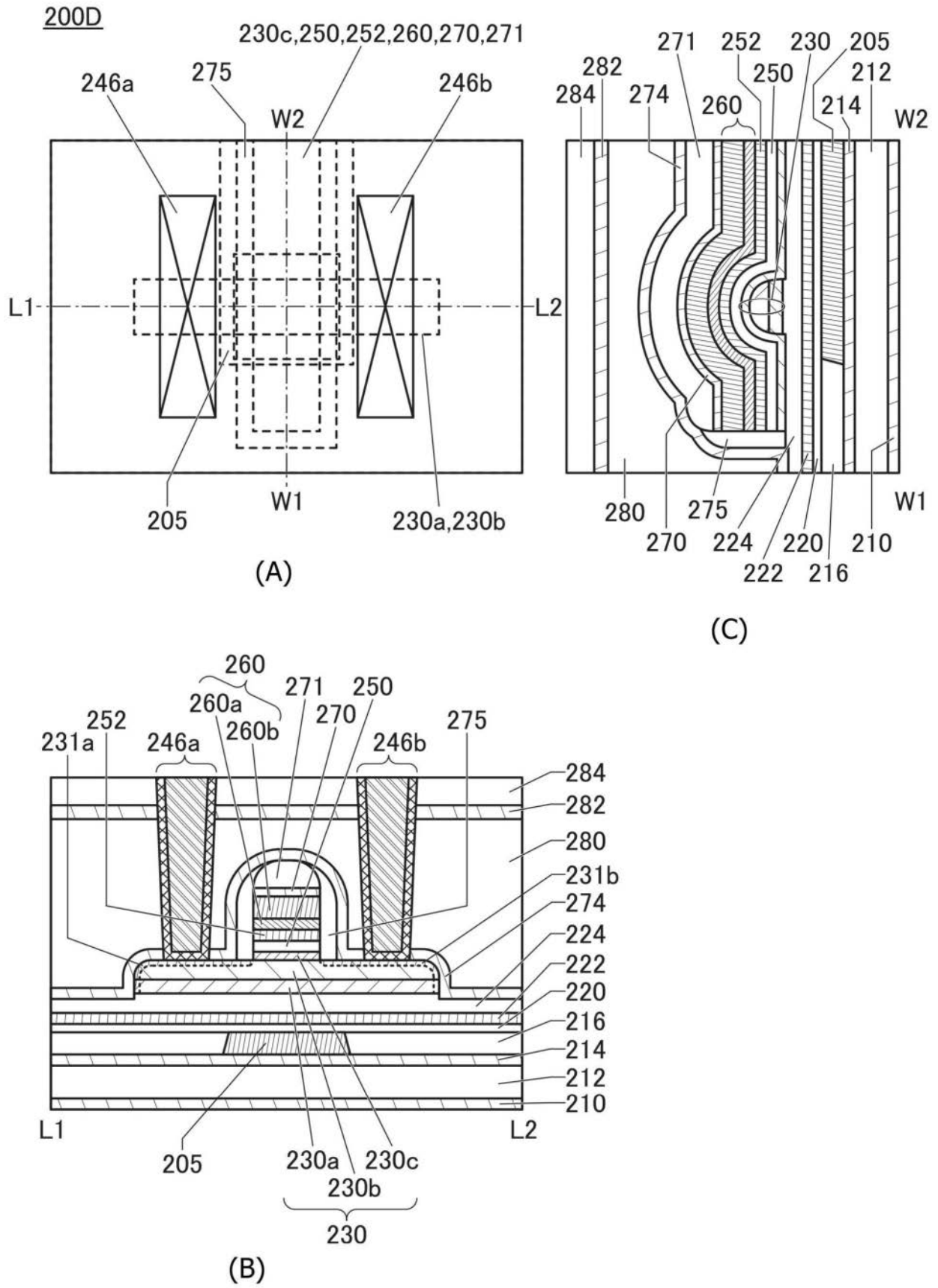


图15

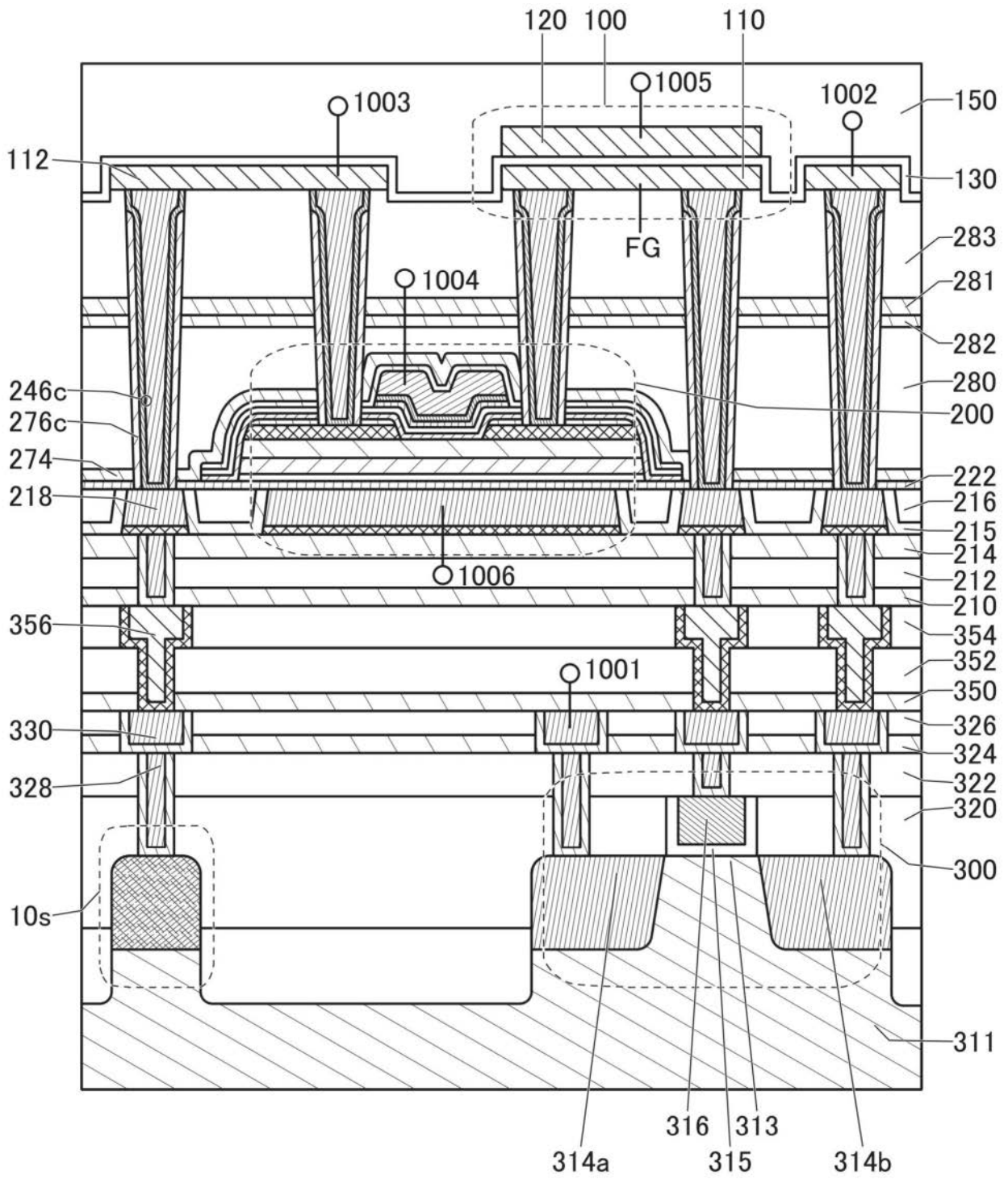


图16

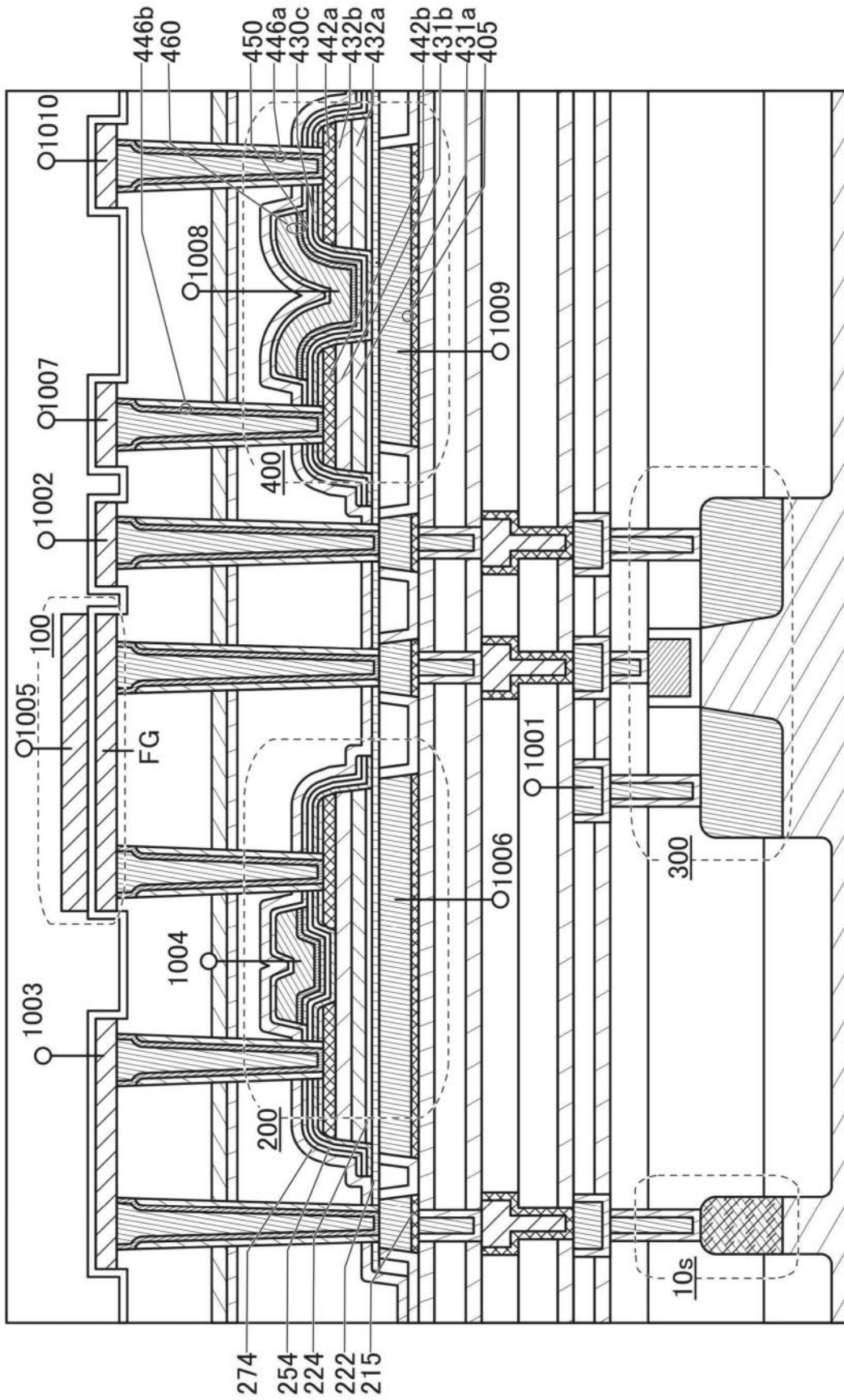
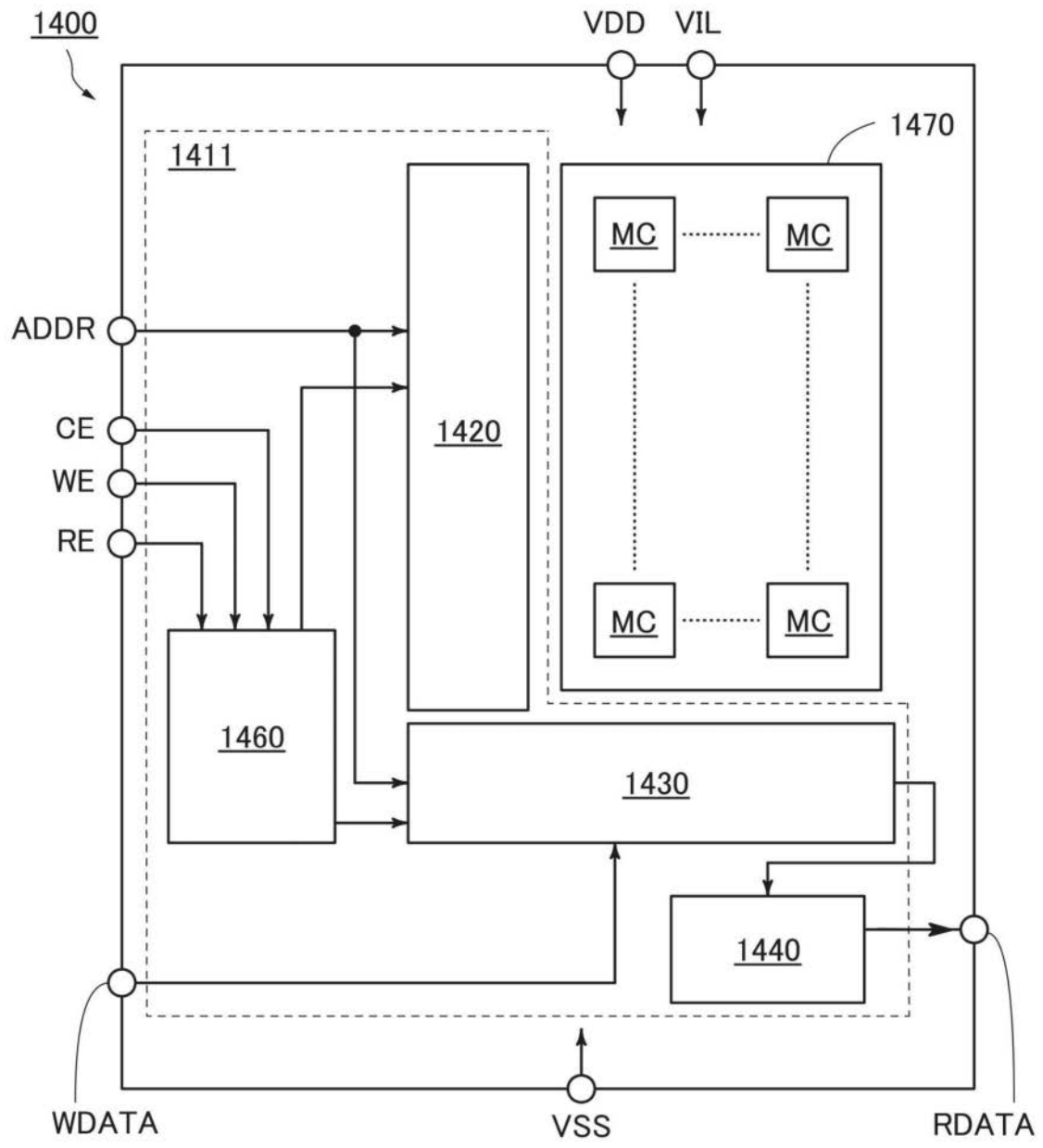
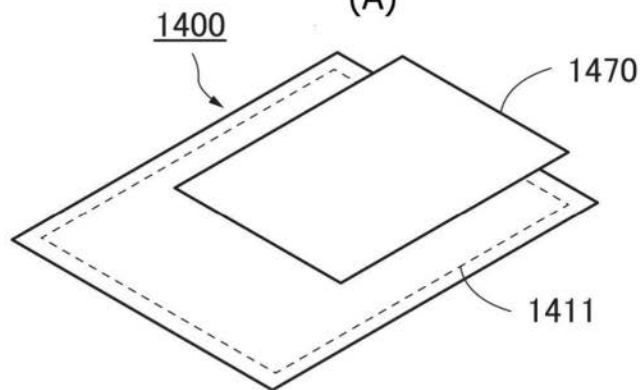


图17



(A)



(B)

图18

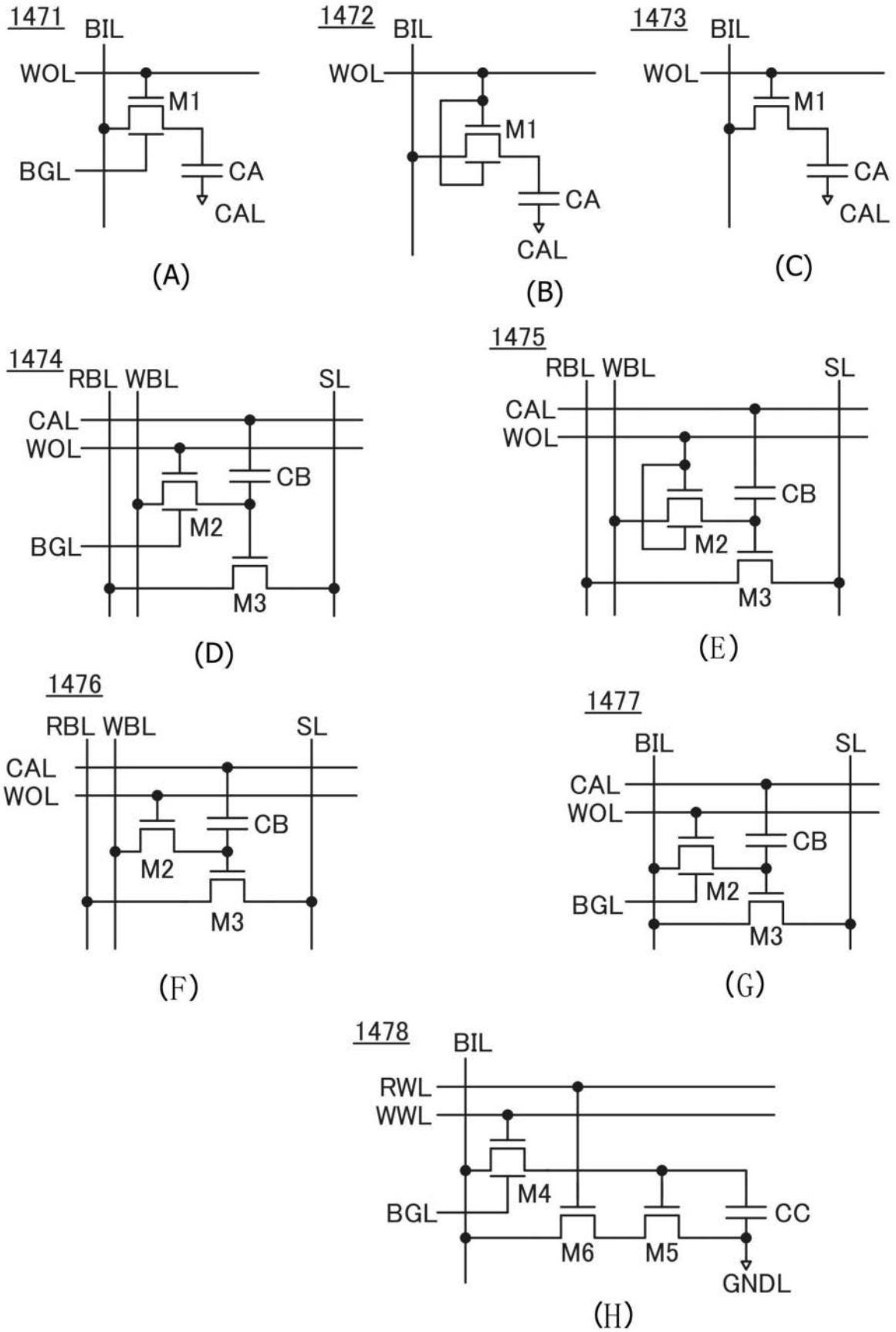
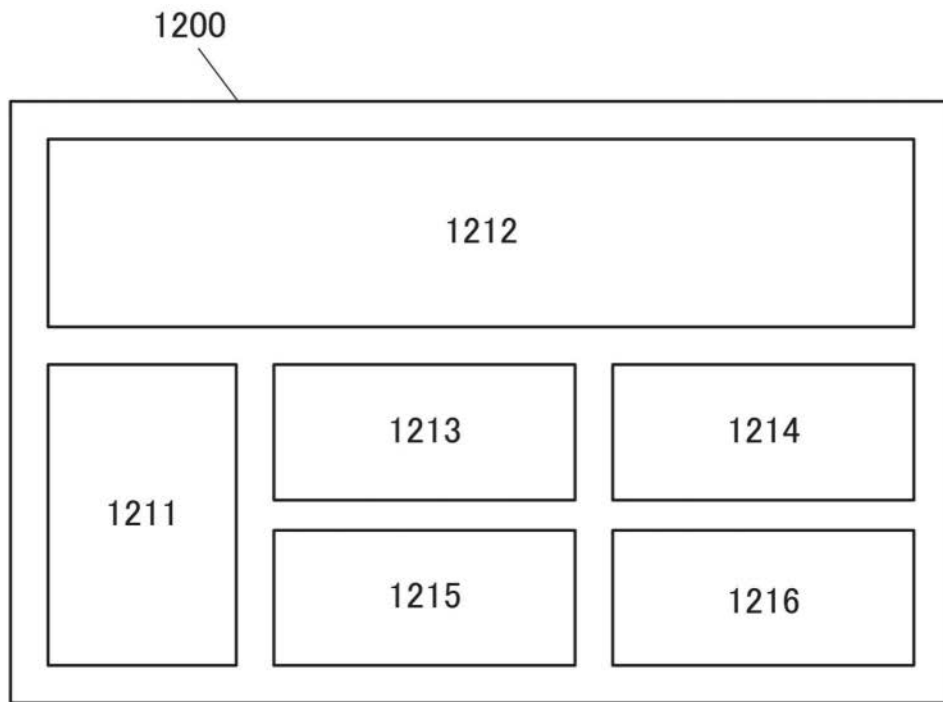
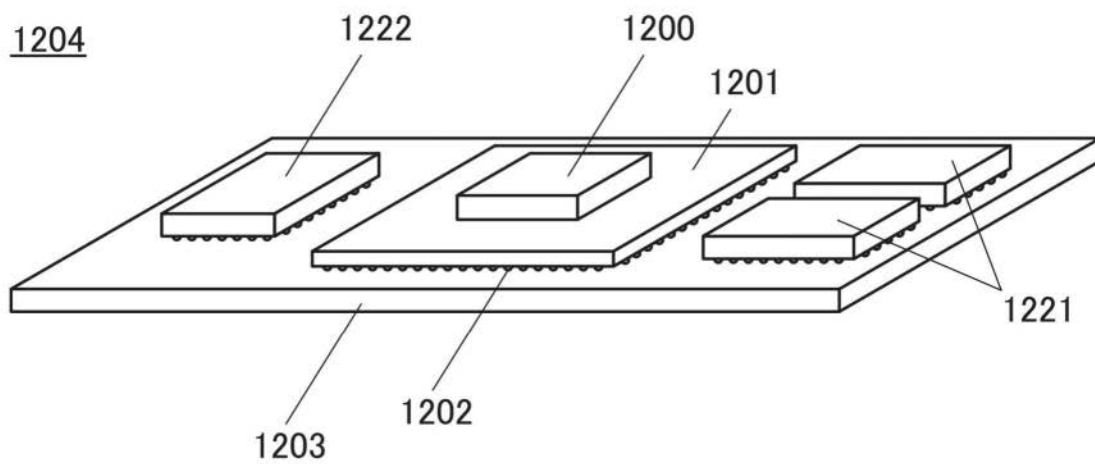


图19



(A)



(B)

图20

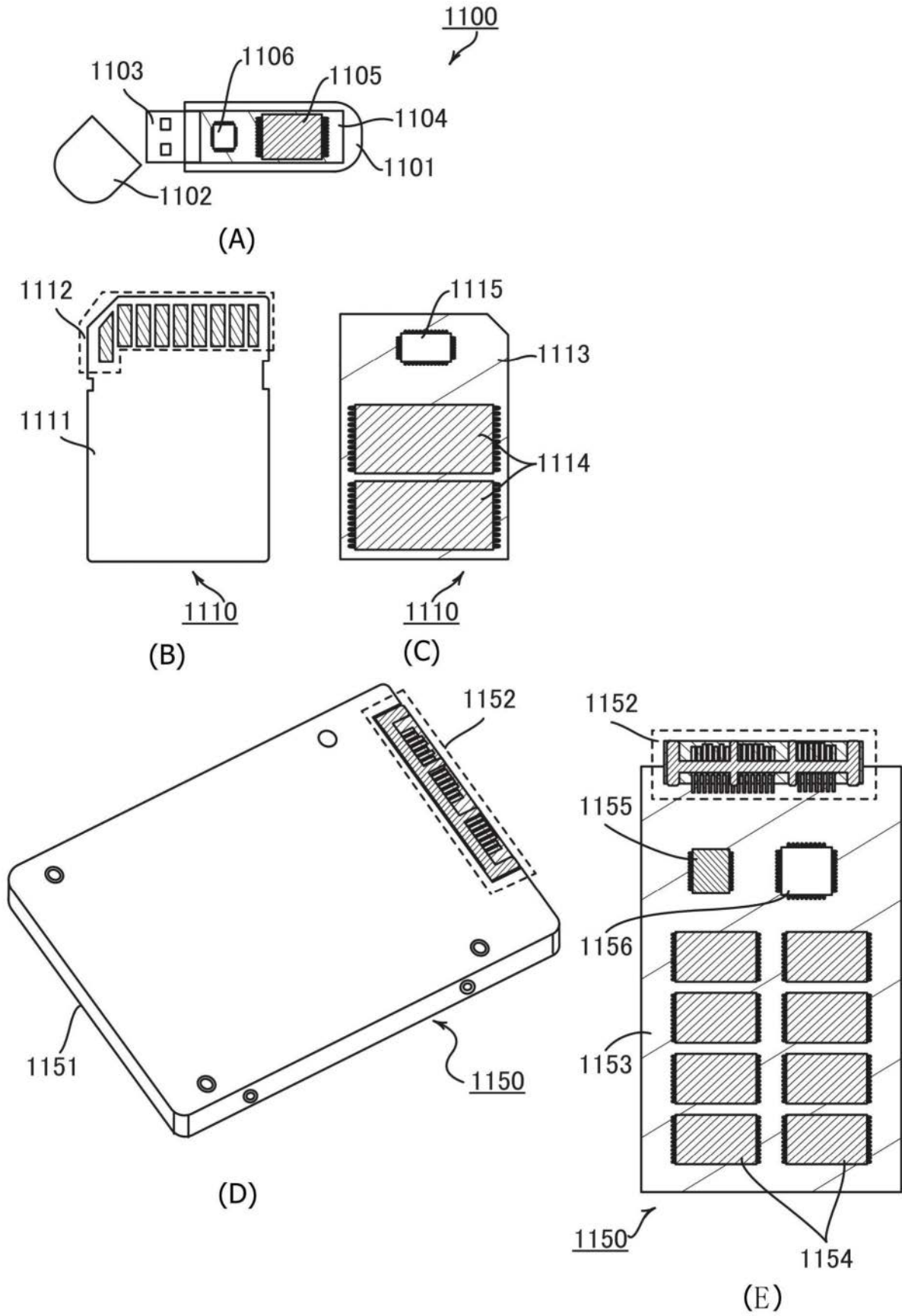


图21

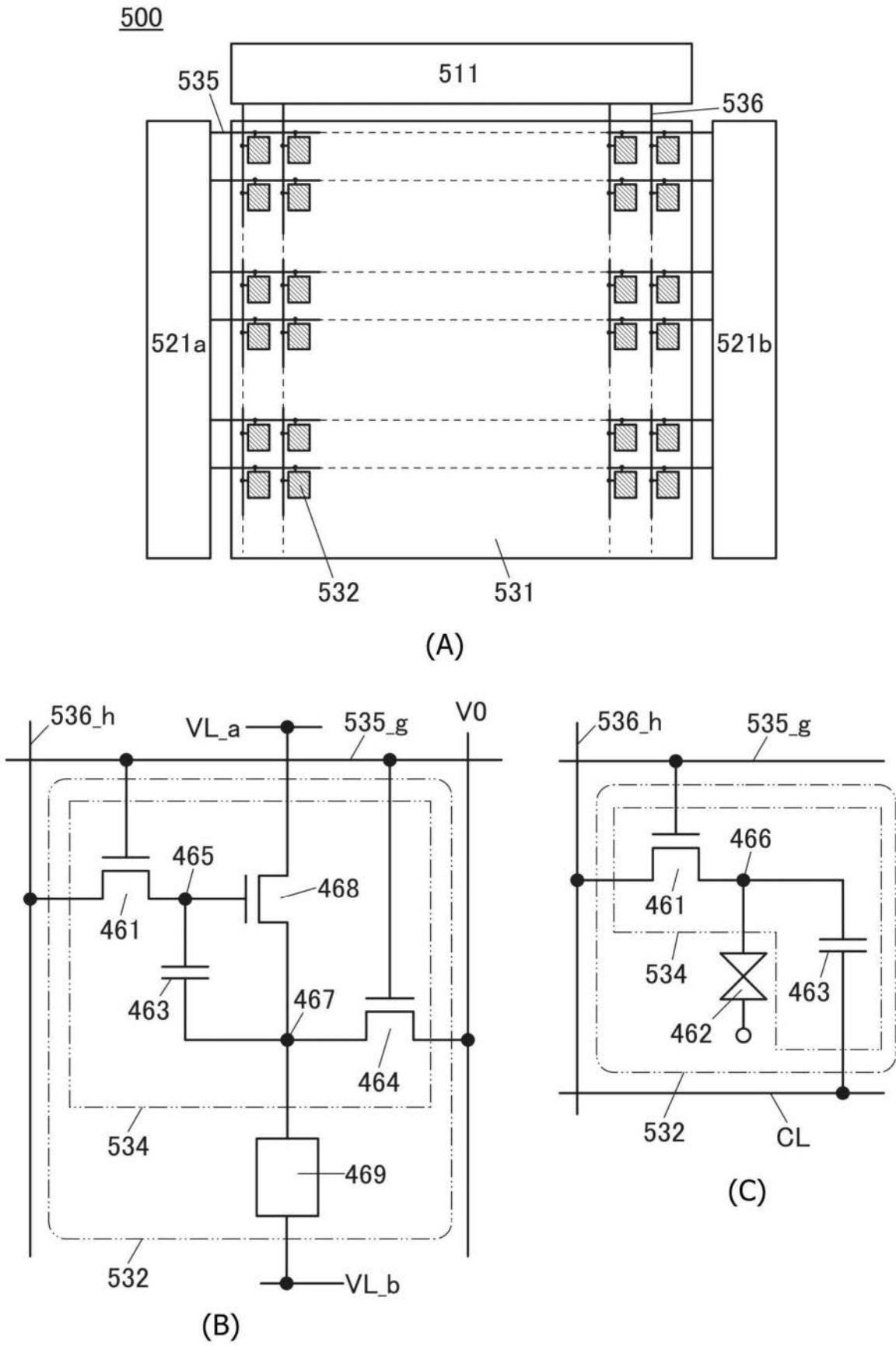
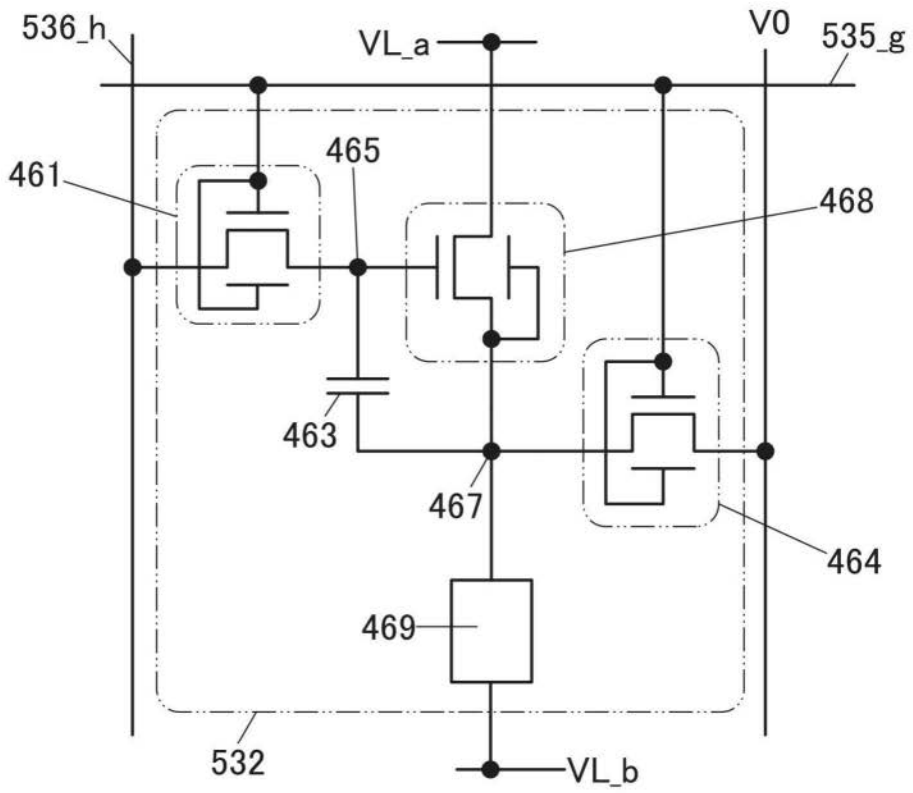
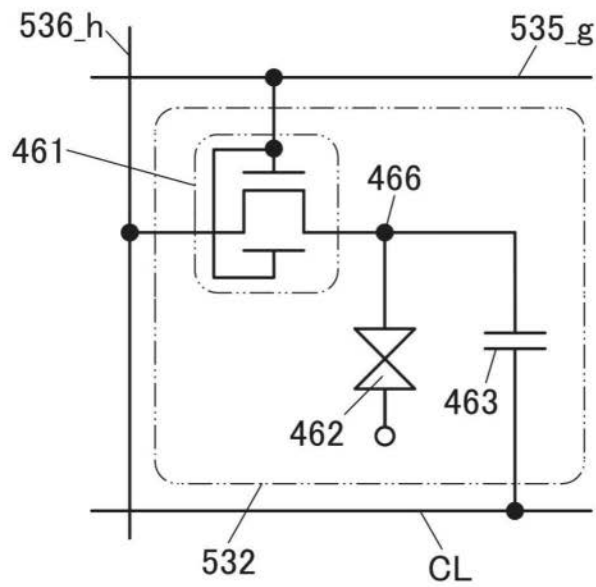


图22



(A)



(B)

图23

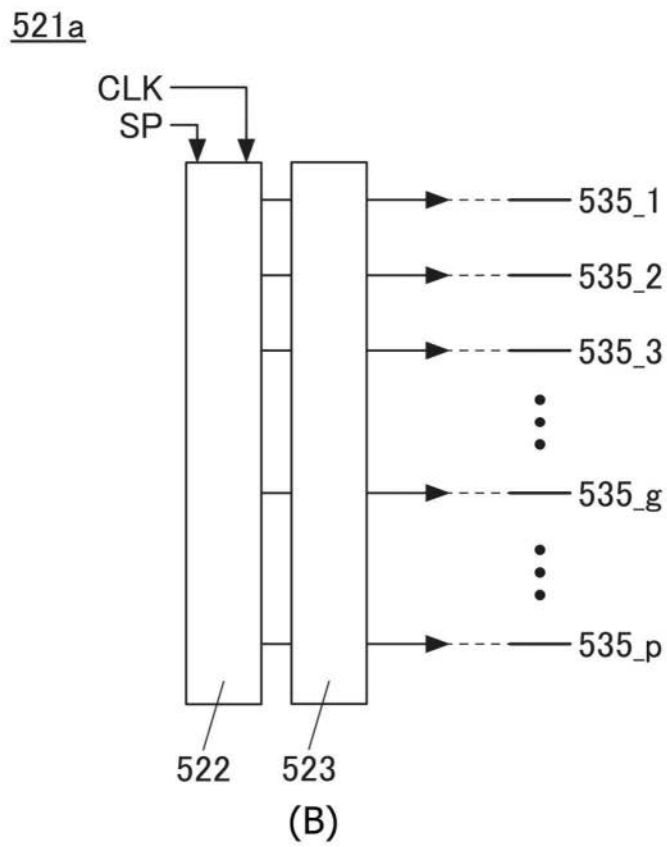
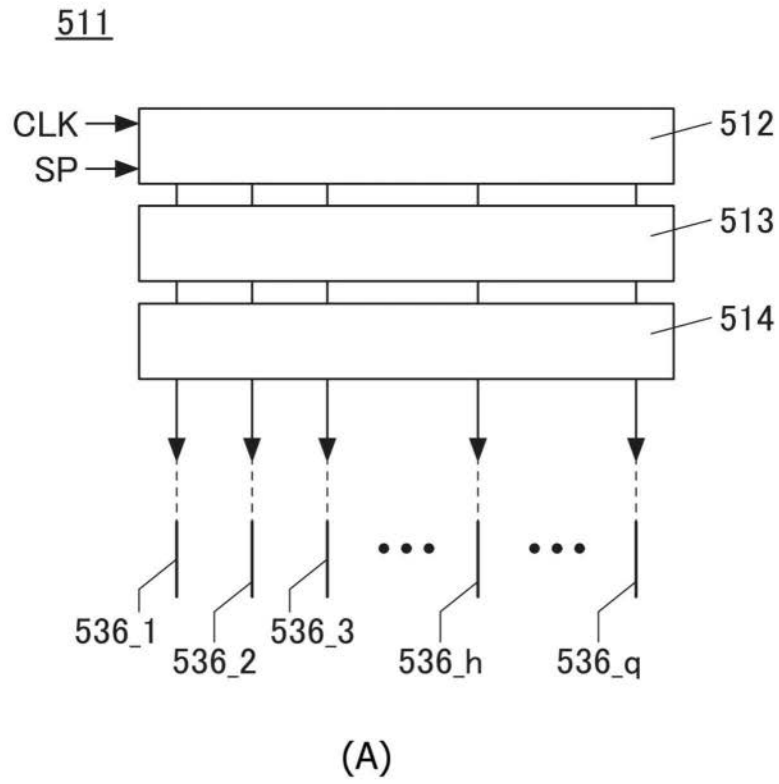


图24

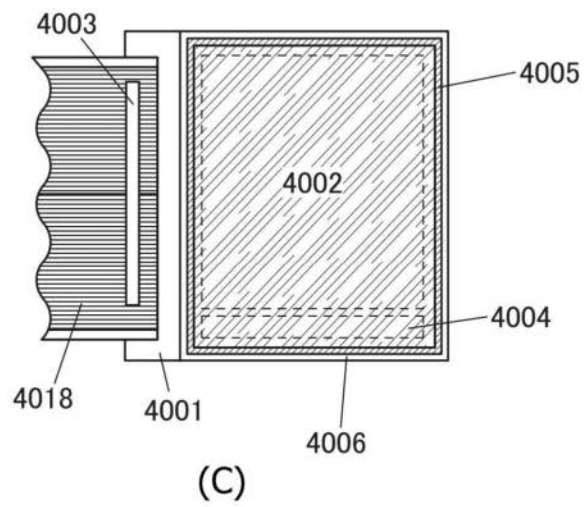
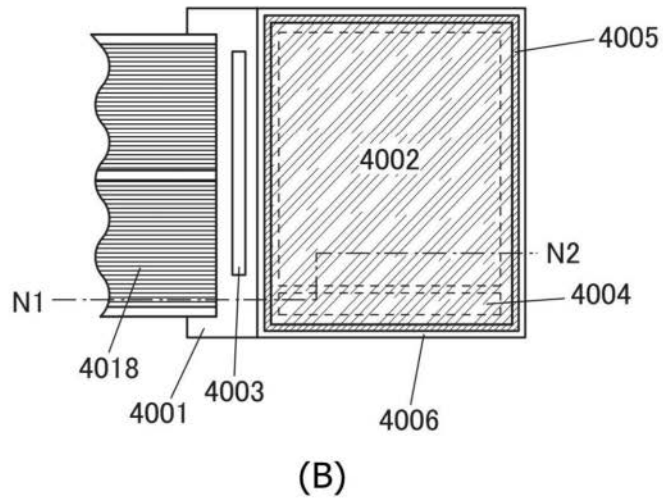
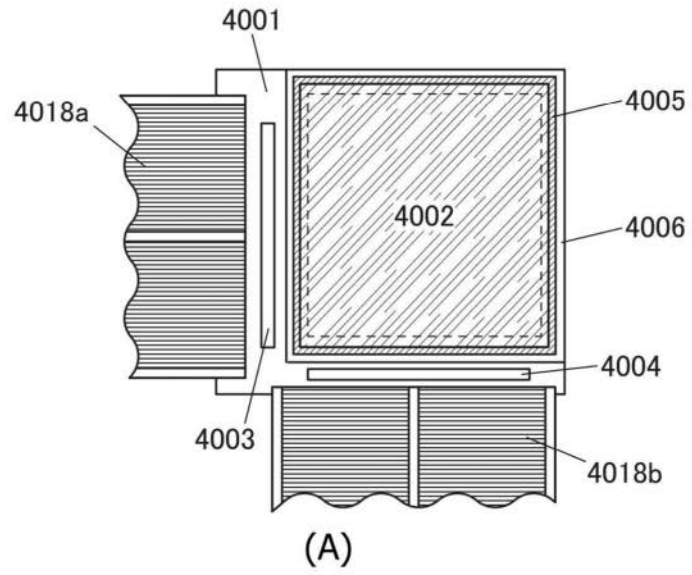


图25

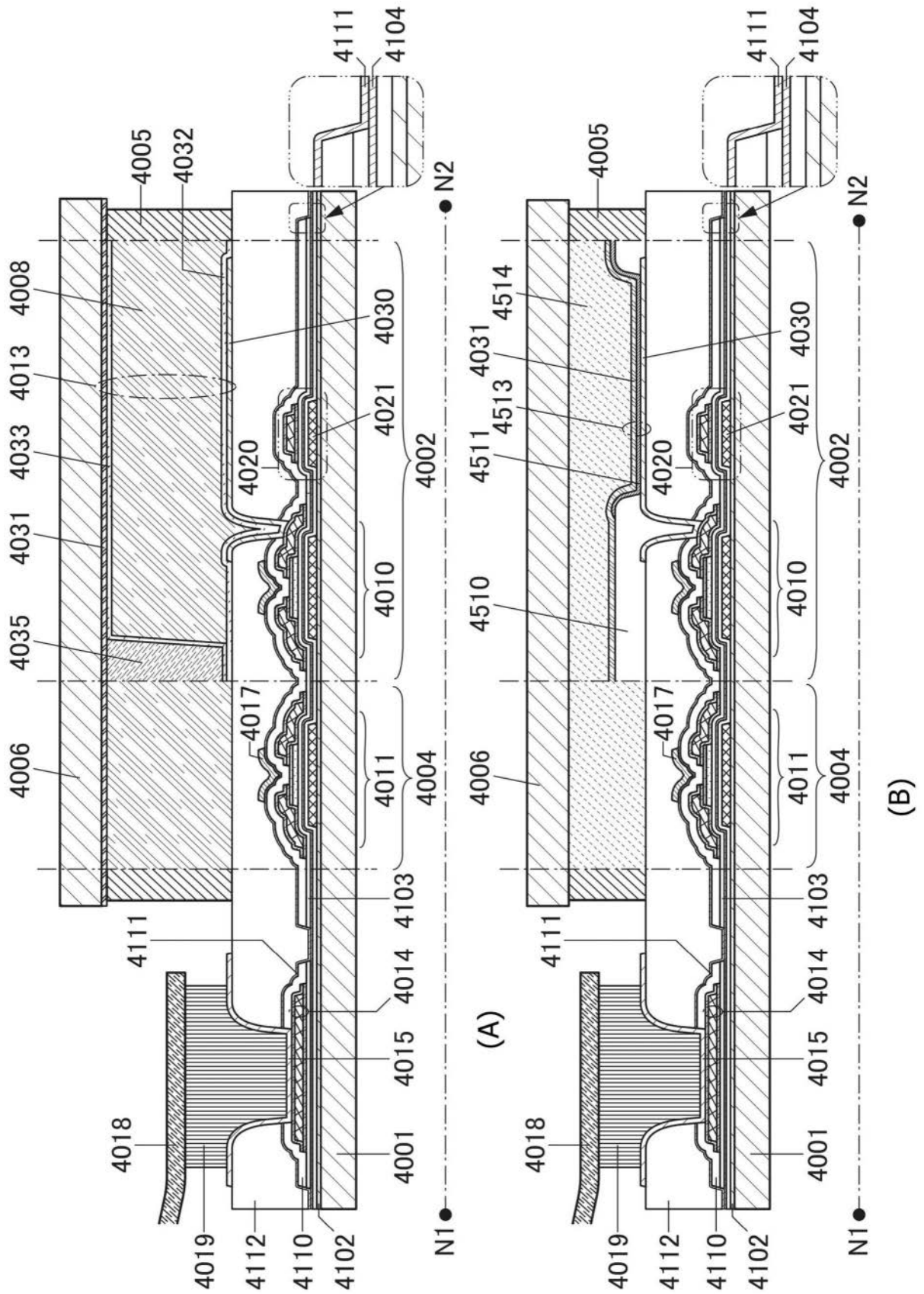


图26

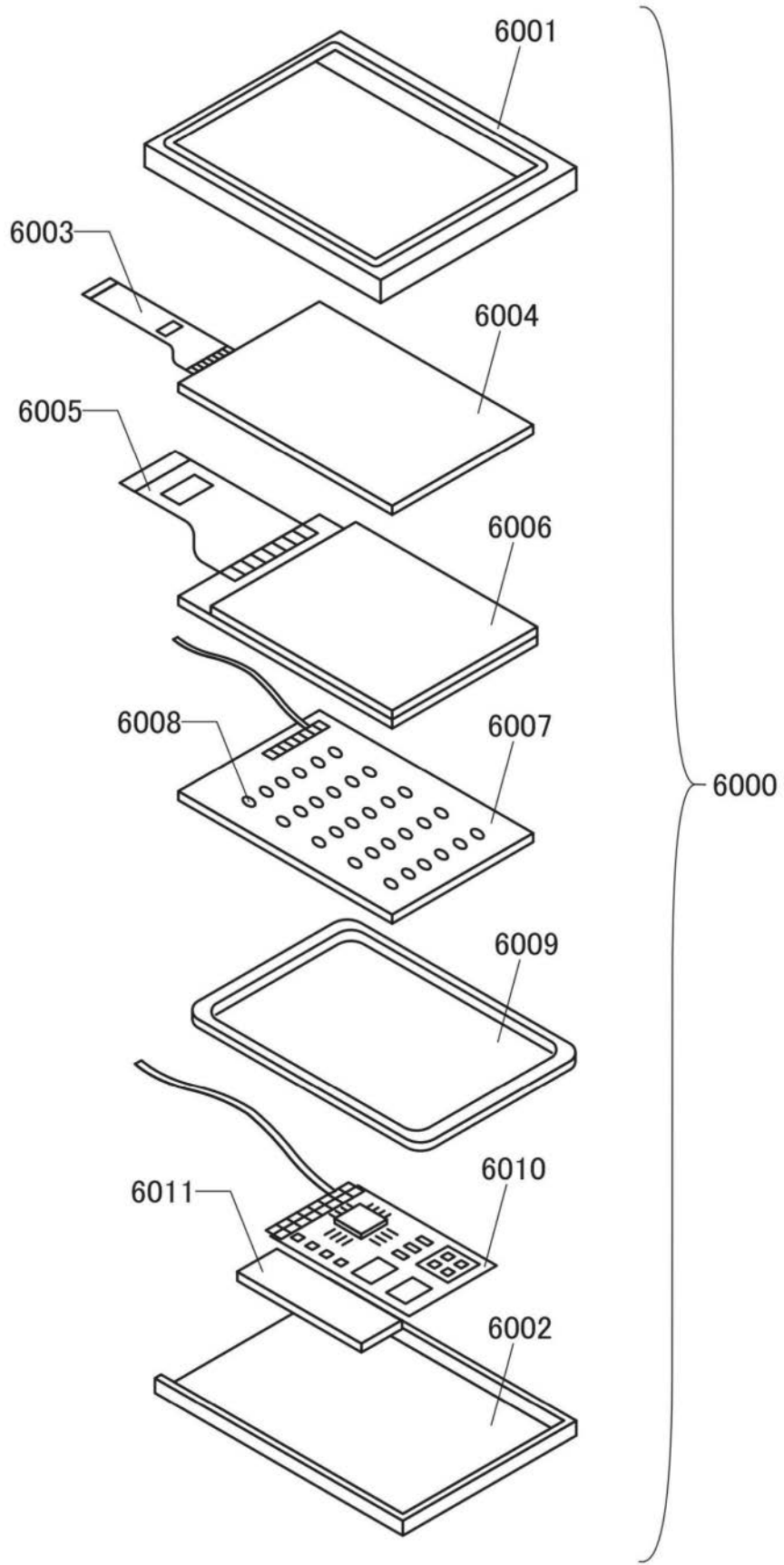


图27

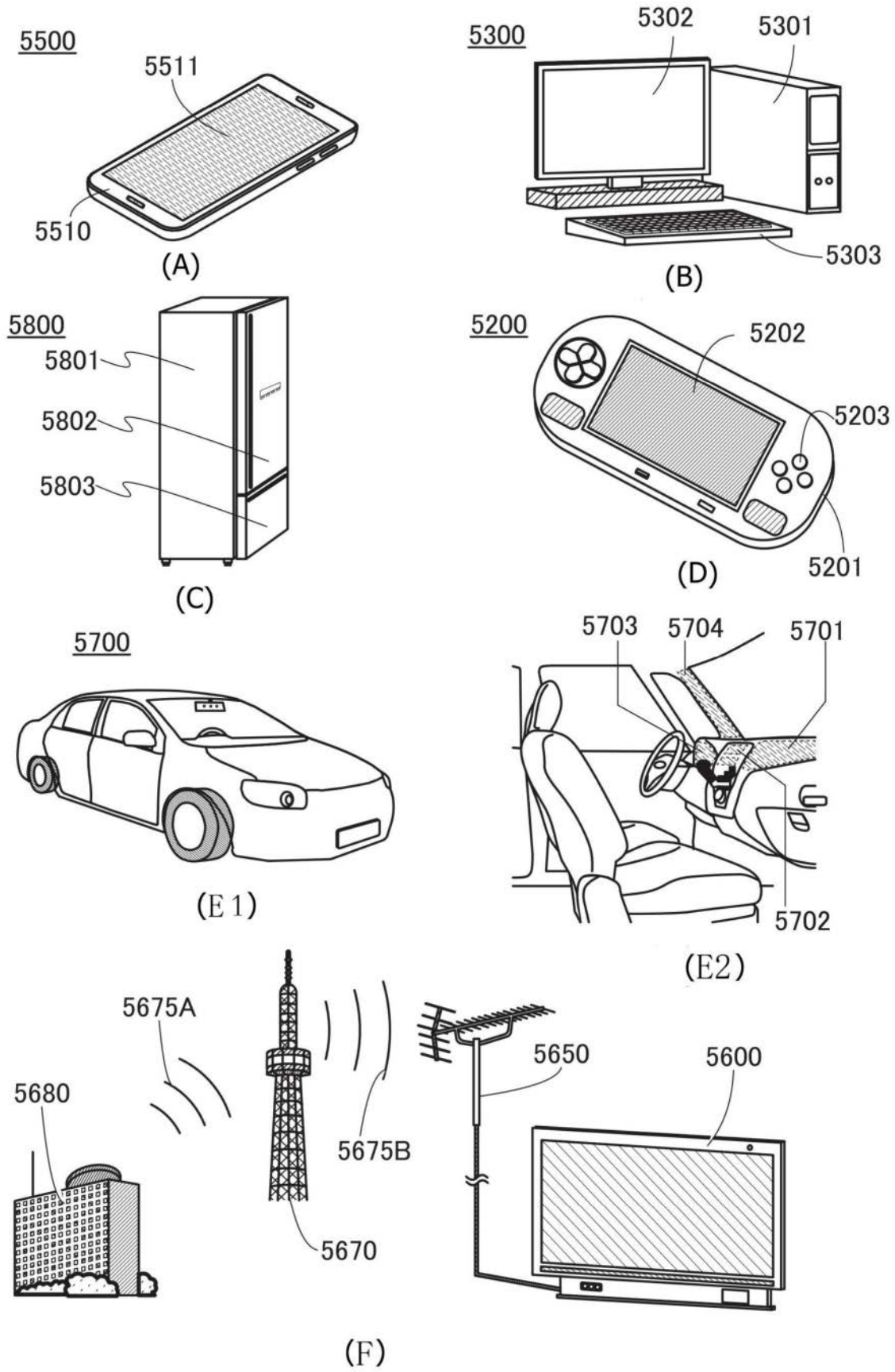


图28