

# 公告本

416185

9915197

申請日期	1999/3/12
案號	88103841
類別	H03K 5/00

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		416185
一、發明 名稱	中 文	半 導 體 裝 置
	英 文	SEMICONDUCTOR DEVICE
二、發明 創作人	姓 名	1. 境 敏 親 2. 藤 井 貴 晴 3. 矢 柴 康 雄
	國 籍	1. 日 本 2. 日 本 3. 日 本
	住、居所	1. 東 京 都 港 區 芝 五 丁 目 7 番 1 號 日 本 電 氣 株 式 會 社 內 2. 同 上 3. 同 上
三、申請人	姓 名 (名稱)	日 本 電 氣 股 份 有 限 公 司 (日 本 電 氣 株 式 會 社)
	國 籍	日 本
	住、居所 (事務所)	東 京 都 港 區 芝 五 丁 目 7 番 1 號
	代 表 人 姓 名	金 子 尚 志

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
1998年3月12日特願平10-061303

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀  
之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( )

(發明之背景)

(發明之領域)

本發明係關於半導體裝置，尤其是關於能配整輸出信號之時序之半導體裝置。

(已往技術之敘述)

目前之趨勢MPU(微處理單元)或接至MPU之邏輯電路之時鐘速率年年增加。近來之需求已指向以100至300MHz運作之電路。這種情形必須產生具有3至10ns之時鐘脈衝及MPU根據此時鐘脈衝產生每個信號。更甚者，在不久之將來，預期此時鐘速率將會更高。

當信號通過邏輯閘時信號之傳送速率，亦即，遲延時間係根據各種變數而定。這些變數係依含在邏輯閘內之電晶體之製造流程(亦即臨界電壓 $V_t$ 之變動或決定電晶體性能之閘長度)，驅動能力，連於負載之寄生電容，運轉溫度，或運轉電壓而定。於任何速率上，遲延時間之變化不會經常落在既定之範圍內，當遲延時間變動不定時半導體由於資料不被正確地保持或邏輯動作之結果不正確而不能正確地運作。

另一方面，來自半導體裝置之信號之時序須在既定之範圍內，此既定之範圍係依連接至半導體裝置之週邊裝置而定。亦即，為確保半導體裝置(在電路板上之裝置)間之運作，從一個半導體裝置送至另一個半導體裝置之信號需存在一段期間俾讓該信號能確實地被另一半導體裝置接收。另外，參考信號應滿足最小遲延時間及最大

## 五、發明說明 ( > )

遲延時間。

如果信號未滿足與上述之遲延時間有關之條件且從半導體裝置輸出之信號之變化早於參考信號時必須接收該信號之另外半導體裝置則無法擷取此信號，結果接收的係隨後之信號而非所要之信號。相反地，如果半導體裝置輸出之信號之改變落後於參考信號時另外之半導體裝置無法擷取或接收該信號而可能誤收到要接收之信號之前一個信號。

在這種情況下，製造者在出貨之前須驗證每個半導體之輸出信號之時序是否在既定之期間內。當然希能避免大量之不良品之產生俾防止半導體成本之增高。特別是，最近時鐘速率之增加勝過製造流程上變數之減少率，因此，不易建置既定之最小及最大輸出遲延時間。

慮及上述之情況，在製造流程上即使產生任何變動，半導體裝置必須設計得能使半導體之遲延時間落在既定之範圍內這點係極為重要。例如，當半導體裝置，以10MHz之時鐘脈衝運作時縱使在時鐘脈衝上發生10ns之變動仍不會產生問題。這是因時鐘脈衝之存在期間係等於100ns之故。

相反地，當半導體裝置使用100MHz之時鐘脈衝時若遲延時間之變化達10ns時則會產生不正確之運作，此因係遲延時間等於10ns之時鐘脈衝期間之故。

為解決此問題，例如，日本專利申請公報第平9-181580 (亦即181580/1997)揭示一種改良電路之組態來控制遲

## 五、發明說明( )

延時間之半導體。這種情形，具有多數作串聯連接之遲延開之遲延電路係被使用於半導體裝置上，在每個遲延開之前設有依控制信號切換之AND開。藉此種構成，當遲延電路被使用於系統時藉測定所需之遲延值而將選出之遲延開之一設置於外部電路，及當找到或偵測出未使用之遲延開時則關閉AND開俾阻止脈衝信號之通過。

但是，遲延電路須有昂貴之測試器來測定遲延值，測試器須接在半導體裝置之外側以測定遲延值。另外，半導體裝置內之暫存器須根據測定值設定以調整遲延時間。特別是，當需測定高速運作之半導體裝置之遲延時間時須使用極貴之測試器。

更甚者，在出貨之前執行驗證，由於驗證作業而造成出貨作業之複雜，導致增長工作時間。結果造成成本之增加。

另外，在驗證環境內得出之驗證結果並非都是相同於實際使用上得出之結果，因在實際使用時之實際溫度及電源電壓並非經常與驗證當時者相同。

於一般之驗證作業上，為減少驗證之時間，係在常溫下僅改變電源電壓以進行驗證。若改變溫度以進行驗證，因產品須進出恆溫室或產品須放置在恆溫室內直到產品達到既定之穩定溫度後才能測試，故實際上無法對所有產品進行驗證或檢查。

縱使係在高溫及高電壓之環境下測定及決定遲延時間，也不能保證產品在低溫及低電壓或高溫及高電壓之遲

## 五、發明說明(4)

延時間之正確性。結果，遲延時間範圍須定得窄，導致降低產品之良品率。

相反地，如果降低產品之評價基準以提昇良品率時，藉窄化可使用之溫度範圍及可使用之電源電壓範圍或增寬可接受之遲延時間，對於應用及半導體裝置之可使用環境則需加予限制。

另外，藉測定在半導體裝置以傳統之方式組裝於裝置後之遲延時間俾改變半導體裝置之設定值時因測試器之探針無法接到某些半導體裝置或因探針之寄生電容之故會造成遲延時間之錯誤。

## (發明之摘要)

因此，本發明之目的係提供一種慮及實際環境無需藉高昂之測試器測定遲延值就能設定最佳遲延值之半導體裝置。

為達成上述目的，依本發明用來決定遲延時間之半導體裝置包含多數在串聯連接之遲延電路，在兩相鄰之遲延電路間之連接點設有用於選擇多數參考遲延信號之一之選擇措施及用於根據選出之參考遲延信號之一選擇性地決定遲延時間之決定措施。

另外，依本發明，用於藉選擇從多數作串聯連接之遲延電路之連接點產生之多數參考遲延信號之一以改變遲延時間之半導體裝置係包含用於在第1時序及第2時序產生信號之參考脈衝信號產生措施，該第1時序和第2時序之間隔一相等於既定遲延時間之時間間隔；用於，

## 五、發明說明(5)

藉第2時序，比較在第1時序時產生之信號並通過遲延電路而生成之多數參考遲延信號以得出比較之結果之遲延比較措施；用於根據遲延比較措施得出之比較結果以選擇參考遲延信號之一俾參考被選出之參考遲延信號之一決定遲延時間之遲延設定措施。

另外，依本發明，用於藉選擇從多數作串聯連接之遲延電路之連接點產生之多數之參考遲延信號之一以改變遲延時間之半導體裝置係包含用於在第1時序及第2時序產生信號之參考脈衝信號產生措施，該第1時序和第2時序相隔之時間間隔係等於既定之遲延時間；用於供給根據第1時序，所產生之信號至遲延電路俾比較遲延電路之輸出和第2時序之遲延決定措施；及用於選擇根據遲延決定之結果通過遲延電路之多數之參考遲延信號之一俾產生被選定之信號之遲延設定措施。

另外，依本發明，用於選擇遲延時間及事先採用多數之遲延電路之半導體裝置係包含用於偵測根據通過每個遲延電路之參考脈衝信號產生參考遲延信號之前及後之參考遲延信號之遲延時間俾根據偵測結果產生參考遲延信號之一之遲延產生措施。

(圖式之簡單說明)

第1圖係示出本發明之第1實例之半導體裝置之遲延產生電路之方塊圖；

第2圖係示出第1圖所示之遲延產生電路之時序圖；

第3圖係示出第1圖所示之參考脈衝產生器之方塊圖；

## 五、發明說明 ( b )

第 4 圖係示出第 3 圖所示之參考脈衝產生器之時序圖；

第 5 圖係示出本發明之第 2 實例之半導體裝置之遲延產生電路之方塊圖；

第 6 圖係示出第 5 圖之參考脈衝產生器之方塊圖；

第 7 圖係示出第 5 圖之遲延產生電路之時序圖；

第 8 圖係示出本發明之第 3 實例之半導體裝置之遲延產生電路之方塊圖；及

第 9 圖係第 8 圖之遲延產生電路之時序圖。

(良好實例之敘述)

(本發明之第 1 實例)

下面將參考附圖說明本發明之第 1 實例。

第 1 圖示出本發明之第 1 實例之半導體裝置之遲延產生電路之方塊圖。於此實例上，來自內部電路之信號受到控制俾相較於標準信號係在既定之遲延時間(以下稱為規範之遲延時間 T)內。

如第 1 圖所示裝設於半導體裝置之遲延產生電路 10 係包含事先設置之三個遲延電路 11a, 11b 及 11c, 參考脈衝產生器 12, 正反器 13, 四個暫存器 14a, 14b, 14c 及 14d, 四個選擇器 15a, 15b, 15c, 及 15d, 四個設定開關 16a, 16b, 16c 及 16d, 一個模式切換開關 23, 及正反器重設產生器 (FFR) 24。

實例之遲延產生電路 10 係能在兩種模式，即正常運作模式及準備運作模式下運作。於準備運作模式時，設定遲延電路 11 並當 MPU 重設時，或 MPU 輸出準備命令時則輸

## 五、發明說明( 7 )

出既定遲延時間。於正常運作模式時，內部電路輸出之信號係經遲延電路 11 供給以做為輸出信號，此時遲延電路 11 係被設定，並在 MPU 之重設期間及準備運作期間兩者之後送出所需之遲延時間。

遲延產生電路 10 具有被供予模式信號 MODE 之輸入端子，此模式信號 MODE 具有兩個邏輯位準，並被送至切換開關 23 及 FF 重設產生器 24。遲延產生電路 10 當模式信號 MODE 具有第 2 邏輯位準(以下，以 "0" 表示)時則執行準備運作而當模式信號 MODE 具有第 1 邏輯位準(以下，以 "1" 表示)時則執行正常運作。

正反器重設產生器 24 當模式信號 MODE 之邏輯位準為 "0" 時則產生 "0" 之正反重設信號 FFRESET 達一既定時間。須一提者，模式信號 MODE 當 "0" 存在幾十個 ns 後則變成 "1"，而正反重設信號 FFRESET 在 "0" 存在幾個 ns 後則變為 "1"。

三個遲延電路 11a, 11b 及 11c 係相互作串聯連接。遲延時間係連續地被遲延電路 11a, 11b 及 11c 加長。於準備運作上，從參考脈衝產生器 12 供給之參考脈衝係送至遲延電路 11a 之輸入端子，而從每個遲延電路 11a, 11b, 及 11c 送出之脈衝之時序則受檢查。於正常運作上，從內部電路(未圖示)來之信號係被供給至遲延電路 11a 之輸入端子。上述之信號或每個遲延電路 11a, 11b 及 11c 之信號係選擇性地被供給至外部電路。

參考脈衝產生器 12，例如，在重設期間產生參考脈衝信號 C。參考脈衝信號 c 之脈衝寬係對應於要被遲延電路

## 五、發明說明( 8 )

11 遲延之最大遲延時間。

四個暫存器 14a, 14b, 14c 及 14d 皆由正反器構成。此四個暫存器 14a, 14b, 14c 及 14d 係與參考脈衝信號 c 之下降緣同步地動作以貯存參考遲延信號 d1 至 d4。參考遲延信號 d1 係在遲延電路 11a 之前出現，而參考遲延信號 d2 至 d4 則分別在遲延電路 11a, 11b 及 11c 之後產生。分別供給至暫存器 14a, 14b, 14c 及 14d 之參考遲延信號 d1, d2, d3 及 d4 各較參考脈衝信號 c 之上昇緣遲延一遲延時間  $T_a$ ,  $T_b$ ,  $T_c$  及  $T_d$ 。每個暫存器 14a 至 14d 在參考脈衝信號 c 之上昇緣時分別與每個參考遲延信號 d1 至 d4 比較俾判別對應之遲延時間  $T_a$  至  $T_d$  是否在既定值內及產生偵測信號 b1 至 b4。

在四個選擇器 15a 至 15d 中，三個選擇器 15a, 15b 及 15c 皆由 NAND 閘構成，而選擇器 15d 則由倒反器構成。利用分別貯存於暫存器 14a, 14b, 14c 及 14d 內之偵測信號 b1, b2, b3 及 b4，選擇器 15a 至 15d 選擇在通過遲延電路 11a 之前出現之信號通過遲延電路 11a, 11b 或 11c 後出現之信號。響應選出之信號，四個設定開關 16a, 16b, 16c 及 16d 之一關閉，其它三個開關則打開。設定開關 16a 至 16d 含有 P-MOS 電晶體並響應第 1 邏輯位準 "1" 切斷，及響應第 2 邏輯位準而導通。

選擇器 15a, 15b, 15c 及 15d 能偵測參考遲延信號並用來根據偵測信號 b1 至 b4 從 "1" 變成 "0" 之時機選擇滿足規範並最接近規範之延遲信號之參考遲延信號之一。結果，

## 五、發明說明(9)

根據偵測之結果藉關上設定開關之一則能設定滿足規範之遲延時間。

模式切換開關 23 係用來於正常運作模式或準備作模式時供給信號至正反器 13。說明之模式切換開關 23 具有兩組。第 1 組切換開關係當正常運作模式時將正反器 13 之資料輸入端子連接至內部電路(未圖示)之輸出端子 SG，而在準備運作模式時則接上電源電壓 Vdd。電源電壓 Vdd 係維持在第 1 邏輯位準 "1"。第 2 組切換開關當在正常運作模式時將時鐘信號輸入端子接至內部電路(未圖示)之輸出 ICK，而當準備運作模式時則接至參考脈衝產生器 12 之輸出 c。

正反器 13，其係與被供給至時鐘信號端子之內部時鐘信號 ICK 之上昇緣同步動作，在正常運作模式時係保持內部電路(未圖示)之輸出信號 SG。另一方面，在準備運作模式時與參考脈衝信號 c 之上昇緣同步動作之正反器 13 則保持電源電壓 Vdd 之位準並輸出具有遲延時間  $T_a$  及係自正反器 13 之輸出端子供給之參考遲延信號 d1。此參考遲延信號 d1 然後被送至遲延電路 11a，暫存器 14a，及設定開關 16a。遲延電路 11a 對此接收之參考遲延信號 d1 遲延一個遲延時間  $T_b$  後輸出具有遲延時間  $(T_a + T_b)$  之參考遲延信號 d2。此參考遲延信號 d2 然後被送至遲延電路 11b，暫存器 14b 及設定開關 16b。

相似地，具有遲延時間  $(T_a + T_b + T_c)$  之參考遲延信號 d3 係從遲延電路 11b 被送至遲延電路 11c，暫存器 14c，及

## 五、發明說明(10)

設定開關 16c。另外，具有遲延時間 ( $T_a+T_b+T_c+T_d$ ) 之參考遲延信號 d4 係從遲延電路 11c 被送至遲延電路 11d，暫存器 14d，及設定開關 16d。

暫存器 14a 係在參考脈衝信號 c 之下降緣時藉重設信號 (FFRESET) 而處於初始狀態以保持遲延信號 d1 及輸出偵測信號 b1。相似地，暫存器 14b 係在參考脈衝信號 c 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d2 及輸出偵測信號 b2。暫存器 14c 係在參考脈衝信號 c 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d3 及輸出偵測信號 b3。暫存器 14d 係在參考脈衝信號 c 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d4 及輸出偵測信號 b4。

選擇器 15a 對偵測信號 b1 及偵測信號 b2 之倒反執行 NAND 之動作以輸出選擇信號 e1。相似地，選擇器 15b 對偵測信號 b2 及偵測信號 b3 之倒反執行 NAND 之動作以輸出選擇信號 e2。選擇器 15c 對偵測信號 b3 及偵測信號 b4 之倒反執行 NAND 之動作以輸出選擇信號 e3。選擇器 15d 對偵測信號 b4 執行倒反動作以輸出選擇信號 e4。

設定開關 16a 具有被供予選擇信號 e1 之閘，並控制是否產生參考遲延信號 d1。相似地，設定開關 16b 具有被供予選擇信號 e2 之閘，並控制是否產生參考遲延信號 d2。設定開關 16c 響應於被供給閘之選擇信號 e3 以控制產生參考遲延信號 d3。設定開關 16d 響應於供給至閘之選擇信號 e4 以控制產生參考遲延信號 d4。

## 五、發明說明 ( 11 )

於準備運作模式上，設定開關 16a, 16b, 16c 及 16d。係根據選擇信號 e1 至 e4 及供給至倒反器 17 之參考遲延信號 d1, d2, d3 及 d4 之一而被選定其中之一。於正常運作模式上，內部電路之信號 SG 係經設定開關 16a, 16b, 16c 及 16d 之一供給至倒反器 17，開關之信號係經輸出端子 18 輸出以做為朝外輸出之遲延信號。

第 2 圖示出第 1 圖之遲延產生電路之時序表。下面將參考第 2 圖敘述遲延電路內之遲延時間係被限制在規範之遲延時間 T 內之情形。

被供給至每個暫存器 14a, 14b, 14c 及 14d 之參考脈衝信號 c 之下降緣係與被供給至正反器 13 且脈衝寬係等於規範之遲延時間 T 之參考脈衝信號 c 之上昇緣同步。參考脈衝信號 c 能與電晶體之臨界值，開長，電源電壓，及運轉溫度等諸多條件無關地具有所要之規範之遲延時間 T 之脈衝寬，此皆因參考之脈衝信號 c 係由參考脈衝產生器 12 所產生之故。

遲延產生電路 10 能藉下述之動作調整輸出遲延信號之遲延時間，例如，當模式信號 MODE 變成 "0"，而 MPU 係被重設，或 MPU 輸出準備命令。

當在時間 t0 之瞬間 (第 2 圖之 (a))，MPU 輸出重設信號及模式信號 MODE 變成 "0" 時，模式切換開關 23 則切換正反器 13 之輸入。亦即，第 1 組模式切換開關將正反器 13 之輸入端子連接至電源 Vdd，而第 2 組模式切換開關則

## 五、發明說明 (12)

將正反器 13 之時鐘信號端子接至參考脈衝產生器 12 之輸出。

另外，當模式信 MODE 變為 "0" 時正反器重設產生器 24 則將正反器重設產生器 24 則將正反器重設信號 FFRESET 變成 "0" (第 2 圖之 (b))。

當正反器重設信號 FFRESET 變為 "0" 時，暫存器 14a, 14b, 14c 及 14d 則被初始化及將偵測信號 b1 至 b4 設定為 "0" (第 2 圖之 (h) 至 (k))。結果，選擇信號 e1 至 e4 則分別從選擇 15a 至 15d 輸出且皆為 "1" 值 (第 2 圖之 (l) 至 (m))。藉此，打開設定開關 16a 至 16d。

當信號變為 "0" 後經數 ns，正反器重設信號 FFRESET 則再度被設定為 "1" (第 2 圖之 (b))。

當參考脈衝產生器 12 偵測出在時間 t1 瞬間正反器信號 FFRESET 變成 "1" 時則生成 "1" 以做為參考脈衝信號 c (第 2 圖之 (c))。

當參考脈衝信號 c 變為 "1" 時，正反器 13 則與參考脈衝信號 c 之上昇緣同步地輸出 "1" (第 2 圖之 (d))，因正反器 13 之輸入端子係接至 Vdd 之故。此輸出係為參考遲延信號 d1，此遲延信號 d1 在落後參考脈衝信號 c 之上昇緣 - 遲延時間 Ta 後上昇。參考遲延信號 d1 係經遲延電路 11a, 11b, 及 11c 傳播。

假設通過遲延電路 11b 之時間係比參考脈衝信號 c 之脈衝寬短及通過遲延電路 11c 之時間係比參考脈衝信號

## 五、發明說明(13)

c 之脈衝寬長。亦即，參考遲延信號 d1 之遲延時間  $T_a$  及參考遲延信號 d2 之遲延時間  $(T_a+T_b)$  皆比所要之遲延時間  $T$  短，而參考遲延時間 d3 之遲延時間  $(T_a+T_b+T_c)$  及參考遲延時間 d4 之遲延時間  $(T_a+T_b+T_c+T_d)$  皆比所要之遲延時間長。下面將敘述考慮上述情形之例。

在參考遲延信號 d1 被供給至遲延電路 11a 後經一遲延時間  $T_b$ ，遲延電路 11a 輸出 "1" 以做為參考遲延信號 d2。參考遲延信號 d2 之上昇係比參考脈衝信號 c 之上昇落後一遲延時間  $(T_a+T_b)$ 。

在參考脈衝信號 c 變成 "1" 後於經過所要之遲延時間，亦即規範之遲延時間，後之瞬間  $t_2$ ，參考脈衝信號 c 變成 "0" (第 2 圖之 (c))。

每個暫存器 14a, 14b, 14c 及 14d 在參考脈衝信號 c 之下降緣時分別貯存參考遲延信號 d1, d2, d3 及 d4。於時間  $T_2$  瞬間，暫存器 14a, 14b, 14c 及 14d 分別貯存 "1", "1", "0" 及 "0"，此係因參考遲延信號 d1 及 d2 之值為 "1"，而 d3 及 d4 之值為 "0" 之故。結果，暫存器 14a, 14b, 14c 及 14d 分別輸出 "1", "1", "0" 及 "0" 之偵測信號 b1, b2, b3 及 b4 (第 2 圖之 (h) 至 (k))。

當決定偵測信號 b1 至 b4 後，這些偵測信號 b1 至 b4 則分別被送至選擇器 15a ~ 15d。

選擇器 15a 接收偵測信號 b1 (= "1") 及偵測信號 b2 之倒反值 (= "0") 並執行此兩信號之 NAND 運算後輸出 "1" 做為

## 五、發明說明 (14)

選擇信號 e1 (第 2 圖之 (m))。

選擇器 15b 接收偵測信號 b2 (= "1") 及偵測信號 b3 之相反值 (= "0") 並執行此兩信號之 NAND 運算後輸出 "0" 值之選擇信號 e2 (第 2 圖之 (1))。

選擇器 15c 接收偵測信號 b3 (= "0") 及偵測信號 b4 之相反值 (= "1")，並執行此兩信號之 NAND 運算後輸出 "1" 值之選擇信號 e3 (第 2 圖之 (n))。

選擇器 15d 接收偵測信號 b4 (= "0") 並相反此信號後輸出 "1" 值之選擇信號 e4 (第 2 圖之 (n))。

設定開關 16a, 16b, 16c 及 16d 分別接收選擇信號 e1 (= "1"), e2 (= "0"), e3 (= "1") 及 e4 (= "1") 後設定開關 16b 關閉而其它三個開關 16a, 16c 及 16d 則打開。結果，設定開關 16b 被設定選擇通過遲延電路 11a 之參考遲延信號 d2。

另外一方面，在時間 t2 瞬間後經一短時間，亦即參考遲延信號 d2 被供給至遲延電路 11b 後經一遲延時間 Tc 後遲延電路 11b 輸出 "1" 值之參考遲延信號 d3 (第 2 圖之 (f))。這裡，參考遲延信號 d3 之上昇緣相對於參考脈衝信號 c 之上昇緣係遲延 - 遲延時間 (Ta + Tb + Tc)。另外，此遲延時間係大於規範之遲延時間 T。

相似地，在參考信號 d3 被供給至遲延電路 11c 後經一遲延時間 Td 後遲延電路 11c 輸出 "1" 值之參考遲延信號 d4 (第 2 圖之 (g))。這裡，參考遲延信號 d4 之上昇緣相對

### 五、發明說明(15)

於參考脈衝信號 c 之上昇緣係落後一遲延時間 ( $T_a+T_b+T_c+T_d$ )。另外，此遲延時間 ( $T_a+T_b+T_c+T_d$ ) 係大於遲延時間 T。

結果，得知具有遲延時間小於規範之遲延時間 T 且係最接近於規範之遲延時間 T 之信號係為參考遲延信號 d2。

當模式信號 MODE 在時間 T3 瞬間變為 "1" (第 2 圖之 (a)) 時模式切換開關 23 則切換至正常運作模式。亦即，第 1 組模式切換開關將正反器 13 之資料輸入端子接至半導體裝置之內部 (未圖示) 之輸出 SG。第 2 組模式切換開關則將正反器 13 之時鐘脈衝 2 輸入端子接至半導體裝置之內部時鐘產生電路 (未圖示) 之輸出 ICK。

當內部電路之輸出 SG 供給至正反器 13 及內部時鐘脈衝 ICK 上昇時正反器 13 則保持內部電路之輸出 SG。此輸出 SG 被遲延電路 11a 遲延 - 遲延時間 ( $(T_a+T_b)$ ) 並經關閉之設定開關 16b 及倒反器 17 做為輸出遲延信號而被送至輸出端子。結果相較於參考脈衝信號 c 之脈衝寬 (規範之遲延時間 T) 可縮短被供給至輸出端子 18 之輸出遲延信號之遲延時間。

如上述，藉偵測遲延產生電路 10 從參考脈衝信號 c 產生之參考遲延信號在通過遲延電路之前測定之遲延時間及通過遲延電路之後，測定之遲延時間兩者可設定遲延時間至所要之值，並根據判定之結果可輸出在參考遲延信號通過遲延電路前及後產生之信號之一。

第 3 圖詳示第 1 圖之參考脈衝產生器 12 之方塊圖。第

## 五、發明說明 (16)

3 圖所示之參考脈衝產生器 12 包括振盪器 101，遲延電路 102，計數器 103，比較器 104，暫存器 105 及 SR 正反器 106。

振盪器 101 產生脈衝寬遠小於規範之遲延時間  $T$  之時鐘脈衝  $g$ 。此時時鐘脈衝  $g$  係被輸出至計時器 103。

遲延電路 102 遲延正反器之重設信號  $FFRESET$  並遲出被遲延之重設信號  $f$ 。被遲延之重設信號  $f$  使 SR 正反器 106 變為設定狀態及重設計數器 103。

計數器 103 響應被遲延之重設信號  $f$  重設其本身之計數值，接著計數來自振盪器 101 之時鐘脈衝  $g$ 。計數值係被供給至比較器 104。

比較器 104 比較計數器 103 之計數值與貯存在暫存器 105 內之值。當兩值一致時比較器 104 則輸出一致信號  $i$  並將信號  $i$  供給至 SR 正反器 106 之重設端子。

暫存器 105 設定一值。此值係藉規範之遲延時間  $T$  被振盪器 103 之時鐘脈衝之週期除後得出者。相反地，規範之遲延時間  $T$  可藉更換設定於暫存器 105 內之值而被改變。

SR 正反器 106 係被遲延電路 102 之輸出設定並輸出 "1" 值。及被比較器 104 之輸出重設而輸出 "0" 值。SR 正反器 106 之輸出係用做為參考脈衝信號  $c$ 。輸出之期間顯示對應於規範遲延時間  $T$  之 "1" 值。

第 4 圖示出第 3 圖之參考脈衝產生器之時序圖。下面將參照第 4 圖說明第 3 圖之參考脈衝產生器。這裡。假

## 五、發明說明(17)

定在暫存器 105 內存有值 "6"。

當正反器重設信號 FFRESET 在時間  $t_0$  瞬間變 "0" (第 2 圖 (a)) 時信號則受遲延電路 102 之遲延而自遲延電路 102 輸出一輸出之重設信號信號 f (第 4 圖之 (b))。

當被遲延之重設信號 f 在時間  $t_1$  之瞬間上昇為 "1" (第 4 圖之 (b)) 時 SR 正反器 106 則被設定而參考脈衝信號 c 之值則變為 "1" (第 4 圖之 (f))。

另外，當被遲延之重設信號 f 在時間  $t_1$  瞬間上昇為 "1" (第 4 圖之 (b)) 時計數器 103 則被初始化以設定計數值 "0" 並開始計數振盪器 101 之時鐘脈衝 (第 4 圖之 (d))。計數器 103 每當時鐘脈衝 g 之值為 "1" 時則遞昇計數，結果，計數值 h 被逐一遞昇，如 "0" 到 "1"，"1" 到 "2" 等持續遞昇。

當計數器 103 之計數值 h 在  $t_2$  瞬間變為 "6" 時比較器 104 則偵測出計數值係與暫存器 105 ("6") 之值一致而輸出一致信號 i (第 4 圖之 (e))。當一致信號 i 之值為 "1" 時 SR 正反器 106 則重設，而 SR 正反器 106 之輸出，亦即參考脈衝信號 c，則變為 "0" (第 4 圖之 (f))。

如上述，藉持續地計數振盪 101 所產生之不受溫度及電源電壓之變化之影響之時鐘脈衝 g，能產生具有規範之遲延時間 T 之參考脈衝信號 c。

(本發明之第 2 實例)

下面將說明本發明之第 2 實例之遲延產生電路。

第 5 圖示出本發明之第 2 實例之半導體裝置之遲延產

## 五、發明說明(18)

生電路之方塊圖。於此實例上，來自內部電路之信號係被控制俾相較於參考信號其之遲延時間係大於所要之遲延時間(以下稱為規範之遲延時間 $T$ )。與第1實例者相同之方塊係用相同之數字及符號表示，其說明則省略。

如第5圖所示，設置於半導體裝置內之遲延產生電路20包含事先裝好之三個遲延電路，11a，11b及11c，一個參考脈衝產生器12，一個正反器13，四個暫存器14e，14f，14g及14h，四個選擇器15e，15f，15g及15h，四個設定開關16a，16b，16c及16d，一個模式切換開關23及一個正反器重設暫存器24。

參考脈衝產生器12，例如，在重設期間輸出兩個參考脈衝信號 $j$ 。兩個參考脈衝信號之間隔係對應於要被遲延電路11遲延之最小遲延時間(規範之遲延時間 $T$ )。

本發明之第2實例之參考脈衝產生器12包含一個 $M$ 乘法器111，一個計數器112，比較器113和115，暫存器114和116，及一個OR閘117。

$M$ 乘法器111藉由例如PLL將內部時鐘脈衝 $ICK$ 乘上 $M$ ( $M$ 係為正整數)而產生具有 $M$ 倍於藉MPU振盪之內部時鐘脈衝 $ICK$ 之頻率之時鐘脈衝 $g$ 。時鐘脈衝 $g$ 之脈衝寬係遠小於規範之遲延時間 $T$ 。 $M$ 乘法器111之輸出 $g$ 係被供給至計數器112。

計數器112響應於正反器之重設信號 $FFRESET$ 重設其本身之計數值，接著計數來自 $M$ 乘法器111之時鐘脈衝 $g$ ，計數值 $h$ 係被供給至比較器113及115。

### 五、發明說明(19)

比較器 113 比較計數器 112 之計數值與貯存在暫存器 114 內之值。當此兩值一致時比較器 113 則輸出一致信號 1 至 OR 閘 117。OR 閘 117 則根據一致信號 1 輸出第 1 參考脈衝信號 j。

相似地，比較器 115 比較計數器 112 之計數值與貯存於暫存器 116 內之值。當此兩值一致時比較器 115 則輸出一致信號 m 至 OR 閘 117。OR 閘 117 根據此一致信號 m 輸出第 2 參考脈衝信號 j。

暫存器 114 係設定一自計數器 112 之重設時機到第 1 參考脈衝信號 j 之輸出時機之時間期間。第 1 參考脈衝信號 j 和第 2 參考脈衝信號 j 間之時間間隔係對應於規範之遲延時間 T。規範之遲延時間 T 能藉更換供給至暫存器 114 及 116 之值而改變。

第 6 圖示出第 5 圖之參考脈衝產生器之時序表。下面將參照第 6 圖說明第 5 圖所示之參考脈衝產生器。這裡，假定值 "6" 係存在暫存器 114 內及值 "11" 係存在暫存器 116 內。

當在  $t_0$  瞬間正反器之重設信號 FFRESET 變成 "0" (第 6 圖之 (a)) 時計時器 112 則被初始化而將計數值歸 "0"，及開始計數 N 乘法器 111 之時鐘脈衝 g (第 6 圖之 (b)，(c))。計數器 112 每當時鐘脈衝 g 之值變 "1" 時則遞昇結果，計數值 h 係以 "0" 到 "1"，"1" 到 "2" 等之方式持續遞昇。

當計數器 112 之計數值 h 在  $t_1$  瞬間達到 "6" 時比較器 113 則偵測出計數值與暫存器 114 ("6") 之值一致而輸出一致

## 五、發明說明(20)

信號 1(第 6 圖之 d)。響應於此一致信號 1, OR 閘 117 則輸出第 1 參考脈衝信號 j(第 6 圖之(f))。

當計數器 112 之計數值在  $t_2$  瞬間達到 "11" 時比較器 115 則偵測出計數值係與暫存器 116 ("11") 之值一致而輸出一致信號 m(第 6 圖之(e)), 接著, 此一致信號 m 被送至 OR 閘 117, 進而自 OR 閘 117 輸出第 2 參考脈衝信號 j。

如上述, 具有等於第 1 及第 2 參考脈衝信號 j 之時間間隔之規範之遲延時間 T 之參考脈衝信號 j 能藉 M 乘法器 111 對內部時鐘脈衝 ICK 乘上 M 及計數器 112 計數自 M 乘法器輸出之時鐘脈衝 g 而產生。須一提者, 內部時鐘脈衝 ICK 係不受溫度或電源電壓之變化之影響。

另外, 計數器 112 可在正反器之重設信號之上昇緣時被初始化以產生第 1 參考脈衝信號而非利用比較器 113 及暫存器 114。

再回到第 5 圖, 其示出四個暫存器 14e, 14f, 14g 及 14h 皆含有正反器。此四個暫存器 14e, 14f, 14g 及 14h 係與第 1 及第 2 參考脈衝信號 j 同步地進行參考遲延信號 d1 至 d4 之貯存。參考遲延信號 d1 係在遲延電路 11a 之前出現, 而參考遲延信號 d2 至 d4 則是分別在通過遲延電路 11a, 11b 及 11c 之後才產生。

分別被送至暫存器 14e, 14f, 14g 及 14h 之參考遲延信號 d1, d2, d3 及 d4 相較於第 1 參考脈衝信號 j 係分別含有遲延時間  $T_a$ ,  $T_a+T_b$ ,  $T_a+T_b+T_c$ , 及  $T_a+T_b+T_c+T_d$ 。每

## 五、發明說明 ( &gt;1 )

個暫存器 14e 至 14h 比較每個參考遲延信號 d1 至 d4 與第 2 參考脈衝信號 j 之上昇緣俾判定對應之遲延時間  $T_a$ ,  $T_a+T_b$ ,  $T_a+T_b+T_c$ , 及  $T_a+T_b+T_c+T_d$  是否在既定值內, 進而產生偵測 b1 至 b4。

四個選擇器 15e, 15f, 15g 及 15h 皆由 NAND 閘構成。利用分別貯存於暫存器 14e, 14f, 14g 及 14h 內之偵測信號 b1, b2, b3 及 b4, 每個選擇器 15e, 15f, 15g 及 15h 選擇在通過遲延電路 11a 前或通過遲延電路 11a, 11b 或 11c 後得出之信號之一俾關閉四個選擇開關 16a, 16b, 16c 及 16d 之一及打開另外之三個選擇開關。每個設定開關 16a ~ 16d 皆含有 P-MOS 電晶體, 每個 P-MOS 電晶體係響應邏輯值 "1" 而導通及響應邏輯值 "0" 而切斷。

模式切換開關 23 係用來在正常運作模式或準備運作模式時選擇性地供給信號至正反器 13。說明之模式切換開關 23 具有兩組之切換開關。第一組切換開關係當正常運作模式時將正反器 13 之資料輸入端子連接至內部電路 (未圖示) 之輸出 SG。及在準備運作模式時則接至電源電壓 Vdd。這裡, 電源電壓 Vdd 係維持在第 1 邏輯位準 "1"。第 2 組切換開關當在正常運作模式時將時鐘信號輸入端子接至內部電路 (未圖示) 之輸出 ICK, 而當準備運作模式時則接至參考脈衝產生器 12 之輸出 c。

正反器 13, 其係與被供給至時鐘信號端之內部時鐘信號 ICK 之上昇緣同步動作, 在正常運作模式時係保持內部電路 (未圖示) 之輸出信號 SG。另一方面, 在準備運作

## 五、發明說明 (→)

模式時與參考脈衝信號 c 之上昇緣同步動作之正反器 13 則保持電源電壓 Vdd 之位準並輸出具有遲延時間 Ta 及係自正反器 13 之輸出端子 Q 供給之參考遲延信號 d1。此參考遲延信號 d1 然後被送至遲延電路 11a, 暫存器 14e, 及設定開關 16a。這裡, 遲延時間 Ta 係依第 1 參考脈衝信號 j 之上昇緣之時機而被供給。

遲延電路 11a 另對被接收之參考遲延信號 d1 遲延一遲延時間 Tb, 並輸出具有遲延時間 (Ta+Tb) 之參考遲延信號 d2。此參考遲延信號 d2 然後被供給至遲延電路 11b, 暫存器 14f, 及設定開關 16b。

相似地, 具有遲延時間 (Ta+Tb+Tc) 之參考遲延時間 d3 係從遲延電路 11b 被送至遲延電路 11c, 暫存器 14g 及設定開關 16c。另外, 具有遲延時間 (Ta+Tb+Tc+Td) 之參考遲延信號 d4 係從遲延電路 11c 被送至遲延電路 11d, 暫存器 14h, 及設定開關 16d。

暫存器 14e 係在參考脈衝信號 j 之下降緣時藉重設信號 (FFRESET) 而處於初始狀態以保持遲延信號 d1 及輸出偵測信號 b1。相似地暫存器 14f 係在參考脈衝信號 j 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d2 及輸出偵測信號 b2。暫存器 14g 係在參考脈衝信號 j 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d3 及輸出偵測信號 b3。暫存器 14h 係在參考脈衝信號 j 之下降緣時藉重設信號 (FFRESET) 初始化以保持遲延信號 d4 及輸出偵測信號 b4。

## 五、發明說明(之)

選擇器 15e 對偵測信號 b1 及偵測信號 b2 之倒反執行 NAND 之動作以輸出選擇信號 k1。相似地，選擇器 15f 對偵測信號 b2 及偵測信號 b3 之倒反執行 NAND 之動作以輸出選擇信號 k2。選擇器 15g 對偵測信號 b3 及偵測信號 b4 之倒反執行 NAND 之動作以輸出選擇信號 k3。選擇器 15h 對模式信號 MODE 及倒反之偵測信號 b1 執行 NAND 之動作以輸出選擇信號 k4。如果在準備運作模式上輸出端子 18 之值被容許改變時可取掉選擇器 15h 而將暫存器 14e 之輸出直接接到設定開關 16a 內之關。

設定開關 16a 具有被供予選擇信號 k4 之關並控制是否產生參考遲延信號 d1。相似地，設定開關 16b 具有被供予選擇信號 k1 之關並控制是否產生參考遲延信號 d2。設定開關 16c 具有被供予選擇信號 k2 之關並控制是否產生參考遲延信號 d3。設定開關 16d 具有被供予選擇信號 k3 之關並控制是否產生參考遲延信號 d4。

於準備運作模式上，設定開關 16a，16b，16c 及 16d 係根據選擇信號 k1 至 k4 及供給至倒反器 17 之參考遲延信號 d1，d2，d3 及 d4 之一而被選定其中之一。於正常運作模式上，內部電路之信號 SG 係經設定開關 16a，16b，16c 及 16d 之一供給至倒反器 17，開關之輸出係經輸出端子 18 輸出以做為朝外輸出之遲延信號。

第 7 圖示出第 5 圖之遲延產生電路之時序表 c。下面將參照第 7 圖敘述遲延電路內之遲延時間係被限制在規範之遲延時間 T 內之情形。

## 五、發明說明(之4)

被供給至每個暫存器 14e, 14f, 14g及 14h之參考脈衝信號 j 之上昇緣, 係與被供給至正反器 13且脈衝寬等於規範之遲延時間 T 之參考脈衝信號 j 之上昇緣同步。第 1 及第 2 參考脈衝信號 j 之時間間隔使其能等於所要之規範之時間 T, 此皆因第 1 及第 2 參考脈衝信號 j 能與電晶體之臨界值, 閘長, 電源電壓, 及運轉溫度等諸多條件無關地被產生之故。亦即, 因第 1 及第 2 脈衝信號 j 係由參考脈衝產生器 12產生之故。

遲延產生回路 20能藉下述之動作調整輸出遲延信號之遲延時間, 例如, 當模式信號 MODE變成 "0", 而 MPU被重設, 或 MPU輸出準備命令。

常在時間 t0之瞬間(第 7 圖之(a)), MPU輸出重設信號及模式信號 MODE變成 "0"時模式切換開關 23則切換正反器 13之輸入。亦即, 第 1 組模式切換開關將正反器 13之輸入端子連接至電源 Vdd, 而第 2 組模式切換開關則將正反器 13之時鐘信號輸入端子 c 接至參考脈衝產生器 12之輸出。

另外, 當模式信號 MODE變為 "0"時正反器重設產生器 24則將產生器重設信號 FFRESET變成 "0"(第 7 圖 2(b))。

當正反器重設信號 FFRESET變為 "0"時暫存器 14e, 14f, 14g及 14h則被初始化及將偵測信號 b1至 b4設定為 "0"(第 7 圖之(h)至(k))。結果, 選擇信號 k1至 k4則分別從選擇器 15e至 15h輸出且皆為 "1"值(第 7 圖之(l)至(m)), 進而設定開關 16a至 16d皆打開。

## 五、發明說明 ( 25 )

當信號變為 "0" 後經數 ns, 正反器重設信號 FFRESET 則再度被設定為 "1" (第 7 圖之 (b))。

當參考脈衝產生器 12 偵測出在時間 t1 瞬間正反器信號 FFRESET 變成 "1" 時則生成 "1" 以做為參考脈衝信號 j (第 7 圖之 (c))。於本實例裡, 參考脈衝信號 j 之脈衝寬係遠小於規範之遲延時間 T, 此遲延時間 T 具有足夠保持正反器 13 或暫存器 14 之動作之脈衝寬。

當參考脈衝信號 j 變為 "1" 時正反器 13 接收 Vdd 之值並與第 1 參考脈衝信號 j 同步地輸出 "1" 值 (第 7 圖之 (d))。因正反器 13 之輸入端子 D 係接至 Vdd 之故。此輸出係為參考遲延信號 d1, 此遲延信號 d1 在落後第 1 參考脈衝信號 j 之上昇一遲延時間 Ta 後上昇。參考遲延 d1 係經遲延電路 11a, 11b 及 11c 傳播。

假設通過遲延電路 11b 之時間係比參考脈衝信號 j 之脈衝寬短及通過遲延電路 11c 之時間係比參考脈衝信號 j 之脈衝寬長。亦即參考遲延信號 d1 之遲延時間 Ta 及參考遲延信號 d2 之遲延時間 (Ta+Tb) 皆比所要之遲延時間 T 短, 而參考遲延信號 d3 之遲延時間 (Ta+Tb+Tc) 及參考遲延時間 d4 之遲延時間 (及 Ta+Tb+Tc+Td) 皆比所要之遲延時間 T 長。下面將敘述上述情形之例。

在參考遲延信號 d1 被供給至遲延電路 11a 後經一遲延時間 Tb, 遲延電路 11a 輸出 "1" 以做為參考遲延信號 d2。參考遲延信號 d2 之上昇係比參考脈衝信號 j 之上昇落後一遲延時間 (Ta+Tb)。

## 五、發明說明 ( > b )

第 1 參考脈衝信號 j 亦被供給至暫存器 14e 至 14h，但此時因參考遲延信號 d1 至 d4 之值為 "0"，故縱使接收到參考遲延信號 d1 至 d4，輸出之信號 b1 至 b4 仍保持為 "0"。

在時間 T2，第 2 參考脈衝信號 j 變成 "1" (第 7 圖之 (c))。第 2 參考脈衝信號 j 亦被供給至正反器，但在此瞬間，因正反器 13 之資料輸入端子 D 仍保持為 "1"，故正反器 13 (d1) 之輸出為 "1"。

暫存器 14e，14f，14g 及 14h 在第 2 參考脈衝信號 j 之下降緣時分別貯存參考信號 d1，d2，d3 及 d4。於時間 T2 瞬間，暫存器 14e，14f，14g 及 14h 分別貯存 "1"，"1"，"0" 及 "0"，此係因參考遲延信號 d1 及 d2 之值為 "1"，而 d3 及 d4 之值為 "0" 之故。結果，暫存器 14e，14f，14g 及 14h 分別輸出 "1"，"1"，"0" 及 "0" 之偵測信號 b1，b2，b3 及 b4 (第 7 圖之 (h) 至 (k))。

當以上述方式決定偵測信號 b1 至 b4 後，這些偵測信號 b1 至 b4 則分別被送至選擇器 15e，15f，15g 及 15h。

選擇器 15e 輸出 "1" 值做為選擇信號 k1 (第 7 圖之 (m))，因選擇器 15e 接收偵測信號 b1 (= "1") 及偵測信號 b2 (= "1") 之倒反值，並對比兩信號執行 NAND 運算之故。

選擇器 15f 輸出 "0" 值做為選擇信號 k2 (第 7 圖之 (l))，因選擇器 15f 接收偵測信號 b2 (= "1") 及偵測信號 b3 (= "0") 之倒反值 (= "1") 並對此兩信號執行 NAND 運算之故。

選擇器 15g 輸出 "1" 值做為選擇信號 k3 (第 7 圖之 (m))

## 五、發明說明 (&gt;7)

，因選擇器 15g 接收偵測信號  $b_3 (= "0")$  及偵測信號  $b_4 (= "0")$  之倒反值，並對此兩信號執行 NAND 運算之故。

選擇器 15h 輸出 "1" 值做為選擇信號  $k_4$  (第 7 圖之 (n))，因選擇器 15h 接收偵測信號  $b_4 (= "0")$  及偵測信號  $b_1 (= "1")$  之倒反值，並對此兩信號執行 NAND 運算之故。

因設定開關 16a, 16b, 16c 及 16d 分別接收選擇信號  $k_1 (= "1")$ ,  $k_2 (= "1")$ ,  $k_3 (= "0")$ , 及  $k_4 (= "1")$ ，故選擇開關 16c 關閉，而其它三個開關則打開。結果，設定開關 16c 被設定以選擇通過遲延電路 11a 之參考遲延信號  $d_3$ 。

另一方面，在時間  $T_2$  後經一短時間，亦即，在參考遲延信號  $d_2$  被供給至遲延電路 11b 後經一遲延時間  $T_c$ ，遲延電路 11b 輸出 "1" 做為參考遲延信號  $d_3$  (第 7 圖之 (f))。這裡，參考遲延信號  $d_3$  之上昇緣係比第 1 參考脈衝信號  $j$  之上昇緣落後一遲延時間  $(T_a + T_b + T_c)$ 。另外，遲延時間  $(T_a + T_b + T_c)$  係比規範之遲延時間  $T$  長。

相似地，在參考遲延信號  $d_3$  被供給至遲延電路 11c 後經一遲延時間  $T_d$ ，遲延電路 11c 輸出 "1" 做為參考遲延信號  $d_4$  (第 7 圖之 (g))。這裡，參考遲延信號  $d_4$  之上昇緣係比第 1 參考脈衝信號  $j$  之上昇緣落後一遲延時間  $(T_a + T_b + T_c + T_d)$ 。另外，遲延時間  $(T_a + T_b + T_c + T_d)$  係比規範之遲延時間  $T$  長。

結果，可知遲延時間比規範之遲延時間  $T$  長且最接近規範之遲延時間  $T$  之信號係為參考遲延信號  $d_3$ 。

## 五、發明說明(28)

當模式信號 MODE 在時間 T3 瞬間變為 "1" (第 7 圖之 (a)) 時模式切換開關 23 則切換至正常運作模式。亦即，第 1 組模式切換開關將正反器 13 之資料輸入端子接至半導體裝置之內部 (未圖示) 之輸出 SG。第 2 組模式切換開關則將正反器 13 之時鐘輸入端子接至內部電路之時鐘產生電路 (未圖示) 之輸出 ICK。

當內部電路之輸出 SG 供給至正反器 13 及內部時鐘脈衝 ICK 上昇時正反器 13 則保持內部電路之輸出 SG。此輸出 SG 被遲延電路 11a 及 11b 遲延 - 遲延時間 ( $T_a + T_b + T_c$ ) 並經關閉之設定開關 16c 及倒反器 17 做為輸出遲延信號而被送至輸出端子。結果，能調整供給至輸出端子 18 之輸出遲延信號俾使遲延信號可比第 1 及第 2 參考脈衝信號 j 之脈衝間隔長 (規範之遲延信號 T) 及可最接近於脈衝寬。

如上述，藉偵測遲延產生電路 10 從參考脈衝信號 j 產生之參考遲延信號在通過遲延電路之前測定之遲延時間及通過遲延電路之後測定之遲延時間兩者可設定遲延時間至所要之值，並根據判定之結果可輸出在參考遲延信號通過遲延電路前及後產生之信號之一。

(本發明之第 3 實例)

第 8 圖示出本發明之第 3 實例之半導體裝置之遲延產生電路之方塊圖。如第 8 圖所示，供給至半導體裝置之遲延產生電路 30 係構組成精饋返供給至四個暫存器 14a, 14b, 14c 及 14d 之輸出端子之輸出遲延信號以判定因負載電容 CAP 所產生之遲延時間。於此實例上，來自內部電

## 五、發明說明 (&gt;9)

路之信號藉與參考信號比較而被控制不超過所需之規範之遲延時間 T。

如第 8 圖所示，設置於半導體裝置內之遲延產生電路 30 包括事先裝好之三個遲延電路 11a, 11b 及 11c, 一個參考脈衝產生器 12, 一個正反器 13, 四個暫存器 14a, 14b, 14c 及 14d, 四個選擇器 15i, 15j, 15k 及 15l, 四個設定開關 16a, 16b, 16c 及 16d, 一個緩衝器 17, 具有負載電容 CAP 之輸出端子 18, 四個 NOR 閘 19a, 19b, 19c 及 19d, 四個取樣開關 21a, 21b, 21c 及 21d, 一個計數器 22, 一個模式切換開關 23, 及一個正反器重設產生器 24。與第 1 實例者相同之方塊圖係用第 1 實例之數字, 符號表示, 該方塊圖之說明則省略。

本實例之參考脈衝產生器 12 產生參考脈衝信號 c。此參考脈衝信號 c 係對應於暫存器 14 之數 "4", 而參考脈衝信號 c 之脈衝寬則對應於規範之遲延時間 T。

緩衝器 17 之輸入係接至設定開關 16a 至 16d 之洩極, 而緩衝器 17 之輸出則接至取樣開關 21a 之源極。

每個暫存器 14a, 14b, 14c 及 14d 皆由一個正反器形成。暫存器 14a, 14b, 14c 及 14d 之輸入 D 分別接至取樣開關 21a, 21b, 21c 及 21d。暫存器 14a, 14b, 14c 及 14d 係與參考脈衝信號 c 之下降緣同步地貯存來自對應之取樣開關 21a 至 21d 之輸出信號。

計數器 22 係在準備運作模式時被正反器之信號 FFRESET 初始化而將計數值設定為 "0000"。同時, 計數器 22 每當

## 五、發明說明 (續)

參考脈衝信號 c 之值為 "1" 時則遞昇計數，結果，依序輸出計數值 "0001"，"0010"，"0100" 及 "1000"。這裡，計數值之最大位數係對應於端子之輸出 (3)，而計數值之最小位數係對應於端子之輸出 (0)。

另外，於正常運作模式時，計數器 22 則輸出 "0000" 之值。

NOR 閘 19a 至 19d 各有一個輸入端子係接至計數器 22 之輸出端子 (0) 至 (3)。另一個輸入端子則各接至選擇器 15i 至 15k 之輸出。NOR 閘 19a 至 19d 之輸出各接至設定開關 16a 至 16d 之開極及取樣開關 21a 至 21d 之開極。每個取樣開關 21a 至 21d 皆含有一個 PMOS 電晶體，當開極被供予 "0" 值之信號時則導通，反之則切斷。

NOR 閘 19a 至 19d 供給選擇器 15i 至 15l 之輸出 e1 至 e4 以分別做為選擇信號 e6 至 e9。

在準備運作模式時，NOR 閘 19a 至 19d 供給計數器 22 之輸出至設定開關 16a 至 16d 及取樣開關 21a 至 21d。例如，當計數器 22 之輸出為 "0001" 時 NOR 閘 19a 之輸出 e6 變為 "0"，而 NOR 閘 19b 至 19d 之輸出 e7 至 e9 則變為 "1"。因此，設定開關 16a 及取樣開關 21a 導通，而其它之開關則切斷。藉此，參考遲延信號 d1 經設定開關 16a，緩衝器 17，及取樣開關 21a 被供給至暫存器 14a 之輸入 D。此時，受到負載電容 CAP 之影響之遲延時間  $T_a$  能被取樣，因這個由電線等生成之負載電容 CAP 係經輸出端子 18 而接至緩衝器 17 之故。

## 五、發明說明(2)

相似地，當計數器 22 之輸出係 "0010" 時，開關 16b 及 21b 關閉而參考遲延信號 d2 則被供給至暫存器 14b。當計數器 22 之輸出為 "0100" 時，開關 16c 及 21c 關閉而參考遲延信號 d3 則被供給至暫存器 14c。當計數器 22 之輸出係 "1000" 時，開關 16d 及 21d 關閉而參考遲延信號 d4 則被供給至暫存器 14d。

分別屬未通過遲延電路 11a 之參考遲延信號 d1 及通過遲延電路 11a, 11b 及 11c 之參考遲延信號 d2, d3 及 d4 係分別經設定開關 16a 至 16d, 緩衝器 17 及取樣開關 21a 至 21d 而被供給至暫存器 14a 至 14d。因此，分別被供給至暫存器 14a, 14b, 14c 及 14d 之參考遲延信號 d5, d6, d7 及 d8 相較於參考脈衝 c 之上昇緣，分別落後  $T_a + \alpha$ ,  $T_a + T_b + \alpha$ ,  $T_a + T_b + T_c + \alpha$ , 及  $T_a + T_b + T_c + T_d + \alpha$ 。這裡  $\alpha$  係為經設定開關 16a 至 16d, 緩衝器 17, 及取樣開關 21a 至 21d 所產生之遲延值。

每個暫存器 14a 至 14d 判定對應之遲延時間  $T_a + \alpha$ ,  $T_a + T_b + \alpha$ ,  $T_a + T_b + T_c + \alpha$ , 及  $T_a + T_b + T_c + T_d + \alpha$ , 與參考脈衝信號 c 比較，係在既定範圍內並分別產生信號 b1 至 b4。於本實例上，在參考脈衝信號 c 之上昇緣上昇緣時藉擷取暫存器之輸入 D 判定每個遲延信號 d5 至 d8 在規範之遲延時間 T 逝去之前到達

選擇器 15i 至 15k 皆包含具有三個輸入之 AND 閘。選擇器 15l 包含具有兩個輸入之 AND 閘。模式信號 MODE 係被供給至每個選擇器 15i 至 15l。於準備運作模式時，因模式

## 五、發明說明 ( &gt;&gt; )

信號 MODE 之值為 "0"，故選擇器 15i 至 15l 之輸出變為 "0"。

於正常運作模式時若模式信號 MODE 之值為 "1" 時選擇器 15i 至 15l 則根據貯存在暫存 14a 至 14d 內之判定信號 b1 至 b4 輸出選擇信號俾選擇未通過遲延電路 11a 之前及通過遲延電路 11a, 11b 及 11c 後之信號之一。選擇器 15i 至 15l 之輸出之一變成 "1"，其餘則變為 "0"。這些輸出接著被 NOR 閘 19a 至 19d 倒反，進而設定開關 16a, 16b, 16c 及 16d 之一被關閉，其它則被打開。

暫存器 14a 係被重設信號 (FFRESET) 初始化，在本實例上，而產生 "1" 之值。另外，暫存器 14a 在第 1 個參考脈衝信號 c 之下降緣時保持參考遲延信號 d5，並輸出偵測信號 b1。這裡，參考遲延信號 d5 係藉參考遲延信號 d1 通過設定開關 16a，緩衝器 17，及取樣開關 21a 而得出。

相似地，暫存器 14b 係被重設信號 (FFRESET) 初始化，而在第 2 參考脈衝信號 c 之下降緣時保持參考遲延信號 d6，並輸出偵測信號 b2。此時，第 2 參考脈衝信號 c 係被供給至暫存器 14a, 14c 及 14d，但因取樣開關 21a, 21c 及 21d 係打開之故，第 2 參考脈衝信號 c 之上昇緣之前的狀態能保持不變。

相似地，暫存器 14c 係被重設信號 (FFRESET) 初始化而在第 3 參考脈衝信號 c 之下降緣時保持參考遲延信號 d7，並輸出偵測信號 b3。暫存 14d 係被重設信號 (FFRESET) 初始化而在第 4 參考脈衝信號 c 之下降緣時保持參考信號 d8，並輸出偵測信號 b4。

## 五、發明說明(→)

選擇器 15i 對模式信號 MODE，偵測信號 b1 及偵測信號 b2 之倒反信號執行 AND 運算以輸出選擇信號 e1。相似地，選擇器 15j 對模式信號 MODE，偵測信號 b2 及偵測信號 b3 之倒反信號執行 AND 運算以輸出選擇信號 e2。選擇器 15k 對模式信號 MODE，偵測信號 b3 及偵測信號 b4 之倒反信號執行 AND 運算以輸出選擇信號 e3。選擇器 15l 對模式信號 MODE 及偵測信號 b4 執行 AND 運算以輸出選擇信號 e4。

設定開關 16a 控制選擇信號 e6 輸入至閘及輸出遲延信號 d1。相似地，設定開關 16b 控制選擇信號 e7 輸入至閘及輸出參考遲延信號 d2。選擇開關 16c 控制選擇信號 e8 輸入至閘及輸出參考遲延信號 d3。選擇開關 16d 控制選擇信號 e9 輸入至閘及輸出參考遲延信號 d4。

於準備運作模式上，設定開關 16a，16b，16c 及 16d 之一係根據選擇信號 e6 及 e9 而被選定，藉此將參考遲延信號 d1，d2，d3 及 d4 供給至倒反器 17。倒反器 17 之輸出係藉取樣開關 21a 至 21d 之一被供給至暫存器 14a 至 14d。

於正常運作模式上，內部電路之信號 SG 係經正反器 13 (及遲延電路 11) 及設定開關 16a，16b，16c 及 16d 之一而被供給至倒反器 17，接著倒反器 17 之輸出則經輸出端子 18 朝外供給輸出遲延信號。

第 9 圖示出第 8 圖之遲延產生電路之時序表。如第 9 圖所示，供給至輸出端子 18 之遲延電路之遲延時間係要被限制在規範之遲延時間 T 之下。

## 五、發明說明 ( 74 )

供給至每個暫存器 14a, 14b, 14c及 14d之參考脈衝信號 c 之下降緣係與供給至正反器 13之參考脈衝信號 c 之上昇緣同步, 並使其脈衝寬等於規範之遲延信號 T。參考脈衝信號 c 具有與電晶體之臨界值, 關長, 電源電壓及運轉溫度等之情況無關之所需規範之遲延時間 T 之脈衝寬, 此因參考脈衝信號 c 係由參考脈衝產生器 12產生之故。

遲延產生電路 30能藉下述之動作調整輸出遲延信號之遲延時間。例如, 當模式信號 MODE變成 "0", 而 PMU被重設, 或 MPU輸出準備命令。

當在時間 t10之瞬間(第 9 圖之(a)), MPU輸出重設信號及模式信號 MODE變成 "0"時模式切換開關 23則切換正反器 13之輸入。亦即, 第 1 組模式切換開關將正反器 13之輸入端連接至電源 Vdd, 而第 2 組模式切換開關則將正反器 13之時鐘信號端子 c 接至參考脈衝產生器 12之輸出。

另外, 當模式信號 MODE變為 "0"時正反器重設產生器 24則將正反器重設信號 FFRESET變成 "0"(第 9 圖之(b))。

當正反器重設信號 FFRESET變為 "0"時暫存器 14a, 14b, 14c及 14d則被初始化及將偵測信號 b1至 b4設定為 "0"(第 9 圖之(i))至(l))。計數器 22亦被初始化進而輸出 "0000"。

從選擇器 15i至 15l輸出之選擇信號 e1至 e4係為 "0"(第 9 圖之(m)至(n)), 因在 t10時模式信號 MODE係為 "0"。

## 五、發明說明 (25)

另外，因計數器 22 之輸出係 "0000"，故設定開關 16a 至 16d 及取樣開關 21a 至 21d 皆打開。

當信號變為 "0" 後經數  $n_s$ ，正反器重設信號 FFRESET 則再度被設定為 "1" (第 9 圖之 (b))。

當參考脈衝產生器 12 偵測出在時間  $t_{11}$  瞬間正反器信號 FFRESET 變成 "1" 時則生成 "1" 以做為第 1 參考脈衝信號 c (第 9 圖之 (c))。

當第 1 參考脈衝信號 c 轉為 "1" 時，正反器 13 則與第 1 參考脈衝信號 c 之上昇同步地輸出 "1" (第 9 圖之 (e))，因正反器 13 之輸入端子係接至 Vdd 之故。此輸出係為在落後第 1 參考脈衝 c 之上昇一遲延時間之瞬間上昇之參考遲延信號 d1。參考遲延信號 d1 係經遲延電路 11a, 11b 及 11c 傳播。

另一方面，計數器 22 當第 1 參考脈衝信號 c 變為 "1" 時則遞昇計數值而輸出 "0001" (第 9 圖之 (d))。當計數器 22 之輸出端子 (0) 之值為 "1" 時 NOR 閘 19a 之輸出 e6 則變成 "0" (第 9 圖之 (n))，進而設定開關 16a 及取樣開關 21a 關閉。另外，設定開關 16b 至 16d 及取樣開關 21b 至 21d 則打開，此因 NOR 閘 19b 至 19d 之輸出 e7 至 e9 係 "1" 之故 (第 9 圖之 (m), (n))。

具有遲延時間  $T_a$  之參考遲延信號 d1 係經設定開關 16a, 緩衝器 17, 及取樣開關 21a 而被供給至暫存器 14a 以做為參考遲延信號 d5。當參考遲延信號 d1 通過設定開關 16a, 緩衝器 17, 及取樣開關 21a 後其遲延時間則為  $T_a + \alpha$ 。

## 五、發明說明 (>b)

因此，信號 d5 在遲延時間  $T_a + \alpha$  瞬間上昇。

當第 1 參考脈衝信號 c 在  $t_{12}$  瞬間變成 "0" 時，暫存器 14a 則與第 1 參考脈衝信號 c 之下降緣同步地接收參考遲延信號 d5 並輸出 "1" 以做為偵測信號 b1 (第 9 圖之 (i))。此時，第 1 參考脈衝信號 c 係被供給至暫存器 14a, 14c 及 14d，但是，因取樣開關 21b 至 21d 係打開，故暫存器 14b 至 14d 之輸出 b2 至 b4 未改變。

當第 1 參考脈衝信號 c 變為 "0" (第 9 圖之 (c)) 時正反器 13 則重設，屬於正反器 13 之輸出之參考遲延信號 d1 則變成 "0"，此信號 d1 係通過遲延電路 11a, 11b 及 11c 傳播。

當第 2 參考脈衝信號 c 在  $t_{13}$  瞬間變為 "1" 時正反器 13 則與第 2 參考脈衝信號 c 之上昇緣同步地供給 "1"，因正反器 13 之輸入端子係接至 Vdd 之故。正反器 13 之輸出係供給至遲延電路 11a。在接收參考遲延信號 d1 後經一遲延時間  $T_b$  後遲延電路 11a 產生 "1" 值之信號以做為參考遲延信號 d2。參考遲延信號 d2 係落後於第 2 參考脈衝信號 c 之上昇緣  $(T_a + T_b)$  之遲延時間才上昇。

當第 2 參考脈衝信號 c 變成 "1" 時計數器 22 則遞昇計數值 1 進而輸出 "0010" (第 9 圖之 (d))。當計數器 22 之輸出端子 (1) 之值為 "1" 時 NOR 閘 19b 之輸出 e7 則變為 "0" (第 9 圖之 (n))，進而設定開關 16b 及取樣開關 21b 則關閉。另外，因 NOR 閘 19a, 19c 及 19d 之輸出 e6, e8 及 e9 皆為 "1"，故設定開關 16a, 16c 及 16d 和取樣開關 21a, 21c

## 五、發明說明(27)

及 21d 皆打開(第 9 圖之(n))。

具有遲延時間  $(T_a+T_b)$  之參考遲延信號 d2 係經設定開關 16b, 緩衝器 17, 及取樣開關 21b 而被供給至暫存器 14b 以做為參考遲延信號 d6。信號 d2 通過設定開關 16b, 緩衝器 17, 及取樣開關 21b 會產生一遲延時間  $\alpha$ , 故參考遲延信號 d6 之遲延時間為  $(T_a+T_b+\alpha)$ 。因此, 信號 d6 係在遲延  $(T_a+T_b+\alpha)$  時間後上昇。

假設通過遲延電路 11b 及緩衝器 17, 所花的時間係小於第 1 參考脈衝信號 c 之脈衝寬, 亦即, 規範之遲延時間 T, 及通過遲延電路 11c 及緩衝器 17 之時間係大於第 1 參考脈衝信號 c 之脈衝寬。換言之, 參考遲延信號 d5 之遲延時間  $(T_a+\alpha)$  及參考遲延信號 d6 之遲延時間  $(T_a+T_b+\alpha)$  各小於規範之遲延時間 T, 而參考遲延信號 d7 之遲延時間  $(T_a+T_b+T_c+\alpha)$  及參考遲延信號 d8 之遲延時間  $(T_a+T_b+T_c+T_d+\alpha)$  各大於規範之遲延時間 T。下面將敘述這種情形之例。

當第 2 參考脈衝信號 c 在時間 t14 瞬間變成 "1" 後經一規範之時間 T 時第 2 參考脈衝信號 c 則變為 "0" (第 9 圖之(c))。

暫存器 14b 在第 2 參考脈衝信號 c 之下降緣時貯存參考遲延信號 d6。因參考遲延信號 d6 在 t14 時係 "1" 值(第 9 圖之(f)), 故暫存器 14b 貯存 "1" 以做為偵測信號 b2 (第 9 圖之(j))。

當第 3 參考脈衝信號 c 在時間 t15 瞬間轉為 "1" 時正反

## 五、發明說明(28)

器 13 則與第 3 參考脈衝信號 c 之上昇緣同步地供給 "1"，因正反器 13 之輸入端子接至 Vdd 之故。正反器 13 之輸出經遲延電路 11a 而被供給至遲延電路 11b。當參考遲延信號 d1 輸入後經一遲延時間 ( $T_b + T_c$ ) 後遲延電路 11b 則產生 "1" 以做為參考遲延信號 d3。參考遲延信號 d3 係在第 3 參考脈衝信號 c 之上昇後經一遲延時間 ( $T_a + T_b + T_c$ ) 後上昇。

計時器 22 當第 3 參考脈衝信號 c 變成 "1" 時則遞昇計數值 1 以輸出 "0100" (第 9 圖之 (d))。當計數器 22 之輸出端子 (2) 之值為 "1" 時 NOR 閘 19c 之輸出 e8 則變成 "0" (第 9 圖之 (n))，而設定開關 16c 及取樣開關 21c 則關閉。另外，因 NOR 閘 19a, 19b 及 19d 之輸出 e6, e7 及 e9 皆為 "1" 之故，設定開關 16a, 16b 及 16d 及取樣開關 21a, 21b 及 21d 皆打開 (第 9 圖之 (m), (n))。

具有遲延時間 ( $T_a + T_b + T_c$ ) 之參考遲延信號 d3 係經設定開關 16c, 緩衝器 17, 及取樣開關 21c 而被供給至暫存器 14c 以做為參考遲延信號 d7。因信號 d3 通過設定開關 16b, 緩衝器 17, 及取樣開關 21b 會產生一遲延時間  $\alpha$ ，故參考遲延信號 d7 之遲延時間為 ( $T_a + T_b + T_c + \alpha$ )。因此，信號 d7 係在遲延 ( $T_a + T_b + T_c + \alpha$ ) 時間後上昇。

當第 3 參考脈衝信號 c 在時間 t16 瞬間變成 "1" 後經一規範之時間 T 時第 3 參考脈衝信號 c 則變為 "0" (第 9 圖之 (c))。

暫存器 14c 在第 3 參考脈衝信號 c 之下降緣時貯存參

## 五、發明說明 ( 29 )

考遲延信號 d7。因參考遲延信號 d7在 t14時尚未到達暫存器 14c(第 9 圖之 (g))，故暫存器 14c貯存 "0" 做為偵測信號 b3(第 9 圖之 (k))。

相似地，在時間 18時，暫存器 14d貯存 "0" 做為偵測信號 b4(第 9 圖之 (l))。

俟偵測信號 b1至 b4以上述之方式決定後偵測信號 b1至偵測信號 b4則被分別供給至選擇 15i至 15l。

於時間 t19時，當模式信號 MODE變為 "1" 以進入正常運作模式時計數器 22則被初始化，進而輸出 "0000" 之值。另外，每個選擇器 15i至 15l之輸入係被供予 "1" 以做為模式信號 MODE。

選擇器 15i對偵測信號 b1(="1")及偵測信號 b2(="1")之倒反信號(="0")執行 AND 運算以輸出 "0" 做為選擇信號 e1。因此，NOR 閘 19a之輸出 e6係為 "1" (第 9 圖之 (n))。

選擇器 15j對偵測信號 b2(="1")及偵測信號 b3(="0")之倒反信號(="1")執行 AND 運算以輸出 "1" 做為選擇信號 e2。因此，NOR 閘 19b之輸出 e7係為 "1" (第 9 圖之 (n))。

選擇器 15k對偵測信號 b3(="0")及偵測信號 b4(="0")之倒反信號(="1")執行 AND 運算以輸出 "0" 做為選擇信號 e3。因此，NOR 閘 19c之輸出 e8為 "1" (第 9 圖之 (n))。

選擇器 15l因被供予偵測信號 b4(="0")，故輸出 "0" 以做為選擇信號 e4。因此，NOR 閘 19d之輸出 e9係為 "1" (第 9 圖之 (n))。

因設定開關 16a，16b，16c及 16d分別接收選擇信號

## 五、發明說明(40)

e1(="1"), e2(="0"), e3(="1"), 及 e4(="1"),  
故設定開關 16b 關閉, 而其它三個開關 16a, 16c 及 16d 則  
打開。結果, 設定開關 16b 被設定以選擇已通過遲延電  
路 11a 之參考遲延信號 d2。

從上述可知具有小於及最接近規範之遲延時間 T 之  
遲延時間之信號係決定為參考遲延信號 d2。

當模式信號 MODE 在時間 t19 時變為 "1" 時(第 9 圖之(a))  
, 模式切換開關 23 則被切換至正常運作模式。亦即, 第  
1 組模式切換開關將正反器 13 之資料輸入端子接至半導  
體裝置之內部電路(未圖示)之輸出 SG。第 2 組模式切換  
開關將正反器 13 之時鐘信號輸入端子接至半導體裝置之  
內部時鐘信號產生電路(未圖示)之輸出 ICK。

當內部電路之輸出 SG 被供給至正反器 13 及內部時鐘信  
號 ICK 上昇時正反器 13 則保持內部電路之輸出 SG。此輸  
出 SG 被遲延電路遲延  $-(T_a + T_b)$  之時間, 然後經關閉之設  
定開關 16b 及倒反器 17 而被供給至輸出端子 18 以做為輸  
出遲延信號。結果, 能提供被供給至輸出端子 18 之輸出  
信號一不超過規範之遲延時間 T 之遲延時間。

如上述, 藉遲延產生電路 30 根據第 1 至第 4 參考遲延  
信號 c 所產生之參考遲延信號, 並藉測定參考遲延信號  
通過遲延電路之前及後之遲延時間, 及計及緩衝器 17 或  
負載電容 CAP 所造成遲延時間, 及輸出在未通過遲延電  
路前出現之信號及通過遲延電路後出現之信號之一而能  
將遲延時間設定於所需之值。

## 五、發明說明(4)

如此，本發明之半導體裝置係偵測參考遲延信號之遲延時間，該參考遲延信號係根據參考脈衝信號c而被產生及在信號通過遲延電路之前及後被計算並被輸出其中之一以做為參考遲延信號者。

因此，無需使用昂貴之測試器來測定遲延時間即能考量實際使用之環境對半導體裝置設定一適當之遲延值。藉此，輸出之時序不受運轉溫度及運轉電壓之影響。另外，在半導體裝置設置於設備後可藉利用線或負載增加外部之負載電容而改變遲延值。因此，縱使半導體裝置之製造變化很大仍能供應所要之遲延值。另外，在設計半導體裝置時無需考慮製造，運轉溫度，運轉電壓及半導體裝置外部之電容等之不同。

再者，因電晶體特性之裕度範圍增大及改善良品率，故能降低成本。另外，因用於調整遲延時間之參考脈衝係由參考脈衝產生器所產生，故易於選擇遲延時間及容易處理任何之遲延規範。因時序之驗證有裕度，故無需使用精確及昂貴之測試器來測試時序。

另外，在設計上，可不必調整最大及最小之遲延時間以滿足所有情況之規範，因能藉在重設期間逐漸地增加參考遲延信號之遲延值之故。因此，在設計時僅須註明滿足輸出遲延信號之最小規範之遲延時間即可。另外，在重設期間被調整之遲延值當半導體裝置運作時能滿足規範，而與外部之負載無關，因該項調整有考慮連接至輸出端子之外部負載之影響。

## 五、發明說明(4&gt;)

依本發明，容易設計將來在匯流線之時鐘週期變成幾近等於最大遲延時間及最小遲延時間之差的這種環境下自然地預期待會更趨複雜之輸出遲延，此皆因採用高速之外部匯流線及在此處無法藉固定之遲延電路來滿足所有之情況之故。亦即，藉擴大遲延時間之最大及最小之差，能增進包括運轉溫度之規範而無降低良品率。

於本發明之第1至第3實例上，說明了包含三個遲延電路及四個暫存器。但是，遲延電路及暫存器之數量可改變。每個設定開關或取樣開關皆包含電晶體，但是也可使用轉移或邏輯閘。

如上述，依本發明，參考脈衝產生器產生具有藉第1時序及第2時序之間隔表示之所要遲延時間之信號，遲延決定單元比較根據第1時序產生及通過遲延電路之參考遲延信號和第2時序以決定參考遲延信號。遲延設定單元根據決定之結果輸出來自遲延電路之參考遲延信號之一。因此，能依實際之使用環境無需使用昂貴之測試器測定遲延值即可設定半導體裝置之適當遲延值。再者，於重設期間可藉逐漸增加參考遲延信號之遲延值來調整遲延值，及在設計階段，僅須註明滿足輸出遲延信號之最小規範之遲延時間即可。

## 五、發明說明(43)

## 符號之說明

- 10, 20, 30..... 遲延產生電路
- 11a, 11b, 11c..... 遲延電路
- 12..... 參考脈衝產生器
- 13..... 正反器
- 14a-14h.... 暫存器
- 15a-15h.... 選擇器
- 16a, 16b, 16c, 16d..... 設定開關
- 17..... 緩衝器
- 18..... 輸出端子
- 21a, 21b, 21c, 21d..... 取樣開關
- 22..... 計時器
- 23..... 模式切換開關
- 24..... 正反器重設產生器
- CAP..... 負載電容
- T..... 規範遲延時間
- Ta, Tb, Tc, Td..... 遲延時間
- a..... 輸入信號
- b1, b2, b3, b4..... 偵測信號
- c..... 參考脈衝信號
- d1, d2, d3, d4..... 參考遲延信號
- e1, e2, e3, e4..... 選擇信號
- g..... 時鐘脈衝
- 101..... 振盪器

### 五、發明說明 ( 44 )

- 102.....遲延電路
- 103,112...計數器
- 104,113,115.....比較器
- 111.....M 乘法器
- 114,116...暫存器
- 117.....OR 閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半 導 體 裝 置

於能獲得最佳遲延時間之半導體裝置上，串聯連接多數之遲延電路，並自每個兩相鄰遲延電路之連接點引出參考之遲延信號。其中一個參考遲延信號被定為對實際情況之最佳遲延時間。如此，遲延時間能在半導體裝置內變化。

英文發明摘要(發明之名稱：SEMICONDUCTOR DEVICE

In a semiconductor device capable of obtaining an optimum delay time, a plurality of delay circuits are connected in series to one another through points of connections between two adjacent ones of the delay circuits to produce a plurality of reference delay signals derived from the delay circuits. One of the reference delay signals is decided as the optimum delay time with reference to a practical condition. Thus, the delay time can be varied in the semiconductor device.

## 六、申請專利範圍

第 88103841 號「半導體裝置」專利案

(89 年 8 月 17 日修正)

申請專利範圍：

1. 一種用於決定遲延時間之半導體裝置，包含：

通過兩相鄰遲延電路之連接點作串聯連接之多數遲延電路；

用於選擇自兩相鄰遲延電路供給之多數參考遲延信號之一之選擇措施；及

用於根據選出之參考遲延信號之一選擇性地決定遲延時間之決定措施。

2. 一種用於藉選擇多數作串聯連接之遲延電路之連接點輸出之多數參考遲延信號之一以改變遲延時間之半導體裝置，包含：

用於在第 1 時序及第 2 時序產生信號之參考脈衝產生措施，該第 1 時序和第 2 時序之間關係等於既定遲延時間之時間間隔；

用於比較在第 1 時序時產生並通過遲延電路而生成之多數參考遲延信號與第 2 時序以得出比較之結果之遲延比較措施；

用於根據遲延比較措施得出之比較結果以選擇參考遲延信號之一俾參考選出之參考遲延信號之一決定遲延時間之遲延設定措施。

3. 如申請專利範圍第 2 項之半導體裝置，其中該參考脈

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 六、申請專利範圍

第 88103841 號「半導體裝置」專利案

(89 年 8 月 17 日修正)

申請專利範圍：

1. 一種用於決定遲延時間之半導體裝置，包含：

通過兩相鄰遲延電路之連接點作串聯連接之多數遲延電路；

用於選擇自兩相鄰遲延電路供給之多數參考遲延信號之一之選擇措施；及

用於根據選出之參考遲延信號之一選擇性地決定遲延時間之決定措施。

2. 一種用於藉選擇多數作串聯連接之遲延電路之連接點輸出之多數參考遲延信號之一以改變遲延時間之半導體裝置，包含：

用於在第 1 時序及第 2 時序產生信號之參考脈衝產生措施，該第 1 時序和第 2 時序之間關係等於既定遲延時間之時間間隔；

用於比較在第 1 時序時產生並通過遲延電路而生成之多數參考遲延信號與第 2 時序以得出比較之結果之遲延比較措施；

用於根據遲延比較措施得出之比較結果以選擇參考遲延信號之一俾參考選出之參考遲延信號之一決定遲延時間之遲延設定措施。

3. 如申請專利範圍第 2 項之半導體裝置，其中該參考脈

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 六、申請專利範圍

衝產生措施包含：

產生時鐘信號之振盪器；

計數時鐘信號之計數器；及

偵測計數器之計數值是否已達既定值，並當偵測出計數值已達既定值時輸出偵測信號之比較器。

4. 如申請專利範圍第 3 項之半導體裝置，其中該參考脈衝產生措施含有當遲延設定動作開始時藉設定步驟而產生第 1 時序之信號及響應來自比較器之偵測信號而被重設以輸出第 2 時序之信號之設定一重設正反器。
5. 如申請專利範圍第 2 項之半導體裝置，其中該參考脈衝產生措施包含：

被用於起動設定動作之信號所重設之計數器；

偵測計數器之值是否等於第 1 值，及在第 1 時序時產生之計數值與第 1 值一致時輸出一致信號之第 1 比較器；及

偵測計數器之值是否等於第 2 值，及在第 2 時序產生之計數值與第 2 值一致時輸出一致信號之第 2 比較器。

6. 如申請專利範圍第 1 項之半導體裝置，其中該遲延決定措施包含：

多數之資料保持措施，每個措施皆被供予參考遲延信號，並在第 2 時序時接收及保持參考遲延信號。

7. 如申請專利範圍第 6 項之半導體裝置，其中該資料保

## 六、申請專利範圍

持措施含有正反器。

8. 如申請專利範圍第 2 項之半導體裝置，其中該遲延設定措施包含：

用於偵測最接近於既定遲延時間之參考遲延信號之遲延偵測措施；及

用於根據遲延偵測措施之輸出設定多數參考遲延信號之一之設定開關。

9. 如申請專利範圍第 8 項之半導體裝置，其中該遲延偵測措施選擇最接近於既定遲延時間但不超高既定遲延時間之參考遲延信號。

10. 如申請專利範圍第 9 項之半導體裝置，其中該遲延偵測措施包含：

響應參考遲延信號以產生第 1 邏輯位準之信號之第

1) 設定措施，

響應參考遲延信號以產生第 2 邏輯位準之信號之第

2) 設定措施；及

對第 1 設定措施之輸出和第 2 設定措施之輸出之倒反執行 AND 運算之 AND 電路。

11. 如申請專利範圍第 8 項之半導體裝置，其中該遲延偵測措施選擇最接近於既定遲延時間但不超高既定遲延時間之參考遲延信號。

12. 如申請專利範圍第 11 項之半導體裝置，其中該遲延偵測措施包含：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

響應參考遲延信號以產生第 1 邏輯位準信號之第 1 設定措施；

響應參考遲延信號以產生第 2 邏輯位準信號之第 2 設定措施；及

對第 1 設定措施之輸出之倒反及第 2 設定措施之輸出執行 AND 運算之 AND 電路。

13. 一種用於藉選擇多數作串聯連接之遲延電路之連接點輸出之多數參考遲延信號之一以改變遲延時間之半導體裝置，包含：

用於在第 1 時序及第 2 時序信號之參考脈衝產生措施，該第 1 時序和第 2 時序之間隔係等於既定時間之時間間隔；

用於供給根據第 1 時序產生之信號至遲延電路以比較電路之輸出和第 2 時序之遲延決定措施；及

用於根據遲延決定之結果選出通過遲延電路之多數參考遲延信號之一俾產生選擇信號之遲延設定措施。

14. 如申請專利範圍第 13 項之半導體裝置，其中該參考脈衝產生措施包含第 1 時序及第 2 時序並產生第 1 時序和第 2 時序之間隔係等於既定遲延時間之參考脈衝信號，此參考脈衝信號產生之次數係與參考遲延信號之數相等。

15. 如申請專利範圍第 13 項之半導體裝置，其中該遲延決定措施包含：

## 六、申請專利範圍

計數參考脈衝產生措施之輸出脈衝之計數器；

根據計數器之計數值選擇參考遲延信號之一並將選出之信號送至輸出端子之設定開關；

根據計數器之計數值選擇決定之信號之取樣開關；

及

用於在第 2 時序時保持來自取樣開關之輸出資料之資料保持措施。

16. 一種用於選擇遲延時間並事先設有多數遲延電路之半導體裝置，包含：

用於根據通過每個遲延電路之前及後之參考脈衝信號偵測參考遲延信號之遲延時間，並根據偵測之結果輸出參考遲延信號之一。

17. 如申請專利範圍第 16 項之半導體裝置，其中該遲延產生措施包含：

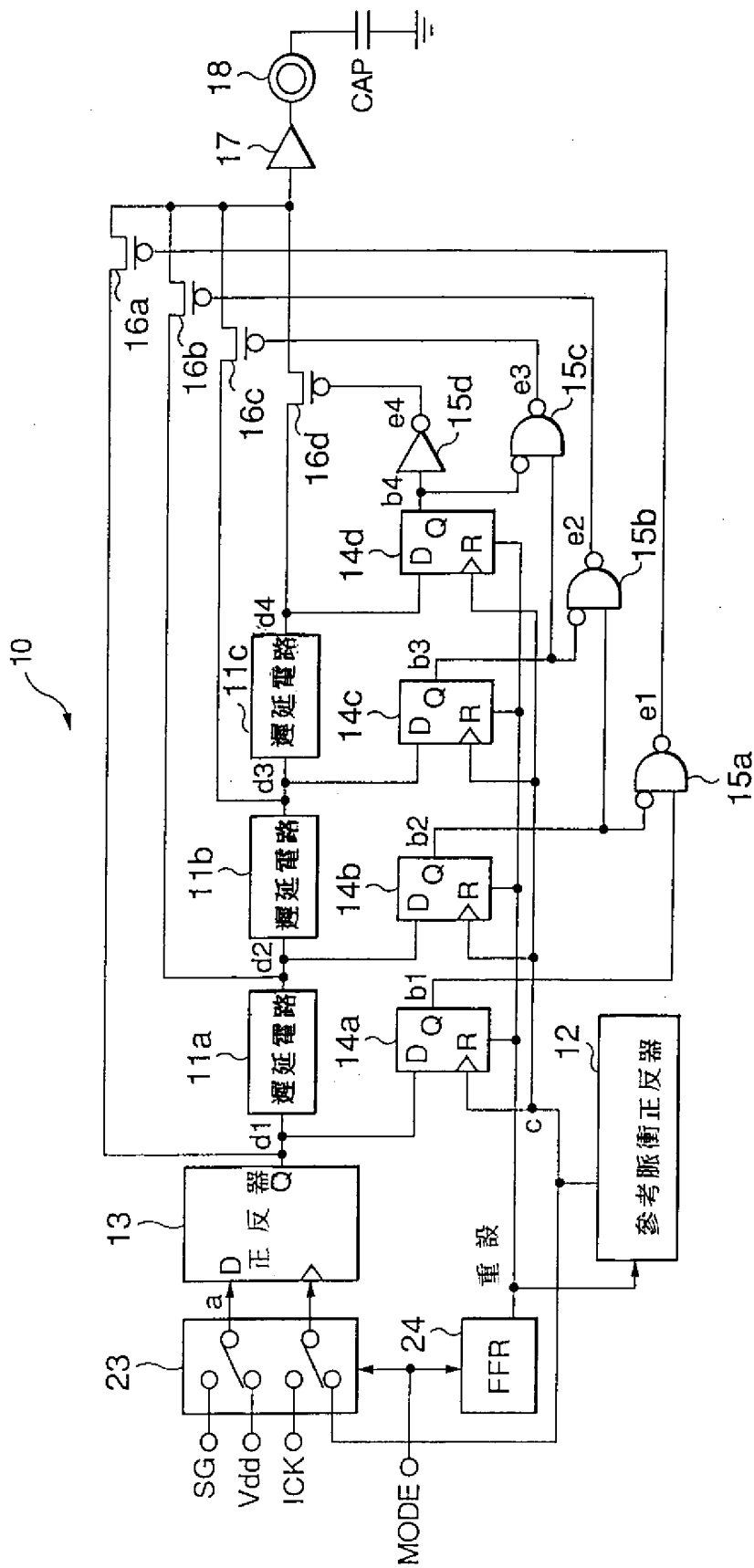
供給參考脈衝信號之參考脈衝產生器；

用於比較每個通過遲延電路之前及後之參考遲延信號與參考脈衝信號俾判定每個參考遲延信號之遲延時間是否在既定值內之遲延決定措施；及

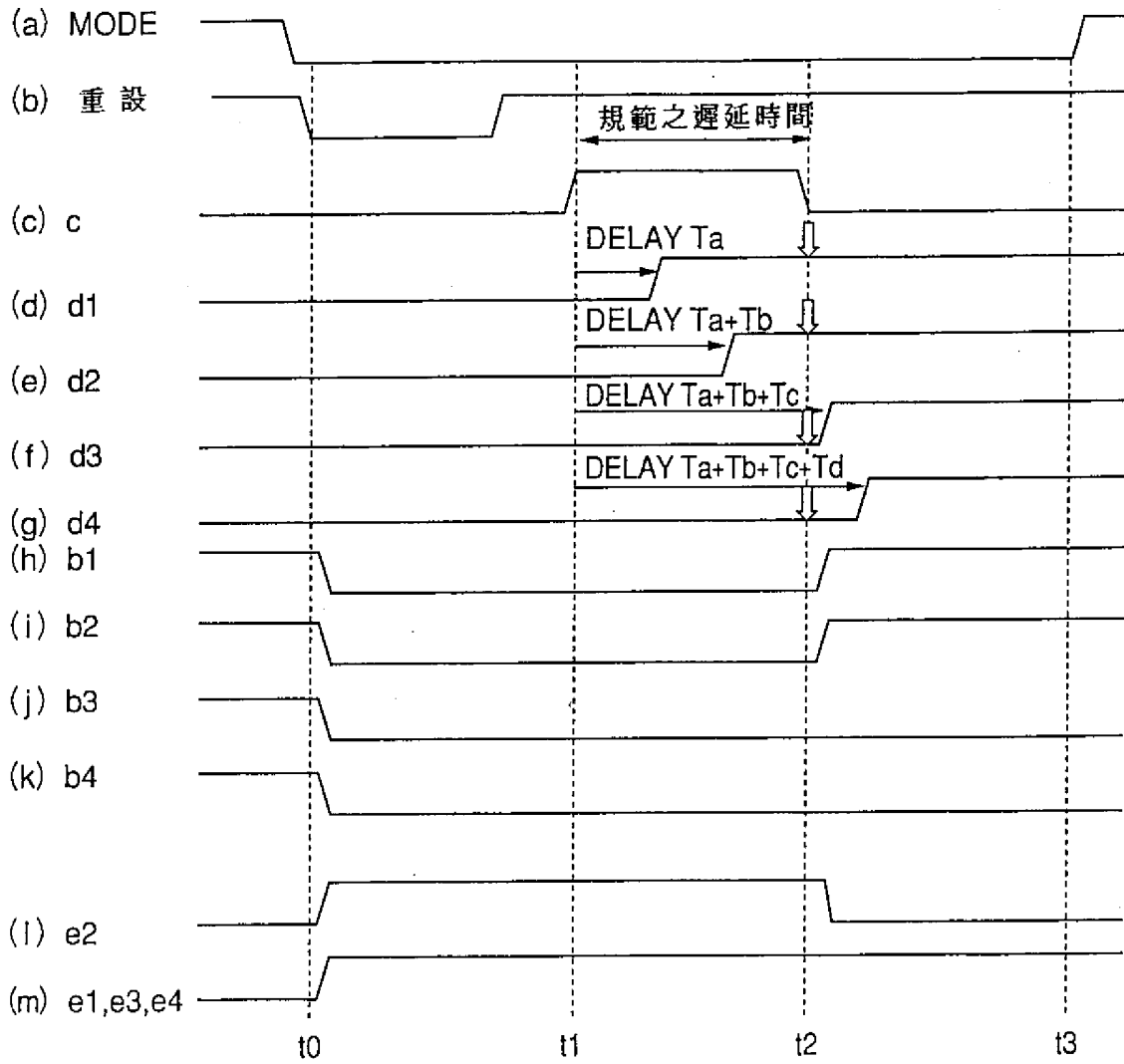
用於根據遲延決定措施之判定結果選擇通過遲延回路之前及後之參考遲延信號之一並輸出該被選出之參考遲延信號之一之遲延設定措施。

(請先閱讀背面之注意事項再填寫本頁)

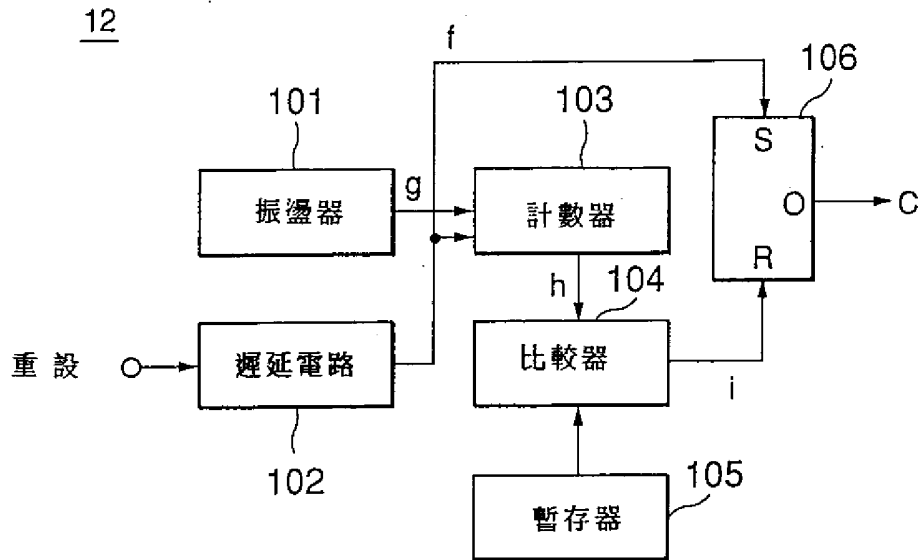
裝  
訂  
線



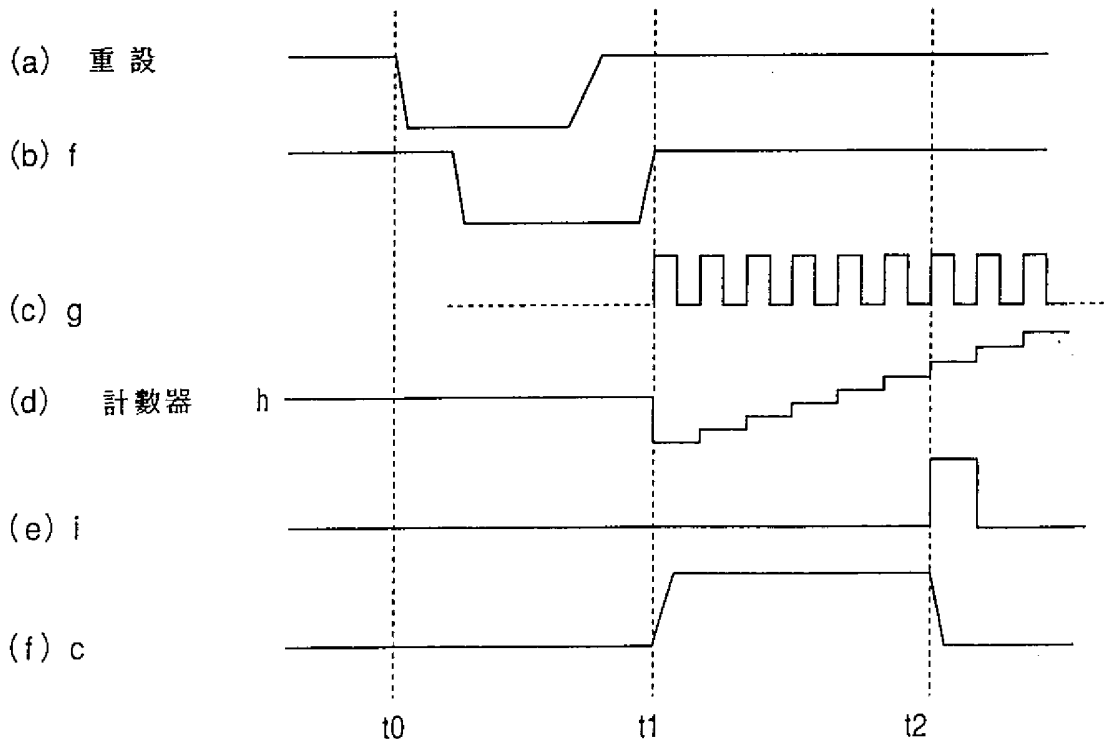
第1圖



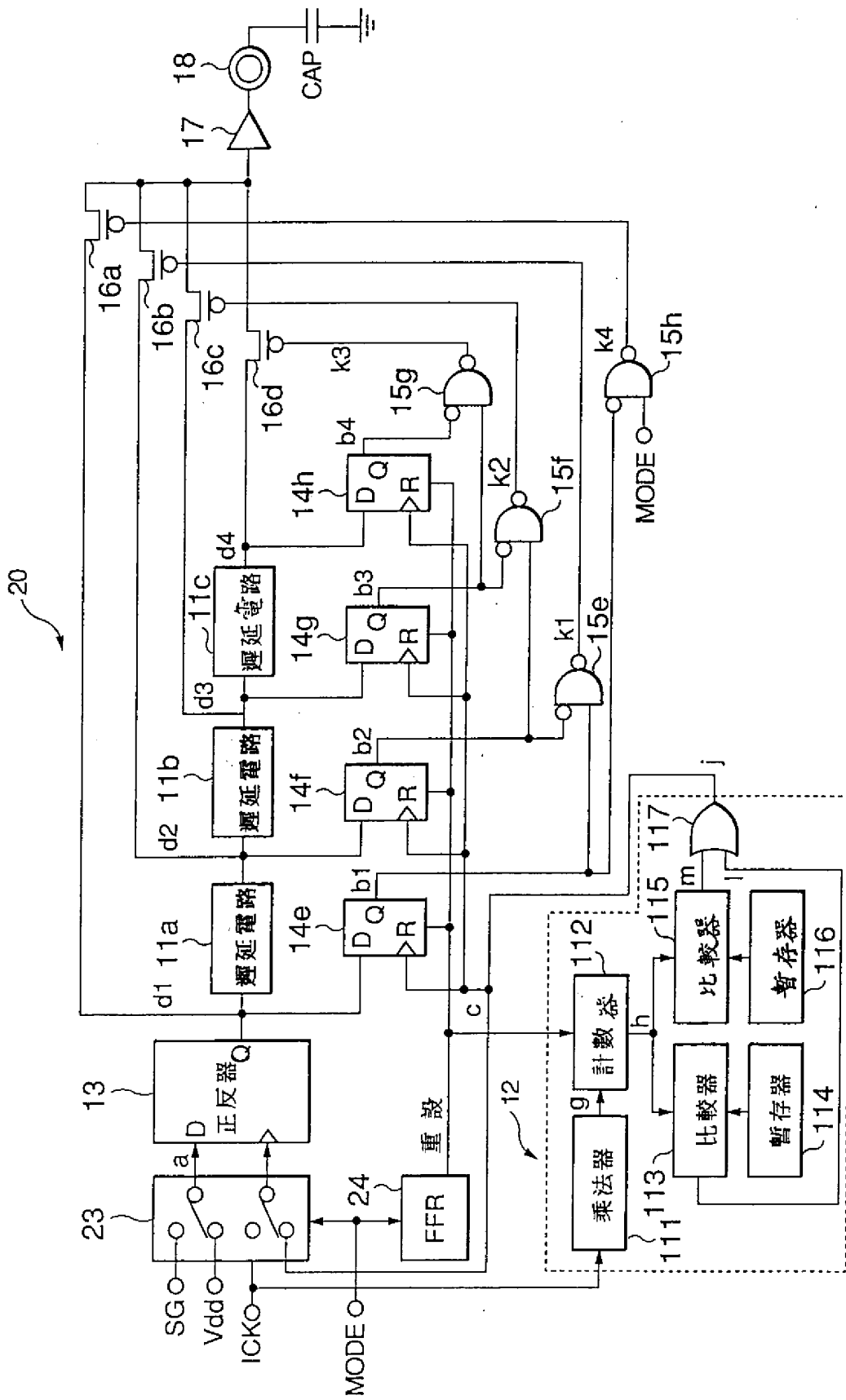
第2圖



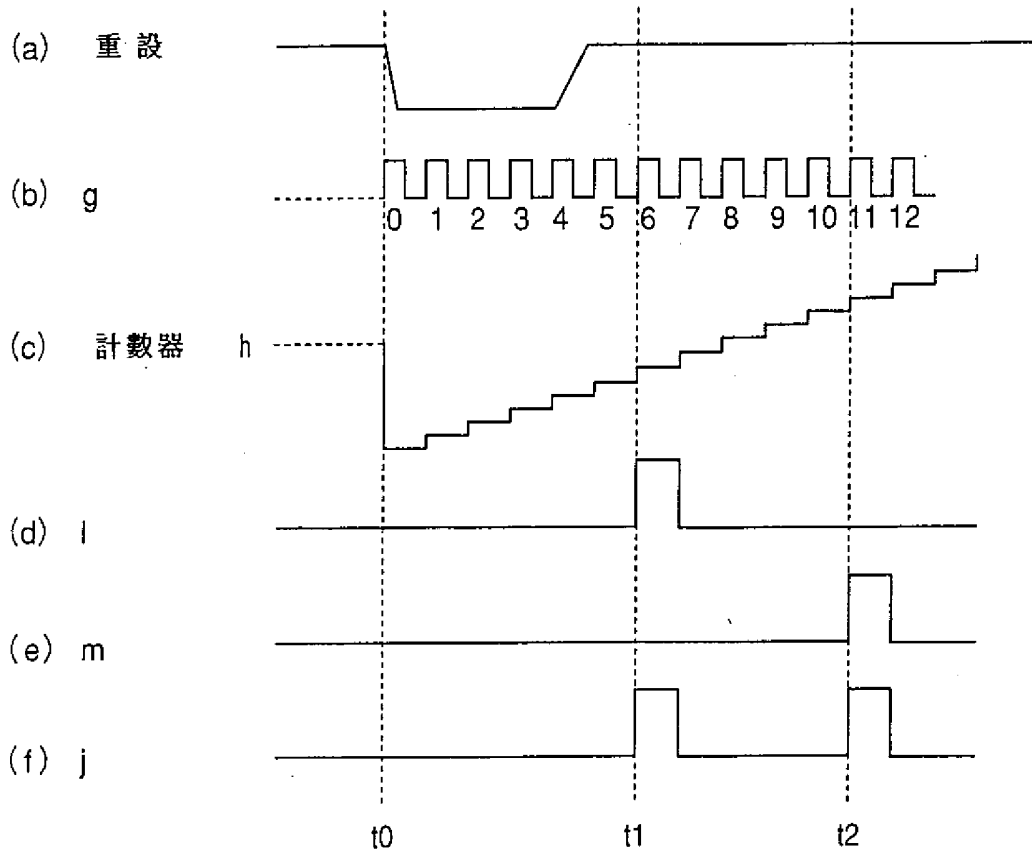
第3圖



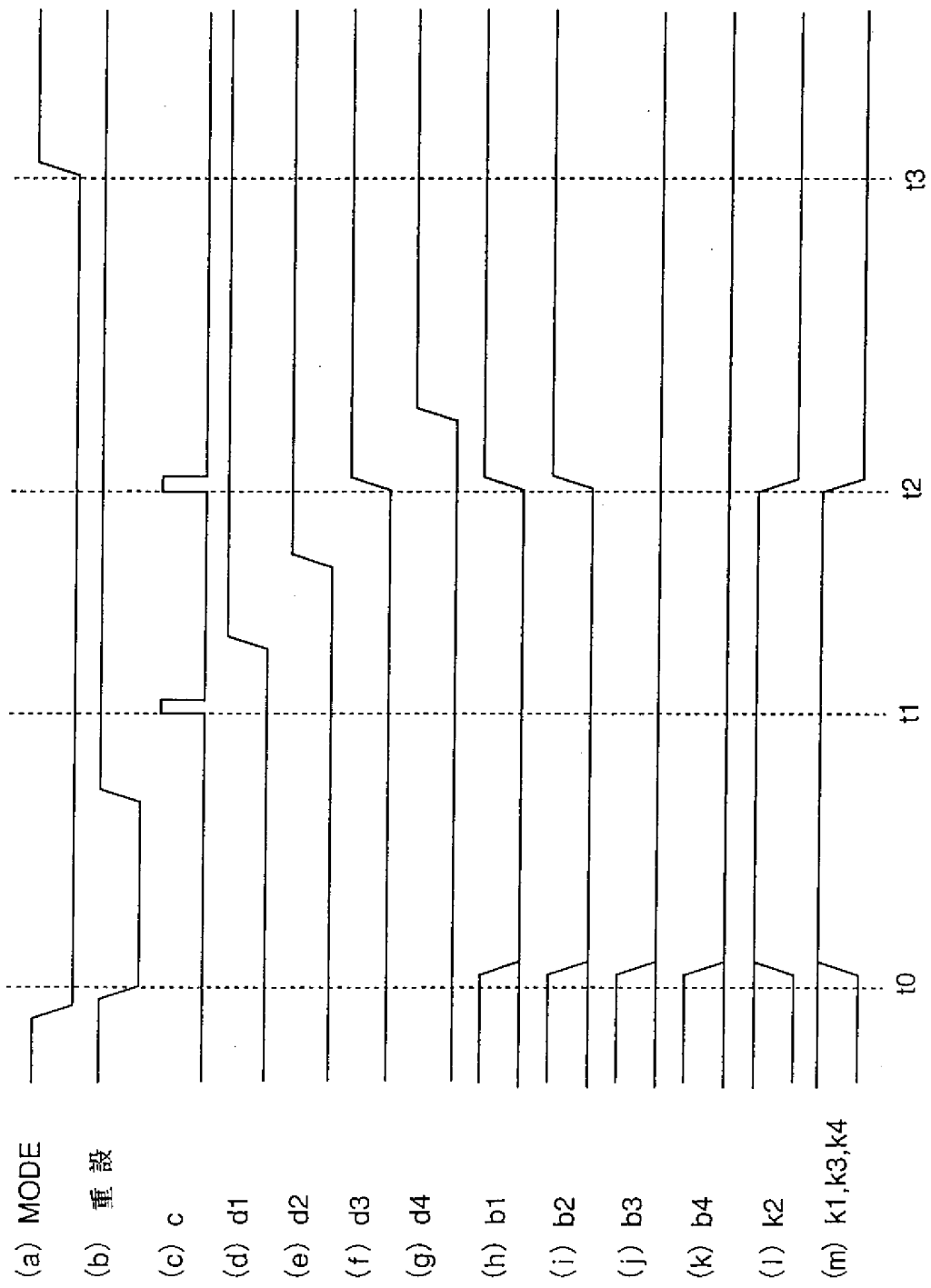
第4圖



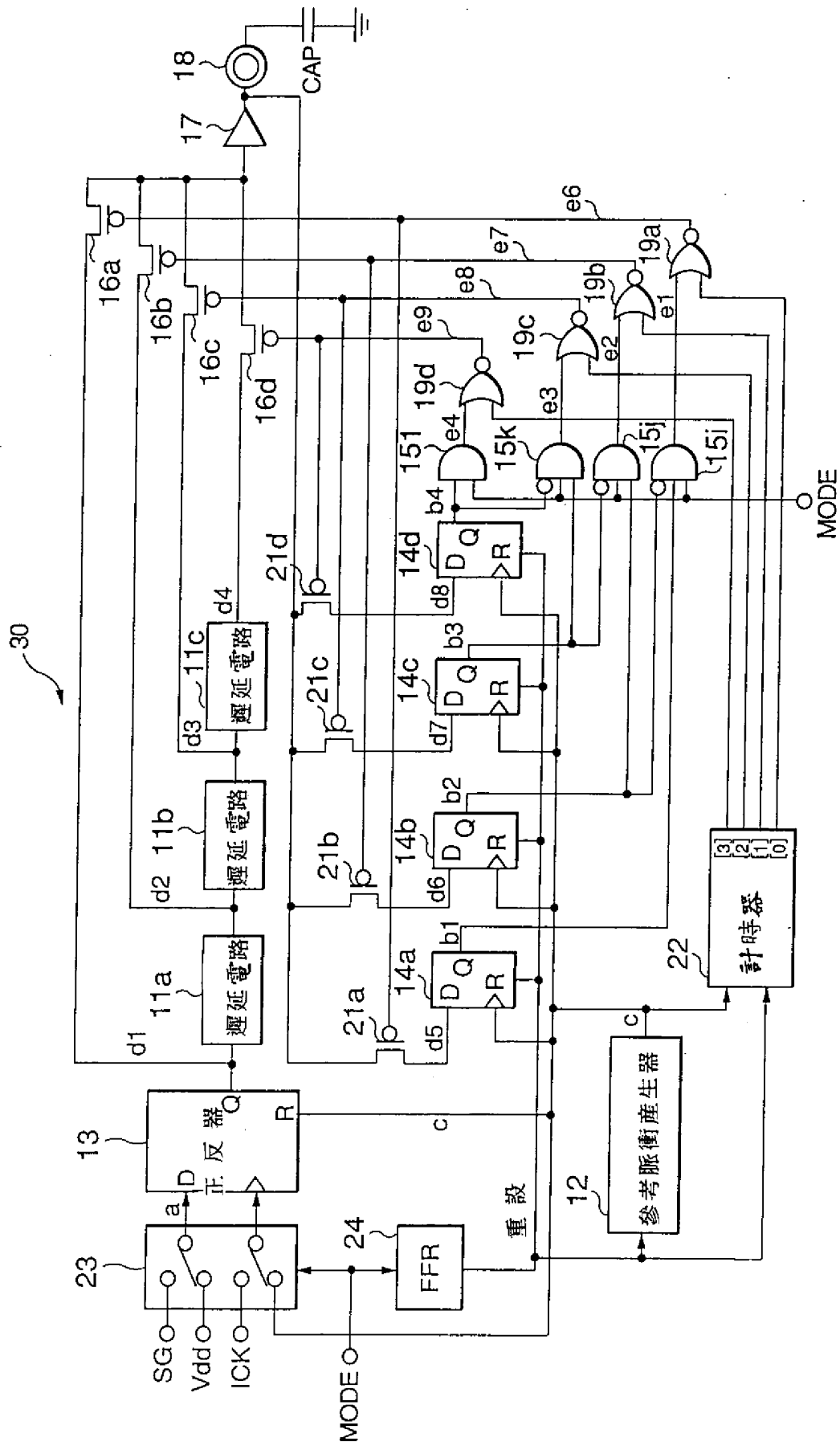
第5圖



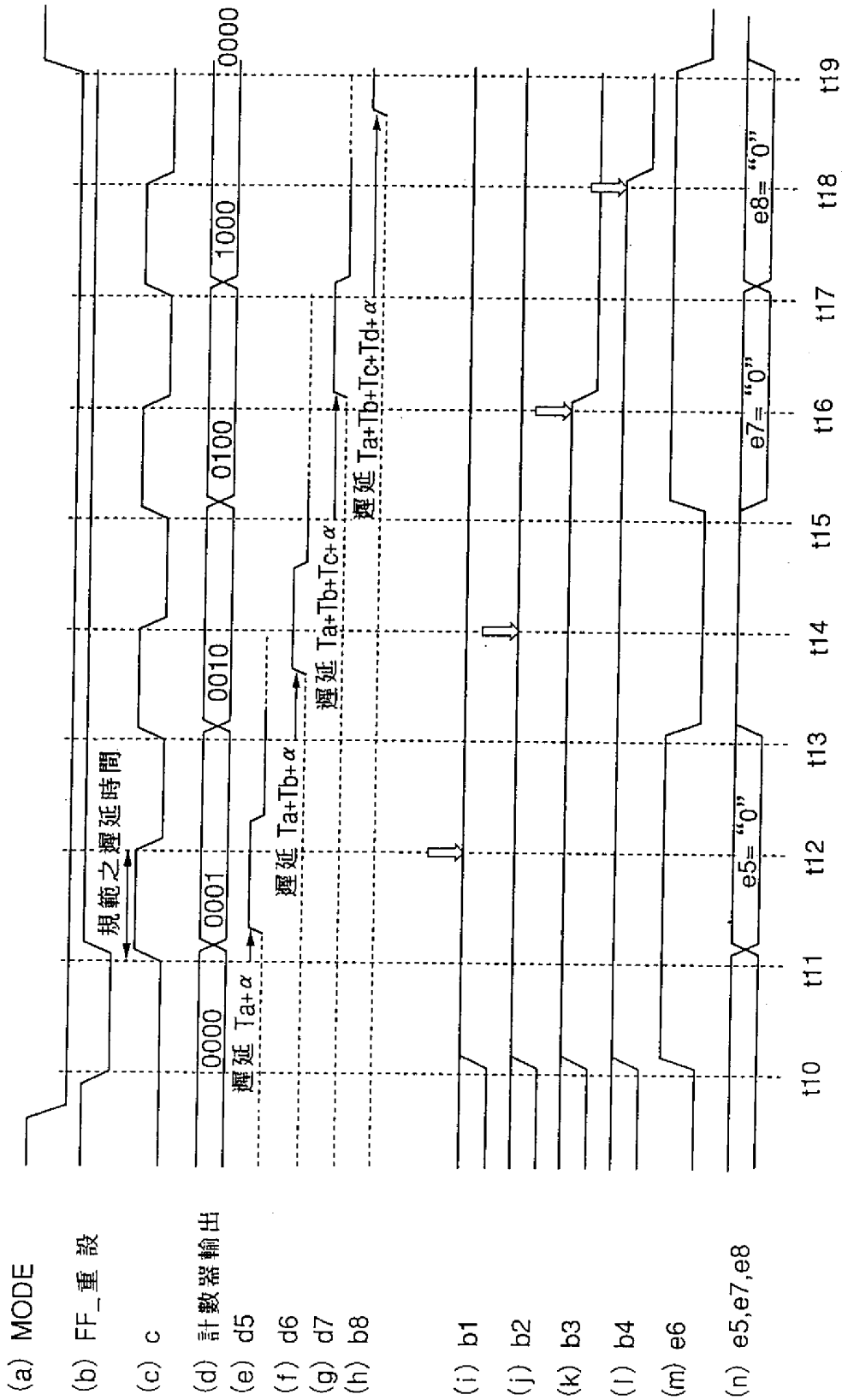
第6圖



第7圖



第8圖



第9圖