(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月25日(25.04.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/084876 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/20* (2006.01)

(21) 国際出願番号： PCT/JP2023/033885

(22) 国際出願日： 2023年9月19日(19.09.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-168877 2022年10月21日(21.10.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 豊村 直史 (**TOYOMURA, Naobumi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 吉田 真優子(**YOSHIDA, Mayuko**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

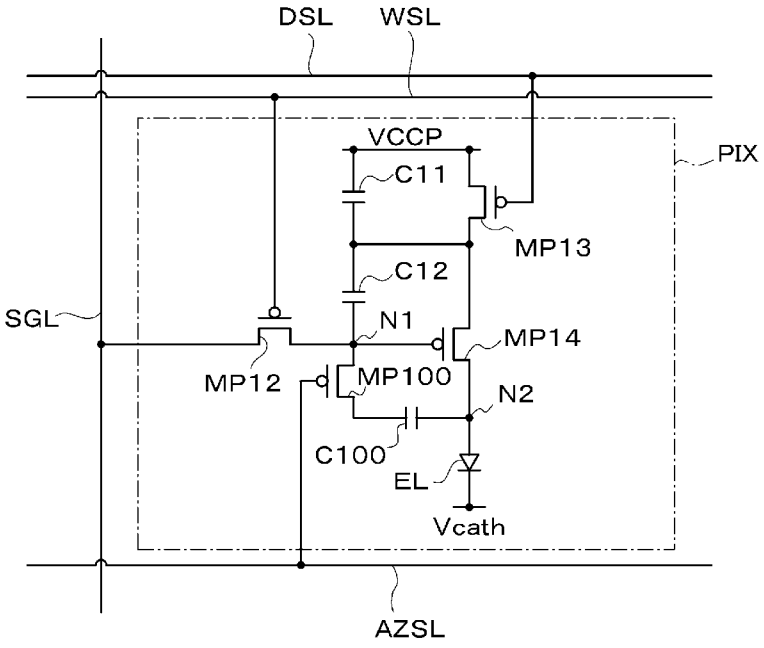
(74) 代理人: 弁理士法人杉浦特許事務所, 外 (**SUGIURA PATENT OFFICE** et al.); 〒1710022 東京都豊島区南池袋１－１－１１ カドラービル４０２ Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** DISPLAY APPARATUS AND ELECTRONIC DEVICE

(54) 発明の名称： 表示装置および電子機器

図7



(57) **Abstract:** One purpose of the present invention is, for example, to improve contrast and reduce size of a display apparatus. Provided is a display apparatus including a pixel circuit having a light-emitting element, a first transistor that controls a current flowing through the light-emitting element in accordance with a voltage based on a pixel signal inputted via a signal line, and a second transistor and first capacitor connected in series between a node at a signal line potential and a node at an anode potential of the light-emitting element.

WO 2024/084876 A1

［続葉有］

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

(57) 要約:例えば、表示装置のコントラスト向上および小型化を目的の一つとする。発光素子と、信号線を介して入力される画素信号に基づく電圧に応じて発光素子に流れる電流を制御する第１のトランジスタと、信号線電位のノードおよび発光素子のアノード電位のノード間に直列に接続された第２のトランジスタおよび第１のキャパシタとを有する画素回路を備える表示装置を提供する。

明　細　書

発明の名称 ： 表示装置および電子機器

技術分野

[0001]　本技術は、表示装置および電子機器に関する。

背景技術

[0002]　自発光型の素子（発光素子）を用いる表示装置が知られている。例えば、有機エレクトロルミネッセンス素子（ＯＬＥＤ：Organic Light Emitting Diode）を用いた表示装置（有機ＥＬ表示装置）は、従来の液晶表示装置などと比べて視認性が高く、低消費電力で軽量化・薄型化が可能であるといった特徴がある。また、応答速度が高速であるため残像感が生じず、さらに、バックライトが不要であることから非発光によって黒を表現することができ、高コントラスト化に適しているという特徴がある。

[0003]　下記の特許文献１には、発光素子のアノード電位を初期化する表示装置について開示されている。この表示装置では、発光素子のアノードと初期化用の電源電圧が供給される電源線との間にトランジスタを設け、そのトランジスタをオン状態にして発光素子のアノード電圧を初期化電圧に設定している。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１９－８２５４８号公報

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、発光素子のアノード電位を初期化する構成を設けるとコントラストの向上は図れるが、その分、表示装置が大きくなってしまう。

[0006]　本技術は、表示装置のコントラスト向上および小型化を目的の一つとする。

課題を解決するための手段

[0007] 本技術は、例えば、

発光素子と、

信号線を介して入力される画素信号に基づく電圧に応じて前記発光素子に流れる電流を制御する第１のトランジスタと、

前記信号線電位のノードおよび前記発光素子のアノード電位のノード間に直列に接続された第２のトランジスタおよび第１のキャパシタと

を有する画素回路を備える

表示装置である。

[0008] 本技術は、例えば、

本技術の表示装置を有する電子機器である。

図面の簡単な説明

[0009] [図1]図１は、本技術を適用することができる表示装置の概略構成例を示す図である。

[図2]図２は、表示装置のより詳細な構成例を示す図である。

[図3]図３は、比較例における画素回路の構成例を示す図である。

[図4]図４は、比較例の画素回路におけるタイミングチャートの一例を示す図である。

[図5]図５は、比較例でのＶｔｈ補正期間の動作例を説明するための図である。

[図6]図６は、比較例の画素回路と垂直スキャナとの関係を示す図である。

[図7]図７は、本技術の一実施形態に係る画素回路の構成例（第１構成例）を示す図である。

[図8]図８は、本実施形態の画素回路におけるタイミングチャートの一例を示す図である。

[図9]図９は、本実施形態でのＶｔｈ補正期間の動作例を説明するための図である。

[図10]図１０は、本実施形態の画素回路と垂直スキャナとの関係を示す図である。

[図11]図１１Ａは、第1構成例の画素回路の第１変形例を示す図であり、図１１Ｂは、第１構成例の画素回路の第２変形例を示す図である。

[図12]図１２は、本技術を適用前の画素回路の構成例を示す図である。

[図13]図１３は、本技術を適用した画素回路の第２構成例を示す図である。

[図14]図１４Ａは、第２構成例の画素回路の第１変形例を示す図であり、図１４Ｂは、第２構成例の画素回路の第２変形例を示す図であり、図１４Ｃは、第２構成例の画素回路の第３変形例を示す図である。

[図15]図１５は、本技術を適用前の画素回路の構成例を示す図である。

[図16]図１６は、本技術を適用した画素回路の第３構成例を示す図である。

[図17]図１７Ａは、第３構成例の画素回路の第１変形例を示す図であり、図１７Ｂは、第３構成例の画素回路の第２変形例を示す図であり、図１７Ｃは、第３構成例の画素回路の第３変形例を示す図である。

[図18]図１８は、本技術を適用前の画素回路の構成例を示す図である。

[図19]図１９は、本技術を適用した画素回路の第４構成例を示す図である。

[図20]図２０Ａは、第４構成例の画素回路の第１変形例を示す図であり、図２０Ｂは、第４構成例の画素回路の第２変形例を示す図であり、図２０Ｃは、第４構成例の画素回路の第３変形例を示す図である。

[図21]図２１は、本技術を適用前の画素回路の構成例を示す図である。

[図22]図２２は、本技術を適用した画素回路の第５構成例を示す図である。

[図23]図２３Ａは、第５構成例の画素回路の第１変形例を示す図であり、図２３Ｂは、第５構成例の画素回路の第２変形例を示す図である。

[図24]図２４は、本技術を適用可能な画素回路の構成例を示す図である。

[図25]図２５は、本技術を適用可能な画素回路の構成例を示す図である。

[図26]図２６は、ヘッドマウントディスプレイの外観の一例を示す斜視図である。

[図27]図２７は、シースルーヘッドマウントディスプレイの外観の一例を示す斜視図である。

[図28]図２８Ａは、デジタルスチルカメラの外観の一例を示す正面図である

。図２８Ｂは、デジタルスチルカメラの外観の一例を示す背面図である。

[図29]図２９は、テレビジョン装置の外観の一例を示す斜視図である。

[図30]図３０は、スマートフォンの外観の一例を示す斜視図である。

[図31]図３１Ａは、乗物の後方から前方にかけての乗物の内部の様子の一例を示す図である。図３１Ｂは、乗物の斜め後方から斜め前方にかけての乗物の内部の様子の一例を示す図である。

発明を実施するための形態

[0010] 以下、本技術の実施形態等について図面を参照しながら説明する。説明は以下の順序で行う。なお、本明細書および図面において、実質的に同一の機能または構成を有するものについては同一の符号を付することにより、重複説明を適宜省略する。

＜１．一実施形態＞

１－１．表示装置の構成例

１－２．比較例における画素回路の構成例

１－３．比較例の画素回路の動作例

１－４．本実施形態に係る画素回路の構成例

１－５．本実施形態に係る画素回路の動作例

１－６．画素回路の変形例

＜２．他の画素回路の構成例＞

＜３．適用例＞

＜４．変形例＞

[0011] ＜１．一実施形態＞

１－１．表示装置の構成例

図１は、本技術を適用することができる表示装置１（電気光学装置）の概略構成例を示している。表示装置１は、アクティブマトリクス型駆動回路を備え、発光素子としてＯＬＥＤを用いる有機ＥＬ（Electro Luminescence）表示装置である。なお、表示装置１は、マイクロＬＥＤ（Light Emitting Diode）、量子ドット発光型素子などの他の発光素子を用いるものでもよい。

[0012] 図１に示すように、表示装置１は、画素部２、水平セレクタ３および垂直スキャナ４を有している。これらは、例えばシリコン基板などの半導体基板上に形成される。画素部２に対して、水平セレクタ３から複数の信号線が垂直方向に延設され、垂直スキャナ４から複数の走査線が水平方向に延設されている。

[0013] 図２は、表示装置１のより詳細な構成例を示している。図２に示すように、画素部２には、マトリクス状の画素ＰＩＸ（画素回路）の配列に対して、列方向（画素列の画素の配列方向）に沿って信号線ＳＧＬが画素列毎に配線されている。また、マトリクス状の画素ＰＩＸの配列に対して、行方向（画素行の画素の配列方向）に沿って制御線群（制御線ＷＳＬ，ＤＳＬ，ＡＺＳＬ）が画素行毎に配線されている。各信号線ＳＧＬは、対応する画素列の画素ＰＩＸにそれぞれ接続され、各制御線ＷＳＬ，ＤＳＬ，ＡＺＳＬは、対応する画素行の画素ＰＩＸにそれぞれ接続されている。

[0014] 画素部２には、Ｒ（赤）、Ｇ（緑）、Ｂ（青）で示すように、三原色の画素に対応する画素ＰＩＸが設けられている。これら３画素がカラー画像の１ドットを表現する。なお、１ドットを表現する画素の組み合わせはこれに限らず、輝度向上のためのＷ（白）画素を加えて構成してもよいし、色再現範囲拡大のための補色画素を加えて構成してもよい。また、画素ＰＩＸは、カラー画像に限らず、モノクロ（白黒）画像を表現する構成であってもよい。

[0015] 垂直スキャナ４は、書込みスキャナ（Ｗｒｉｔｅ　Ｓｃａｎ）５、駆動スキャナ（Ｄｒｉｖｅ　Ｓｃａｎ）６およびオートゼロスキャナ（ＡｕｔｏＺｅｒｏ　Ｓｃａｎ）７を有している。これらのスキャナは、それぞれシフトレジスタ回路などで構成されている。

[0016] 各信号線ＳＧＬは、水平セレクタ３の対応する列の出力端にそれぞれ接続されている。また、各制御線（走査線）ＷＳＬは、書込みスキャナ５の対応する行の出力端にそれぞれ接続されている。各制御線ＤＳＬは、駆動スキャナ６の対応する行の出力端にそれぞれ接続されている。各制御線ＡＺＳＬは、オートゼロスキャナ７の対応する行の出力端にそれぞれ接続されている。

[0017] 水平セレクタ３は、制御回路（図示略）などから供給される映像信号に基づく画素信号を各信号線ＳＧＬに供給する。水平セレクタ３は、例えば、画素信号として、映像信号に対応する信号電圧Ｖｓｉｇと、信号電圧Ｖｓｉｇの基準となる各種基準電圧（例えば、後述するＤＲトランジスタの閾値電圧を補正する補正動作を行う際に用いられる基準電圧Ｖｏｆｓなど）とを選択的に出力する。

[0018] 書込みスキャナ５は、各画素ＰＩＸへの画素信号の書込みを制御する。書込みスキャナ５は、例えば、画素部２の各画素ＰＩＸへの画素信号の書込みに際して、各制御線ＷＳＬに対して制御信号を順次供給することで画素部２の各画素ＰＩＸを行単位で順番に走査（線順次走査）する。駆動スキャナ６は、各画素ＰＩＸの発光／消光（非発光）を制御する。駆動スキャナ６は、具体的には、書込みスキャナ５の走査に同期して、制御線ＤＳＬに対して制御信号を供給することで画素ＰＩＸの発光／消光の制御を行う。オートゼロスキャナ７は、各画素ＰＩＸの初期化の制御を行う。オートゼロスキャナ７は、具体的には、書込みスキャナ５の走査に同期して、制御線ＡＺＳＬに対して制御信号を供給することで画素ＰＩＸが消光期間に発光しないように制御する。

[0019] なお、水平セレクタ３、垂直スキャナ４、信号線ＳＩＧおよび制御線ＷＳＬ，ＤＳＬ，ＡＺＳＬは、画素ＰＩＸの種類に応じて構成されていればよく、例えば、信号線ＳＩＧ、制御線ＷＳＬ，ＤＳＬ，ＡＺＳＬは、それぞれ複数種類（例えば、制御線ＡＺＳＬ１，ＡＺＳＬ２，…）あってもよいし、必要なものだけで構成されていてもよい。

[0020] １－２．比較例における画素回路の構成例

本技術の一実施形態に係る画素ＰＩＸの構成例および動作例について説明する前に、まず、比較例における画素ＰＩＸの構成例および動作例について説明する。図３は、比較例における画素ＰＩＸの一構成例を示している。図３に示す画素ＰＩＸは、キャパシタＣ１１，Ｃ１２と、トランジスタＭＰ１２～ＭＰ１５と、発光素子ＥＬとを有している。トランジスタＭＰ１２～Ｍ

Ｐ１５はＰ型のＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）である。トランジスタＭＰ１２のゲートは制御線ＷＳＬに接続され、ソースは信号線ＳＧＬに接続され、ドレインはトランジスタＭＰ１４のゲートおよびキャパシタＣ１２に接続される。キャパシタＣ１１の一端は電源線ＶＣＣＰに接続され、他端はキャパシタＣ１２、トランジスタＭＰ１３のドレイン、およびトランジスタＭＰ１４のソースに接続される。キャパシタＣ１２の一端はキャパシタＣ１１の他端、トランジスタＭＰ１３のドレイン、およびトランジスタＭＰ１４のソースに接続され、他端はトランジスタＭＰ１２のドレインおよびトランジスタＭＰ１４のゲートに接続される。トランジスタＭＰ１３のゲートは制御線ＤＳＬに接続され、ソースは電源線ＶＣＣＰに接続され、ドレインはトランジスタＭＰ１４のソース、キャパシタＣ１１の他端、およびキャパシタＣ１２の一端に接続される。トランジスタＭＰ１４のゲートはトランジスタＭＰ１２のドレインおよびキャパシタＣ１２の他端に接続され、ソースはトランジスタＭＰ１３のドレイン、キャパシタＣ１１の他端、およびキャパシタＣ１２の一端に接続され、ドレインは発光素子ＥＬのアノードおよびトランジスタＭＰ１５のソースに接続される。トランジスタＭＰ１５のゲートは制御線ＡＺＳＬに接続され、ソースはトランジスタＭＰ１４のドレインおよび発光素子ＥＬのアノードに接続され、ドレインは電源線ＶＳＳに接続される。発光素子ＥＬは例えば有機ＥＬ発光素子であり、アノードはトランジスタＭＰ１４のドレインおよびトランジスタＭＰ１５のソースに接続され、カソードは各画素で共通の電源線Ｖｃａｔｈに接続される。

[0021] この構成により、画素ＰＩＸでは、トランジスタＭＰ１２がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ１２の両端間の電圧が設定される。トランジスタＭＰ１３は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＰ１４は、トランジスタＭＰ１３がオン状態である期間において、キャパシタＣ１２の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＰ１

４から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＰ１５は、制御線ＡＺＳＬの信号に基づいてオンオフする。トランジスタＭＰ１５がオン状態である期間において、発光素子ＥＬのアノードの電圧は電源線ＶＳＳの電圧に設定されることにより初期化される。

[0022] 以下適宜、理解を容易とするために、トランジスタＭＰ１４（第１のトランジスタ）をＤＲトランジスタ、トランジスタＭＰ１５（第２のトランジスタ）をＡＺトランジスタ、トランジスタＭＰ１２（第３のトランジスタ）をＷＳトランジスタ、トランジスタＭＰ１３（第４のトランジスタ）をＤＳトランジスタと称して説明する。また適宜、キャパシタＣ１１を補助容量Ｃｓｕｂ、キャパシタＣ１２を保持容量Ｃｓと称して説明する。

[0023] １－３．比較例の画素回路の動作例

以下、比較例における画素ＰＩＸの動作例について説明する。図４は、比較例の画素ＰＩＸにおけるタイミングチャートの一例を示している。なお、図４には、制御線ＤＳＬの信号ＤＳ、制御線ＷＳＬの信号ＷＳおよび制御線ＡＺＳＬの信号ＡＺの各電位の時間的遷移が示されている。この例では、１水平期間（１Ｈ）を５つの期間（初期化、Ｖｔｈ補正、書込、発光および消光）で構成している。

[0024] 初期化期間（ｔ０～ｔ２）は、ＤＲトランジスタを初期化する期間である。具体的には、初期化開始（時刻ｔ０）後の時刻ｔ１で信号ＤＳがハイからローになりＤＳトランジスタがオフからオンになることでＤＲトランジスタのソース電圧が電源線ＶＣＣＰの電圧となる。そして、時刻ｔ２で信号ＷＳがハイからローになりＷＳトランジスタがオフからオンになることでＤＲトランジスタのゲート電圧が信号線ＳＧＬの信号電圧となる。このとき信号線ＳＧＬには画素信号として基準電圧Ｖｏｆｓが印加されており、ＤＲトランジスタのゲート電圧は基準電圧Ｖｏｆｓとなる。

[0025] 次のＶｔｈ補正期間（ｔ２～ｔ６）は、各画素ＰＩＸでばらつきが生じ得るＤＲトランジスタの閾値電圧Ｖｔｈを補正する期間である。具体的には、

時刻ｔ３で信号ＷＳがハイになりＷＳトランジスタがオフすることで基準電圧Ｖｏｆｓの書込みが終了する。そして、時刻ｔ４で信号ＤＳがハイになることでＤＳトランジスタがオフになる。これにより、ＤＲトランジスタのゲートーソース間電圧がＤＲトランジスタの閾値電圧Ｖｔｈに収束していき、閾値電圧Ｖｔｈに相当する電圧が保持容量Ｃｓに保持される。

[0026] 次の書込期間（時刻ｔ６～ｔ１０）は、映像信号に対応する信号電圧Ｖｓｉｇを画素ＰＩＸに書込む期間である。具体的には、時刻ｔ６で信号ＷＳがハイからローになりＷＳトランジスタがオフからオンになることでＤＲトランジスタのゲート電圧が信号線ＳＧＬの信号電圧となる。このとき信号線ＳＧＬには信号電圧Ｖｓｉｇが印加されており、ＤＲトランジスタのゲート電圧は信号電圧Ｖｓｉｇとなる。そして、時刻ｔ８で信号ＷＳがハイになりＷＳトランジスタがオフすることで、信号電圧Ｖｓｉｇの書込みが終了する。次に、時刻ｔ１０で信号ＤＳがハイからローになりＤＳトランジスタがオフからオンになることで発光期間に移行する。

[0027] 発光期間（ｔ１０～ｔ１１）は、信号電圧Ｖｓｉｇに基づいて発光素子ＥＬを発光させる期間である。具体的には、時刻ｔ１０でＤＳトランジスタがオンすることでＤＲトランジスタのドレインーソース間電流が発光素子ＥＬに流れて発光素子ＥＬのアノード電圧が上昇する。そして、発光素子ＥＬのアノード電圧が発光素子ＥＬの閾値電圧Ｖｔｈを超えると、発光素子ＥＬに駆動電流が流れて発光素子ＥＬが発光する。そして、時刻ｔ１１で信号ＤＳがハイになりＤＳトランジスタがオフすることで発光が終了し、消光期間（ｔ１１～次の初期化開始時刻）に移行する。この一連の動作は、例えば１水平期間において実行される。

[0028] なお、信号ＡＺは、発光期間においてはハイとなりＡＺトランジスタがオフとなることで発光素子ＥＬに電流が流れるようにする。他の期間では、信号ＡＺは、発光素子ＥＬに電流が流れないように適宜コントロールされる。具体的には、信号ＡＺは、発光期間以外の期間では、基本的にローになりＡＺトランジスタをオンとすることで発光素子ＥＬに電流が流れないようにす

る。なお、図示した例では、横クロストークを抑制すべく、信号電圧Ｖｓｉｇの書込みの直前のＶｔｈ補正期間における時刻ｔ５で信号ＡＺがローからハイになりＡＺトランジスタがオンからオフになっている。また、コントラストの良化を図るべく、信号電圧Ｖｓｉｇの書込期間中の時刻ｔ７で信号ＡＺがローになりＡＺトランジスタがオンとなっている。そして、発光期間の直前の時刻ｔ９で信号ＡＺがハイになりＡＺトランジスタがオフになっている。なお、詳細は後述するが、信号ＡＺの振幅（例えば、－６～３Ｖ）は、信号ＤＳおよび信号ＷＳの振幅（例えば、０～３Ｖ）よりも大きくなっている。

[0029] 図５は、比較例でのＶｔｈ補正期間の動作例を説明するための図である。Ｖｔｈ補正時（図４中のｔ４～ｔ６）には、ＤＳトランジスタおよびＷＳトランジスタはオフ（図では、破線バツ印で表現）となるが、ＡＺトランジスタが基本的にオン（図では、破線マル印で表現）となる。これにより、ＤＲトランジスタのソース電圧およびゲート電圧は、破線矢印で示すようにＡＺトランジスタを介して流れるため、発光素子ＥＬが発光することはない。このように、比較例における画素ＰＩＸでは、ＡＺトランジスタを適切にコントロールすることで発光期間以外の期間に発光素子ＥＬが発光するのを防止してコントラストを向上させることができる。しかしながら、この構成を採用すると、以下の課題が生じ得る。

[0030] 図６は、比較例の画素ＰＩＸの１つと垂直スキャナ４（Ｖｄｒｉｖｅｒ）との関係を示している。垂直スキャナ４は、ＤＲトランジスタを制御する制御信号として、ＤＳトランジスタを制御する信号ＤＳと、ＷＳトランジスタを制御する信号ＷＳとを出力する。また、発光素子ＥＬのアノード電圧を制御する制御信号として信号ＡＺを出力する。ここで、発光素子ＥＬを高輝度（例えば、８ビット階調以上）で発光させる場合、ある程度の電圧が必要である。例えば、この比較例における４Ｔｒ（Transistor）２Ｃ（Capacitor）構成の画素ＰＩＸは、発光素子ＥＬを駆動する電源線ＶＣＣＰの正電源電圧が３Ｖで、電源線Ｖｃａｔｈの負電源電圧が－６Ｖとなっており、発光素子

ＥＬのアノード電圧Ｖａｎｏｄｅが－６～３Ｖの範囲で変動するように構成されている。

[0031] 図４に示したように、信号ＤＳおよび信号ＷＳの振幅は０～３Ｖ（具体的には、０または３（０／３）Ｖ）となっており、ＤＳトランジスタおよびＷＳトランジスタとして、ゲート電圧が０～３Ｖの範囲で駆動する３Ｖ駆動のトランジスタを用いている。そのため、信号ＤＳおよび信号ＷＳを出力する垂直スキャナ４は、３Ｖ振幅の信号出力に対応した回路構成、具体的には、３Ｖ駆動のトランジスタを有している。

[0032] 一方、ＡＺトランジスタは、ソースが発光素子ＥＬのアノードと接続され、ドレインが電源線ＶＳＳ（例えば、－６Ｖの電源）に接続されており、図４に示したように、信号ＡＺの振幅は、－６～３Ｖ（具体的には、－６または３（－６／３）Ｖ）となっており、ＡＺトランジスタは、ゲート電圧が－６～３Ｖの範囲で駆動するもの（例えば、１０Ｖ駆動のトランジスタ）である必要がある。そのため、信号ＡＺを出力する垂直スキャナ４は、１０Ｖ程度の振幅の信号出力に対応した回路構成、具体的には、上述した３Ｖ駆動のトランジスタよりもサイズが大きい１０Ｖ駆動のトランジスタを有する必要がある。また、垂直スキャナ４において３Ｖと０Ｖだけでなく、－６Ｖの電源を準備する必要がある。

[0033] つまり、比較例の画素ＰＩＸの構成では、ＡＺトランジスタを設けたことにより、インプリメント工程が増え、コスト増を招いてしまう。また、垂直スキャナ４などの周辺回路の大型化により、額縁シュリンク（表示装置１の外枠部分の小型化）の妨げになる。さらに、サイズの大きいＡＺトランジスタを用いることで画素微細化の妨げにもなる。そこで、以下に説明する実施形態などによって、これらの課題を改善する。

[0034] １－４．本実施形態に係る画素回路の構成例

図７は、本技術の一実施形態に係る画素ＰＩＸの一構成例（第１構成例）を示している。図７に示す画素ＰＩＸは、図３に示す画素ＰＩＸの電源線ＶＳＳを削除し、トランジスタＭＰ１５をトランジスタＭＰ１００（本構成例

における第２のトランジスタ）に替えて接続方法を変更し、さらにキャパシタＣ１００を追加したものである。以下適宜、このトランジスタＭＰ１００をＡＺトランジスタと称して説明する。

[0035] 図７に示す画素ＰＩＸは、信号線電位のノードである第１のノードＮ１および発光素子ＥＬのアノード電位のノードである第２のノードＮ２間に直列に接続されたトランジスタＭＰ１００およびキャパシタＣ１００（第１のキャパシタ）を有している。ここでいう信号線電位のノードとは信号線ＳＧＬと同電位となるノードのことであり、アノード電位のノードとは発光素子ＥＬのアノード電位と同電位となるノードのことである。第１のノードＮ１はトランジスタＭＰ１４のゲートと接続されており、第２のノードＮ２は発光素子ＥＬのアノードと接続されている。トランジスタＭＰ１００は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。以下、詳細構成について説明する。

[0036] 図７に示す画素ＰＩＸは、キャパシタＣ１１，Ｃ１２，Ｃ１００と、トランジスタＭＰ１２～ＭＰ１４、ＭＰ１００と、発光素子ＥＬとを有している。トランジスタＭＰ１２～ＭＰ１４、ＭＰ１００はＰ型のＭＯＳＦＥＴである。トランジスタＭＰ１２のゲートは制御線ＷＳＬに接続され、ソースは信号線ＳＧＬに接続され、ドレインはトランジスタＭＰ１４のゲート、トランジスタＭＰ１００のソース、およびキャパシタＣ１２に接続される。キャパシタＣ１１の一端は電源線ＶＣＣＰに接続され、他端はキャパシタＣ１２、トランジスタＭＰ１３のドレイン、およびトランジスタＭＰ１４のソースに接続される。キャパシタＣ１２（本構成例における第２のキャパシタ）の一端はキャパシタＣ１１の他端、トランジスタＭＰ１３のドレイン、およびトランジスタＭＰ１４のソースに接続され、他端はトランジスタＭＰ１２のドレイン、トランジスタＭＰ１４のゲート、およびトランジスタＭＰ１００のソースに接続される。トランジスタＭＰ１３のゲートは制御線ＤＳＬに接続され、ソースは電源線ＶＣＣＰに接続され、ドレインはトランジスタＭＰ１４のソース、キャパシタＣ１１の他端、およびキャパシタＣ１２の一端に接

続される。トランジスタＭＰ１４のゲートはトランジスタＭＰ１２のドレイン、トランジスタＭＰ１００のソース、およびキャパシタＣ１２の他端に接続され、ソースはトランジスタＭＰ１３のドレイン、キャパシタＣ１１の他端、およびキャパシタＣ１２の一端に接続され、ドレインは発光素子ＥＬのアノードおよびキャパシタＣ１００に接続される。キャパシタＣ１００は、例えば、ＭＯＳ（Metal Oxide Semiconductor）キャパシタを用いて構成される。なお、キャパシタＣ１００は、ＭＩＭ（Metal Insulator Metal）キャパシタ、ＭＯＭ（Metal Oxide Metal）キャパシタなどを用いて構成されてもよい。キャパシタＣ１００の一端はトランジスタＭＰ１００のドレインに接続され、他端はトランジスタＭＰ１４のドレインおよび発光素子ＥＬのアノードに接続される。トランジスタＭＰ１００のゲートは制御線ＡＺＳＬに接続され、ソースはトランジスタＭＰ１２のドレイン、トランジスタＭＰ１４のゲート、およびキャパシタＣ１２の他端に接続され、ドレインはキャパシタＣ１００の一端に接続される。発光素子ＥＬのアノードはトランジスタＭＰ１４のドレインおよびキャパシタＣ１００の他端に接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0037] この構成により、画素ＰＩＸでは、トランジスタＭＰ１２がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ１２の両端間の電圧が設定される。トランジスタＭＰ１３は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＰ１４は、トランジスタＭＰ１３がオン状態である期間において、キャパシタＣ１２の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＰ１４から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＰ１００は、制御線ＡＺＳＬの信号に基づいてオンオフする。トランジスタＭＰ１００がオン状態である期間において、発光素子ＥＬのアノードの電圧は所定の電圧に設定されることにより初期化される。

[0038] １－５．本実施形態に係る画素回路の動作例

以下、本実施形態に係る画素ＰＩＸの動作例について説明する。図８は、本実施形態の画素ＰＩＸにおけるタイミングチャートの一例を示している。なお、図８には、信号線ＳＧＬの信号ＳＩＧ（画素信号）、信号ＤＳ、信号ＷＳおよび信号ＡＺの各電位および発光素子ＥＬのアノード電圧の時間的遷移が示されている。この例では、上述した比較例と同様、１水平期間を５つの期間（初期化、Ｖｔｈ補正、書込、発光および消光）で構成している。

[0039] まず、時刻ｔ０でＤＲトランジスタの初期化が開始される。ＤＲトランジスタの初期化時には、信号ＤＳがローレベルとなりＤＳトランジスタがオン状態となる。これにより、ＤＲトランジスタのソース電圧は電源線ＶＣＣＰの電圧となる。なお、時刻ｔ０では信号ＷＳはハイレベルでＷＳトランジスタはオフになっている。その後、時刻ｔ２で信号ＷＳがハイからローになりＷＳトランジスタがオフからオンになることでＤＲトランジスタのゲート電圧が信号線ＳＧＬの電圧になる。このとき信号線ＳＧＬには基準電圧Ｖｏｆｓが印加されており、ＤＲトランジスタのゲート電圧は基準電圧Ｖｏｆｓとなる。この基準電圧Ｖｏｆｓは、例えば、画素ＰＩＸ毎に書込む信号電圧Ｖｓｉｇに応じて変化するものである。なお、基準電圧Ｖｏｆｓとして固定の電圧（例えば、黒レベルに相当する電圧）を用いるものを採用してもよい。

[0040] 次に、時刻ｔ３で信号ＷＳがハイになりＷＳトランジスタがオフになることで基準電圧Ｖｏｆｓの書込みが終了する。そして、時刻ｔ４で信号ＤＳがハイになることでＤＳトランジスタがオフになる。これにより、ＤＲトランジスタのゲート－ソース間電圧がＤＲトランジスタの閾値電圧Ｖｔｈに収束していき、閾値電圧Ｖｔｈに相当する電圧が保持容量Ｃｓに保持される。

[0041] 次に、時刻ｔ６で信号ＷＳがハイからローになりＷＳトランジスタがオフからオンになることでＤＲトランジスタのゲート電圧が信号線ＳＧＬの電圧となる。このとき信号線ＳＧＬには信号電圧Ｖｓｉｇが印加されており、ＤＲトランジスタのゲート電圧は信号電圧Ｖｓｉｇとなる。そして、時刻ｔ８で信号ＷＳがハイになりＷＳトランジスタがオフになることで、信号電圧Ｖｓｉｇの書込みが終了する。

[0042] 次に、時刻ｔ１０で信号ＤＳがハイからローになりＤＳトランジスタがオフからオンになる。これにより、ＤＲトランジスタのドレイン－ソース間電流が発光素子ＥＬに流れて発光素子ＥＬのアノード電圧Ｖａｎｏｄｅが上昇する。そして、発光素子ＥＬのアノード電圧Ｖａｎｏｄｅが発光素子ＥＬの閾値電圧Ｖｔｈを超えると、発光素子ＥＬに駆動電流が流れて発光素子ＥＬが発光する。そして、時刻ｔ１１で信号ＤＳがハイになりＤＳトランジスタがオフになることで発光が終了し、発光素子ＥＬを消光させる消光期間に移行する。次に、時刻ｔ１２で信号ＷＳがハイからローになることでＷＳトランジスタがオフからオンになり、後述する発光素子ＥＬのアノード電位の初期化のために電流を流す。次に、時刻ｔ１５で信号ＷＳがハイになりトランジスタＷＳがオフとなった後、消光期間が終了する。この一連の動作は、例えば１水平期間において実行される。

[0043] 一方、信号ＡＺは、発光期間（ｔ１０～ｔ１１）においてはハイとなりＡＺトランジスタがオフとなることで発光素子ＥＬに電流が流れるようにする。他の期間では、信号ＡＺは、発光素子ＥＬに電流が流れないように適宜コントロールされる。具体的には、信号ＡＺは、発光素子ＥＬの消光時、かつ、キャパシタＣ１００のカップリングにより発光素子ＥＬのアノード電位が引き下げられるタイミングでＡＺトランジスタがオンするように制御される。

[0044] 例えば、図示するように、信号ＡＺは、初期化開始時の時刻ｔ０から消光開始直後のｔ１２までハイになり、この間ＡＺトランジスタがオフになる。そして、時刻ｔ１２で信号ＡＺがハイからローに切り替わることでＡＺトランジスタがオフからオンになる。このとき、上述したように、ＤＳトランジスタはオフだがＷＳトランジスタはＡＺトランジスタに合わせてオンになっている。このように本実施形態の動作例では信号ＡＺを初期化開始時（ｔ０）から発光開始時（ｔ１０）までの期間もＡＺトランジスタをオフとしているが、これはＡＺトランジスタを駆動させると発光素子ＥＬのアノード電位が変動してしまうからである。そして、信号ＡＺは時刻ｔ１４でハイになり

ＡＺトランジスタがオフとなる。

[0045] この信号ＡＺがローの期間（ｔ１２～ｔ１４）は、信号ＳＩＧの電位が引き下げられるタイミング（時刻ｔ１３）が含まれるように制御される。図示した例では、信号ＳＩＧの電位は、８ビット階調で輝度を表した場合における最小の輝度で発光させるための階調電圧ＶＧ０（例えば、３Ｖ）から最大の輝度で発光させる階調電圧ＶＧ２５５（例えば、０Ｖ）に引き下げられている。これにより、時刻ｔ１３でＤＲトランジスタのゲート電圧が下がり始めるとともに、ＡＺトランジスタがオンであることでキャパシタＣ１００のカップリングによって発光素子ＥＬのアノード電圧が引き下げられる。

[0046] つまり、本実施形態では、書込期間において信号電圧Ｖｓｉｇの書込みをし、発光期間に発光素子ＥＬが発光した後の消光の動作のときに、ＷＳトランジスタを開けっ放し（オン状態）にしてＤＲトランジスタのゲートの電位を下げる。そのときにＡＺトランジスタも一緒に開ける（オンする）ことで、ＤＲトランジスタのゲートからのカップリングを用いて発光素子ＥＬのアノードの電位を下げる。これにより、発光素子ＥＬのアノード電圧が引き下げられてアノード電位の初期化が行われる。具体的には、発光素子ＥＬのアノード電圧Ｖａｎｏｄｅは、発光素子ＥＬの発光閾値電圧Ｖｔｈ＿ｏｌｅｄよりも小さくなる（Ｖａｎｏｄｅ＜Ｖｔｈ＿ｏｌｅｄ）ように引き下げられる。例えば、アノード電圧は、電源線Ｖｃａｔｈの電圧と同じ電圧（例えば、アノード電圧Ｖａｎｏｄｅ＝－６Ｖ）となるように引き下げられる。

[0047] なお、図示した信号ＳＩＧ、信号ＤＳ、信号ＷＳおよび信号ＡＺは、あくまで一例であり、信号ＡＺによりＡＺトランジスタがオンすることで発光素子ＥＬのアノード電圧が引き下げられるのであれば、図示したもの以外であってもよい。例えば、ＡＺトランジスタがオンのときの信号ＳＩＧの引き下げ幅や信号ＳＩＧの波形、信号ＤＳ、信号ＷＳ、信号ＡＺのハイ、ローの切り替えタイミング、切り替え回数などは、図示したものに限らず、適宜、選定することができる。

[0048] 図９は、本実施形態でのＶｔｈ補正期間の動作例を説明するための図であ

る。上述したように、Ｖｔｈ補正時（図８中のｔ４～ｔ６）には、ＤＳトランジスタおよびＷＳトランジスタはオフとなり、ＡＺトランジスタもオフとなる。ＡＺトランジスタがオフであっても、Ｖｔｈ補正期間では、ＤＲトランジスタのソース電圧およびゲート電圧による電流の流れが大きくないため、図９に示すように、発光素子ＥＬのアノードの寄生容量Ｃｏｌｅｄを介して流れる。そのため、発光素子ＥＬが発光することはない。また、上述したように、消光期間では発光素子ＥＬのアノード電圧が初期化されるため、発光素子ＥＬが発光しないようにすることができる。以上のことから、発光素子ＥＬが発光期間以外に発光しないようにすることができ、コントラストの向上を図ることができる。

[0049] 図１０は、本実施形態の画素ＰＩＸの１つと垂直スキャナ４との関係を示している。上述したように、本実施形態の画素ＰＩＸは、電源線ＶＳＳを削除して、キャパシタＣ１００を追加し、ＡＺトランジスタとしてのトランジスタＭＰ１００をキャパシタＣ１００とＤＲトランジスタのゲートに接続した４Ｔｒ３Ｃの構成を有している。具体的には、ＡＺトランジスタを発光素子ＥＬのアノードとＤＲトランジスタのゲートとの間に入れる形としている。これにより、ＡＺトランジスタは、３Ｖ駆動のトランジスタで駆動（具体的には、０／３Ｖ駆動）させることができる。そのため、垂直スキャナ４の出力段では、信号ＤＳ，信号ＷＳと同じ３Ｖ振幅の信号出力に対応した回路構成、具体的には、３Ｖ駆動のトランジスタを用いればよく、１０Ｖ程度の振幅の信号出力に対応した回路構成（具体的には１０Ｖ駆動のトランジスタ）を使う必要がなくなる。また、垂直スキャナ４において使用する電源種類も減らすことができる。以上のことから、本実施形態に係る画素ＰＩＸを用いることで、インプリ工程およびコストを削減することができる。また、これにより、垂直スキャナ４を小型化でき、額縁シュリンプを実現することができる。さらに、画素微細化を実現することができる。また、ＡＺトランジスタとキャパシタＣ１００を用いることで、アノード電圧Ｖａｎｏｄｅを押し下げ、コントラストのケアが可能となる。したがって、表示装置１のコン

トラスト向上および小型化を実現することができる。なお、以上の説明における各電圧（例えば、アノード電圧、電源線ＶＣＣＰの電圧、電源線Ｖｃａｔｈの電圧、各トランジスタの駆動電圧など）の値、階調の値などは一例であって、それぞれ他の値を採用するものにも適用可能である。

[0050] １－６．画素回路の変形例

画素ＰＩＸにおけるトランジスタＭＰ１００およびキャパシタＣ１００の接続は、図７に示したものに限らない。図１１Ａは、図７に示した画素ＰＩＸの第１変形例を示し、図１１Ｂは、第２変形例を示している。図１１Ａに示すように、画素ＰＩＸは、図７に示した画素ＰＩＸのトランジスタＭＰ１００とキャパシタＣ１００とを入れ替えた構成であってもよい。つまり、トランジスタＭＰ１００が第２のノードＮ２側に設けられ、キャパシタＣ１００が第１のノードＮ１側に設けられていてもよい。具体的には、以下のように接続されてもよい。キャパシタＣ１００の一端は第１のノードＮ１、つまり、トランジスタＭＰ１２のドレイン、トランジスタＭＰ１４のゲート、およびキャパシタＣ１２の他端に接続され、他端はトランジスタＭＰ１００のソースに接続される。トランジスタＭＰ１００のゲートは制御線ＡＺＳＬに接続され、ソースはキャパシタＣ１００の他端に接続され、ドレインは第２のノードＮ２、つまり、トランジスタＭＰ１４のドレインおよび発光素子ＥＬのアノードに接続される。これにより回路配置の自由度を向上させることができる。

[0051] また、図１１Ｂに示すように、第１のノードＮ１は、トランジスタＭＰ１４のゲートではなく信号線ＳＧＬに接続されてもよい。具体的には、以下のように接続されてもよい。トランジスタＭＰ１００のゲートは制御線ＡＺＳＬに接続され、ソースは第１のノードＮ１、つまり、信号線ＳＧＬに接続され、ドレインはキャパシタＣ１００に接続される。キャパシタＣ１００の一端はトランジスタＭＰ１００のドレインに接続され、他端は第２のノードＮ２、つまり、トランジスタＭＰ１４のドレインおよび発光素子ＥＬのアノードに接続される。このようにトランジスタＭＰ１２を介することなく信号線

ＳＧＬに直接トランジスタＭＰ１００を接続させることで、トランジスタＭＰ１２のオンオフ回数を減らして（具体的には、信号ＷＳはオフのままでよくなる）制御を簡単にすることができる。なお、ここでは図示を省略するが、画素ＰＩＸは、図１１Ｂに示した画素ＰＩＸのトランジスタＭＰ１００とキャパシタＣ１００とを入れ替えた構成であってもよい。これにより、図１１Ａおよび図１１Ｂの画素ＰＩＸの両方の利点を得ることができる。以上の変形例による画素ＰＩＸにおいても、図７に示した画素ＰＩＸと同様の効果を得ることができる。

[0052] 以上により、本実施形態では、コントラストをケアしながらコストを削減することができる。つまり、表面画品位を保ちながらコスト削減を行うことができる。また、額縁シュリンク、画素微細化を実現することができる。

[0053] ＜２．他の画素回路の構成例＞

［２－１．画素回路の第２構成例］

本技術を適用することができる画素ＰＩＸは、図３に示したものに限らない。図１２は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成例を表すものである。この画素ＰＩＸは、キャパシタＣ３１と、トランジスタＭＰ３２～ＭＰ３６と、発光素子ＥＬとを有している。トランジスタＭＰ３２～ＭＰ３６はＰ型のＭＯＳＦＥＴである。トランジスタＭＰ３２のゲートは制御線ＷＳＬに接続され、ソースは信号線ＳＧＬに接続され、ドレインはトランジスタＭＰ３３のゲート、トランジスタＭＰ３４のドレイン、およびキャパシタＣ３１に接続される。キャパシタＣ３１の一端は電源線ＶＣＣＰに接続され、他端はトランジスタＭＰ３２のドレイン、トランジスタＭＰ３３のゲート、およびトランジスタＭＰ３４のドレインに接続される。トランジスタＭＰ３３のゲートはトランジスタＭＰ３２のドレイン、キャパシタＣ３１の他端およびトランジスタＭＰ３４のドレインに接続され、ソースは電源線ＶＣＣＰに接続され、ドレインはトランジスタＭＰ３４のソースおよびトランジスタＭＰ３５のソースに接続される。トランジスタＭＰ３４のゲートは制御線ＡＺＳＬ１に接続され、ソースはトランジスタＭＰ３３のド

レインおよびトランジスタＭＰ３５のソースに接続され、ドレインはトランジスタＭＰ３２のドレイン、トランジスタＭＰ３３のゲート、およびキャパシタＣ３１の他端に接続される。トランジスタＭＰ３５のゲートは制御線ＤＳＬに接続され、ソースはトランジスタＭＰ３３のドレインおよびトランジスタＭＰ３４のソースに接続され、ドレインはトランジスタＭＰ３６のソースおよび発光素子ＥＬのアノードに接続される。トランジスタＭＰ３６のゲートは制御線ＡＺＳＬ２に接続され、ソースはトランジスタＭＰ３５のドレインおよび発光素子ＥＬのアノードに接続され、ドレインは電源線ＶＳＳに接続される。発光素子ＥＬのアノードはトランジスタＭＰ３５のドレインおよびトランジスタＭＰ３６のソースに接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0054] この構成により、画素ＰＩＸでは、トランジスタＭＰ３２がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ３１の両端間の電圧が設定される。トランジスタＭＰ３５は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＰ３３は、トランジスタＭＰ３５がオン状態である期間において、キャパシタＣ３１の両端間の電圧に応じた電流を、発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＰ３３から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＰ３４は、制御線ＡＺＳＬ１の信号に基づいてオンオフする。トランジスタＭＰ３４がオン状態である期間において、トランジスタＭＰ３３のドレインおよびゲートが互いに接続される。トランジスタＭＰ３６は、制御線ＡＺＳＬ２の信号に基づいてオンオフする。トランジスタＭＰ３６がオン状態になる期間において、発光素子ＥＬのアノードの電圧は電源線ＶＳＳの電圧に設定されることにより初期化される。

[0055] なお、トランジスタＭＰ３３は、上述したＤＲトランジスタに相当し、トランジスタＭＰ３６は本技術を適用前のＡＺトランジスタに相当する。また、トランジスタＭＰ３２はＷＳトランジスタに相当し、トランジスタＭＰ３

５はＤＳトランジスタに相当する。キャパシタＣ３１は保持容量Ｃｓに相当する。

[0056] 図１３は、本技術を適用した画素ＰＩＸの第２構成例を表すものである。図１３に示す画素ＰＩＸは、図１２に示す画素ＰＩＸの電源線ＶＳＳを削除し、トランジスタＭＰ３６をトランジスタＭＰ１００に替えて接続方法を変更し、さらにキャパシタＣ１００を追加したものである。

[0057] この画素ＰＩＸは、信号線電位のノードである第１のノードＮ１および発光素子ＥＬのアノード電位のノードである第２のノードＮ２間に直列に接続されたトランジスタＭＰ１００およびキャパシタＣ１００を有している。第１のノードＮ１はトランジスタＭＰ３３のゲートと接続されており、第２のノードＮ２は発光素子ＥＬのアノードと接続されている。また、トランジスタＭＰ１００は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。具体的には、トランジスタＭＰ１００のゲートは制御線ＡＺＳＬ２に接続され、ソースは第１のノードＮ１、つまり、トランジスタＭＰ３２のドレイン、トランジスタＭＰ３３のゲート、トランジスタＭＰ３４のドレイン、およびキャパシタＣ３１の他端に接続され、ドレインはキャパシタＣ１００に接続される。キャパシタＣ１００の一端はトランジスタＭＰ１００のドレインに接続され、他端は第２のノードＮ２、つまり、トランジスタＭＰ３５のドレインおよび発光素子ＥＬのアノードに接続される。

[0058] 図１４は、図１３に示す画素ＰＩＸの変形例を示している。図１４Ａ～図１４Ｃは、それぞれ第１変形例～第３変形例を示している。図１４Ａに示すように、第１のノードＮ１は信号線ＳＧＬと接続されてもよい。つまり、トランジスタＭＰ１００のソースは信号線ＳＧＬと接続されてもよい。また、図１４Ｂに示すように、第２のノードＮ２はトランジスタＭＰ３３のドレインと接続されてもよい。具体的には、以下のように接続されてもよい。トランジスタＭＰ１００のゲートは制御線ＡＺＳＬ２に接続され、ソースは第１のノードＮ１、つまり、トランジスタＭＰ３２のドレイン、トランジスタＭ

Ｐ３３のゲート、トランジスタＭＰ３４のドレイン、およびキャパシタＣ３１の他端に接続され、ドレインはキャパシタＣ１００に接続される。キャパシタＣ１００の一端はトランジスタＭＰ１００のドレインに接続され、他端は第２のノードＮ２、つまり、トランジスタＭＰ３３のドレイン、トランジスタＭＰ３４のソース、トランジスタＭＰ３５のソースに接続される。これらの構成とすることで、回路配置の自由度を向上させることができる。

[0059] また、図１４Ｃに示すように、図１２に示す既存の画素ＰＩＸに含まれる構成を流用してもよい。図１４Ｃに示す例では、トランジスタＭＰ１００を新たに設けずに、既存のトランジスタＭＰ３４にキャパシタＣ１００を隣接配置することで第１のノードＮ１および第２のノードＮ２間に直列に接続されたトランジスタＭＰ３４（本構成例における第２のトランジスタ）およびキャパシタＣ１００を有する構成としている。具体的には、第１のノードＮ１はトランジスタＭＰ３３のゲートと接続されており、第２のノードＮ２はトランジスタＭＰ３３のドレインと接続されている。また、トランジスタＭＰ３４は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。詳しくは、以下のように接続される。トランジスタＭＰ３４のゲートは制御線ＡＺＳＬ１に接続され、ソースは第１のノードＮ１、つまり、トランジスタＭＰ３２のドレイン、トランジスタＭＰ３３のゲート、およびキャパシタＣ３１の他端に接続され、ドレインはキャパシタＣ１００に接続される。キャパシタＣ１００の一端はトランジスタＭＰ３４のドレインに接続され、他端は第２のノードＮ２、つまり、トランジスタＭＰ３３のドレイン、トランジスタＭＰ３５のソースに接続される。このように既存のトランジスタＭＰ３４のソースおよびドレインが入れ替わるように使用してもよい。なお、ソースおよびドレインが入れ替わらないトランジスタを流用してもよい。以上のように既存のトランジスタを流用することで、トランジスタの数を減らして画素微細化を図ることができる。

[0060] なお、図１３および図１４Ａ～図１４Ｃに示した各画素ＰＩＸは、トランジスタＭＰ１００（図１４Ｃの場合はトランジスタＭＰ３４）とキャパシタ

Ｃ１００とを入れ替えた構成であってもよい。また、第１のノードＮ１の接続先はトランジスタＭＰ３３のゲートおよび信号線ＳＧＬの何れであってもよく、第２のノードＮ２の接続先も発光素子ＥＬのアノードおよびトランジスタＭＰ３３のドレインの何れであってもよい。以上の変形例を含む第２構成例の画素ＰＩＸにおいても、上述した第１構成例の画素ＰＩＸと同様の効果を奏することができる。

[0061] ［２－２．画素回路の第３構成例］

図１５は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成例を表すものである。キャパシタＣ４８の一端は信号線ＳＧＬ１に接続され、他端は電源線ＶＳＳに接続される。キャパシタＣ４９の一端は信号線ＳＧＬ１に接続され、他端は信号線ＳＧＬ２に接続される。トランジスタＭＰ４９はＰ型のＭＯＳＦＥＴであり、ゲートは制御線ＷＳＬ２に接続され、ソースは信号線ＳＧＬ１に接続され、ドレインは信号線ＳＧＬ２に接続される。

[0062] 画素ＰＩＸは、キャパシタＣ４１と、トランジスタＭＰ４２～ＭＰ４６と、発光素子ＥＬとを有している。トランジスタＭＰ４２～ＭＰ４６は、Ｐ型のＭＯＳＦＥＴである。トランジスタＭＰ４２のゲートは制御線ＷＳＬ１に接続され、ソースは信号線ＳＧＬ２に接続され、ドレインはトランジスタＭＰ４３のゲートおよびキャパシタＣ４１に接続される。キャパシタＣ４１の一端は電源線ＶＣＣＰに接続され、他端はトランジスタＭＰ４２のドレインおよびトランジスタＭＰ４３のゲートに接続される。トランジスタＭＰ４３のゲートはトランジスタＭＰ４２のドレインおよびキャパシタＣ４１の他端に接続され、ソースは電源線ＶＣＣＰに接続され、ドレインはトランジスタＭＰ４４、ＭＰ４５のソースに接続される。トランジスタＭＰ４４のゲートは制御線ＡＺＳＬ１に接続され、ソースはトランジスタＭＰ４３のドレインおよびトランジスタＭＰ４５のソースに接続され、ドレインは信号線ＳＧＬ２に接続される。トランジスタＭＰ４５のゲートは制御線ＤＳＬに接続され、ソースはトランジスタＭＰ４３のドレインおよびトランジスタＭＰ４４のソースに接続され、ドレインはトランジスタＭＰ４６のソースおよび発光素

子ＥＬのアノードに接続される。トランジスタＭＰ４６のゲートは制御線ＡＺＳＬ２に接続され、ソースはトランジスタＭＰ４５のドレインおよび発光素子ＥＬのアノードに接続され、ドレインは電源線ＶＳＳに接続される。発光素子ＥＬのアノードはトランジスタＭＰ４５のドレインおよびトランジスタＭＰ４６のソースに接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0063] この構成により、画素ＰＩＸでは、トランジスタＭＰ４２がオン状態になることにより、信号線ＳＧＬ１からキャパシタＣ４９を介して供給された画素信号に基づいてキャパシタＣ４１の両端間の電圧が設定される。トランジスタＭＰ４５は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＰ４３は、トランジスタＭＰ４５がオン状態である期間において、キャパシタＣ４１の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＰ４３から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＰ４４は、制御線ＡＺＳＬ１の信号に基づいてオンオフする。トランジスタＭＰ４４がオン状態である期間において、トランジスタＭＰ４３のドレインおよび信号線ＳＧＬ２が互いに接続される。トランジスタＭＰ４６は、制御線ＡＺＳＬ２の信号に基づいてオンオフする。トランジスタＭＰ４６がオン状態になる期間において、発光素子ＥＬのアノードの電圧は電源線ＶＳＳの電圧に設定されることにより初期化される。

[0064] トランジスタＭＰ４３は、上述したＤＲトランジスタに相当し、トランジスタＭＰ４６は本技術を適用前のＡＺトランジスタに相当する。また、トランジスタＭＰ４２はＷＳトランジスタに相当し、トランジスタＭＰ４５はＤＳトランジスタに相当する。キャパシタＣ４１は保持容量Ｃｓに相当する。

[0065] 図１６は、本技術を適用した画素ＰＩＸの第３構成例を表すものである。図１６に示す画素ＰＩＸは、図１５に示す画素ＰＩＸの電源線ＶＳＳを削除し、トランジスタＭＰ４６をトランジスタＭＰ１００に替えて接続方法を変更し、さらにキャパシタＣ１００を追加したものである。

[0066] この画素ＰＩＸは、信号線電位のノードである第１のノードＮ１および発光素子ＥＬのアノード電位のノードである第２のノードＮ２間に直列に接続されたトランジスタＭＰ１００およびキャパシタＣ１００を有している。第１のノードＮ１はトランジスタＭＰ４３のゲートと接続されており、第２のノードＮ２は発光素子ＥＬのアノードと接続されている。また、トランジスタＭＰ１００は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。

[0067] 図１７は、図１６に示す画素ＰＩＸの変形例を示している。図１７Ａ～図１７Ｃは、それぞれ第１変形例～第３変形例を示している。図１７Ａに示すように、第１のノードＮ１は信号線ＳＧＬ２と接続されてもよいし、図１７Ｂに示すように、信号線ＳＧＬ１と接続されていてもよい。また、図１７Ｃに示すように、第２のノードＮ２は、トランジスタＭＰ４３のドレインと接続されていてもよいし、図１５に示す既存の画素回路ＰＩＸに含まれる構成を流用してもよい。図１７Ｃに示す例では、トランジスタＭＰ１００を新たに設けずに、既存のトランジスタＭＰ４４にキャパシタＣ１００を隣接配置することで第１のノードＮ１および第２のノードＮ２間に直列に接続されたトランジスタＭＰ４４（本構成例における第２のトランジスタ）およびキャパシタＣ１００を有する構成としている。具体的には、第１のノードＮ１は信号線ＳＧＬ２と接続されており、第２のノードＮ２はトランジスタＭＰ４３のドレインと接続されている。また、トランジスタＭＰ４４は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。

[0068] なお、図１６および図１７Ａ～図１７Ｃに示した各画素ＰＩＸは、トランジスタＭＰ１００（図１７Ｃの場合はトランジスタＭＰ４４）とキャパシタＣ１００とを入れ替えた構成であってもよい。また、第１のノードＮ１の接続先はトランジスタＭＰ４３のゲート、信号線ＳＧＬ１および信号線ＳＧＬ２の何れであってもよく、第２のノードＮ２の接続先も発光素子ＥＬのアノードおよびトランジスタＭＰ４３のドレインの何れであってもよい。以上の

変形例を含む第３構成例の画素ＰＩＸにおいても、上述した他の構成例の画素ＰＩＸと同様の効果を奏することができる。

[0069] ［２－３．画素回路の第４構成例］

図１８は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成例を表すものである。複数の画素ＰＩＸ（図１８では部分的に１つだけ表示）は、表示領域９０にマトリクス状に設けられ、表示領域９０は、第１の制御部７０と第２の制御部８０の間に設けられる。

[0070] 第１の制御部７０は、トランスミッションゲートＭＰ７５と、トランジスタＭＰ７６と、キャパシタＣ７１とを有している。トランジスタＭＰ７６は、Ｐ型のＭＯＳＦＥＴである。トランスミッションゲートＭＰ７５の入力端には画素信号が供給され、トランスミッションゲートＭＰ７５の出力端は信号線１４ａの一端に接続される。キャパシタＣ７１の一端は信号線１４ａに接続され、他端は電源線ＶＳＳ１に接続される。トランジスタＭＰ７６のゲートは制御線Ｇｉｎｉに接続され、ソースは信号線１４ｂに接続され、ドレインは電源線Ｖｉｎｉに接続される。

[0071] 第２の制御部８０は、トランスミッションゲートＭＰ８２と、トランジスタＭＰ８３と、キャパシタＣ８２とを有している。トランジスタＭＰ８３は、Ｐ型のＭＯＳＦＥＴである。トランスミッションゲートＭＰ８２の入力端は信号線１４ａの他端に接続され、出力端はトランジスタＭＰ８３のソースおよびキャパシタＣ８２の一端に接続される。トランジスタＭＰ８３のゲートは制御線Ｇｒｅｆに接続され、ソースはトランスミッションゲートＭＰ８２の出力端およびキャパシタＣ８２の一端に接続され、ドレインは電源線Ｖｒｅｆに接続される。キャパシタＣ８２の一端はトランスミッションゲートＭＰ８２の出力端およびトランジスタＭＰ８３のソースに接続され、他端は信号線１４ｂの一端に接続される。

[0072] 画素ＰＩＸは、キャパシタＣ９２と、トランジスタＭＰ９１～ＭＰ９５と、発光素子ＥＬとを有している。トランジスタＭＰ９１～ＭＰ９５は、Ｐ型のＭＯＳＦＥＴである。トランジスタＭＰ９２のゲートは制御線１２に接続

され、ソースは信号線１４ｂに接続され、ドレインはトランジスタＭＰ９１のゲートおよびキャパシタＣ９２に接続される。キャパシタＣ９２の一端は電源線１３に接続され、他端はトランジスタＭＰ９２のドレインおよびトランジスタＭＰ９１のゲートに接続される。トランジスタＭＰ９１のゲートはトランジスタＭＰ９２のドレインおよびキャパシタＣ９２の他端に接続され、ソースは電源線１３に接続され、ドレインはトランジスタＭＰ９３，ＭＰ９４のソースに接続される。トランジスタＭＰ９３のゲートは制御線ＡＺＳＬに接続され、ソースはトランジスタＭＰ９１のドレインおよびトランジスタＭＰ９４のソースに接続され、ドレインは信号線１４ｂに接続される。トランジスタＭＰ９４のゲートは制御線Ｇｅｌに接続され、ソースはトランジスタＭＰ９１のドレインおよびトランジスタＭＰ９３のソースに接続され、ドレインはトランジスタＭＰ９５のソースおよび発光素子ＥＬのアノードに接続される。トランジスタＭＰ９５のゲートは制御線ＡＺＳＬに接続され、ソースはトランジスタＭＰ９４のドレインおよび発光素子ＥＬのアノードに接続され、ドレインは電源線Ｖｏｒｓｔに接続される。発光素子ＥＬのアノードはトランジスタＭＰ９４のドレインおよびトランジスタＭＰ９５のソースに接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0073] この構成により、画素ＰＩＸでは、トランジスタＭＰ９２がオン状態になることにより、トランスミッションゲートＭＰ７５、信号線１４ａ、トランスミッションゲートＭＰ８２、キャパシタＣ８２および信号線１４ｂを介して供給された画素信号に基づいてキャパシタＣ９２の両端間の電圧が設定される。トランジスタＭＰ９４は、制御線Ｇｅｌの信号に基づいてオンオフする。トランジスタＭＰ９１は、トランジスタＭＰ９４がオン状態である期間において、キャパシタＣ９２の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＰ９１から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＰ９３，ＭＰ９５は、制御線ＡＺＳＬの信号に基づいてオンオフする。トランジスタＭＰ９３がオン状態である期間において、ト

ランジスタＭＰ９１のドレインおよびトランジスタＭＰ９４のソースが信号線１４ｂに接続される。トランジスタＭＰ９５がオン状態になる期間において、発光素子ＥＬのアノードの電圧は電源線Ｖｏｒｓｔの電圧に設定されることにより初期化される。また、トランジスタＭＰ７６は、制御線Ｇｉｎｉの信号に基づいてオンオフし、トランジスタＭＰ８３は、制御線Ｇｒｅｆの信号に基づいてオンオフする。トランジスタＭＰ７６がオン状態になると、信号線１４ｂは電源線Ｖｉｎｉの電圧に設定されることにより初期化される。トランジスタＭＰ８３がオン状態になると、キャパシタＣ８２の一端は電源線Ｖｒｅｆの電圧に設定されることにより初期化される。

[0074] トランジスタＭＰ９１は、上述したＤＲトランジスタに相当し、トランジスタＭＰ９５は本技術を適用前のＡＺトランジスタに相当する。また、トランジスタＭＰ９２はＷＳトランジスタに相当し、トランジスタＭＰ９４はＤＳトランジスタに相当する。キャパシタＣ９２は保持容量Ｃｓに相当する。制御線Ｇｅｌは、上述した制御線ＤＳＬと同種のものである。

[0075] 図１９は、本技術を適用した画素ＰＩＸの第４構成例を表すものである。図１９に示す画素ＰＩＸは、図１８に示す画素ＰＩＸの電源線Ｖｏｒｓｔを削除し、トランジスタＭＰ９５をトランジスタＭＰ１００に替えて接続方法を変更し、さらにキャパシタＣ１００を追加したものである。

[0076] この画素ＰＩＸは、信号線電位のノードである第１のノードＮ１および発光素子ＥＬのアノード電位のノードである第２のノードＮ２間に直列に接続されたトランジスタＭＰ１００およびキャパシタＣ１００を有している。第１のノードＮ１はトランジスタＭＰ９１のゲートと接続されており、第２のノードＮ２は発光素子ＥＬのアノードと接続されている。また、トランジスタＭＰ１００は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。なお、トランジスタＭＰ１００のゲートは新たな制御線ＡＺＳＬ１ではなく制御線ＡＺＳＬに接続されてもよい。後述する図２０Ａ，図２０Ｂの変形例についても同様である。

[0077] 図２０は、図１９に示す画素ＰＩＸの変形例を示している。図２０Ａ～図

２０Ｃは、それぞれ第１変形例～第３変形例を示している。図２０Ａに示すように、第１のノードＮ１は信号線１４ｂと接続されてもよいし、図２０Ｂに示すように、信号線１４ａと接続されてもよい。また、図２０Ｃに示すように、第２のノードＮ２は、トランジスタＭＰ９１のドレインと接続されていてもよいし、図１８に示す既存の画素回路ＰＩＸに含まれる構成を流用してもよい。図２０Ｃに示す例では、トランジスタＭＰ１００を新たに設けずに、既存のトランジスタＭＰ９３にキャパシタＣ１００を隣接配置することで第１のノードＮ１および第２のノードＮ２間に直列に接続されたトランジスタＭＰ９３（本構成例における第２のトランジスタ）およびキャパシタＣ１００を有する構成としている。具体的には、第１のノードＮ１は信号線１４ｂと接続されており、第２のノードＮ２はトランジスタＭＰ９１のドレインと接続されている。また、トランジスタＭＰ９３は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。

[0078] なお、図１９および図２０Ａ～図２０Ｃに示した各画素ＰＩＸは、トランジスタＭＰ１００（図２０Ｃの場合はトランジスタＭＰ９３）とキャパシタＣ１００とを入れ替えた構成であってもよい。また、第１のノードＮ１の接続先はトランジスタＭＰ９１のゲート、信号線１４ａおよび信号線１４ｂの何れであってもよく、第２のノードＮ２の接続先も発光素子ＥＬのアノードおよびトランジスタＭＰ９１のドレインの何れであってもよい。以上の変形例を含む第４構成例の画素ＰＩＸにおいても、上述した他の構成例の画素ＰＩＸと同様の効果を奏することができる。

[0079] ［２－４．画素回路の第５構成例］

図２１は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成例を表すものである。制御線ＷＳＮＬの信号および制御線ＷＳＰＬの信号は、互いに反転した信号である。制御線ＷＳＮＬ，ＷＳＰＬは、上述した制御線ＷＳＬと同種のものである。

[0080] 画素ＰＩＸは、キャパシタＣ６１，Ｃ６２と、トランジスタＭＮ６３，ＭＰ６４，ＭＮ６５～ＭＮ６７と、発光素子ＥＬとを有している。トランジス

タＭＮ６３，ＭＮ６５～ＭＮ６７はＮ型のＭＯＳＦＥＴであり、トランジスタＭＰ６４はＰ型のＭＯＳＦＥＴである。トランジスタＭＮ６３のゲートは制御線ＷＳＮＬに接続され、ドレインは信号線ＳＧＬおよびトランジスタＭＰ６４のソースに接続され、ソースはトランジスタＭＰ６４のドレイン、キャパシタＣ６１，Ｃ６２、およびトランジスタＭＮ６５のゲートに接続される。トランジスタＭＰ６４のゲートは制御線ＷＳＰＬに接続され、ソースは信号線ＳＧＬおよびトランジスタＭＮ６３のドレインに接続され、ドレインはトランジスタＭＮ６３のソース、キャパシタＣ６１，Ｃ６２、およびトランジスタＭＮ６５のゲートに接続される。キャパシタＣ６１は、例えばＭＯＭキャパシタを用いて構成され、一端はトランジスタＭＮ６３のソース、トランジスタＭＰ６４のドレイン、キャパシタＣ６２、およびトランジスタＭＮ６５のゲートに接続され、他端は電源線ＶＳＳ２に接続される。なお、キャパシタＣ６１は、例えばＭＯＳキャパシタやＭＩＭキャパシタを用いて構成されてもよい。キャパシタＣ６２は、例えばＭＯＳキャパシタを用いて構成され、一端はトランジスタＭＮ６３のソース、トランジスタＭＰ６４のドレイン、キャパシタＣ６１の一端、およびトランジスタＭＮ６５のゲートに接続され、他端は電源線ＶＳＳ２に接続される。なお、キャパシタＣ６２は、例えば、ＭＯＭキャパシタやＭＩＭキャパシタを用いて構成されてもよい。トランジスタＭＮ６５のゲートはトランジスタＭＮ６３のソース、トランジスタＭＰ６４のドレイン、およびキャパシタＣ６１，Ｃ６２の一端に接続され、ドレインは電源線ＶＣＣＰに接続され、ソースはトランジスタＭＮ６６，ＭＮ６７のドレインに接続される。トランジスタＭＮ６６のゲートは制御線ＡＺＳＬに接続され、ドレインはトランジスタＭＮ６５のソースおよびトランジスタＭＮ６７のドレインに接続され、ソースは電源線ＶＳＳ１に接続される。トランジスタＭＮ６７のゲートは制御線ＤＳＬに接続され、ドレインはトランジスタＭＮ６５のソースおよびトランジスタＭＮ６６のドレインに接続され、ソースは発光素子ＥＬのアノードに接続される。発光素子ＥＬのアノードはトランジスタＭＮ６７のソースに接続され、カソードは電源

線Ｖｃａｔｈに接続される。

[0081] この構成により、画素ＰＩＸでは、トランジスタＭＮ６３，ＭＰ６４のうちの少なくとも一方がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ６１，Ｃ６２の両端間の電圧が設定される。トランジスタＭＮ６７は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＮ６５は、トランジスタＭＮ６７がオン状態である期間において、キャパシタＣ６１，Ｃ６２の両端間の電圧に応じた電流を、発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＮ６５から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＮ６６は、制御線ＡＺＳＬの信号に基づいてオンオフしてもよい。また、トランジスタＭＮ６６は、制御線ＡＺＳＬの信号に応じた抵抗値を有する抵抗素子として機能してもよい。この場合、トランジスタＭＮ６５およびトランジスタＭＮ６６はいわゆるソースフォロワ回路を構成する。

[0082] トランジスタＭＮ６５は、上述したＤＲトランジスタに相当し、トランジスタＭＮ６６は本技術を適用前のＡＺトランジスタに相当する。また、トランジスタＭＮ６３，ＭＰ６４はＷＳトランジスタに相当し、トランジスタＭＮ６７はＤＳトランジスタに相当する。キャパシタＣ６１、Ｃ６２は保持容量Ｃｓに相当する。

[0083] 図２２は、本技術を適用した画素ＰＩＸの第５構成例を表すものである。図２２に示す画素ＰＩＸは、図２１に示す画素ＰＩＸの電源線ＶＳＳ１を削除し、トランジスタＭＮ６６をトランジスタＭＮ１００（本構成例における第２のトランジスタ）に替えて接続方法を変更し、さらにキャパシタＣ１００を追加したものである。トランジスタＭＮ１００はＮ型のＭＯＳＦＥＴである。

[0084] この画素ＰＩＸは、信号線電位のノードである第１のノードＮ１および発光素子ＥＬのアノード電位のノードである第２のノードＮ２間に直列に接続されたトランジスタＭＮ１００およびキャパシタＣ１００を有している。第

１のノードＮ１はトランジスタＭＮ６５のゲートと接続されており、第２のノードＮ２は発光素子ＥＬのアノードと接続されている。また、トランジスタＭＮ１００は第１のノードＮ１側に設けられ、キャパシタＣ１００は第２のノードＮ２側に設けられている。具体的には、トランジスタＭＮ１００のゲートは制御線ＡＺＳＬに接続され、ドレインは第１のノードＮ１、つまり、トランジスタＭＮ６３のソース、トランジスタＭＰ６４のドレイン、キャパシタＣ６１，Ｃ６２の一端、およびトランジスタＭＮ６５のゲートと接続され、ソースはキャパシタＣ１００に接続される。キャパシタＣ１００の一端はトランジスタＭＮ１００のソースに接続され、他端は第２のノードＮ２、つまり、トランジスタＭＮ６７のソースおよび発光素子ＥＬのアノードに接続される。

[0085] 図２３は、図２２に示す画素ＰＩＸの変形例を示している。図２３Ａ、図２３Ｂは、それぞれ第１変形例、第２変形例を示している。図２３Ａに示すように、第１のノードＮ１は信号線ＳＧＬと接続されてもよい。つまり、トランジスタＭＮ１００のドレインは信号線ＳＧＬと接続されてもよい。図２３Ｂに示すように、第２のノードＮ２は、トランジスタＭＮ６５のソースと接続されていてもよい。つまり、キャパシタＣ１００の他端はトランジスタＭＮ６５のソースおよびトランジスタＭＮ６７のドレインと接続されていてもよい。

[0086] なお、図２２および図２３Ａ、図２３Ｂに示した各画素ＰＩＸは、トランジスタＭＮ１００とキャパシタＣ１００とを入れ替えた構成であってもよい。また、第１のノードＮ１の接続先はトランジスタＭＮ６５のゲートおよび信号線ＳＧＬの何れであってもよく、第２のノードＮ２の接続先も発光素子ＥＬのアノードおよびトランジスタＭＮ６５のソースの何れであってもよい。以上の変形例を含む第５構成例の画素ＰＩＸにおいても、上述した他の構成例の画素ＰＩＸと同様の効果を奏することができる。

[0087] ［２－５．画素回路のその他の構成例］

図２４は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成

例を表すものである。画素ＰＩＸは、キャパシタＣ０１と、トランジスタＭＮ０２～ＭＮ０３と、発光素子ＥＬとを有している。トランジスタＭＮ０２～ＭＮ０３は、Ｎ型のＭＯＳＦＥＴである。トランジスタＭＮ０２のゲートは制御線ＷＳＬに接続され、ドレインは信号線ＳＧＬに接続され、ソースはトランジスタＭＮ０３のゲートおよびキャパシタＣ０１に接続される。キャパシタＣ０１の一端はトランジスタＭＮ０２のソースおよびトランジスタＭＮ０３のゲートに接続され、他端はトランジスタＭＮ０３のソースおよび発光素子ＥＬのアノードに接続される。トランジスタＭＮ０３のゲートはトランジスタＭＮ０２のソースおよびキャパシタＣ０１の一端に接続され、ドレインは電源線ＶＣＣＰに接続され、ソースはキャパシタＣ０１の他端および発光素子ＥＬのアノードに接続される。発光素子ＥＬのアノードはトランジスタＭＮ０３のソースおよびキャパシタＣ０１の他端に接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0088] この構成により、画素ＰＩＸでは、トランジスタＭＮ０２がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ０１の両端間の電圧が設定される。トランジスタＭＮ０３は、キャパシタＣ０１の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＮ０３から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。

[0089] トランジスタＭＮ０３は、上述したＤＲトランジスタに相当し、トランジスタＭＮ０２はＷＳトランジスタに相当する。キャパシタＣ０１は保持容量Ｃｓに相当する。このように、ＤＳトランジスタ、ＡＺトランジスタを有していない画素ＰＩＸについても、上述した構成例と同様にＡＺトランジスタおよびキャパシタＣ１００を設けることで、本技術を適用することができる。

[0090] 図２５は、本技術を適用可能な画素ＰＩＸ（適用前の画素回路）の一構成例を表すものである。この画素ＰＩＸは、キャパシタＣ２１と、トランジスタＭＮ２２～ＭＮ２５と、発光素子ＥＬとを有している。トランジスタＭＮ

２２～ＭＮ２５はＮ型のＭＯＳＦＥＴである。トランジスタＭＮ２２のゲートは制御線ＷＳＬに接続され、ドレインは信号線ＳＧＬに接続され、ソースはトランジスタＭＮ２４のゲートおよびキャパシタＣ２１に接続される。キャパシタＣ２１の一端はトランジスタＭＮ２２のソースおよびトランジスタＭＮ２４のゲートに接続され、他端はトランジスタＭＮ２４のソース、トランジスタＭＮ２５のドレイン、および発光素子ＥＬのアノードに接続される。トランジスタＭＮ２３のゲートは制御線ＤＳＬに接続され、ドレインは電源線ＶＣＣＰに接続され、ソースはトランジスタＭＮ２４のドレインに接続される。トランジスタＭＮ２４のゲートはトランジスタＭＮ２２のソースおよびキャパシタＣ２１の一端に接続され、ドレインはトランジスタＭＮ２３のソースに接続され、ソースはキャパシタＣ２１の他端、トランジスタＭＮ２５のドレイン、および発光素子ＥＬのアノードに接続される。トランジスタＭＮ２５のゲートは制御線ＡＺＳＬに接続され、ドレインはトランジスタＭＮ２４のソース、キャパシタＣ２１の他端、および発光素子ＥＬのアノードに接続され、ソースは電源線ＶＳＳに接続される。発光素子ＥＬのアノードはキャパシタＣ２１の他端、トランジスタＭＮ２４のソースおよびトランジスタＭＮ２５のドレインに接続され、カソードは電源線Ｖｃａｔｈに接続される。

[0091] この構成により、画素ＰＩＸでは、トランジスタＭＮ２２がオン状態になることにより、信号線ＳＧＬから供給された画素信号に基づいてキャパシタＣ２１の両端間の電圧が設定される。トランジスタＭＮ２３は、制御線ＤＳＬの信号に基づいてオンオフする。トランジスタＭＮ２４は、トランジスタＭＮ２３がオン状態である期間において、キャパシタＣ２１の両端間の電圧に応じた電流を発光素子ＥＬに流す。発光素子ＥＬは、トランジスタＭＮ２４から供給された電流に基づいて発光する。このようにして、画素ＰＩＸは、画素信号に応じた輝度で発光する。トランジスタＭＮ２５は、制御線ＡＺＳＬの信号に基づいてオンオフする。トランジスタＭＮ２５がオン状態である期間において、発光素子ＥＬのアノードの電圧は電源線ＶＳＳの電圧に設

定されることにより初期化される。

[0092] トランジスタＭＮ２４は、上述したＤＲトランジスタに相当し、トランジスタＭＮ２５は本技術を適用前のＡＺトランジスタに相当する。また、トランジスタＭＮ２２はＷＳトランジスタに相当し、トランジスタＭＮ２３はＤＳトランジスタに相当する。キャパシタＣ２１は保持容量Ｃｓに相当する。

[0093] 図２５に示す画素ＰＩＸについても、上述した構成例と同様にＡＺトランジスタおよびキャパシタＣ１００を設けることで、本技術を適用することができる。

[0094] ＜３．適用例＞

（電子機器）

本技術を適用した上記の一実施形態に係る表示装置１は、各種の電子機器に備えられてもよい。電子機器の適用例としては、例えば、以下のものがあげられる。

[0095] （適用例１）

図２６は、ヘッドマウントディスプレイ１１０の外観の一例を示す。ヘッドマウントディスプレイ１１０は、例えば、眼鏡形の表示部１１１の両側に、使用者の頭部に装着するための耳掛け部１１２を有している。表示部１１１は、上記の表示装置１を備える。

[0096] （適用例２）

図２７は、シースルーヘッドマウントディスプレイ１２０の外観の一例を示す。シースルーヘッドマウントディスプレイ１２０は、本体部１２１と、アーム１２２と、鏡筒１２３とを備える。

[0097] 本体部１２１は、アーム１２２及び眼鏡１２８と接続される。具体的には、本体部１２１の長辺方向の端部はアーム１２２と結合され、本体部１２１の側面の一側は接続部材を介して眼鏡１２８と連結される。なお、本体部１２１は、直接的に人体の頭部に装着されてもよい。

[0098] 本体部１２１は、シースルーヘッドマウントディスプレイ１２０の動作を制御するための制御基板や、表示部を内蔵する。アーム１２２は、本体部１

２１と鏡筒１２３とを接続させ、鏡筒１２３を支える。具体的には、アーム１２２は、本体部１２１の端部及び鏡筒１２３の端部とそれぞれ結合され、鏡筒１２３を固定する。また、アーム１２２は、本体部１２１から鏡筒１２３に提供される画像に係るデータを通信するための信号線を内蔵する。

[0099] 鏡筒１２３は、本体部１２１からアーム１２２を経由して提供される画像光を、接眼レンズ１２９を通じて、シースルーヘッドマウントディスプレイ１２０を装着するユーザの目に向かって投射する。このシースルーヘッドマウントディスプレイ１２０において、本体部１２１の表示部は、上記の表示装置１を備える。

[0100] なお、このシースルーヘッドマウントディスプレイ１２０は、いわゆる導光板方式のヘッドマウントディスプレイであるが、これに限定されるものではなく、例えば、いわゆるバードバス方式のヘッドマウントディスプレイであってもよい。このバードバス方式のヘッドマウントディスプレイは、例えば、ビームスプリッタと、部分的に透明なミラーとを備えている。ビームスプリッタは、画像情報でエンコードされた光をミラーに向けて出力し、ミラーは、光をユーザの目に向かって反射させる。ビームスプリッタおよび部分的に透明なミラーの両方は、部分的に透明である。これにより、周囲環境からの光がユーザの目に到達する。

[0101]（適用例３）

図２８Ａ、図２８Ｂは、デジタルスチルカメラ１３０の外観の一例を示す。このデジタルスチルカメラ１３０は、レンズ交換式一眼レフレックスタイプのものであり、カメラ本体部（カメラボディ）１３１の正面略中央に交換式の撮影レンズユニット（交換レンズ）１３２を有し、正面左側に撮影者が把持するためのグリップ部１３３を有している。

[0102] カメラ本体部１３１の背面中央から左側にずれた位置には、モニタ１３４が設けられている。モニタ１３４の上部には、電子ビューファインダ（接眼窓）１３５が設けられている。撮影者は、電子ビューファインダ１３５を覗くことによって、撮影レンズユニット１３２から導かれた被写体の光像を視

認して構図決定を行うことが可能である。電子ビューファインダ１３５は、上記の表示装置１を備える。

[0103]（適用例４）

図２９は、テレビジョン装置１４０の外観の一例を示す。このテレビジョン装置１４０は、例えば、フロントパネル１４２及びフィルターガラス１４３を含む映像表示画面部１４１を有しており、この映像表示画面部１４１は、上記の表示装置１を備える。

[0104]（適用例５）

図３０は、スマートフォン１５０の外観の一例を示す。スマートフォン１５０は、各種情報を表示する表示部１５１、及びユーザによる操作入力を受け付けるボタン等から構成される操作部１５２等を備える。表示部１５１は、上記の表示装置１を備える。

[0105]（適用例６）

上記の表示装置１は、乗物に備えられる各種のディスプレイに備えられてもよい。

[0106] 図３１Ａ及び図３１Ｂは、各種のディスプレイが備えられた乗物２００の内部の構成の一例を示す図である。具体的には、図３１Ａは、乗物２００の後方から前方にかけての乗物２００の内部の様子の一例を示す図、図３１Ｂは、乗物２００の斜め後方から斜め前方にかけての乗物２００の内部の様子の一例を示す図である。

[0107] 乗物２００は、センターディスプレイ２０１と、コンソールディスプレイ２０２と、ヘッドアップディスプレイ２０３と、デジタルリアミラー２０４と、ステアリングホイールディスプレイ２０５と、リアエンタテイメントディスプレイ２０６とを備える。これらのディスプレイの少なくとも１つが、上記の表示装置１を備える。例えば、これらのディスプレイのすべてが、上記の表示装置１を備えてもよい。

[0108] センターディスプレイ２０１は、運転席２０８及び助手席２０９に対向するダッシュボードの部分に配置されている。図３１Ａ及び図３１Ｂでは、運

転席２０８側から助手席２０９側まで延びる横長形状のセンターディスプレイ２０１の例を示すが、センターディスプレイ２０１の画面サイズや配置場所は任意である。センターディスプレイ２０１には、種々のセンサで検知された情報を表示可能である。具体的な一例として、センターディスプレイ２０１には、イメージセンサで撮影した撮影画像、ＴｏＦセンサで計測された乗物２００の前方や側方の障害物までの距離画像、赤外線センサで検出された乗客の体温などを表示可能である。センターディスプレイ２０１は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテイメント関連情報の少なくとも一つを表示するために用いることができる。

[0109] 安全関連情報は、居眠り検知、よそ見検知、同乗している子供のいたずら検知、シートベルト装着有無、乗員の置き去り検知などの情報であり、例えばセンターディスプレイ２０１の裏面側に重ねて配置されたセンサにて検知される情報である。操作関連情報は、センサを用いて乗員の操作に関するジェスチャを検知する。検知されるジェスチャは、乗物２００内の種々の設備の操作を含んでいてもよい。例えば、空調設備、ナビゲーション装置、ＡＶ装置、照明装置等の操作を検知する。ライフログは、乗員全員のライフログを含む。例えば、ライフログは、乗車中の各乗員の行動記録を含む。ライフログを取得及び保存することで、事故時に乗員がどのような状態であったかを確認できる。健康関連情報は、温度センサなどのセンサを用いて乗員の体温を検知し、検知した体温に基づいて乗員の健康状態を推測する。あるいは、イメージセンサを用いて乗員の顔を撮像し、撮像した顔の表情から乗員の健康状態を推測してもよい。さらに、乗員に対して自動音声で会話を行って、乗員の回答内容に基づいて乗員の健康状態を推測してもよい。認証／識別関連情報は、センサを用いて顔認証を行うキーレスエントリ機能や、顔識別でシート高さや位置の自動調整機能などを含む。エンタテイメント関連情報は、センサを用いて乗員によるＡＶ装置の操作情報を検出する機能や、センサで乗員の顔を認識して、乗員に適したコンテンツをＡＶ装置にて提供する

機能などを含む。

[0110] コンソールディスプレイ２０２は、例えば、ライフログ情報の表示に用いることができる。コンソールディスプレイ２０２は、運転席２０８と助手席２０９の間のセンターコンソール２１０のシフトレバー２１１の近くに配置されている。コンソールディスプレイ２０２にも、種々のセンサで検知された情報を表示可能である。また、コンソールディスプレイ２０２には、イメージセンサで撮像された車両周辺の画像を表示してもよいし、車両周辺の障害物までの距離画像を表示してもよい。

[0111] ヘッドアップディスプレイ２０３は、運転席２０８の前方のフロントガラス２１２の奥に仮想的に表示される。ヘッドアップディスプレイ２０３は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテイメント関連情報の少なくとも一つを表示するために用いることができる。ヘッドアップディスプレイ２０３は、運転席２０８の正面に仮想的に配置されることが多いため、乗物２００の速度や燃料（バッテリ）残量などの乗物２００の操作に直接関連する情報を表示するのに適している。

[0112] デジタルリアミラー２０４は、乗物２００の後方を表示できるだけでなく、後部座席の乗員の様子も表示できるため、デジタルリアミラー２０４の裏面側に重ねてセンサを配置することで、例えばライフログ情報の表示に用いることができる。

[0113] ステアリングホイールディスプレイ２０５は、乗物２００のハンドル２１３の中心付近に配置されている。ステアリングホイールディスプレイ２０５は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテイメント関連情報の少なくとも一つを表示するために用いることができる。特に、ステアリングホイールディスプレイ２０５は、運転者の手の近くにあるため、運転者の体温等のライフログ情報を表示したり、ＡＶ装置や空調設備等の操作に関する情報などを表示したりするのに適している。

[0114] リアエンタテイメントディスプレイ２０６は、運転席２０８や助手席２０９の背面側に取り付けられており、後部座席の乗員が視聴するためのものである。リアエンタテイメントディスプレイ２０６は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテイメント関連情報の少なくとも一つを表示するために用いることができる。特に、リアエンタテイメントディスプレイ２０６は、後部座席の乗員の目の前にあるため、後部座席の乗員に関連する情報が表示される。例えば、ＡＶ装置や空調設備の操作に関する情報を表示したり、後部座席の乗員の体温等を温度センサで計測した結果を表示したりしてもよい。

[0115] 表示装置１の裏面側に重ねてセンサを配置し、周囲に存在する物体までの距離を計測することができる構成としてもよい。光学的な距離計測の手法には、大きく分けて、受動型と能動型がある。受動型は、センサから物体に光を投光せずに、物体からの光を受光して距離計測を行うものである。受動型には、レンズ焦点法、ステレオ法、及び単眼視法などがある。能動型は、物体に光を投光して、物体からの反射光をセンサで受光して距離計測を行うものである。能動型には、光レーダ方式、アクティブステレオ方式、照度差ステレオ法、モアレトポグラフィ法、干渉法などがある。上記の表示装置１は、これらのどの方式の距離計測にも適用可能である。上記の表示装置１の裏面側に重ねて配置されるセンサを用いることで、上述した受動型又は能動型の距離計測を行うことができる。

[0116] ＜４．変形例＞

以上、本技術の実施形態について具体的に説明したが、本技術の内容は上述した実施形態に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。例えば、上述した実施形態の構成、方法、工程、形状、材料および数値等は、本技術の主旨を逸脱しない限り、互いに組み合わせることや入れ替えることが可能である。また、１つのものを２つ以上に分けることも可能であり、一部を省略することも可能である。

[0117] 例えば、画素ＰＩＸは、上述した構成例（変形例を含む）のものに限らず

、Ｐチャネル型のトランジスタをＮチャネル型に替えるなど、適宜、変更が可能である。トランジスタ、キャパシタ、発光素子の種類、数、接続は、適宜、変更が可能である。各種画素信号、制御信号は、それに合わせて生成し、画素ＰＩＸに供給すればよい。

[0118] なお、本技術は、以下のような構成も採ることができる。

（１）

発光素子と、

信号線を介して入力される画素信号に基づく電圧に応じて前記発光素子に流れる電流を制御する第１のトランジスタと、

前記信号線電位のノードおよび前記発光素子のアノード電位のノード間に直列に接続された第２のトランジスタおよび第１のキャパシタと

を有する画素回路を備える

表示装置。

（２）

前記第２のトランジスタは、前記発光素子の消光時、かつ、前記第１のキャパシタのカップリングにより前記アノード電位が引き下げられるタイミングでオンする

（１）に記載の表示装置。

（３）

前記第１のトランジスタを制御する信号と前記第２のトランジスタを制御する信号とを出力する垂直スキャナを有し、

前記第２のトランジスタは、前記第１のトランジスタを制御する信号と同じ振幅の信号で駆動する

（１）または（２）に記載の表示装置。

（４）

前記第２のトランジスタは、前記信号線電位のノード側に設けられ、

前記第１のキャパシタは、前記アノード電位のノード側に設けられている

（１）から（３）のうちの何れかに記載の表示装置。

（５）

前記第２のトランジスタは、前記アノード電位のノード側に設けられ、

前記第１のキャパシタは、前記信号線電位のノード側に設けられている

（１）から（３）のうちの何れかに記載の表示装置。

（６）

前記信号線電位のノードは、前記第１のトランジスタのゲートと接続されている

（１）から（５）のうちの何れかに記載の表示装置。

（７）

前記信号線電位のノードは、前記信号線と接続されている

（１）から（５）のうちの何れかに記載の表示装置。

（８）

前記アノード電位のノードは、前記発光素子のアノードと接続されている

（１）から（７）のうちの何れかに記載の表示装置。

（９）

前記アノード電位のノードは、前記第１のトランジスタのソースおよびドレインの一方と接続されている

（１）から（７）のうちの何れかに記載の表示装置。

（１０）

前記第２のトランジスタは、既存の画素回路に含まれるものである

（１）から（９）のうちの何れかに記載の表示装置。

（１１）

前記画素回路は、前記画素信号の電圧を保持する第２のキャパシタと、前記画素信号に基づいて前記第２のキャパシタの両端間の電圧を設定する第３のトランジスタとを有し、

前記第１のトランジスタは、前記第２のキャパシタの両端間の電圧に応じた電流を前記発光素子に流す

（１）から（１０）のうちの何れかに記載の表示装置。

（１２）

前記画素回路は、第４のトランジスタを有し、

前記第１のトランジスタは、前記第４のトランジスタがオン状態である期間にオンする

（１）から（１１）のうちの何れかに記載の表示装置。

（１３）

（１）から（１２）のうちの何れかに記載の表示装置を有する電子機器。

符号の説明

[0119] １・・・表示装置、２・・・画素部、３・・・水平セレクタ、４・・・垂直スキャナ、５・・・書込みスキャナ、６・・・駆動スキャナ、７・・・オートゼロスキャナ、ＰＩＸ・・・画素（画素回路）、ＳＧＬ・・・信号線、ＷＳＬ，ＤＳＬ，ＡＺＳＬ・・・制御線、ＭＰ１２～ＭＰ１４，ＭＰ１００・・・トランジスタ、Ｃ１１，Ｃ１２，Ｃ１００・・・キャパシタ、ＥＬ・・・発光素子

請求の範囲

[請求項1] 発光素子と、

信号線を介して入力される画素信号に基づく電圧に応じて前記発光素子に流れる電流を制御する第１のトランジスタと、

前記信号線電位のノードおよび前記発光素子のアノード電位のノード間に直列に接続された第２のトランジスタおよび第１のキャパシタと

を有する画素回路を備える

表示装置。

[請求項2] 前記第２のトランジスタは、前記発光素子の消光時、かつ、前記第１のキャパシタのカップリングにより前記アノード電位が引き下げられるタイミングでオンする

請求項１に記載の表示装置。

[請求項3] 前記第１のトランジスタおよび前記第２のトランジスタを制御する信号をそれぞれ出力する垂直スキャナを備え、

前記第２のトランジスタは、前記第１のトランジスタを制御する信号と同じ振幅の信号で駆動する

請求項１に記載の表示装置。

[請求項4] 前記第２のトランジスタは、前記信号線電位のノード側に設けられ、

前記第１のキャパシタは、前記アノード電位のノード側に設けられている

請求項１に記載の表示装置。

[請求項5] 前記第２のトランジスタは、前記アノード電位のノード側に設けられ、

前記第１のキャパシタは、前記信号線電位のノード側に設けられている

請求項１に記載の表示装置。

[請求項6] 前記信号線電位のノードは、前記第１のトランジスタのゲートと接続されている

請求項１に記載の表示装置。

[請求項7] 前記信号線電位のノードは、前記信号線と接続されている

請求項１に記載の表示装置。

[請求項8] 前記アノード電位のノードは、前記発光素子のアノードと接続されている

請求項１に記載の表示装置。

[請求項9] 前記アノード電位のノードは、前記第１のトランジスタのソースおよびドレインの一方と接続されている

請求項１に記載の表示装置。

[請求項10] 前記第２のトランジスタは、既存の画素回路に含まれるものである

請求項１に記載の表示装置。

[請求項11] 前記画素回路は、前記画素信号の電圧を保持する第２のキャパシタと、前記画素信号に基づいて前記第２のキャパシタの両端間の電圧を設定する第３のトランジスタとを有し、

前記第１のトランジスタは、前記第２のキャパシタの両端間の電圧に応じた電流を前記発光素子に流す

請求項１に記載の表示装置。

[請求項12] 前記画素回路は、第４のトランジスタを有し、

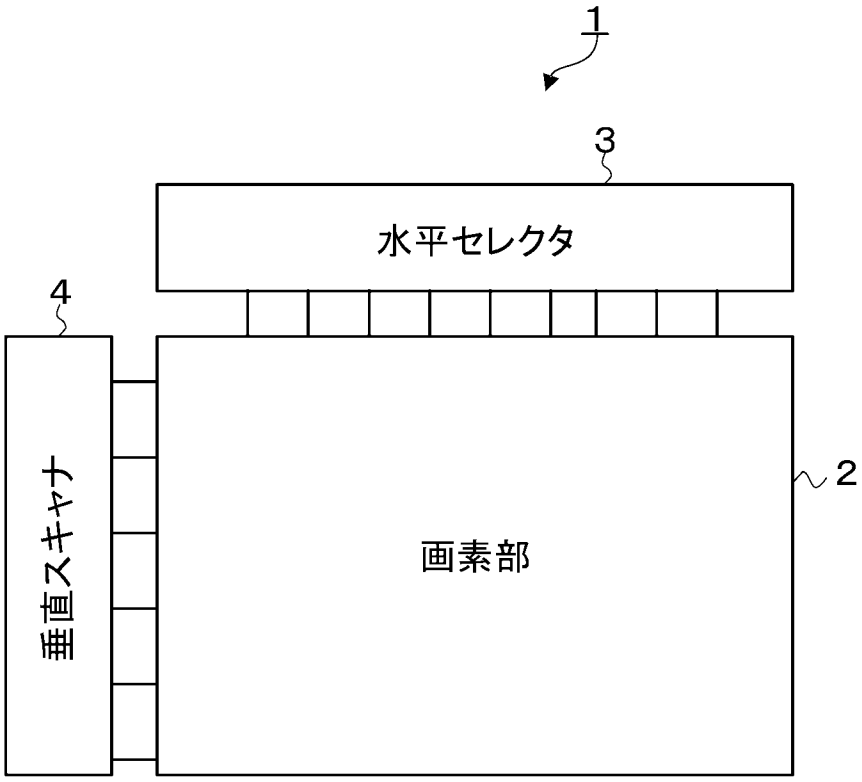
前記第１のトランジスタは、前記第４のトランジスタがオン状態である期間にオンする

請求項１に記載の表示装置。

[請求項13] 請求項１に記載の表示装置を有する電子機器。

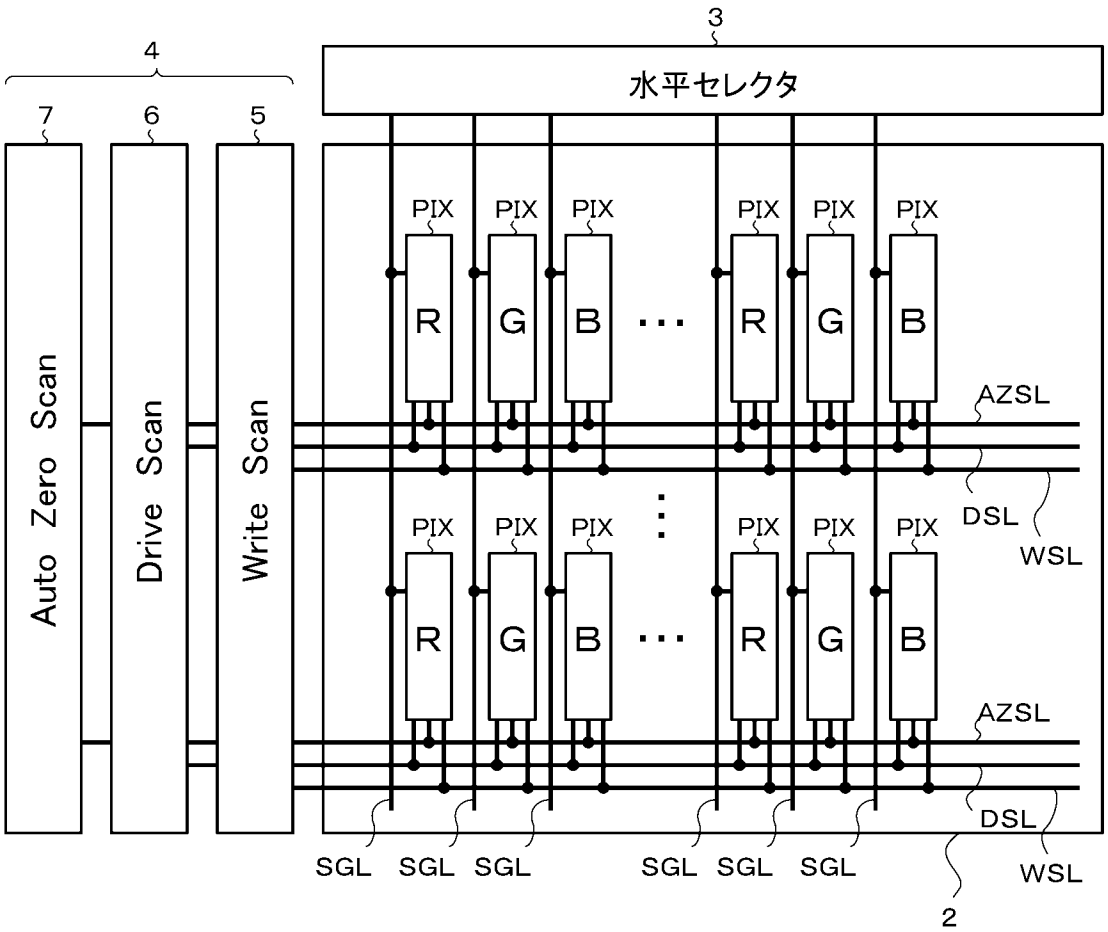
[図1]

図1



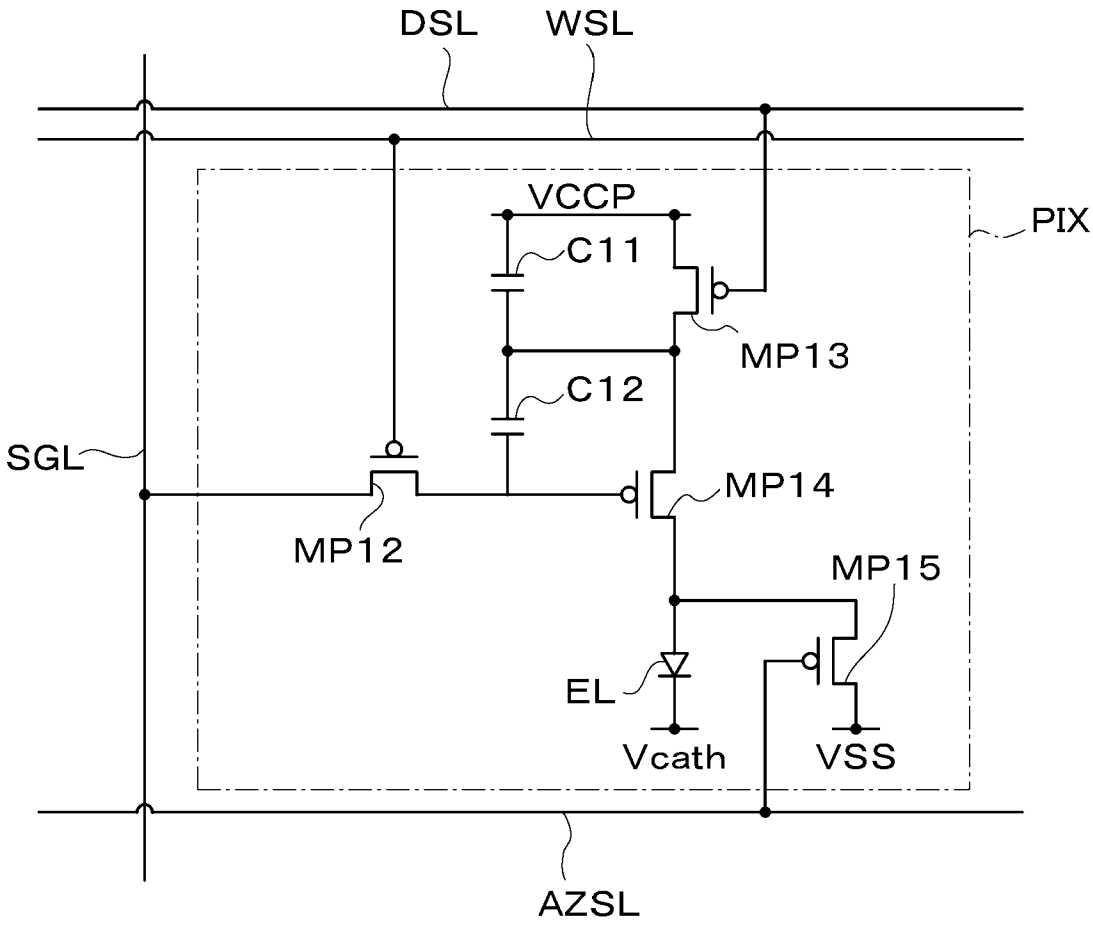
[図2]

図2


3
4
水平セレクタ
7
6
5
Auto Zero Scan
Drive Scan
Write Scan
PIX
R
G
B
AZSL
DSL
WSL
SGL
2

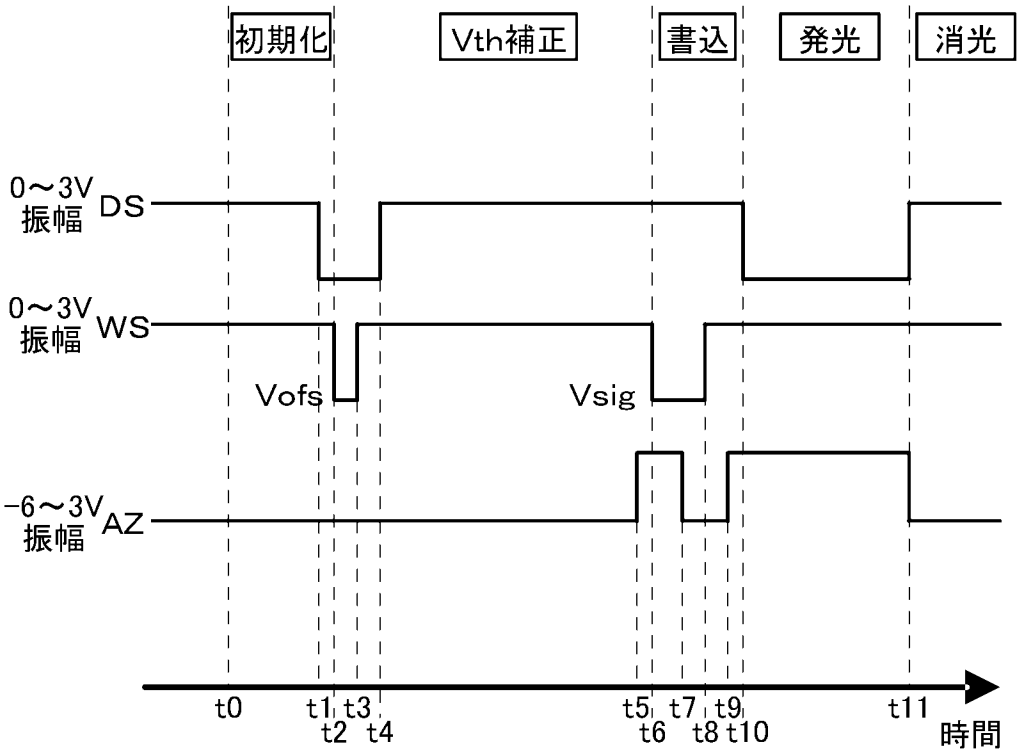
[図3]

図3

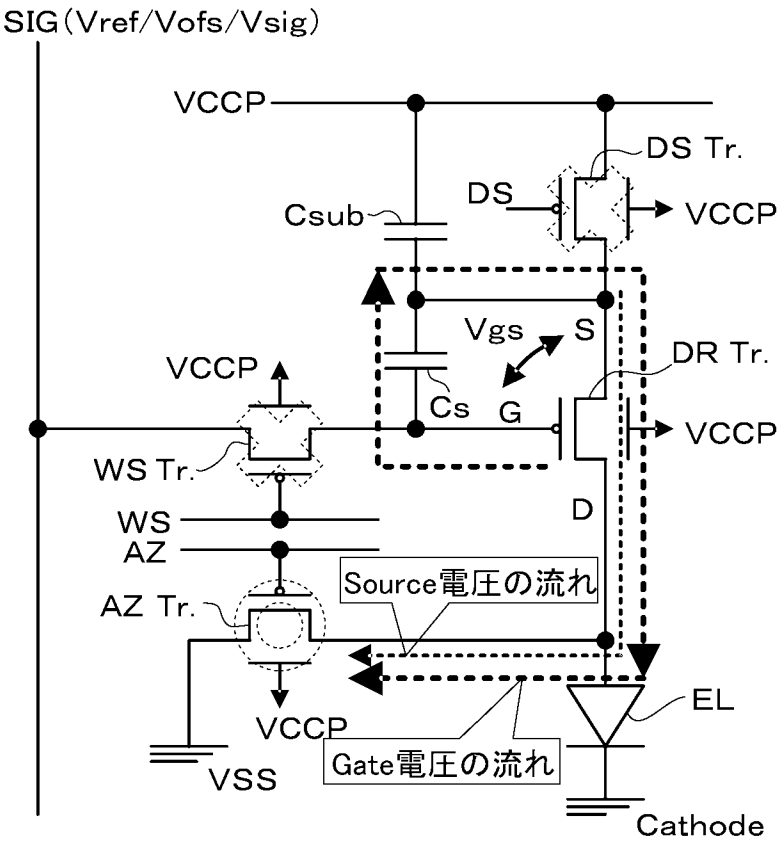

DSL
WSL
VCCP
C11
PIX
MP13
C12
SGL
MP14
MP12
MP15
EL
Vcath
VSS
AZSL

[図4]

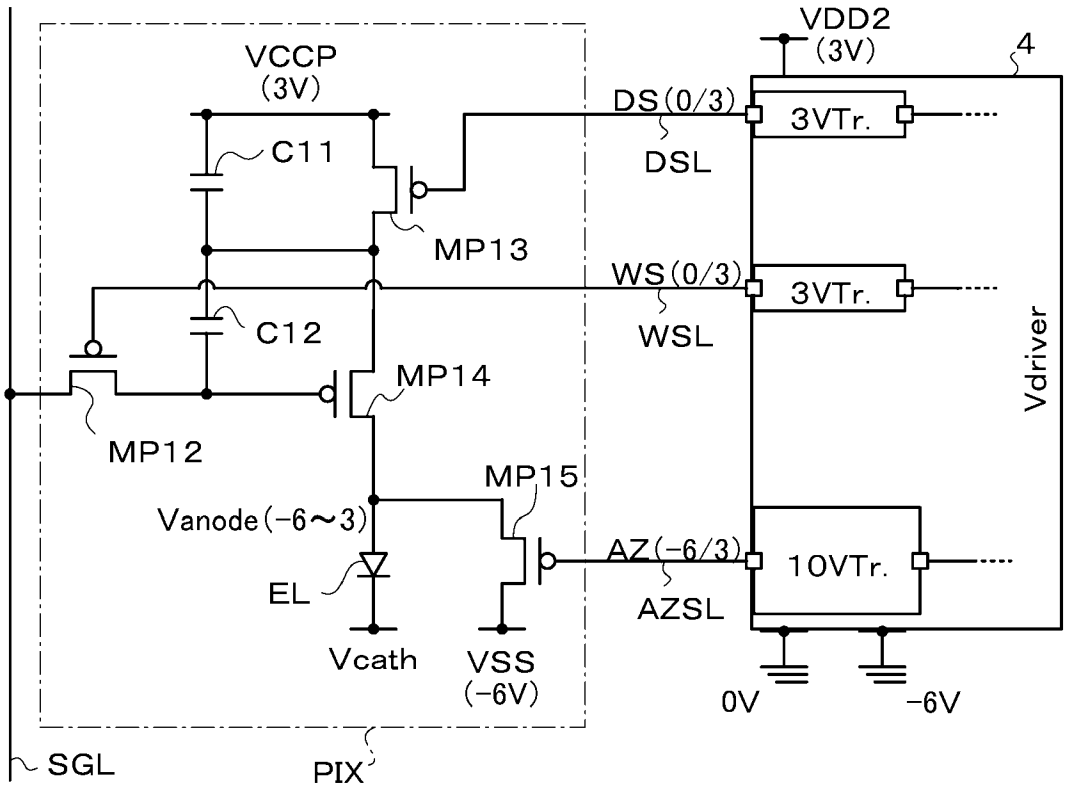
図4


初期化
Vth補正
書込
発光
消光
0～3V
振幅
DS
0～3V
振幅
WS
Vofs
Vsig
−6～3V
振幅
AZ
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
時間

[図5]
図5

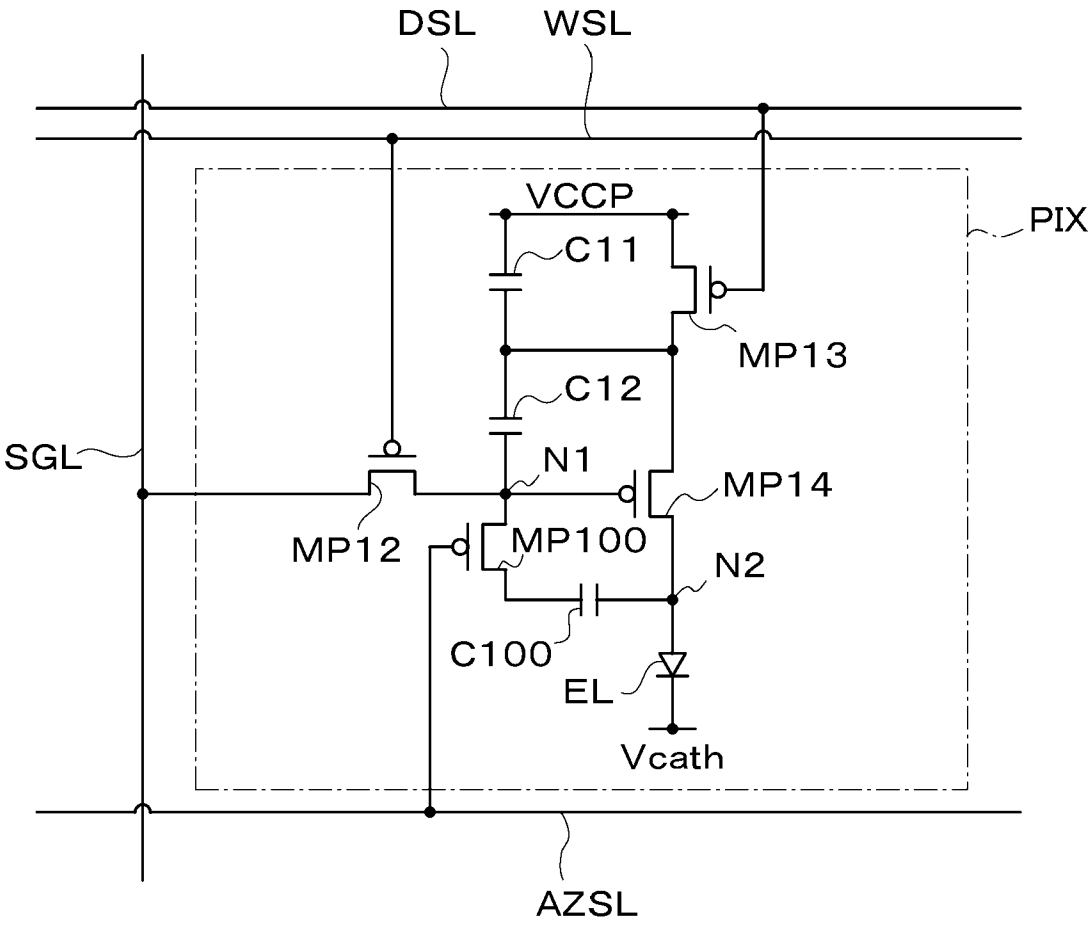

SIG(Vref/Vofs/Vsig)
VCCP
DS Tr.
DS
VCCP
Csub
Vgs
S
DR Tr.
VCCP
Cs
G
VCCP
WS Tr.
D
WS
AZ
Source電圧の流れ
AZ Tr.
EL
VCCP
Gate電圧の流れ
VSS
Cathode

[図6]
図6


VCCP
(3V)
C11
MP13
C12
MP14
MP12
MP15
Vanode(−6〜3)
EL
Vcath
VSS
(−6V)
SGL
PIX
VDD2
(3V)
4
DS(0/3)
DSL
3VTr.
WS(0/3)
WSL
3VTr.
Vdriver
AZ(−6/3)
AZSL
10VTr.
0V
−6V

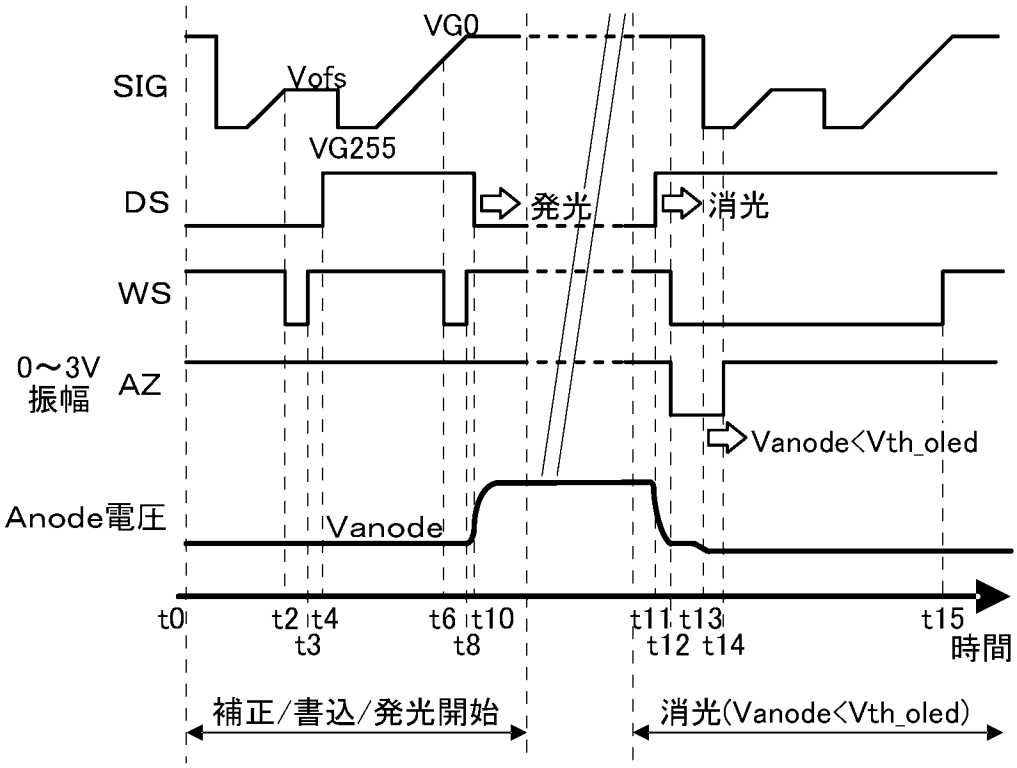
[図7]

図7

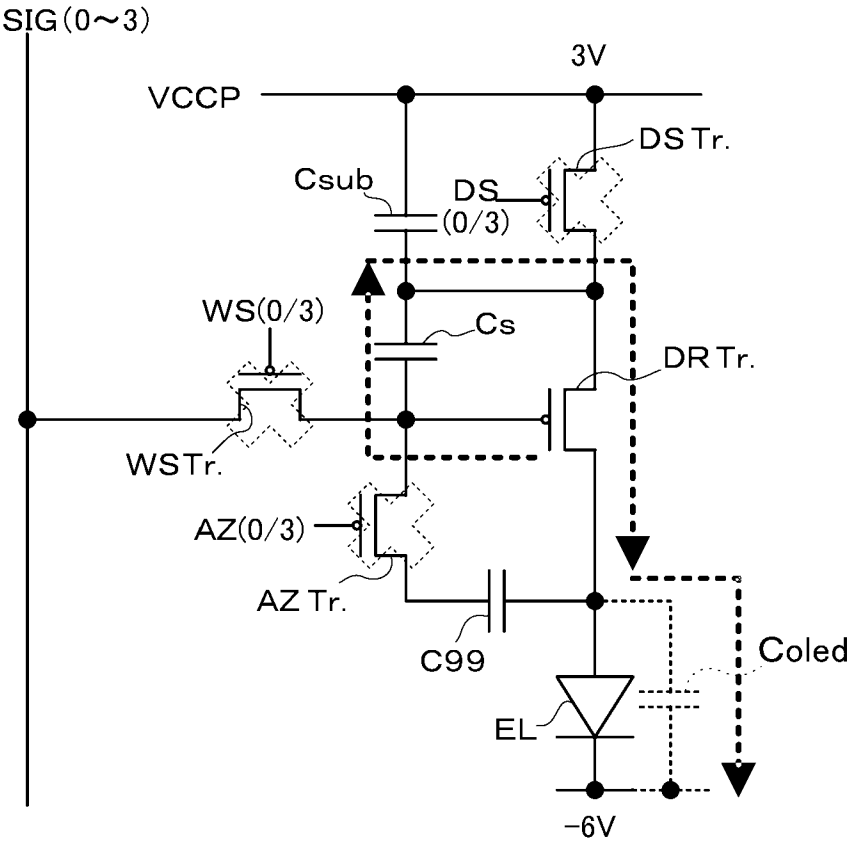

DSL
WSL
VCCP
C11
MP13
PIX
C12
SGL
N1
MP14
MP12
MP100
N2
C100
EL
Vcath
AZSL

[図8]

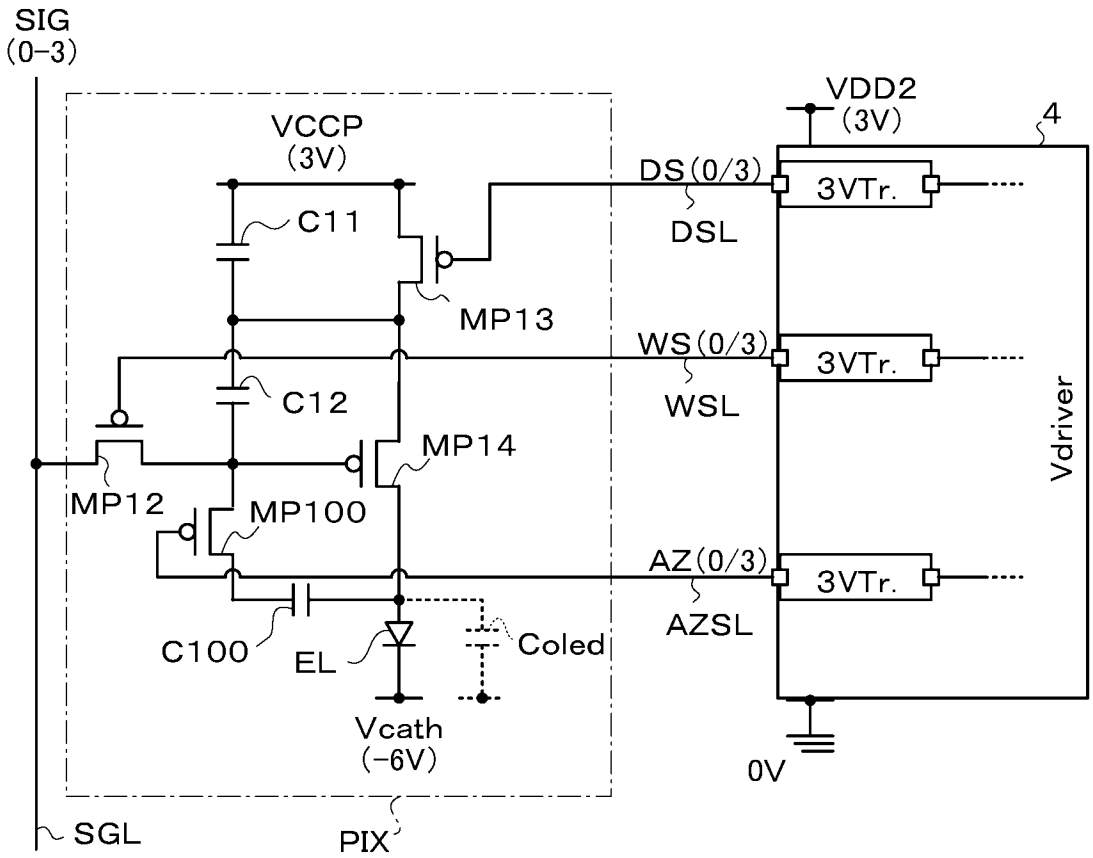
図8


VG0
SIG
Vofs
VG255
DS
発光
消光
WS
0～3V
振幅
AZ
Vanode<Vth_oled
Anode電圧
Vanode
t0
t2
t3
t4
t6
t8
t10
t11
t12
t13
t14
t15
時間
補正/書込/発光開始
消光(Vanode<Vth_oled)

[図9]
図9


SIG(0～3)
3V
VCCP
DS Tr.
Csub
DS
(0/3)
WS(0/3)
Cs
DR Tr.
WS Tr.
AZ(0/3)
AZ Tr.
C99
Coled
EL
−6V

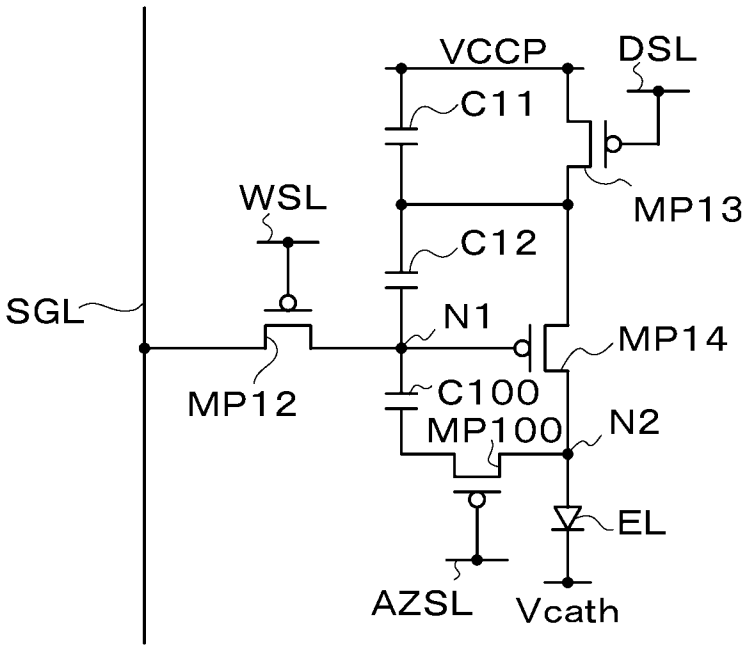
[図10]
図10


SIG
(0-3)
VCCP
(3V)
C11
MP13
C12
MP14
MP12
MP100
C100
EL
Coled
Vcath
(-6V)
SGL
PIX
VDD2
(3V)
4
DS(0/3)
DSL
3VTr.
WS(0/3)
WSL
3VTr.
AZ(0/3)
AZSL
3VTr.
Vdriver
0V

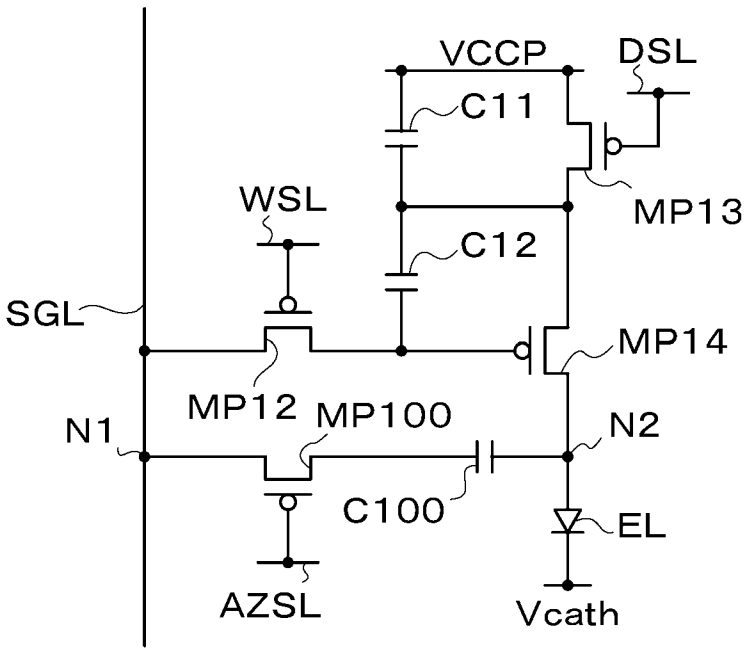
[図11]

図11

A

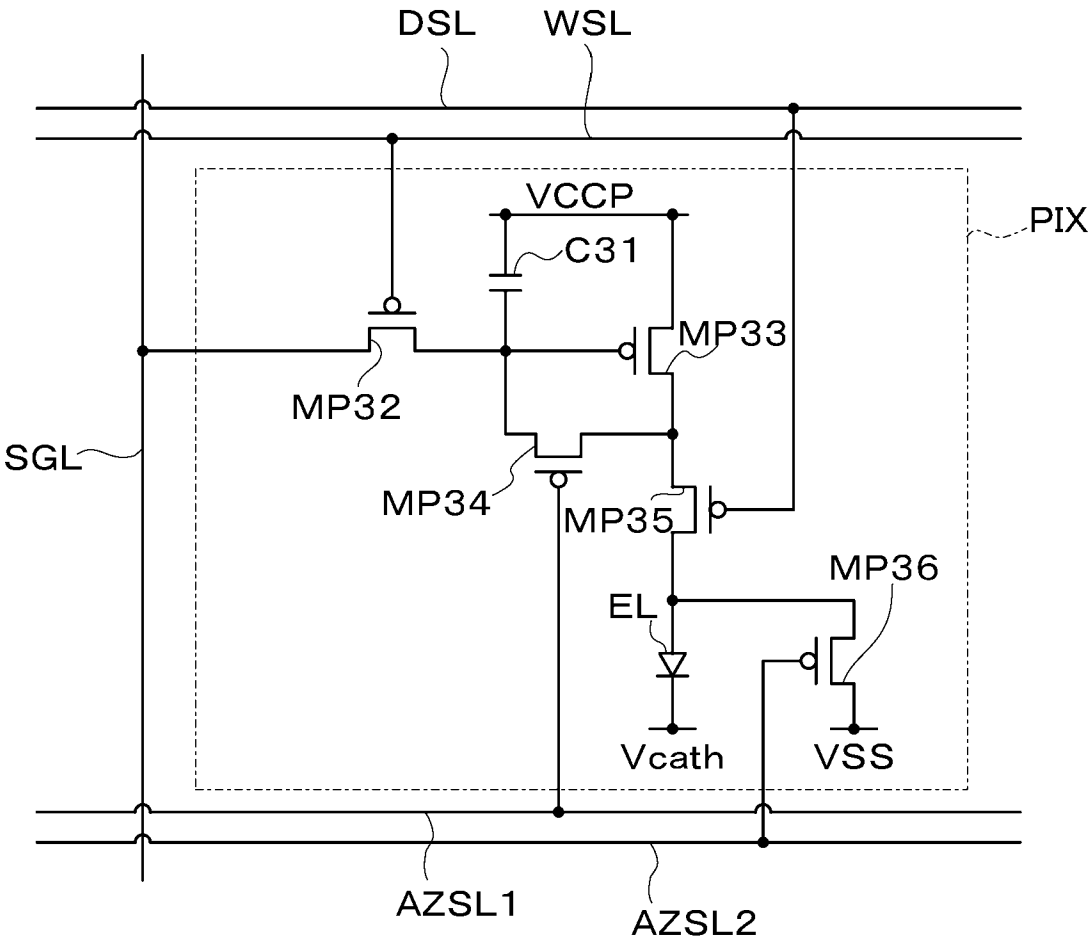

VCCP
DSL
C11
WSL
MP13
C12
SGL
N1
MP14
MP12
C100
MP100
N2
EL
AZSL
Vcath

B


VCCP
DSL
C11
WSL
MP13
C12
SGL
MP14
MP12
MP100
N1
N2
C100
EL
AZSL
Vcath

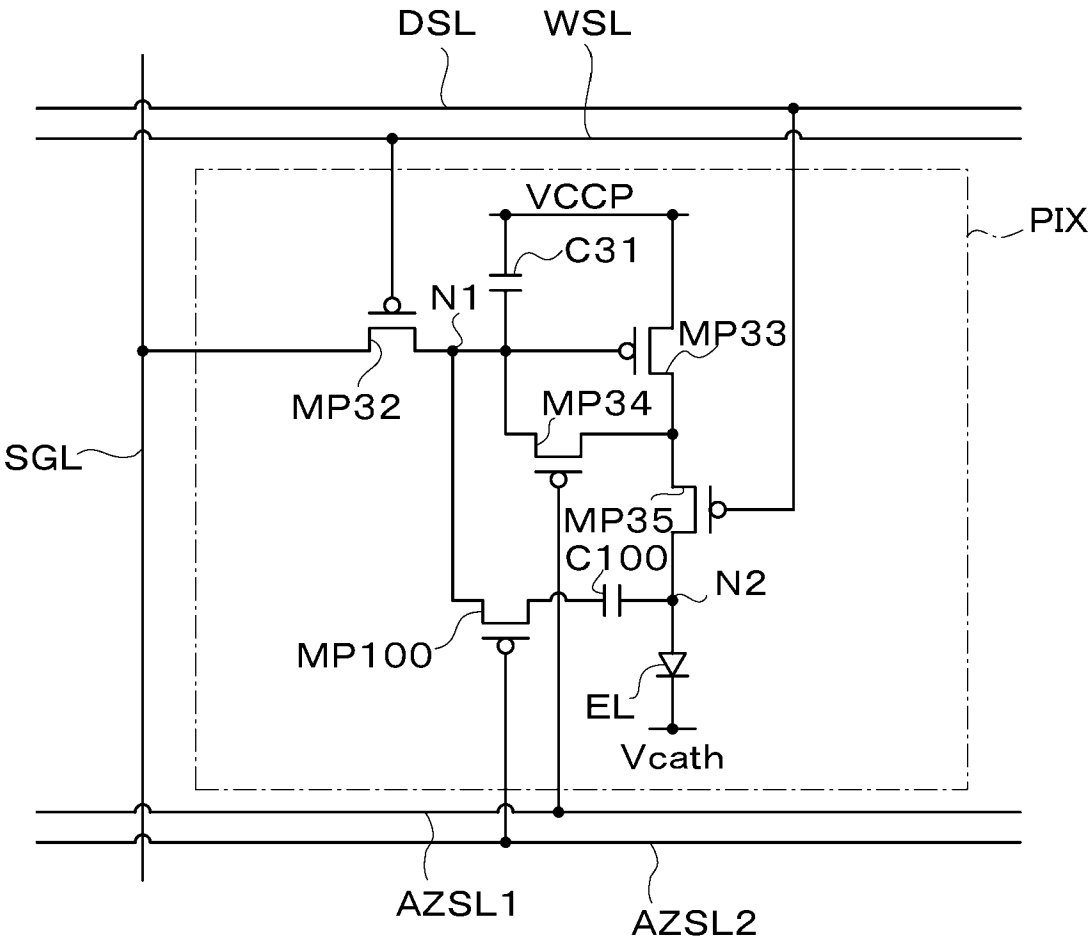
[図12]

図12


DSL
WSL
VCCP
C31
PIX
MP33
MP32
SGL
MP34
MP35
MP36
EL
Vcath
VSS
AZSL1
AZSL2

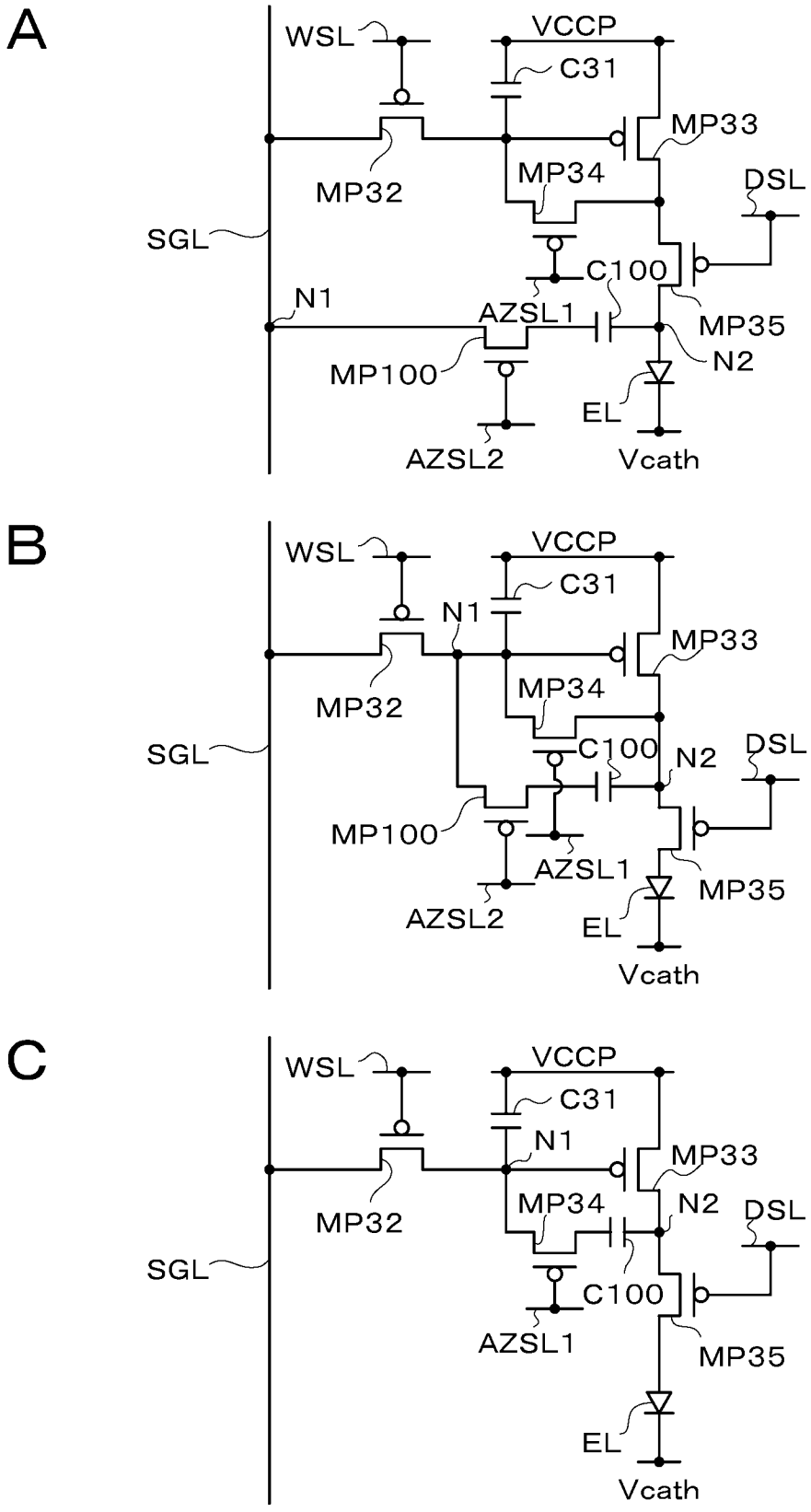
[図13]

図13


DSL
WSL
VCCP
C31
PIX
N1
MP33
MP32
MP34
SGL
MP35
C100
N2
MP100
EL
Vcath
AZSL1
AZSL2

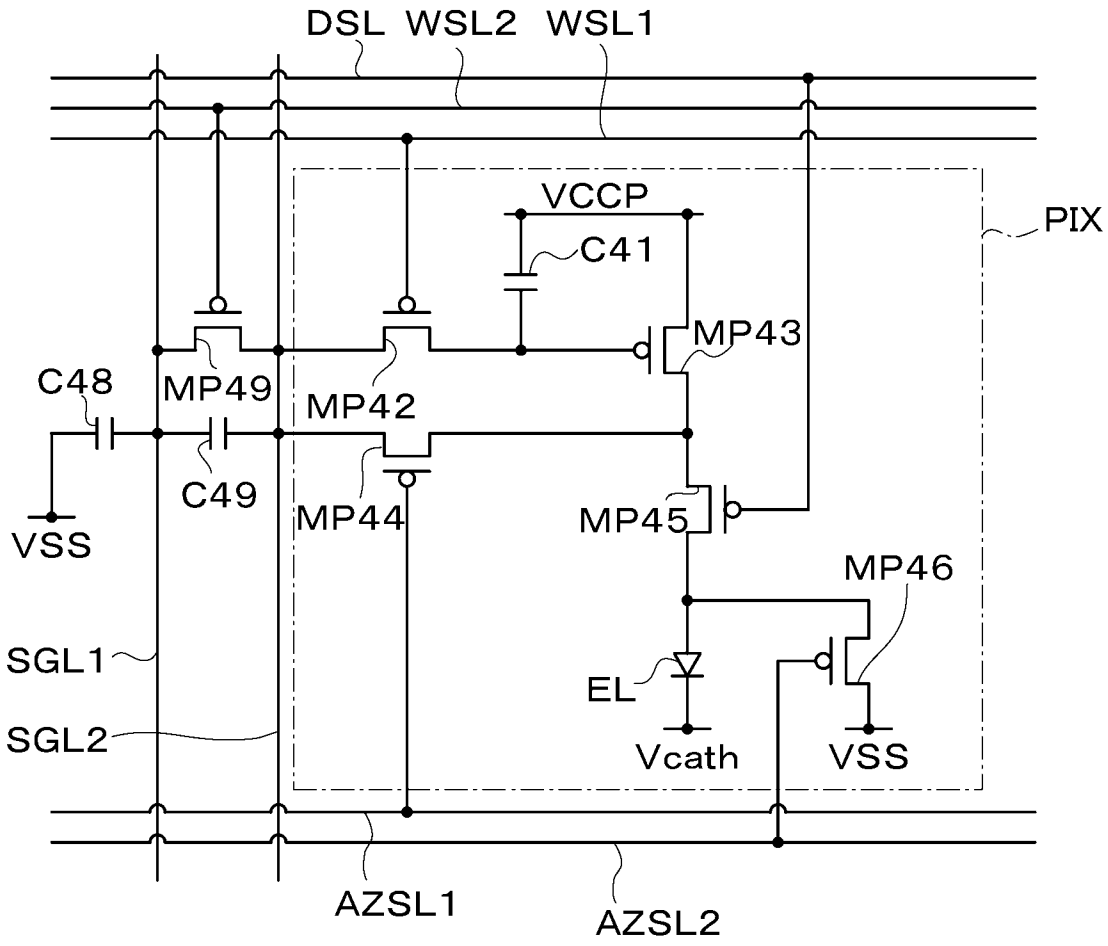
[図14]

図14


A
WSL
VCCP
C31
MP33
MP32
MP34
DSL
SGL
C100
N1
AZSL1
MP35
N2
MP100
EL
AZSL2
Vcath
B
WSL
VCCP
C31
N1
MP33
MP32
MP34
SGL
C100
N2
DSL
MP100
AZSL1
MP35
AZSL2
EL
Vcath
C
WSL
VCCP
C31
N1
MP33
MP32
MP34
N2
DSL
SGL
C100
AZSL1
MP35
EL
Vcath

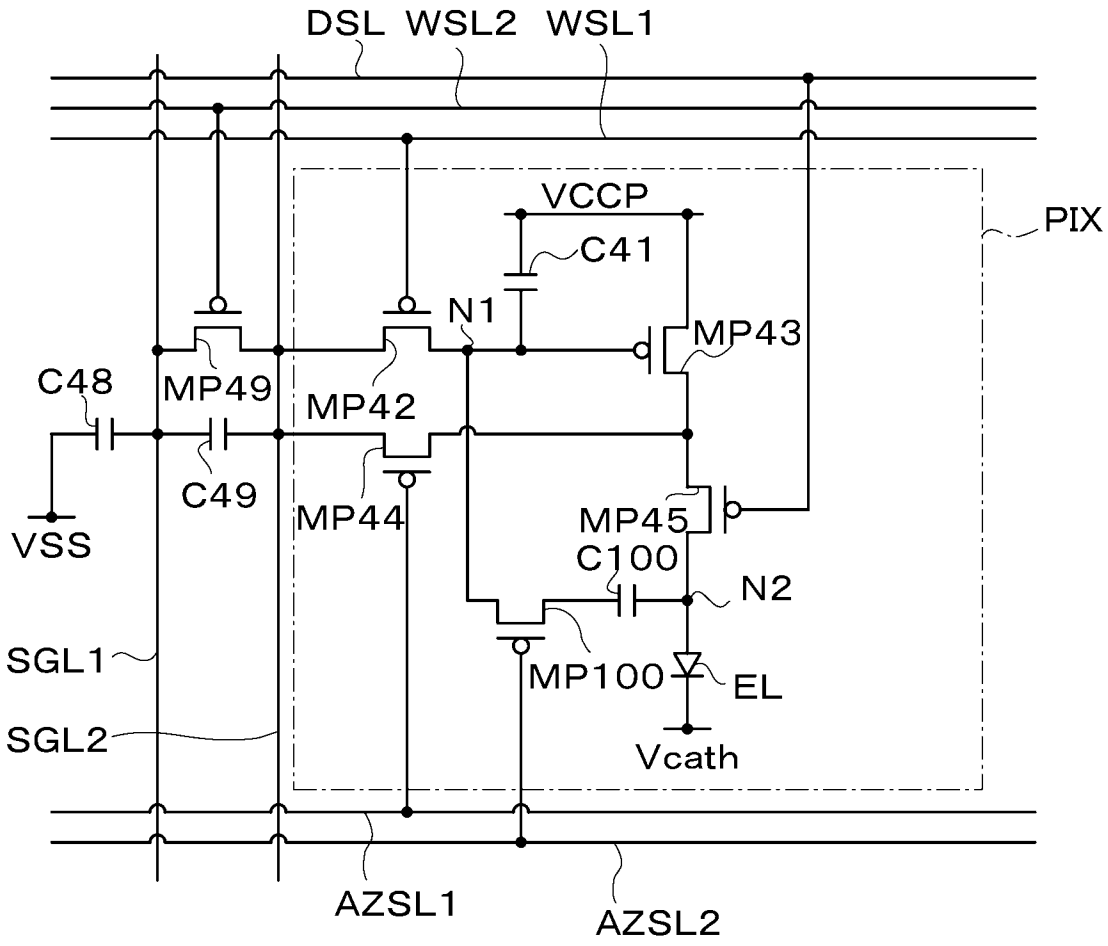
[図15]

図15


DSL
WSL2
WSL1
VCCP
C41
PIX
MP43
C48
MP49
MP42
C49
MP44
MP45
VSS
MP46
SGL1
EL
SGL2
Vcath
VSS
AZSL1
AZSL2

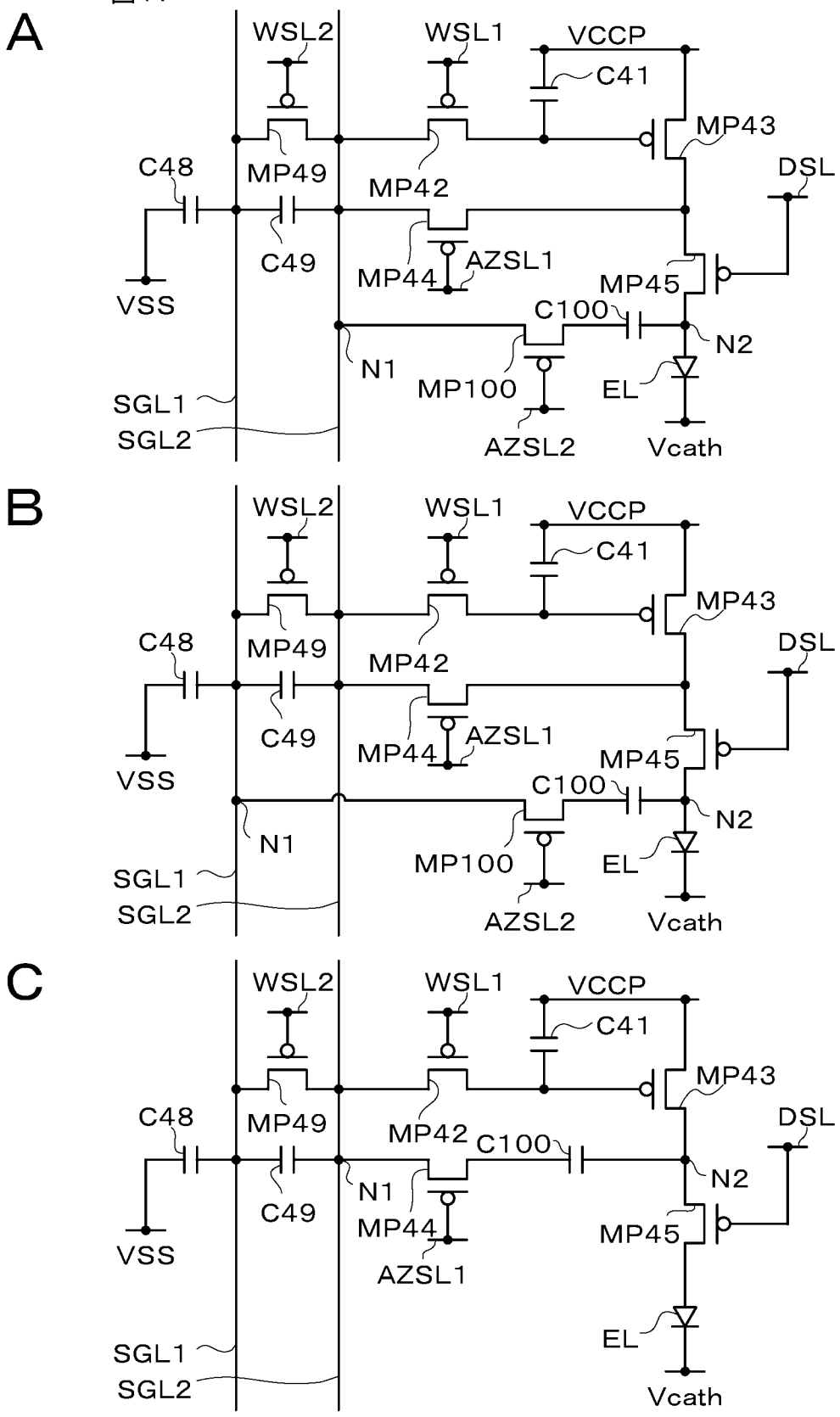
[図16]

図16

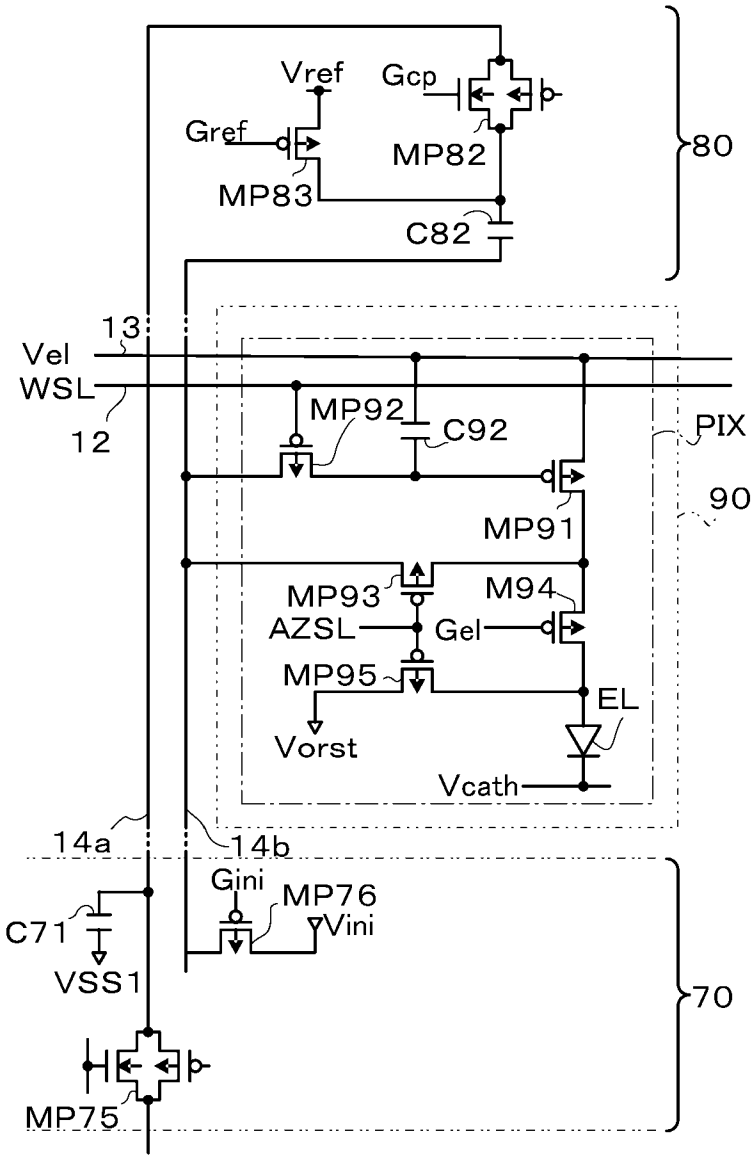

DSL
WSL2
WSL1
VCCP
C41
PIX
N1
MP43
C48
MP49
MP42
C49
MP44
MP45
VSS
C100
N2
SGL1
MP100
EL
SGL2
Vcath
AZSL1
AZSL2

[図17]

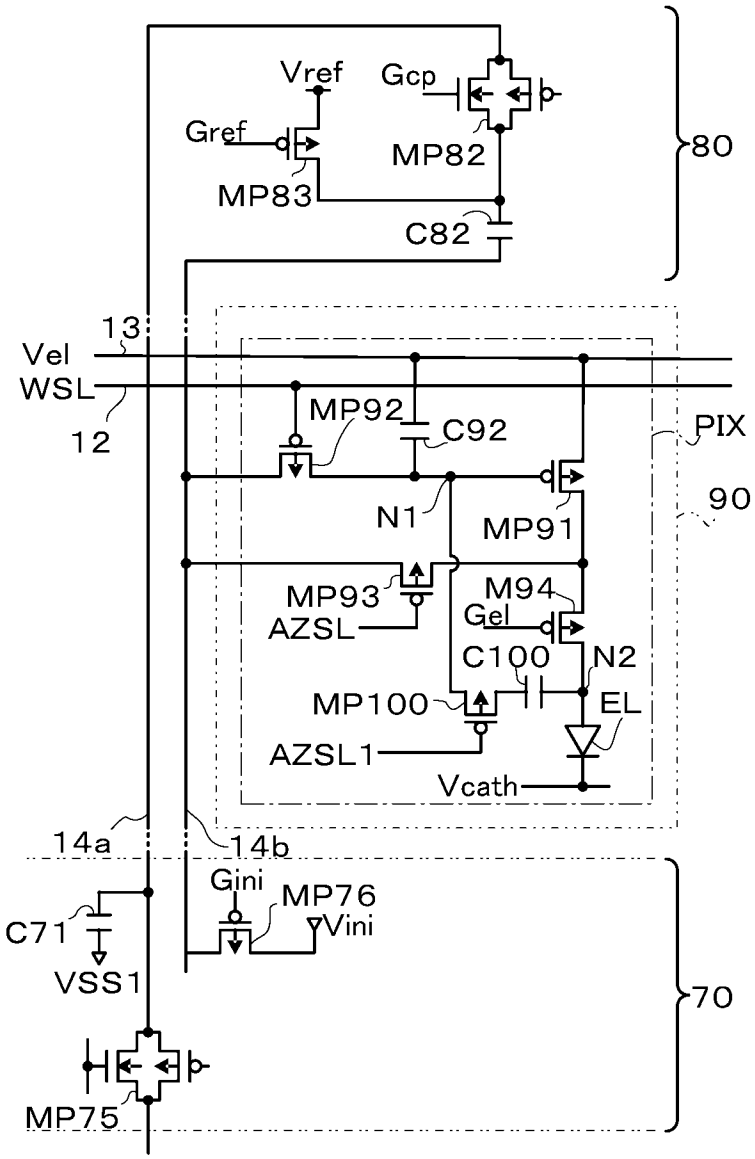
図17


A
WSL2
WSL1
VCCP
C41
MP43
C48
MP49
MP42
DSL
C49
MP44
AZSL1
MP45
VSS
C100
N2
N1
MP100
EL
SGL1
SGL2
AZSL2
Vcath
B
WSL2
WSL1
VCCP
C41
MP43
C48
MP49
MP42
DSL
C49
MP44
AZSL1
MP45
VSS
C100
N2
N1
MP100
EL
SGL1
SGL2
AZSL2
Vcath
C
WSL2
WSL1
VCCP
C41
MP43
C48
MP49
MP42
C100
DSL
N1
N2
C49
MP44
MP45
VSS
AZSL1
EL
SGL1
SGL2
Vcath

[図18]
図18

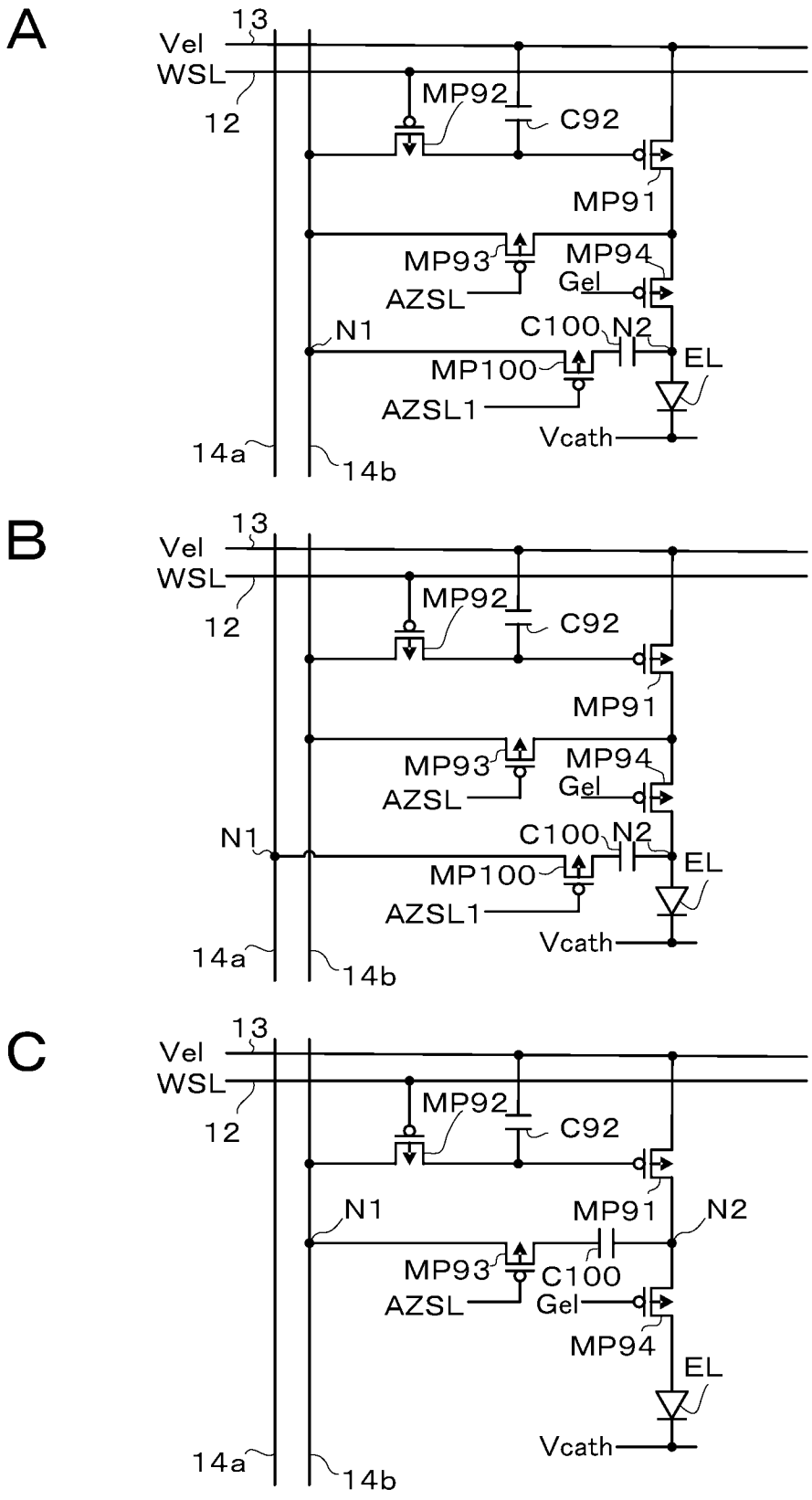

Vref
Gcp
Gref
MP82
MP83
C82
80
13
Vel
WSL
12
MP92
C92
PIX
90
MP91
MP93
M94
AZSL
Gel
MP95
EL
Vorst
Vcath
14a
14b
Gini
MP76
Vini
C71
VSS1
70
MP75

[図19]
図19


Vref
Gcp
Gref
MP82
MP83
C82
80
13
Vel
WSL
12
MP92
C92
PIX
N1
MP91
90
MP93
M94
AZSL
Gel
C100
N2
MP100
EL
AZSL1
Vcath
14a
14b
Gini
MP76
Vini
C71
VSS1
70
MP75

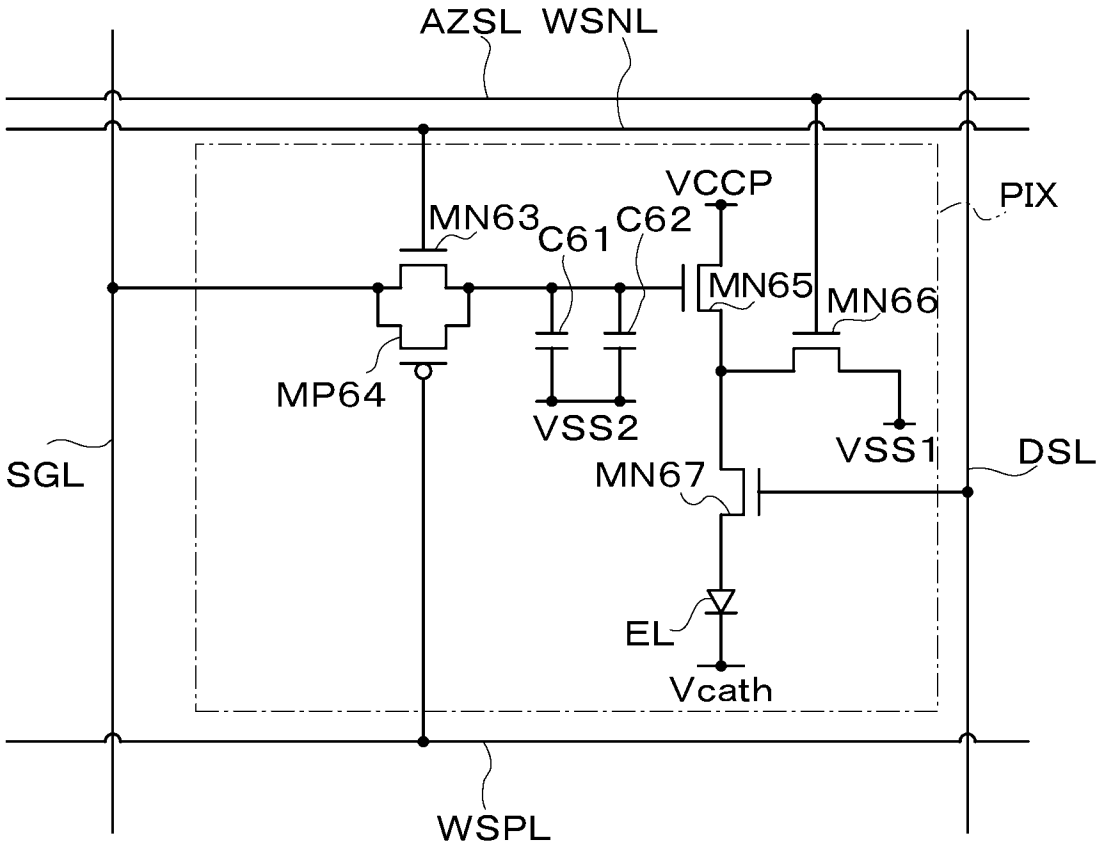
[図20]

図20


A
13
Vel
WSL
12
MP92
C92
MP91
MP93
MP94
Gel
AZSL
N1
C100
N2
EL
MP100
AZSL1
Vcath
14a
14b
B
13
Vel
WSL
12
MP92
C92
MP91
MP93
MP94
Gel
AZSL
N1
C100
N2
EL
MP100
AZSL1
Vcath
14a
14b
C
13
Vel
WSL
12
MP92
C92
N1
MP91
N2
MP93
C100
AZSL
Gel
MP94
EL
Vcath
14a
14b

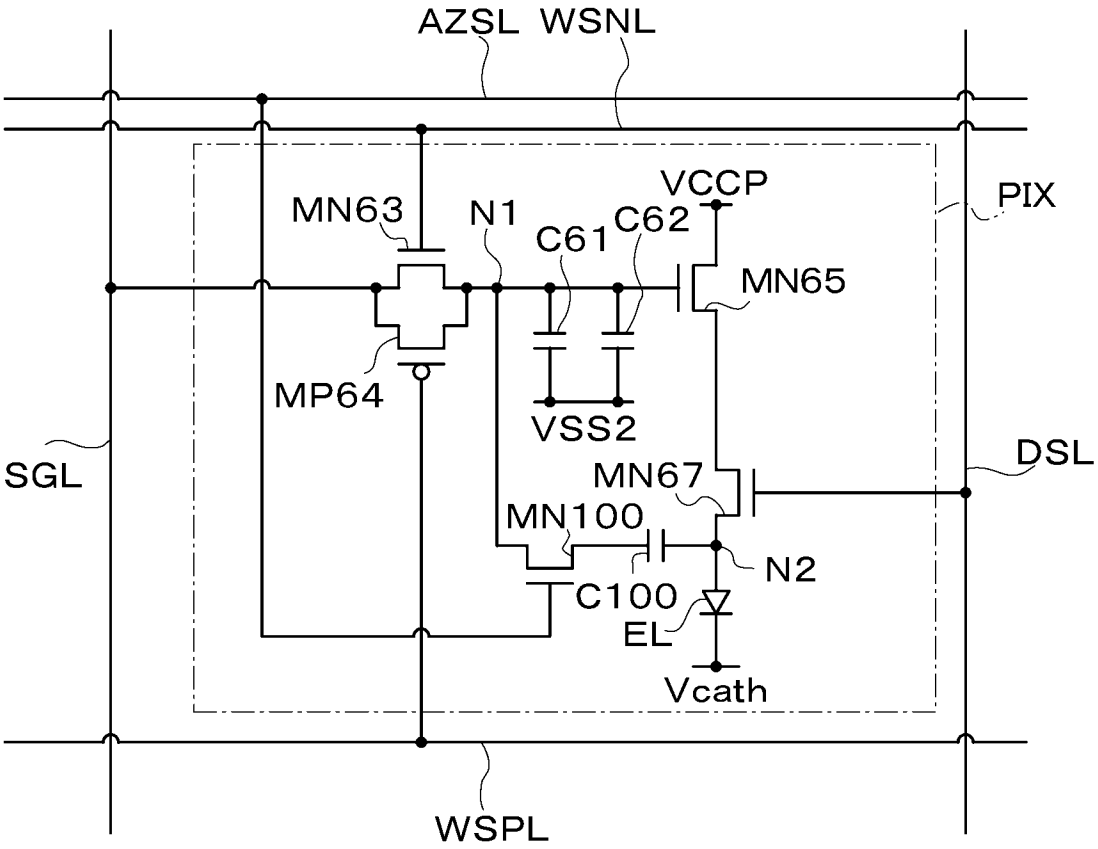
[図21]

図21


AZSL
WSNL
VCCP
PIX
MN63
C61
C62
MN65
MN66
MP64
VSS2
VSS1
DSL
SGL
MN67
EL
Vcath
WSPL

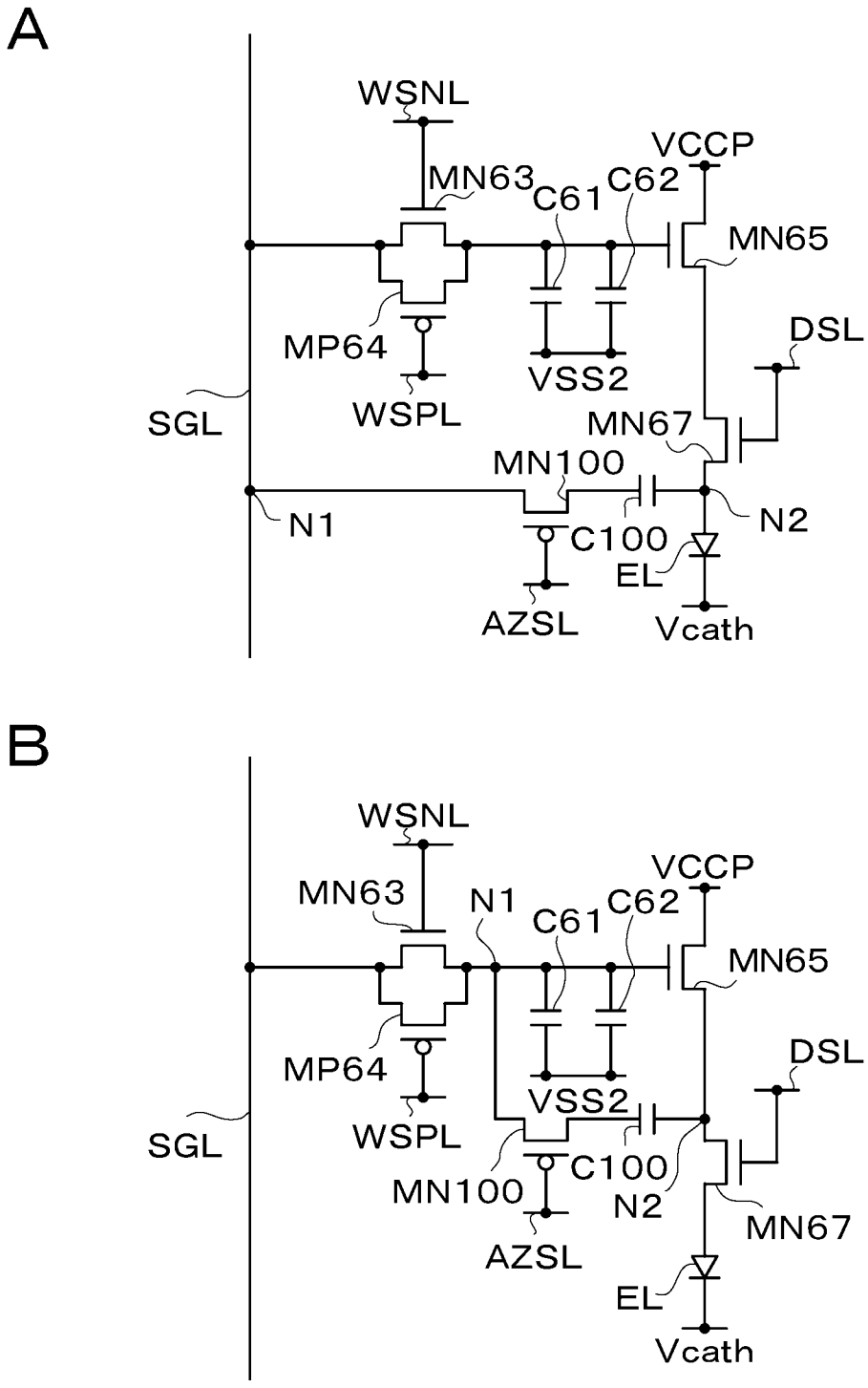
[図22]

図22


AZSL
WSNL
VCCP
PIX
MN63
N1
C61
C62
MN65
MP64
VSS2
SGL
DSL
MN67
MN100
N2
C100
EL
Vcath
WSPL

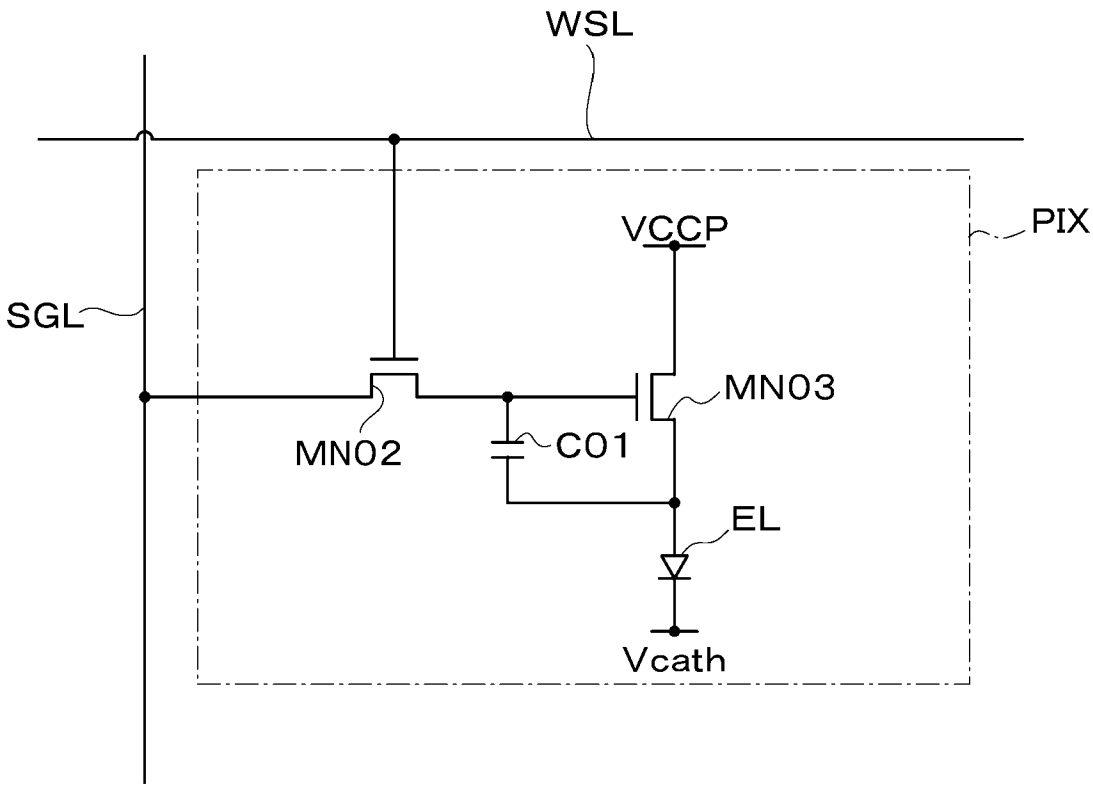
[図23]

図23


A
WSNL
VCCP
MN63
C61
C62
MN65
DSL
MP64
VSS2
WSPL
SGL
MN67
MN100
N1
N2
C100
EL
AZSL
Vcath
B
WSNL
VCCP
MN63
N1
C61
C62
MN65
DSL
MP64
VSS2
SGL
WSPL
C100
MN100
N2
MN67
AZSL
EL
Vcath

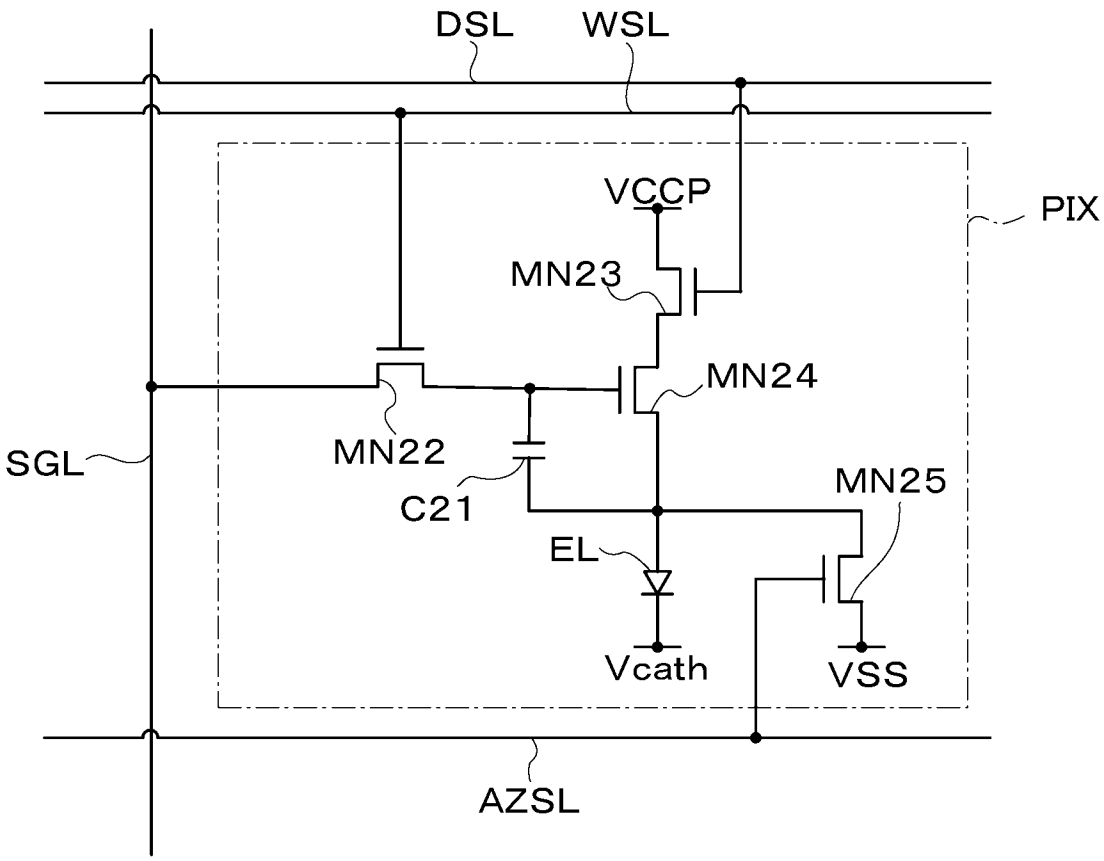
[図24]

図24



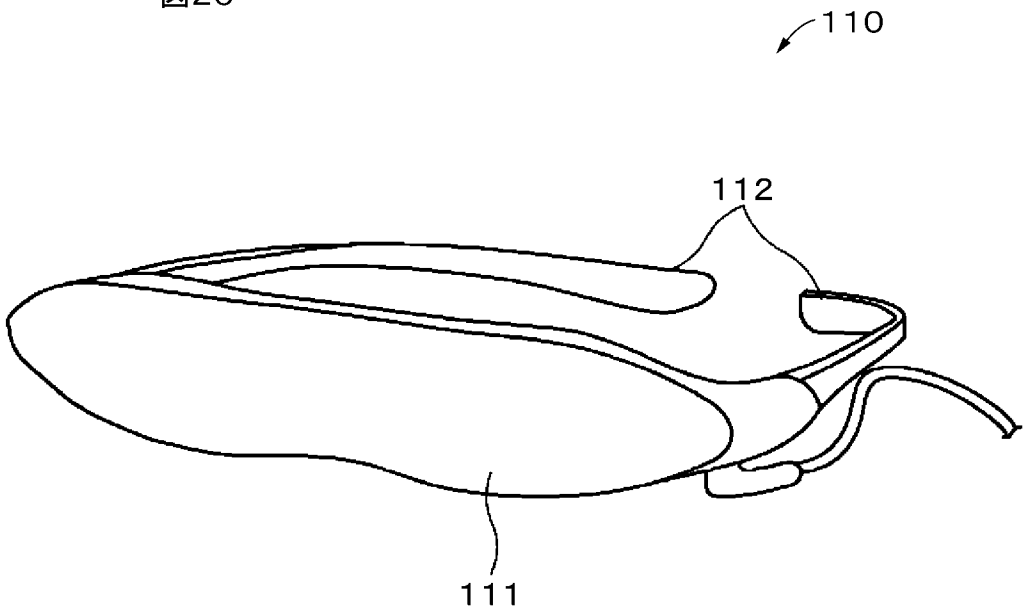
[図25]

図25



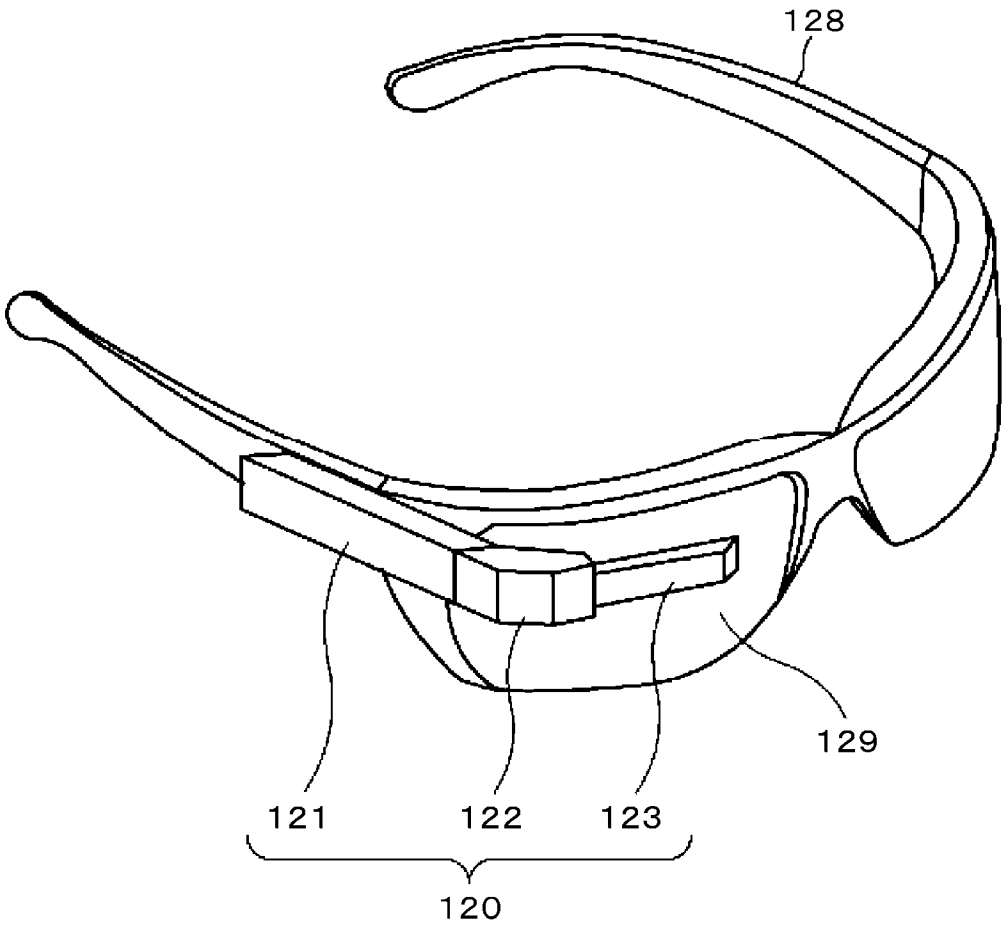
[図26]

図26



[図27]

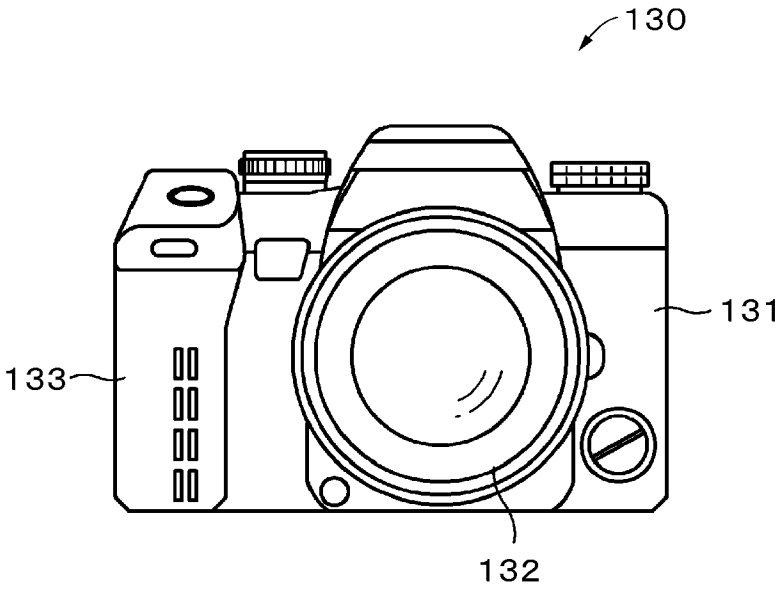
図27



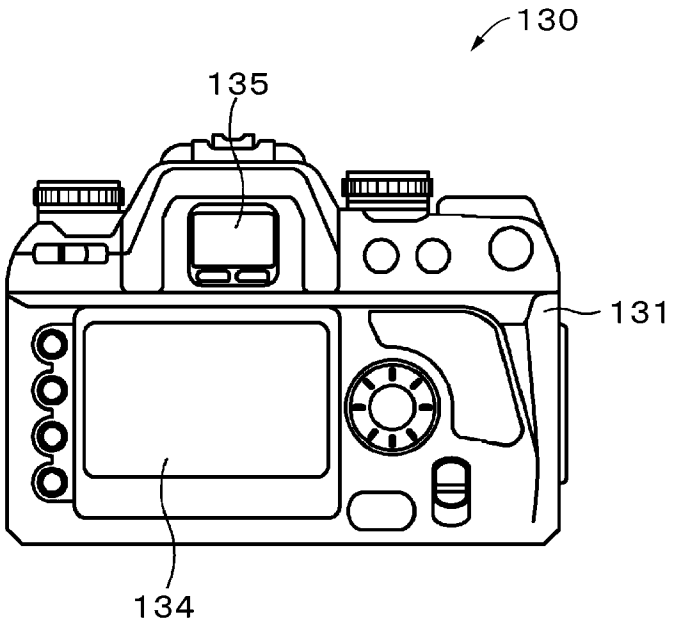
[図28]

図28

A

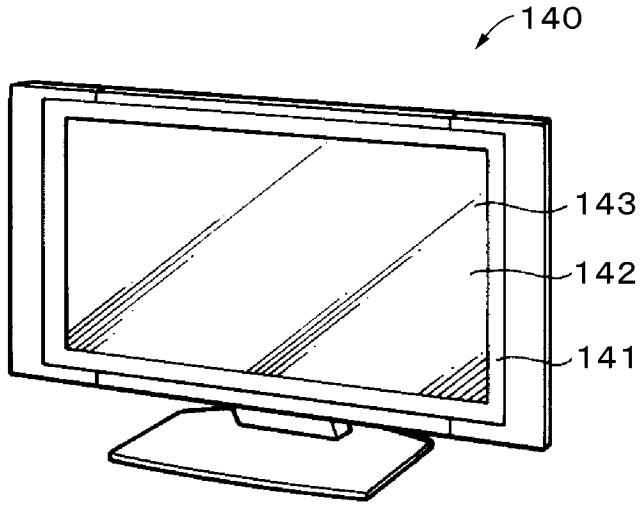


B



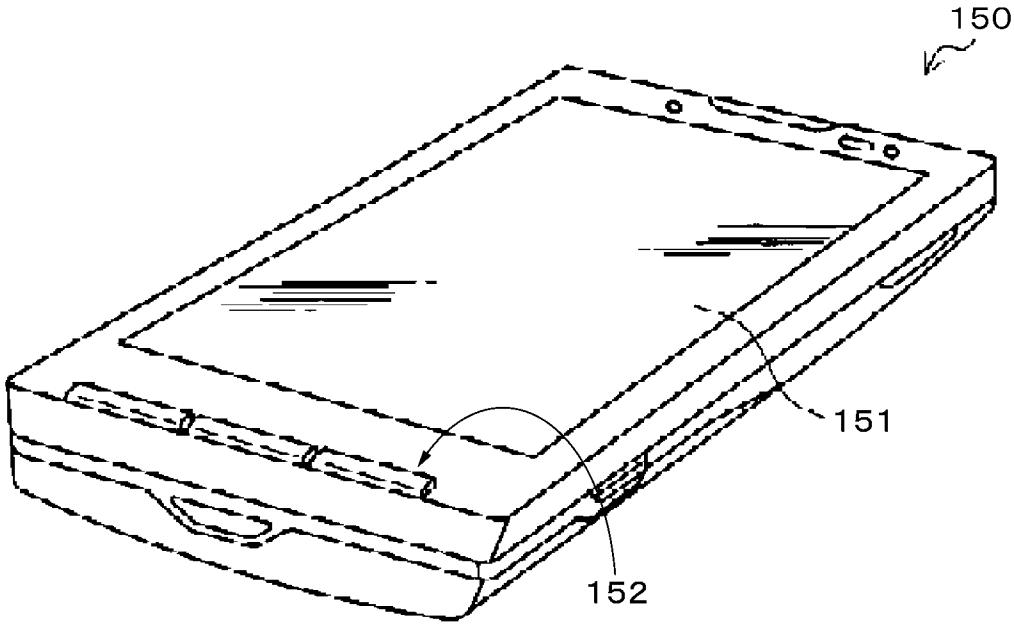
[図29]

図29



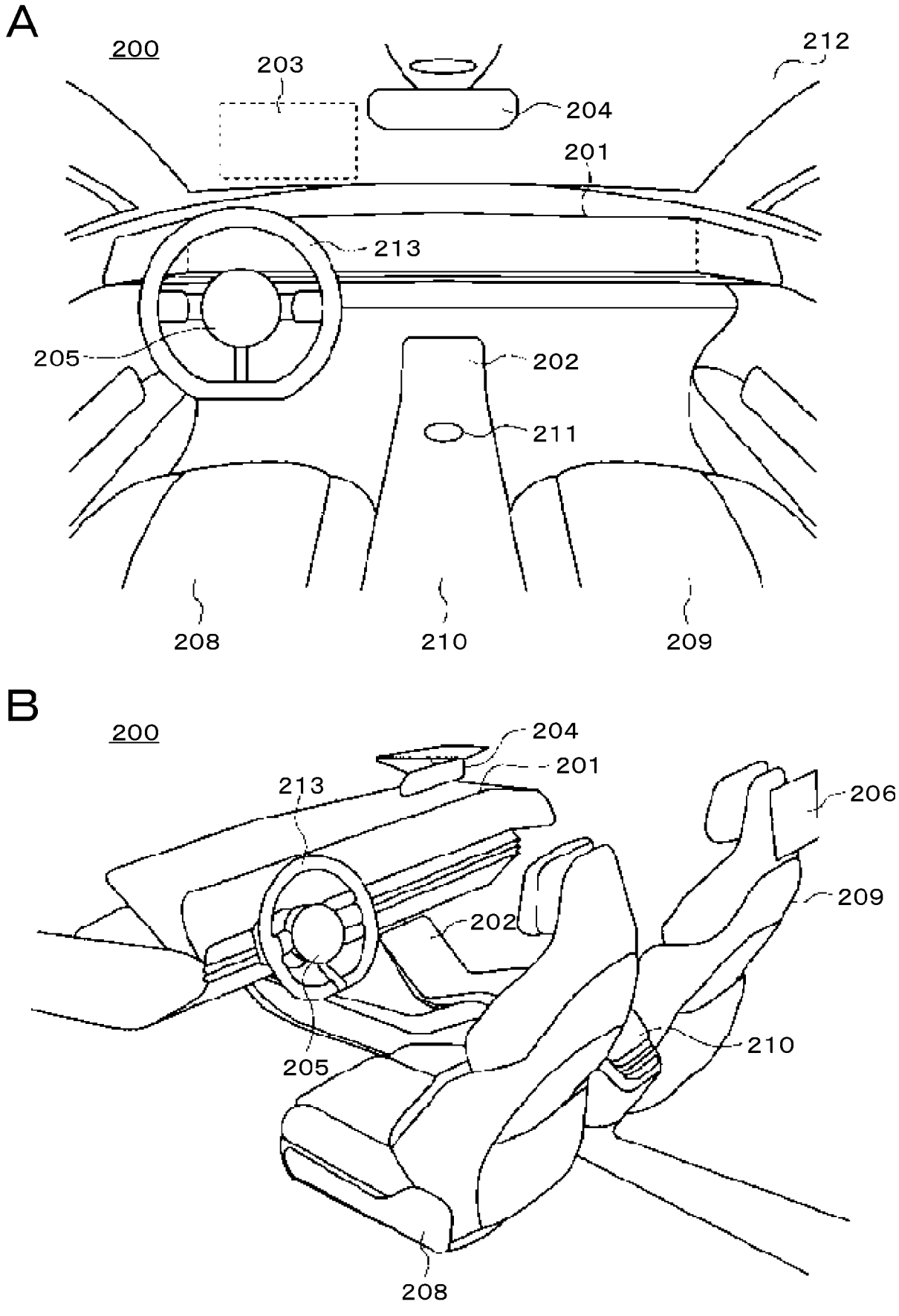
[図30]

図30



[図31]

図31


A
200
203
212
204
201
213
205
202
211
208
210
209
B
200
204
201
213
206
209
202
210
205
208

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/033885

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233(2016.01)i; ***G09G 3/20***(2006.01)i
FI: G09G3/3233; G09G3/20 611H; G09G3/20 621A; G09G3/20 624B; G09G3/20 642E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-19953 A (SONY CORP) 31 January 2013 (2013-01-31) paragraphs [0082]-[0106], [0135]-[0154], fig. 6-7, 10	1-5, 7-10, 12-13
X	JP 2011-150294 A (CANON INC) 04 August 2011 (2011-08-04) paragraphs [0011]-[0051], fig. 1-5	1, 3-6, 8-13
X	KR 10-0623919 B1 (LG.PHILIPS LCD CO., LTD.) 19 September 2006 (2006-09-19) p. 4, line 14 to p. 6, line 30, fig. 5-6	1, 3-6, 8-11, 13
A	JP 2003-280585 A (SANYO ELECTRIC CO LTD) 02 October 2003 (2003-10-02) entire text, all drawings	1-13
A	US 2009/0243979 A1 (KIM, Yang-Wan) 01 October 2009 (2009-10-01) entire text, all drawings	1-13

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 November 2023	**21 November 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/033885

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-19953 A	31 January 2013	US 2013/0009933 A1 paragraphs [0116]-[0140], [0170]-[0189], fig. 6-7, 10 CN 102867840 A KR 10-2013-0006302 A TW 201303830 A	
JP 2011-150294 A	04 August 2011	US 2011/0148847 A1 paragraphs [0024]-[0062], fig. 1-5 CN 102103827 A	
KR 10-0623919 B1	19 September 2006	(Family: none)	
JP 2003-280585 A	02 October 2003	(Family: none)	
US 2009/0243979 A1	01 October 2009	KR 10-0907391 B1	

国際調査報告

国際出願番号
PCT/JP2023/033885

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i
FI: G09G3/3233; G09G3/20 611H; G09G3/20 621A; G09G3/20 624B; G09G3/20 642E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/3233; G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2013-19953 A (ソニー株式会社) 31.01.2013 (2013-01-31) 段落0082-0106, 0135-0154, 図6-7, 10	1-5, 7-10, 12-13
X	JP 2011-150294 A (キヤノン株式会社) 04.08.2011 (2011-08-04) 段落0011-0051, 図1-5	1, 3-6, 8-13
X	KR 10-0623919 B1 (LG.PHILIPS LCD CO., LTD.) 19.09.2006 (2006-09-19) 第4頁第14行-第6頁第30行, 図5-6	1, 3-6, 8-11, 13
A	JP 2003-280585 A (三洋電機株式会社) 02.10.2003 (2003-10-02) 全文, 全図	1-13
A	US 2009/0243979 A1 (KIM, Yang-Wan) 01.10.2009 (2009-10-01) 全文, 全図	1-13

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.11.2023	21.11.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
武田　悟 2I 9307
電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/033885

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-19953 A	31.01.2013	US 2013/0009933 A1 段落0116-140, 0170-0189, 図6-7, 10 CN 102867840 A KR 10-2013-0006302 A TW 201303830 A	
JP 2011-150294 A	04.08.2011	US 2011/0148847 A1 段落0024-0062, 図1-5 CN 102103827 A	
KR 10-0623919 B1	19.09.2006	（ファミリーなし）	
JP 2003-280585 A	02.10.2003	（ファミリーなし）	
US 2009/0243979 A1	01.10.2009	KR 10-0907391 B1	