

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-11562
(P2024-11562A)

(43)公開日 令和6年1月25日(2024.1.25)

(51)国際特許分類
H 0 4 N 25/70 (2023.01)

F I
H 0 4 N 5/369

テーマコード (参考)
5 C 0 2 4

審査請求 未請求 請求項の数 15 O L (全23頁)

(21)出願番号	特願2022-113654(P2022-113654)	(71)出願人	000001007
(22)出願日	令和4年7月15日(2022.7.15)		キャノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74)代理人	110003133
			弁理士法人近島国際特許事務所
		(72)発明者	武藤 裕之
			東京都大田区下丸子3丁目30番2号
			キャノン株式会社内
		(72)発明者	小林 秀央
			東京都大田区下丸子3丁目30番2号
			キャノン株式会社内
		Fターム (参考)	5C024 GX02 GX03 GY18 HX40 HX50

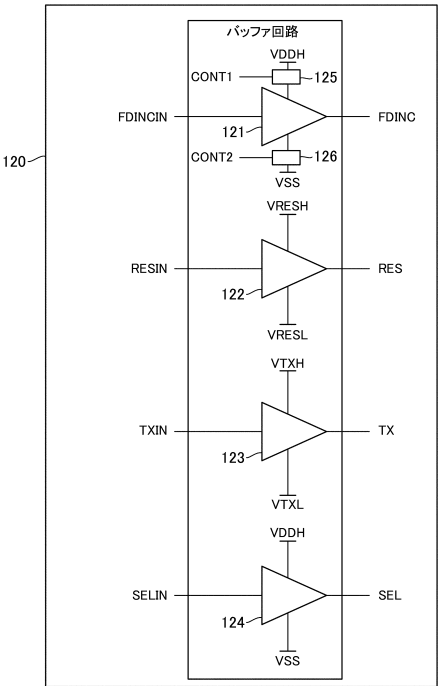
(54)【発明の名称】 光電変換装置、システム

(57)【要約】

【課題】複数の画素を同時に制御する制御信号を印加すると、その立ち上がりで過渡的に大電流が流れてしまい、画素に誤動作が発生したり配線が損傷する可能性がある。

【解決手段】行列状に配置された複数の画素と、前記複数の画素を制御する制御回路と、を備え、前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立ち上がり時間が長い画素制御パルスと、を出力する、ことを特徴とする光電変換装置である。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

行列状に配置された複数の画素と、
前記複数の画素を制御する制御回路と、を備え、
前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間が長い画素制御パルスと、を出力する、
ことを特徴とする光電変換装置。

【請求項 2】

行列状に配置された複数の画素と、
前記複数の画素を制御する制御回路と、を備え、
前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間および立下がり時間が長い画素制御パルスと、を出力する、
ことを特徴とする光電変換装置。

10

【請求項 3】

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部の容量値を切り替えるトランジスタを制御する制御信号が含まれる、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

前記フローティングディフュージョン部の電位の上昇により生じる前記画素の出力信号レベルの非線形性を補正する処理部を備える、
ことを特徴とする請求項 3 に記載の光電変換装置。

20

【請求項 5】

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部の容量値を切り替える複数のトランジスタを制御する複数の制御信号が含まれる、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 6】

前記画素制御パルスには、前記画素が備えるフォトダイオードからフローティングディフュージョン部に信号電荷を転送する転送トランジスタを制御する信号が含まれる、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 7】

前記画素制御パルスには、前記画素が備える複数のフォトダイオードからフローティングディフュージョン部に信号電荷を転送する複数の転送トランジスタを制御する複数の信号が含まれる、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

30

【請求項 8】

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部をリセットするリセットトランジスタを制御する信号が含まれる、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 9】

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立上がり時間を前記行選択パルスの立上がりよりも遅くするための電流源回路を備える、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

40

【請求項 10】

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立上がり時間を前記行選択パルスの立上がりよりも遅くするための電流制限抵抗およびトランジスタの中の少なくとも一方を備える、
ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 11】

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立下がり時間を前記行選択パルスの立下がりよりも遅くするための電流源回路を備える、

50

ことを特徴とする請求項 2 に記載の光電変換装置。

【請求項 1 2】

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立下がり時間を前記行選択パルスの立下がりよりも遅くするための電流制限抵抗およびトランジスタの少なくとも一方を備える、

ことを特徴とする請求項 2 に記載の光電変換装置。

【請求項 1 3】

前記画素制御パルスの立上がりの傾斜が、 $30\text{ V} / \mu\text{sec}$ よりも小さい、

ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 1 4】

前記画素制御パルスの立下がりの傾斜が、 $30\text{ V} / \mu\text{sec}$ よりも小さい、

ことを特徴とする請求項 2 に記載の光電変換装置。

【請求項 1 5】

請求項 1 または 2 に記載の光電変換装置と、前記光電変換装置から出力される画像データを処理する処理装置と、を備えることを特徴とするシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、システムに関する。

【背景技術】

【0002】

近年、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置では、受光素子と複数のトランジスタとで構成される画素を 2 次元的に配列した光電変換装置が用いられている。撮像される画像の質を向上するため、光電変換装置では種々の駆動方法が試みられている。

【0003】

特許文献 1 には、飽和シェーディング現象やダイナミックレンジ減少を防止するため、全画素共通のドレイン線の電圧をオフ状態にする際の遷移時間（立下り時間）を、リセット配線や転送配線のオフ時の遷移時間に対して長くする方法が記載されている。

【0004】

特許文献 2 には、ノイズや残像を低減するため、画素の転送スイッチをオン状態からオフ状態にするときに、第 3 のレベルを所定時間保持してなる転送スイッチの制御信号を生成することが記載されている。

【0005】

特許文献 3 には、感度は高いがダイナミックレンジが小さい信号と、感度は低いがダイナミックレンジが大きな信号を、読み出しモードを切り替えて各画素から読み出す方法が記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2004-320592 号公報

【特許文献 2】特開 2002-77730 号公報

【特許文献 3】特開 2000-165754 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

光電変換装置においては、複数の画素を同時に制御する制御信号を印加すると、その立ち上がりで過渡的に大電流が流れてしまい、画素に誤動作が発生したり配線が損傷する可能性があった。

【課題を解決するための手段】

【0008】

本発明の第1の態様は、行列状に配置された複数の画素と、前記複数の画素を制御する制御回路と、を備え、前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間が長い画素制御パルスと、を出力する、ことを特徴とする光電変換装置である。

【0009】

また、本発明の第2の態様は、行列状に配置された複数の画素と、前記複数の画素を制御する制御回路と、を備え、前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間および立下がり時間が長い画素制御パルスと、を出力する、ことを特徴とする光電変換装置である。

10

【発明の効果】

【0010】

本発明の一態様によれば、複数の画素を同時に制御する画素制御信号を印加しても、画素制御信号の立ち上がりで過渡的に大電流が流れることにより誤動作が発生したり配線が損傷するのを抑制することが可能である。

【図面の簡単な説明】

【0011】

【図1】実施形態に係る光電変換装置の回路構成を示す図。

【図2】実施形態1に係る単位画素の回路構成を示す図。

【図3】実施形態1に係る画素制御回路120の出力段の回路構成を示す図。

20

【図4】実施形態1における1行の画素から出力信号を読み出すサイクルを説明するためのタイミングチャート。

【図5】参考例の光電変換装置で発生するシェーディングを説明するための図。

【図6】(a)参考例の光電変換装置で発生するフローティングディフュージョン容量制御信号FDINCの立ち上がり時間のばらつきを説明するための図。(b)参考例の光電変換装置で発生するフローティングディフュージョンの電位上昇量のばらつきを説明するための図。

【図7】実施形態1に係る光電変換装置ではシェーディングが抑制されることを説明するための図。

【図8】実施形態2に係る単位画素の回路構成を示す図。

30

【図9】実施形態2に係る画素制御回路127の出力段の回路構成を示す図。

【図10】(a)実施形態2において電圧変換ゲインを1倍と2倍で読み出す場合のタイムチャート。(b)実施形態2において電圧変換ゲインを2倍と8倍で読み出す場合のタイムチャート。

【図11】(a)実施形態2において電圧変換ゲインを1倍と8倍で読み出す場合のタイムチャート。(b)実施形態2において電圧変換ゲインを8倍と8倍で読み出す場合のタイムチャート。

【図12】実施形態2におけるフローティングディフュージョン容量制御信号のハイ(H)/ロー(L)の組み合わせと、電圧変換ゲインの関係を示す表。

【図13】実施形態3に係る単位画素の回路構成を示す図。

40

【図14】実施形態3に係る画素制御回路128の出力段の回路構成を示す図。

【図15】(a)FD電位の上昇と輝度信号レベルの関係を示すグラフ。(b)実施形態4に係るリニアリティ補正処理を説明するための図。

【図16】(a)実施形態に係る光電変換装置を備えた機器を説明する模式図。(b)実施形態に係る車載カメラに関する光電変換システムの一例を示す図。(c)車両前方を撮像する場合の光電変換システムを示す図。

【図17】実施形態1に係る単位画素の別の回路構成を示す図。

【発明を実施するための形態】

【0012】

図面を参照して、本発明の実施形態である光電変換装置について説明する。以下に述べ

50

る各実施形態に記載された光電変換装置は撮像用途に限られない。例えば、測距装置（焦点検出やTOF（Time Of Flight）を用いた距離測定等の装置）、測光装置（入射光量の測定等の装置）などにも適用可能である。

なお、以下に述べる実施形態に記載されるトランジスタの導電型は一例のものであって、実施例中に記載された導電型のみに限定されるものではない。実施形態中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、トランジスタのゲート、ソース、ドレインの電位は適宜変更される。例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、導電型の変更に伴って、実施形態中の説明に対し逆転させるようにすればよい。

尚、以下に示す実施形態は例示であり、例えば細部の構成については本発明の趣旨を逸脱しない範囲において当業者が適宜変更して実施をすることができる。

10

【0013】

以下の実施形態の説明において参照する図面では、特に但し書きがない限り、同一の参照番号を付して示す要素は、同様の機能を有するものとする。また、図面は、図示および説明の便宜のために模式的に表現されている場合があるため、実物の形状、大きさ、配置などと厳密に一致しているとは限らないものとする。図中において、同一の要素が複数個配置されている場合には、符号の表示及びその説明が省略される場合がある。また、図面を参照して画素の配列について説明する際には、「行」とは横方向の並びを指し、「列」とは縦方向の並びを指すものとする。

20

【0014】

〔実施形態1〕

図1に、本実施形態に係る光電変換装置の回路構成を示す。光電変換装置は、行列状に画素10が配置された画素アレイ20を備えており、行方向に並ぶ画素10は行方向に延びる共通配線（制御信号線）を介して画素制御回路120と接続されている。また、列方向に並ぶ画素10は、列方向に延びる垂直線（出力線）を介してAD変換回路160および電流源40と接続されている。

【0015】

画素制御回路120は、画素のフローティングディフュージョンの容量の切り替えを制御するFDINC、リセットトランジスタのオン／オフを制御するRES、転送トランジスタのオン／オフを制御するTX、選択トランジスタのオン／オフを制御するSEL、の各制御信号を画素の各行に対して出力する。図1では、制御信号名の後ろに括弧書きで画素の行番号を付記している。

30

【0016】

AD変換回路160および電流源40は、垂直線を介して各列の画素からアナログ信号を読み出してデジタル信号化するための回路である。AD変換回路160は、ランプ信号供給回路50、比較器60～比較器63、第一のメモリ70～第一のメモリ73、第二のメモリ80～第二のメモリ83、カウンタ90を備える。

【0017】

比較器60、62は、それぞれ垂直線30、32の信号と、ランプ信号供給回路50から出力されるランプ信号とを比較する。比較器60、62の出力が変化するタイミングで、第一のメモリ70、72はカウンタ90のカウント信号を取り込む。また、比較器61、63の出力が変化するタイミングで、第一のメモリ71、73はカウンタ90のカウント信号を取り込む。これらにより、画素10から垂直線に出力された信号はAD変換される。第一のメモリ70～73のデジタル信号は、第二のメモリ80～83へ転送された後、AD変換結果として処理回路95に出力される。

40

【0018】

処理回路95は、AD変換回路160から出力されるデジタル信号に対して信号処理（例えば補正処理）を行うことが可能な処理部である。処理回路95には、処理されたデジタル信号を外部に出力するための出力回路100が接続されている。尚、本実施形態では、複数の回路で共通のカウンタ90を用いた回路構成を例示しているが、共通のカウンタ

50

クロックを供給し、各垂直線に対応する回路ごとにカウンタを配する構成であってもよい。このような構成では、カウンタ90は1つではなく、第一のメモリ70～73のそれぞれに付随して配置される。尚、カウントクロックの一部のビットを共通のカウンタで第位置のメモリ70～73に伝送し、他の一部のビットは各垂直線に対応する回路ごとに設けられたカウンタが生成するようにしても良い。尚、本実施形態は、異なるゲインの出力信号を取得可能にするために、垂直線1本に対して2つの比較器を有する回路構成になっている。尚、AD変換回路は図示の方式に限られるわけではなく、他の方式の回路であってもよい。

また、光電変換装置はタイミングジェネレータ(TG)161を備える。TG161は、画素制御回路120、AD変換回路160、処理回路95、出力回路100の駆動タイミングを制御する。

10

【0019】

次に、図2を参照して、画素アレイ20の構成要素である単位画素について説明する。図2には、画素10の回路構成を示すが、他の画素も同様の回路構成を備えている。画素10は、フォトダイオード400、転送トランジスタ410、フローティングディフュージョン420、ソースフォロワトランジスタ430、選択トランジスタ440、GNDノード450、リセットトランジスタ455、ゲイン切替トランジスタ456、電源ノード460を備えている。

【0020】

光電変換部としてのフォトダイオード400は、受光量に応じた信号電荷を発生させる。転送部としての転送トランジスタ410は、フォトダイオード400とフローティングディフュージョン420の導通をオン／オフ可能な切り替えスイッチ(トランジスタ)である。例えば、フォトダイオード400で生成された信号電荷をフローティングディフュージョン420に転送する際には、転送トランジスタ410がオンされる。転送トランジスタ410は、転送部制御信号TXによって駆動される。

20

【0021】

フローティングディフュージョン420は、蓄積容量 C_{fd} を有し、転送トランジスタ410を介してフォトダイオード400から転送される信号電荷を一時的に保持すると同時に、保持した信号電荷を電圧信号に変換する電荷電圧変換部として機能する。

【0022】

リセット部としてのリセットトランジスタ455は、リセット部制御信号RESによりオン／オフされるスイッチ(トランジスタ)である。また、容量切り替え部としてのゲイン切替トランジスタ456は、フローティングディフュージョン容量制御信号FDINCによりオン／オフされるスイッチ(トランジスタ)である。

30

【0023】

例えば、フローティングディフュージョン420の電荷をリセットする際には、リセットトランジスタ455とゲイン切替トランジスタ456が同時にオンされて、フローティングディフュージョン420と電源ノード460とが接続される。

【0024】

また、リセットトランジスタ455がオフの状態ではゲイン切替トランジスタ456をオン状態にすることにより、容量切り替え部のゲート容量 C_{inc} をフローティングディフュージョン420の蓄積容量 C_{fd} に付加することができる。これにより、感度は低いダイナミックレンジが大きな状態で出力信号を読み出すことが出来る。すなわち、ゲイン切替トランジスタ456をオン状態ないしオフ状態に切り替えることで、フローティングディフュージョン部の蓄積容量を変化させ、電圧変換のゲインを切り替えることが可能な構成となっている。ここでいうフローティングディフュージョン部とは、フォトダイオード400から転送される信号電荷を一次的に保持する容量全体を指す。つまり、ゲート容量 C_{inc} がフローティングディフュージョン420に付加されている場合、フローティングディフュージョン420とゲート容量 C_{inc} がフローティングディフュージョン部である。ゲイン切替トランジスタ456は、フローティングディフュージョン部の容量値

40

50

を切り替えるトランジスタである。

【0025】

増幅部としてのソースフォロワトランジスタ430は、フローティングディフュージョン420にて変換された電圧信号を増幅して、画素信号として出力する。選択部としての選択トランジスタ440は、ソースフォロワトランジスタ430にて増幅された画素信号を垂直線30に出力するためのオン／オフスイッチ（トランジスタ）であり、選択部制御信号SELにより駆動される。なお、ソースフォロワトランジスタ430とリセットトランジスタ455は共通の電源ノード460に接続されているが、別々の電源ノードに接続するようにしてもよい。この場合は、ソースフォロワトランジスタ430とリセットトランジスタ455の電源電圧を異ならせることができる。

10

なお、図2に示した各トランジスタはすべてN型のMOSトランジスタで形成されている。ただし、この例に限定されるものではなく、各トランジスタをすべてP型のMOSトランジスタとしても良い。また、一部のトランジスタをN型とし、別の一部のトランジスタをP型としても良い。各トランジスタを制御する制御信号の電位は、各トランジスタの導電型によって適宜変更される。

【0026】

以後の説明では読み易くするため、転送部制御信号TXは制御信号TXと、リセット部制御信号RESは制御信号RESと、フローティングディフュージョン容量制御信号FDINCは制御信号FDINCと、選択部制御信号SELは制御信号SELと記す。また、SEL、RES、FDINC、TX、等の参照符号は、制御信号を指すのに用いられる場合と、当該制御信号を伝播する信号線を指すのに用いられる場合があるものとする。

20

【0027】

次に、図3を参照して、画素制御回路120の出力段の回路構成について説明する。図は、画素制御回路120の出力段の一部を抽出して示したものであり、1つの画素行に対してFDINC、RES、TX、SELの4種の制御信号を出力する部分を示している。画素制御回路120は、各画素行に対して同様の構成の回路を備えている。

【0028】

121～124はバッファ回路であり、各バッファ回路に入力される信号の名称は、各バッファ回路から出力される制御信号の名称の末尾に「IN」が付記されたものになっている。以下の説明では、制御信号が画素のトランジスタを「オン」させる場合のことを制御信号が「ハイレベル」であるといい、画素のトランジスタを「オフ」させる場合のことを制御信号が「ローレベル」であるという場合がある。

30

【0029】

バッファ回路121は、ゲイン切替トランジスタ456のオン／オフを切り替えるための制御信号FDINCを出力するが、バッファ回路121には、電流源回路125と電流源回路126が接続されている。電流源回路125は、制御信号CONT1によって電流量が制御される制御電流源であり、電流源回路126は、制御信号CONT1によって電流量が制御される制御電流源である。制御信号CONT1、CONT2はTG161から出力される信号であってもよいし、画素制御回路120の内部で生成するようにしても良い。

40

【0030】

制御信号FDINCのローレベルからハイレベルへの立上がり時間は、電流源回路125が供給する電流によって制御することが可能である。後述するように、制御信号FDINCの立上がり時間を大きくする場合には、電流源回路125が供給する電流が小さくなるように制御信号CONT1を設定すればよい。また、制御信号FDINCのハイレベルからローレベルへの立下がり時間は、電流源回路126が引き抜く電流によって制御することが可能である。例えば、制御信号FDINCの立下がり時間を大きくする場合には、電流源回路126が引き抜く電流が小さくなるように制御信号CONT2を設定すればよい。

【0031】

50

バッファ回路 122 は、リセットトランジスタ 455 のオン／オフを切り替える制御信号 RES を出力する。バッファ回路 123 は、転送トランジスタ 410 のオン／オフを切り替える制御信号 TX を出力する。バッファ回路 124 は、選択トランジスタ 440 のオン／オフを切り替える制御信号 SEL（行選択パルス）を出力する。

【0032】

本実施形態では、制御信号 FDINC を出力するバッファ回路 121 のみに電流源回路が設けられ、他の制御信号を出力するバッファ回路には電流源回路は設けられてはいない。

【0033】

次に、図 4 のタイミングチャートを参照して、1 行の画素から出力信号を読み出すサイクルにおいて、画素制御回路 120 が出力する各制御信号の時間的推移について説明する。図には、画素制御回路 120 の中で読み出しを行う行のバッファ回路から出力される制御信号 RES、制御信号 FDINC、制御信号 SEL、制御信号 TX の波形が示されている。また、ランプ信号供給回路 50 から出力されるランプ波形 RAMP と、当該行の中の 1 つの画素 10 の選択トランジスタ 440 から垂直線に出力される画素出力信号 SIG の波形が例示されている。各行の画素から出力信号を読み出す度に、読み出しを行う行に対応するバッファ回路からは、同様の制御信号が出力される。

【0034】

まず、時刻 t_0 において、制御信号 RES と制御信号 FDINC がローレベルからハイレベルに遷移を開始し、画素 10 のリセットトランジスタ 455 とゲイン切替トランジスタ 456 がオンになる。両トランジスタがオンになると、フローティングディフュージョン 420 の電荷がリセットされる。

【0035】

時刻 t_1 において、行選択パルスとしての制御信号 SEL がハイレベルとなり、当該行の各画素の選択トランジスタ 440 がオンになる。制御信号 SEL は、バッファ回路 124 の出力端近傍における立上がりの傾斜が $30\text{ V} / \mu\text{sec}$ 以上の急峻な波形であり、立上がり時間 TR_0 は、制御信号 FDINC の立上がり時間 TR_1 と比較して小さなものとなっている。尚、立上がり時間とは信号レベルが最大値の 10% から 90% まで移行するのに要する時間とし、立下がり時間とは信号レベルが最大値の 90% から 10% まで移行するのに要する時間とする。

【0036】

時刻 t_2 において、制御信号 RES がローレベルとなり、当該行の各画素のフローティングディフュージョン 420 のリセットが解除される。画素出力信号 SIG として、画素のリセットレベルに応じた信号が、ソースフォロワトランジスタ 430、選択トランジスタ 440 を介して垂直線 30 に出力される。このとき、制御信号 FDINC はハイレベルであるため、ゲイン切替トランジスタ 456 はオン状態であり、フローティングディフュージョン部の蓄積容量は、ゲート容量 C_{inC} + 蓄積容量 C_{fd} となっている。すなわち、低ゲインが選択されており、画素出力信号 SIG としては、低ゲインにおける画素のリセットレベルに応じた信号 $LGainN$ が現れる。AD 変換回路 160 は、信号 $LGainN$ とランプ波形 RAMP とを比較し、比較結果から、低ゲインにおける画素のリセットレベルのデジタルデータを取得する。デジタルデータは、CDS 用のデータとして、処理回路 95 に送られる。

【0037】

次に、時刻 t_3 において、制御信号 FDINC がローレベルとなり、ゲイン切替トランジスタ 456 がオフ状態になる。その結果、蓄積容量はフローティングディフュージョン 420 の蓄積容量 C_{fd} となり、変換ゲインが低ゲインから高ゲインに切り替わる。画素出力信号 SIG として、高ゲインにおける画素のリセットレベルに応じた信号 $HGainN$ が垂直線 30 に出力される。AD 変換回路 160 は、信号 $HGainN$ とランプ波形 RAMP とを比較し、比較結果から、高ゲインにおける画素のリセットレベルのデジタルデータを取得する。デジタルデータは、CDS 用のデータとして、処理回路 95 に送られる

10

20

30

40

50

。

【0038】

ここで、制御信号FDINCをハイレベルからローレベルに遷移させる際の立下り時間TF1は、バッファ回路121の電流源回路126により制御することが出来る。本実施形態では、図示のように、制御信号FDINCの立下り時間TF1が、行選択パルスとしての制御信号SELの立下り時間TF0よりも長くなるように、画素制御回路120が構成されている。

【0039】

これらの制御信号は、行方向に並ぶ画素を共通接続するための行方向配線を介して伝搬されるが、いずれの配線も行方向に沿ってほぼ同様な形態で延在しており、概ね同程度の配線抵抗と寄生容量が分布している。寄生容量には、平行に延在する配線どうしの容量や、配線に接続される各画素に付帯する容量（例えば信号線FDINCの場合は、図2に示すゲイン切替トランジスタ456のゲート・ソース間容量Cgs）が含まれる。制御信号の立下りを急峻にすると、行方向配線を伝播するうちに画素制御回路120の出力部（バッファ回路）から遠ざかるにつれて信号波形が変形し、行方向における位置によって画素に印加される制御信号の波形に差異が生じ得る。

【0040】

制御信号SELについてみれば、当該行の出力信号の取得（AD変換）が完了してからローレベルへの遷移が始まるため、次の行を読み出すサイクルにおけるt1（立上がり）までの間は、垂直線の電位レベルは信号として活用されるわけではない。このため、各画素に印加される制御信号SELの立下り波形（立下り時間）が、行方向における位置によってばらついたとしても、読み出し動作への支障は生じにくい。

【0041】

これに対して、制御信号FDINCについては、時刻t3において画素のゲインを低ゲインから高ゲインに切り替えた後には、高ゲインにおけるリセットレベルを当該行の各画素から読み出す必要がある。制御信号FDINCの立下りを制御信号SELと同様に急峻にしてしまうと、行方向配線の抵抗や寄生容量の影響により、行方向における位置によって画素に印加される信号波形に差異が生じ得る。すると、画素毎にゲインの切替わりタイミングに差異が生じ、高ゲインにおける画素のリセットレベルの読み出し条件が、画素毎に不均一になってしまう。そこで、本実施形態では、バッファ回路121から出力される制御信号FDINCの立下り時間TF1が、バッファ回路124から出力される制御信号SELの立下り時間TF0よりも大きくなるように構成している。これにより、行方向の位置によらず、各画素から均一な条件で高ゲインにおける画素のリセットレベルを読み出すことが可能である。

【0042】

時刻t4において高ゲインにおけるリセットレベルのデジタル信号を取得した後、所定のタイミングにおいて、制御信号TXが所定期間ハイレベルとなる。転送トランジスタ410がオンされ、フォトダイオード400において光電変換された光電荷がフローティングディフュージョン420に転送される。

【0043】

時刻t5～t6の期間において、高ゲインの状態でソースフォロワトランジスタ430と選択トランジスタ440を介して垂直線30に読み出された画素出力信号SIGは、AD変換回路160によりAD変換される。すなわち、ランプ信号供給回路50から出力されるランプ波形RAMPと、当該画素の選択トランジスタ440から垂直線に出力される画素出力信号SIGの波形が比較され、デジタルデータが取得される。尚、制御信号TXが時刻t5にてローレベルになった後は、フォトダイオード400において再び光電荷が蓄積される。

【0044】

次に、時刻t6において、制御信号FDINCを、ローレベルからハイレベルに遷移させる。ゲイン切替トランジスタ456がオン状態になり、フローティングディフュージョ

10

20

30

40

50

ン部の蓄積容量は、ゲート容量 C_{inc} + 蓄積容量 C_{fd} となる。すなわち、高ゲインから低ゲインへの切り替えが行われる。

【0045】

制御信号 $FDINC$ をローレベルからハイレベルに遷移させる際の立上がり時間 $TR1$ は、バッファ回路 121 の電流源回路 125 により制御することが出来る。本実施形態では、図示のように、制御信号 $FDINC$ の立上がり時間 $TR1$ が、行選択パルスとしての制御信号 SEL の立上がり時間 $TR0$ よりも長くなるように、画素制御回路 120 が構成されている。言い換えれば、バッファ回路 121 から出力される制御信号 $FDINC$ の立上がり時間 $TR1$ が、バッファ回路 124 から出力される制御信号 SEL の立上がり時間 $TR0$ よりも大きくなるように回路を構成している。

10

【0046】

本実施形態に対する比較対象として、図 5 を参照して、仮に、制御信号 $FDINC$ を、制御信号 SEL の立上がりと同様に傾斜が $30V/\mu sec$ 以上の急峻な波形にした場合について説明する。図 5 の下方には平面視した画素アレイ 20 が模式的に示されており、この例では画素アレイの左右両側に画素制御回路 DRC が配置されている。すなわち、制御信号は、各行方向配線の両側から供給される構造となっている。画素アレイの上に、行方向配線の 1 本を模式的に示すが、抵抗と寄生容量が分布した線路となっており、両端はそれぞれ画素制御回路 DRC のバッファ回路に接続されている。バッファ回路から急峻な立上がりの制御信号 $FDINC$ が出力されると、バッファ回路から遠ざかるにつれて図示のように立上がり波形が崩れ、バッファ回路に近い画素と遠い画素ではゲイン切り替えの遷移時間にばらつきが生じてしまう。すなわち、図 6 (a) に示すように、画素毎に制御信号 $FDINC$ の立上がり時間にばらつきが生じ、バッファ回路から遠い画素ほど立上がり時間が大きくなる。

20

【0047】

各画素では、制御信号 $FDINC$ のオフからオンへの遷移時に、クロックフィードスルー現象が生じる。すなわち、ゲイン切替トランジスタ 456 のゲート・ソース間容量 C_{gs} (図 2 参照) を介した電荷注入によって、フローティングディフュージョン 420 の電位が上昇する。制御信号 $FDINC$ の立上がり急峻であれば、フローティングディフュージョンの電位上昇量 (オンからオフへの振り上げ) が大きく、緩やかな立上りであれば、電位上昇量は少なくなる。図 6 (a) に示したように画素により立上がり時間がばらつくと、図 6 (b) に示すように画素によりフローティングディフュージョン電位 (すなわち画素の動作点) がばらついてしまう。このため、後段回路 (A/D 変換回路やロジック回路) にて、S (信号成分) - N (リセット成分) の演算処理を行ったとしても、画素毎に動作点異なるため、ある程度の画質の劣化が発生してしまう。すなわち、図 5 の上段に示すように、行方向において、画面の中央と両端とではシェーディングが発生してしまう。

30

【0048】

これに対して、本実施形態によればシェーディングの発生を効果的に抑制することができる。図 7 を参照して、制御信号 $FDINC$ を、制御信号 SEL の立上がりよりも傾斜が小さな $30V/\mu sec$ 未満の波形にした場合について説明する。図の下方には平面視した画素アレイ 20 が模式的に示されており、この例では画素アレイの左右両側に画素制御回路 120 が配置されている。すなわち、制御信号は、各行方向配線の両側から供給される構造となっている。画素アレイの上に、行方向配線の 1 本を模式的に示すが、抵抗と寄生容量が分布した線路となっており、両端はそれぞれ画素制御回路 120 のバッファ回路に接続されている。バッファ回路からは、立上がり時間が大きな制御信号 $FDINC$ が出力されるため、行方向配線を伝播する際の立上がり波形の崩れは小さく、バッファ回路に近い画素と遠い画素で生じる波形の差異が抑制される。このため、ゲイン切り替えの遷移時間やクロックフィードスルー現象による電位上昇のばらつきが抑制され、シェーディングが抑制された均一性が高い画像信号を得ることができ、実効的なダイナミックレンジを拡大することもできる。なお、ここでは画素制御回路 DRC が画素アレイの左右両側に画

40

50

素制御回路 D R C が配置された例を示したが、画素制御回路 D R C が画素アレイの片側のみに設けられた場合であっても、同様に課題は生じる。つまり、御信号 F D I N C を上述した急峻な波形にした場合には、画素制御回路 D R C のバッファ回路に近い画素と遠い画素ではゲイン切り替えの遷移時間にばらつきが生じる。これに対し、制御信号 F D I N C を、上述した傾斜が小さな波形にした場合には、バッファ回路に近い画素と遠い画素で生じる波形の差異が抑制される。よって、画素制御回路 D R C が画素アレイの片側のみに設けられた場合であっても、上述した効果を得ることができる。

【 0 0 4 9 】

図 4 に戻り、時刻 $t_6 \sim t_7$ の期間内において、制御信号 T X が所定期間ハイレベルとなり、転送トランジスタ 4 1 0 がオンされ、フォトダイオード 4 0 0 において光電変換された光電荷がフローティングディフュージョン 4 2 0 に転送される。ソースフォロワトランジスタ、選択トランジスタを介して、光電荷信号に応じた電圧が垂直線に現れる。前述したように、制御信号 F D I N C はハイレベルに遷移済みであり、変換ゲインは低ゲインになっているため、垂直線には低ゲインにおける出力信号が現れる。なお、図 4 では、時刻 $t_6 \sim t_7$ の期間内において、制御信号 T X が所定期間ハイレベルとしたが、ローレベルのままとしても良い。この場合には、高ゲインの信号と低ゲインの信号のそれぞれに対応する露光タイミングを同じとすることができる。一方で、図 4 のように時刻 $t_6 \sim t_7$ の期間内において、制御信号 T X が所定期間ハイレベルとした場合には、さらに多くの信号電荷を読み出すことができる。よって、低ゲインの信号生成における感度を向上させることができる。

【 0 0 5 0 】

時刻 $t_7 \sim t_8$ の期間内において、低ゲインの状態ソースフォロワトランジスタ 4 3 0 と選択トランジスタ 4 4 0 を介して垂直線 3 0 に読み出された画素出力信号 S I G は、A D 変換回路 1 6 0 により A D 変換される。すなわち、ランプ信号供給回路 5 0 から出力されるランプ波形 R A M P と、当該画素の選択トランジスタ 4 4 0 から垂直線に出力される画素出力信号 S I G の波形が比較され、デジタルデータが取得される。

【 0 0 5 1 】

その後、処理回路 9 5 は、高ゲインと低ゲインのそれぞれのデジタルデータについて、光電荷に応じた出力信号とリセットレベルの差分を演算することにより、いわゆるデジタル C D S (C o r r e l a t e d D o u b l e S a m p l i n g) 処理を行う。

【 0 0 5 2 】

以上のように、制御信号 F D I N C をオンからオフ、オフからオンへ順次に切替え、出力信号を A D 変換することで、高ゲインと低ゲインのリセット信号成分、光信号成分をデジタル信号として取得することができる。高ゲインと低ゲインによる読み出しを可能とすることで、より幅広い輝度レンジでの信号の読み出しが可能になる。

【 0 0 5 3 】

本実施形態では、画素制御回路内のバッファに供給する電流を制限することによって、画素制御信号（画素制御パルス）としての制御信号 F D I N C のオフからオンへの遷移時間を長くしている。これにより、画素ごとのばらつきを低減した良好な低ゲイン画像データを取得することができる。例えば、後段処理によって異なるゲインの画像から 1 枚の H D R 画像を合成する際には、低照度側で高ゲイン画像を、高輝度側で低ゲイン画像を用いて合成することで、固体撮像素子で取得できる画像のダイナミックレンジの拡大が可能となる。

【 0 0 5 4 】

尚、画素制御回路 1 2 0 から出力される制御信号 F D I N C のオフからオンへ遷移する際の立上がり波形の傾きは、 $30\text{ V} / \mu\text{sec}$ (100 nsec の間に 3 V が遷移) 未満とするのが好適である。電流源回路 1 2 5 は、制御信号 C O N T 1 により可変的に電流量を制御できるものとして説明したが、必ずしも制御信号により可変的に電流量を制御可能な回路構成にする必要はない。要は、シェーディングが抑制できる程度に制御信号 F D I N C の立上がり時間を大きくするために、出力段に供給する電流を制限できる回路であれ

ば良い。したがって、例えばトランジスタのような能動素子を用いた電流源回路であってもよいし、電流制限抵抗を用いた簡易な電流制限回路であってもよい。あるいは、バッファ回路121とバッファ回路124の出力段トランジスタに、 L/W が異なるものを用いることにより、制御信号FDINCが制御信号SELよりも立上がり時間が大きくなるように構成してもよい。制御信号FDINCの立下り時間の制御や、電流源回路126の構成についても、同様のことが言える。

なお、本実施形態では、リセットトランジスタ455とゲイン切替トランジスタ456が、電源ノード460とフローティングディフュージョン420の間の電氣的経路において直列に設けられている例を説明した。この例に限定されるものではなく、例えば図17に示すように、ゲイン切替トランジスタ456とリセットトランジスタ455のそれぞれがフローティングディフュージョン420に接続されている例であってもよい。この場合、リセットトランジスタ455はゲイン切替トランジスタ456を介さずにフローティングディフュージョン420に接続される構成となる。この図17に示した構成においても、図4に示した動作と同様の動作によって駆動することができる。そして、図17に示した構成においても、本実施形態で述べた効果を得ることができる。

10

【0055】

〔実施形態2〕

図面を参照して、実施形態2に係る光電変換装置について説明するが、実施形態1と共通する事項については説明を簡単化あるいは省略し、実施形態1との相違点を中心に説明する。本実施形態では、各画素はゲイン切替トランジスタを2つ備えており、画素制御回路が2つのゲイン切替トランジスタに独立にフローティングディフュージョン容量制御信号を供給する点が異なる。尚、各画素にゲイン切替トランジスタを3個以上設け、独立にフローティングディフュージョン容量制御信号を供給する構成としてもよい。

20

【0056】

図8を参照して、本実施形態に係る単位画素について説明する。図8には、画素110の回路構成を示すが、画素アレイを構成する他の画素も同様の回路構成を備えている。画素110は、フォトダイオード400、転送トランジスタ410、フローティングディフュージョン420、ソースフォロワトランジスタ430、選択トランジスタ440、GNDノード450、リセットトランジスタ455、ゲイン切替トランジスタ456A、ゲイン切替トランジスタ456B、電源ノード460を備えている。

30

【0057】

ゲイン切替トランジスタ456Aは制御信号FDINC-Aにより駆動され、ゲイン切替トランジスタ456Bは制御信号FDINC-Bにより駆動される。例えば、フローティングディフュージョン420の電荷をリセットする際には、リセットトランジスタ455、ゲイン切替トランジスタ456A、及びゲイン切替トランジスタ456Bが同時にオンされて、フローティングディフュージョン420と電源ノード460とが接続される。

【0058】

本実施形態では、信号読み出し時にゲイン切替トランジスタ456A及びゲイン切替トランジスタ456Bのオン／オフを切替えることにより、電圧変換のゲインを3段階に切り替えられる構成となっている。図12は、フローティングディフュージョン容量制御信号のハイ(H)／ロー(L)の組み合わせと、電圧変換ゲインの関係を示す表である。

40

【0059】

例えば、制御信号FDINC-Aと制御信号FDINC-Bが、ともにLの場合は、ゲイン切替トランジスタ456A及びゲイン切替トランジスタ456Bはともにオフになる。いずれのゲイン切替トランジスタのゲート容量も、フローティングディフュージョン420の蓄積容量には接続されないため、電圧変換ゲインは8倍になる。また、制御信号FDINC-AがHで、制御信号FDINC-BがLの場合には、ゲイン切替トランジスタ456Aはオンでゲイン切替トランジスタ456Bはオフになる。フローティングディフュージョン420の蓄積容量にはゲイン切替トランジスタ456Aのゲート容量が接続され、電圧変換ゲインは2倍になる。また、制御信号FDINC-Aと制御信号FDINC

50

ーBが、ともにHの場合は、ゲイン切替トランジスタ456A及びゲイン切替トランジスタ456Bはともにオンになる。このため、フローティングディフュージョン420の蓄積容量には両方のゲイン切替トランジスタのゲート容量が接続され、電圧変換ゲインは1倍になる。

【0060】

次に、図9を参照して、画素制御回路127の出力段の回路構成について説明する。図は、画素制御回路127の出力段の一部を抽出して示したものであり、1つの画素行に対してFDINC-A、FDINC-B、RES、TX、SELの5種の制御信号を出力する部分を示している。121～124はバッファ回路であり、各バッファ回路に入力される信号の名称は、各バッファ回路から出力される制御信号の名称の末尾に「IN」が付記されたものになっている。FDINC-A及びFDINC-Bのバッファ回路121は、それぞれが各電源ノードに電流源回路125、電流源回路126を備えている。電流源回路の電流を調整することで、実施形態1と同様に制御パルスのオフからオン、オンからオフへの遷移時間を調整することが可能である。

10

【0061】

次に、電圧変換ゲインを、1倍、2倍、8倍の各倍率に設定した場合の読み出しシーケンスについて説明する。図10(a)～図11(b)は、電圧変換ゲインを各種設定した場合の1行の読み出しシーケンスを示すタイムチャートである。図10(a)は電圧変換ゲインを1倍と2倍で読み出す場合を、図10(b)は電圧変換ゲインを2倍と8倍で読み出す場合を、それぞれ示している。また、図11(a)は電圧変換ゲインを1倍と8倍で読み出す場合を、図11(b)は電圧変換ゲインを8倍と8倍で読み出す場合を、それぞれ示している。

20

【0062】

画素制御信号（画素制御パルス）としての制御信号FDINC-Aと制御信号FDINC-Bの立上がり時間／立下り時間は、不図示の制御信号SELの立上がり時間／立下り時間よりも大きく設定されている。このため、実施形態1と同様に、行方向の位置によらずシェーディングが抑制された出力信号とリセットレベル信号を各画素から読み出すことが出来る。3段階のゲイン切替が可能な本実施形態によれば、最適なゲインを選択して1枚のHDR画像を合成することで、固体撮像素子で取得できる画像のダイナミックレンジを、より一層拡大することが可能となる。

30

【0063】

〔実施形態3〕

図面を参照して、実施形態3に係る光電変換装置について説明するが、実施形態1と共通する事項については説明を簡単化あるいは省略し、実施形態1との相違点を中心に説明する。本実施形態では、各画素はフォトダイオードと転送トランジスタを複数個（例示では8個）備えており、画素制御回路が各転送トランジスタに独立に転送部制御信号を供給する点が異なる。尚、1画素に含まれるフォトダイオードと転送トランジスタの個数は8個に限られるわけではなく、それ以外の個数であってもよい。

【0064】

図13を参照して、本実施形態に係る単位画素について説明する。図13には、画素200の回路構成を示すが、行列状に配置された他の画素も同様の回路構成を備えている。画素200は、フォトダイオード400A～フォトダイオード400H、転送トランジスタ410-1～転送トランジスタ410-8、フローティングディフュージョン420、ソースフォロワトランジスタ430、選択トランジスタ440、リセットトランジスタ455、ゲイン切替トランジスタ456、電源ノード460を備えている。フォトダイオード400A～フォトダイオード400Hは、転送トランジスタ410-1～転送トランジスタ410-8によりフローティングディフュージョン420と接続可能に構成されている。すなわち、複数のフォトダイオードでフローティングディフュージョンを共有する共有画素構造を構成している。転送トランジスタ410-1～転送トランジスタ410-8のゲートには、転送制御信号を供給するための制御線TX1～制御線TX8が個別に接続

40

50

されている。

【0065】

図14を参照して、本実施形態に係る画素制御回路128の出力段の回路構成について説明する。図は、画素制御回路128の出力段の一部を抽出して示したものであり、1つの画素行に対してFDINC、RES、TX1～TX8、SELの11種の制御信号を出力する部分を示している。121～124はバッファ回路であり、各バッファ回路に入力される信号の名称は、各バッファ回路から出力される制御信号の名称の末尾に「IN」が付記されたものになっている。

【0066】

本実施形態に係る画素制御回路128では、制御信号FDINCのバッファ回路だけでなく、制御信号TX1～制御信号TX8のバッファ回路、および制御信号RESのバッファ回路にも、各電源ノード側に電流源回路を備えている。すなわち、画素制御パルスとしての制御信号FDINC、制御信号TX1～制御信号TX8、及び制御信号RESのパルス波形のオフからオンへの遷移時間を、選択制御信号SELのオフからオンへの遷移時間よりも長くすることが可能な構成を備えている。また、制御信号FDINC、制御信号TX1～制御信号TX8、制御信号RESのパルス波形のオンからオフへの遷移時間を、選択制御信号SELのオンからオフへの遷移時間よりも長くすることも可能な構成を備えている。

10

【0067】

本実施形態によれば、実施形態1と同様のシェーディング抑制効果に加えて、リセット制御信号の瞬間電流の抑制や転送制御信号の瞬間電流の抑制が可能となる。例えば、全画素の一括リセット動作時の瞬時電流を抑制したり、複数画素で同時に転送動作を行う時の瞬時電流を抑制することが可能となる。これにより、例えば超多画素の光電変換装置における瞬時的な過電流が原因で発生する配線のエレクトロマイグレーション現象、すなわち断線や配線抵抗の増大、あるいはICパッケージのボンディングワイヤの破断などの不具合を防ぐことができる。

20

なお、本実施形態では、制御信号FDINC、制御信号TX1～制御信号TX8、及び制御信号RESのすべてについて、パルス波形のオフからオンへの遷移時間を、選択制御信号SELのオフからオンへの遷移時間よりも長くする構成を備えていた。しかし、この例に限定されるものではない。実施形態1でも述べたクロックフィードスルー現象によるフローティングディフュージョン電位のばらつきは、フローティングディフュージョンに対して寄生容量を持つトランジスタの制御信号の変化によって生じるものである。したがって、フローティングディフュージョンに対して寄生容量を備えるトランジスタの少なくとも1つを制御する制御信号のオフからオンへの遷移時間を、選択制御信号SELのオフからオンへの遷移時間よりも長くする。これにより、シェーディングが抑制された均一性が高い画像信号を得ることができる。つまり、本実施形態においては、制御信号FDINC、制御信号TX1～制御信号TX8、及び制御信号RESの少なくとも1つの制御信号のオフからオンへの遷移時間を、選択制御信号SELのオフからオンへの遷移時間よりも長くするようにすればよい。これにより、シェーディングが抑制された均一性が高い画像信号を得ることができる。

30

40

【0068】

[実施形態4]

実施形態4に係る光電変換装置について説明するが、本実施形態は実施形態1～実施形態3と組み合わせることで実施することが可能である。実施形態1～実施形態3では、制御信号FDINCの立上がり時間が制御信号SELの立上がり時間よりも大きくなるように構成し、クロックフィードスルー現象によるフローティングディフュージョンの電位上昇のばらつき（シェーディング）を抑制した。

【0069】

本実施形態では、さらにAD変換回路160の後段の処理回路95（図1）にて、フローティングディフュージョン電位に対する輝度信号レベル（出力信号レベル）の非線形性

50

を補正するためのリニアリティ補正処理を行う。このリニアリティ補正処理は、F D I N C のオフからオンへの遷移により F D 電位が上昇したことによって生じる感度の非線形性を補正する処理である。

【0070】

図15(a)は、F D 電位の上昇と輝度信号レベルの関係を示すグラフで、制御信号 F D I N C による振り上げにより非線形性が生じていることが判る。本実施形態では、図15(b)に示すように、リニアリティを向上させるための補正処理を処理回路95(処理部)にて実施する。具体的には、リニアリティを補正するための補正テーブルを予め取得しておき、C D S 処理後のデジタル輝度信号に対して補正処理を行う。補正処理は、ソフトウェア的な処理でも、専用の処理回路を用いたハードウェア的な処理でもよい。本実施形態によれば、シェーディングが抑制され、各画素の出力信号のリニアリティが優れた高い画質の画像を取得することが可能となる。

10

【0071】

〔実施形態5〕

実施形態5として、本発明に係る光電変換装置を備えたシステムについて説明する。図16(a)は、半導体装置930を備えた機器9191を説明する模式図である。半導体装置930は、半導体デバイス910として、上述したいずれかの実施形態の光電変換装置を備えている。半導体装置930を備えた機器9191について詳細に説明する。

【0072】

半導体装置930は、半導体デバイス910のほかに、半導体デバイス910を収容するパッケージ920を含むことができる。パッケージ920は、半導体デバイス910が固定された基体と、半導体デバイス910に対向するガラスなどの蓋体と、を含むことができる。パッケージ920は、さらに、基体に設けられた端子と半導体デバイス910に設けられた端子とを接続するボンディングワイヤや bumps などの接合部材を含むことができる。

20

【0073】

機器9191は、光学装置940、制御装置950、処理装置960、表示装置970、記憶装置980、機械装置990の少なくともいずれかを備えることができる。光学装置940は、半導体装置930に対応して設けられ、例えばレンズやシャッター、ミラーである。制御装置950は、半導体装置930を制御する。制御装置950は、例えば A S I C などの半導体装置である。

30

【0074】

処理装置960は、半導体装置930から出力された信号を処理する。処理装置960は、A F E (アナログフロントエンド)あるいはD F E (デジタルフロントエンド)を構成するための、C P U や A S I C などの半導体装置である。表示装置970は、半導体装置930で得られた情報(画像)を表示する、E L 表示装置や液晶表示装置である。記憶装置980は、半導体装置930で得られた情報(画像)を記憶する、磁気デバイスや半導体デバイスである。記憶装置980は、S R A M や D R A M などの揮発性メモリ、あるいは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。

【0075】

機械装置990は、モーターやエンジンなどの可動部あるいは推進部を有する。機器9191では、半導体装置930から出力された信号を表示装置970に表示したり、機器9191が備える通信装置(不図示)によって外部に送信したりする。そのために、機器9191は、半導体装置930が有する記憶回路や演算回路とは別に、記憶装置980や処理装置960をさらに備えることが好ましい。機械装置990は、半導体装置930から出力され信号に基づいて制御されてもよい。

40

【0076】

また、機器9191は、撮影機能を有する情報端末(例えばスマートフォンやウェアラブル端末)やカメラ(例えばレンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ)などの電子機器に適する。カメラにおける機械装置990は、ズーミングや合

50

焦、シャッター動作のために光学装置 940 の部品を駆動することができる。あるいは、カメラにおける機械装置 990 は防振動作のために半導体装置 930 を移動することができる。

【0077】

また、機器 9191 は、車両や船舶、飛行体などの輸送機器であり得る。輸送機器における機械装置 990 は、移動装置として用いられうる。輸送機器としての機器 9191 は、半導体装置 930 を輸送するものや、撮影機能により運転（操縦）の補助および／または自動化を行うものに好適である。運転（操縦）の補助および／または自動化のための処理装置 960 は、半導体装置 930 で得られた情報に基づいて移動装置としての機械装置 990 を操作するための処理を行うことができる。あるいは、機器 9191 は内視鏡などの医療機器や、測距センサなどの計測機器、電子顕微鏡のような分析機器、複写機などの事務機器、ロボットなどの産業機器であってもよい。

10

【0078】

上述した実施形態によれば、良好な特性の画像を取得することが可能となるため、半導体装置の価値を高めることができる。ここでいう価値を高めることには、機能の追加、性能の向上、特性の向上、信頼性の向上、製造歩留まりの向上、環境負荷の低減、コストダウン、小型化、軽量化の少なくともいずれかが該当する。

【0079】

従って、本実施形態に係る半導体装置 930 を機器 9191 に用いれば、機器の価値をも向上することができる。例えば、半導体装置 930 を輸送機器に搭載して、輸送機器の外部の撮影や外部環境の測定を行う際に優れた性能を得ることができる。よって、輸送機器の製造、販売を行う上で、本実施形態に係る半導体装置を輸送機器へ搭載することを決定することは、輸送機器自体の性能を高める上で有利である。特に、半導体装置で得られた情報を用いて輸送機器の運転支援および／または自動運転を行う輸送機器に半導体装置 930 は好適である。尚、車両や船舶、飛行体などにおける実施は、輸送目的で実用される機器への適用には限られず、例えば建築物や農業施設の点検、自然現象の監視等をはじめとする各種目的で空撮を行うドローン等においても好適に実施し得る。

20

また、本実施形態の光電変換システム及び移動体について、図 16 (b)、図 16 (c) を参照して説明する。

【0080】

図 16 (b) は、車載カメラに関する光電変換システムの一例を示したものである。光電変換システム 8 は、光電変換装置 800 を有するが、光電変換装置 800 は、上記のいずれかの実施形態に記載の光電変換装置である。光電変換システム 8 は、光電変換装置 800 により取得された複数の画像データに対し、画像処理を行う画像処理部 801 と、光電変換システム 8 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部 802 を有する。また、光電変換システム 8 は、算出された視差に基づいて対象物までの距離を算出する距離取得部 803 と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部 804 と、を有する。ここで、視差取得部 802 や距離取得部 803 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 804 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよい。

30

40

【0081】

光電変換システム 8 は、車両情報取得装置 810 と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、光電変換システム 8 は、衝突判定部 804 での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する

50

制御装置である制御 ECU 820 が接続されている。また、光電変換システム 8 は、衝突判定部 804 での判定結果に基づいて、ドライバーへ警報を発する警報装置 830 とも接続されている。例えば、衝突判定部 804 の判定結果として衝突可能性が高い場合、制御 ECU 820 はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置 830 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0082】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム 8 で撮像する。図 16 (c) に、車両前方（撮像範囲 850）を撮像する場合の光電変換システムを示した。車両情報取得装置 810 が、光電変換システム 8 ないしは光電変換装置 800 に指示を送る。このような構成により、測距の精度をより向上させることができる。

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光電変換システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【0083】

〔他の実施形態〕

なお、本発明は、以上説明した実施形態や実施例に限定されるものではなく、本発明の技術的思想内で多くの変形が可能である。例えば、上述した異なる実施形態を組合わせて実施しても差し支えない。

【0084】

また、本発明を適用可能な光電変換装置は特定の形態に限られるわけではなく、例えば、受光部に関しては表面照射型、裏面照射型のいずれであってもよい。また、受光部を備えた半導体チップと、ロジック部を備えた半導体チップとが積層された積層型の光電変換装置でもよい。この場合には、図 1 に示した画素 10 の画素アレイを 1 つの半導体チップに設ける。そして、AD 変換回路 160、画素制御回路 120、TG 161、処理回路 95、出力回路 100 を別の半導体チップに設けるようにしても良い。また、積層型の光電変換装置は 3 つ以上の半導体チップを含んでも良い。3 つの半導体チップの例としては、受光部を備えた半導体チップ、ロジック部を備えた半導体チップ、メモリ部を備えた半導体チップがあげられる。一方で、光電変換装置は 1 つの半導体チップに図 1 に示した全ての構成が設けられていても良い。光電変換装置から出力される画像信号がデジタル信号の場合を説明したが、画像信号はアナログ信号の形で出力してもよい。

【0085】

本実施形態の開示は、以下の構成を含む。

〔構成 1〕

行列状に配置された複数の画素と、

前記複数の画素を制御する制御回路と、を備え、

前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間が長い画素制御パルスと、を出力する、

ことを特徴とする光電変換装置。

〔構成 2〕

行列状に配置された複数の画素と、

前記複数の画素を制御する制御回路と、を備え、

前記制御回路は、行方向に配置された前記画素を選択する行選択パルスと、前記行選択パルスよりも立上がり時間および立下がり時間が長い画素制御パルスと、を出力する、

ことを特徴とする光電変換装置。

〔構成 3〕

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部の容量値を切り替えるトランジスタを制御する制御信号が含まれる、

ことを特徴とする構成 1 または 2 に記載の光電変換装置。

[構成 4]

前記フローティングディフュージョン部の電位の上昇により生じる前記画素の出力信号レベルの非線形性を補正する処理部を備える、

ことを特徴とする構成 3 に記載の光電変換装置。

[構成 5]

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部の容量値を切り替える複数のトランジスタを制御する複数の制御信号が含まれる、

ことを特徴とする構成 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

[構成 6]

前記画素制御パルスには、前記画素が備えるフォトダイオードからフローティングディフュージョン部に信号電荷を転送する転送トランジスタを制御する信号が含まれる、

ことを特徴とする構成 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

[構成 7]

前記画素制御パルスには、前記画素が備える複数のフォトダイオードからフローティングディフュージョン部に信号電荷を転送する複数の転送トランジスタを制御する複数の信号が含まれる、

ことを特徴とする構成 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

[構成 8]

前記画素制御パルスには、前記画素が備えるフローティングディフュージョン部をリセットするリセットトランジスタを制御する信号が含まれる、

ことを特徴とする構成 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

[構成 9]

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立上がり時間を前記行選択パルスの立上がりよりも遅くするための電流源回路を備える、

ことを特徴とする構成 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

[構成 10]

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立上がり時間を前記行選択パルスの立上がりよりも遅くするための電流制限抵抗およびトランジスタの中の少なくとも一方を備える、

ことを特徴とする構成 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

[構成 11]

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立下がり時間を前記行選択パルスの立下がりよりも遅くするための電流源回路を備える、

ことを特徴とする構成 1 乃至 10 のいずれか 1 項に記載の光電変換装置。

[構成 12]

前記制御回路は、前記画素制御パルスの出力部に、前記画素制御パルスの立下がり時間を前記行選択パルスの立下がりよりも遅くするための電流制限抵抗およびトランジスタの少なくとも一方を備える、

ことを特徴とする構成 1 乃至 10 のいずれか 1 項に記載の光電変換装置。

[構成 13]

前記画素制御パルスの立上がりの傾斜が、 $30\text{ V} / \mu\text{sec}$ よりも小さい、

ことを特徴とする構成 1 乃至 12 のいずれか 1 項に記載の光電変換装置。

[構成 14]

前記画素制御パルスの立下がりの傾斜が、 $30\text{ V} / \mu\text{sec}$ よりも小さい、

ことを特徴とする構成 1 乃至 13 のいずれか 1 項に記載の光電変換装置。

[構成 15]

構成 1 乃至 14 のいずれか 1 項に記載の光電変換装置と、前記光電変換装置から出力さ

10

20

30

40

50

れる画像データ処理する処理装置と、を備えることを特徴とするシステム。

【符号の説明】

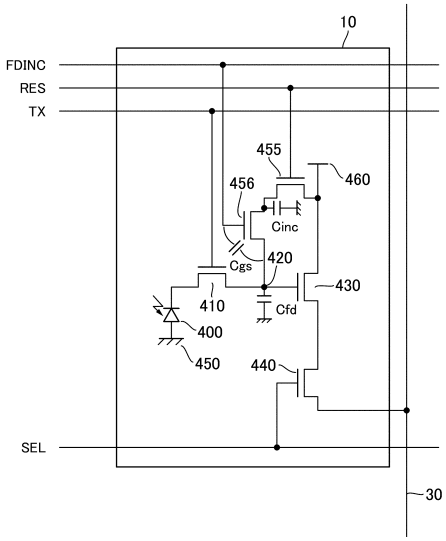
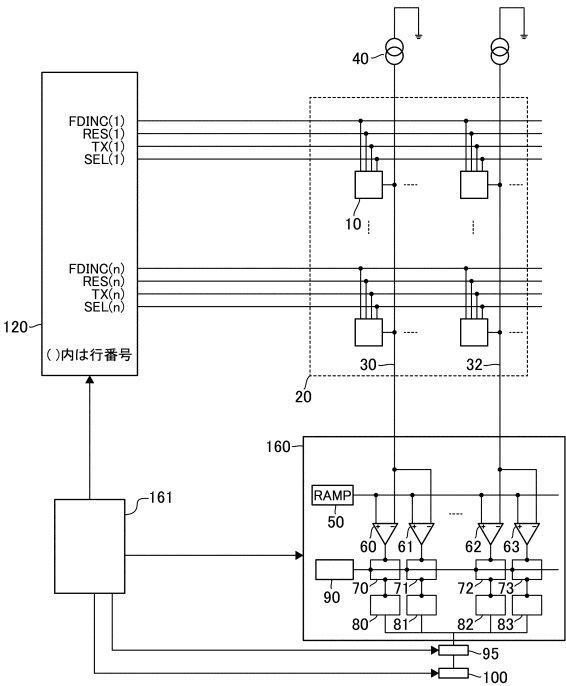
【0086】

10・・・画素／20・・・画素アレイ／30、32・・・垂直線／40・・・電流源
／50・・・ランプ信号供給回路／60～63・・・比較器／70～73・・・第一のメモ
リ／80～83・・・第二のメモリ／90・・・カウンタ／95・・・処理回路／10
0・・・出力回路／110・・・画素／120・・・画素制御回路／121～124・・・
バッファ回路／125・・・電流源回路／126・・・電流源回路／127、128・・・
画素制御回路／130・・・垂直線／160・・・AD変換回路／200・・・画素
／400、400A～400H・・・フォトダイオード／410、410-1～410-
8・・・転送トランジスタ／420・・・フローティングディフュージョン／430・・・
ソースフォロワトランジスタ／440・・・選択トランジスタ／450・・・GNDノ
ード／455・・・リセットトランジスタ／456、456A、456B・・・ゲイン切
替トランジスタ／460・・・電源ノード

【図面】

【図1】

【図2】



10

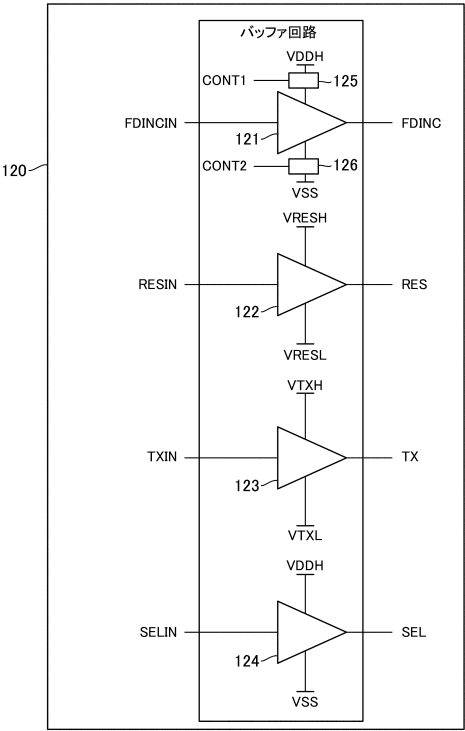
20

30

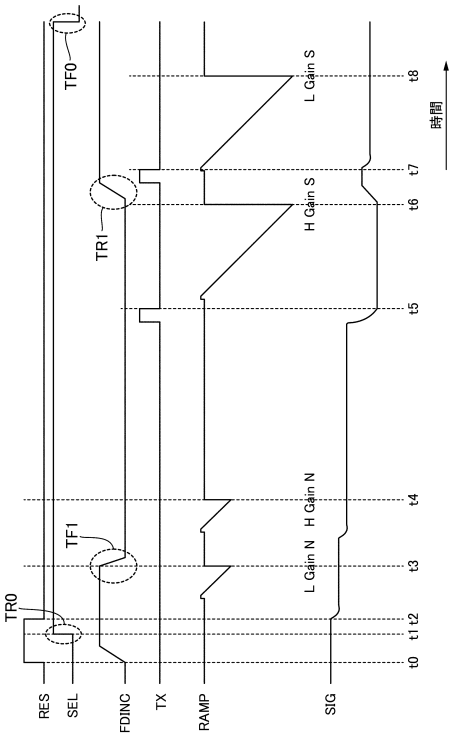
40

50

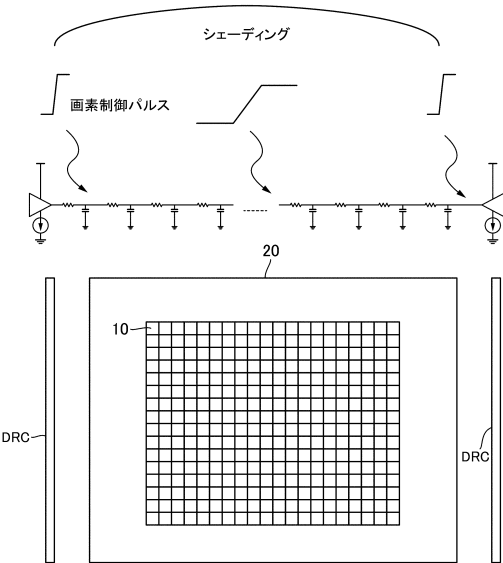
【図 3】



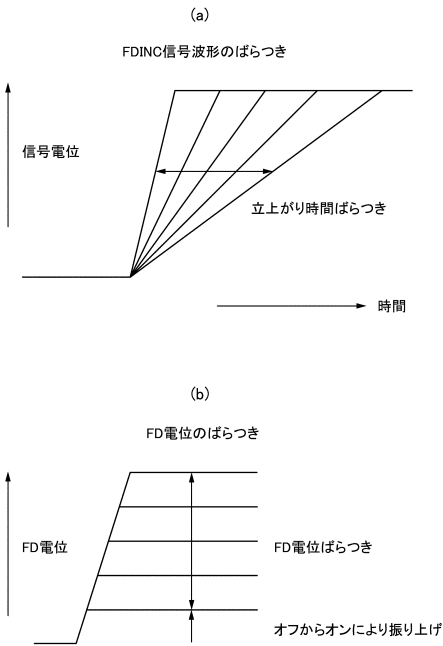
【図 4】



【図 5】



【図 6】



10

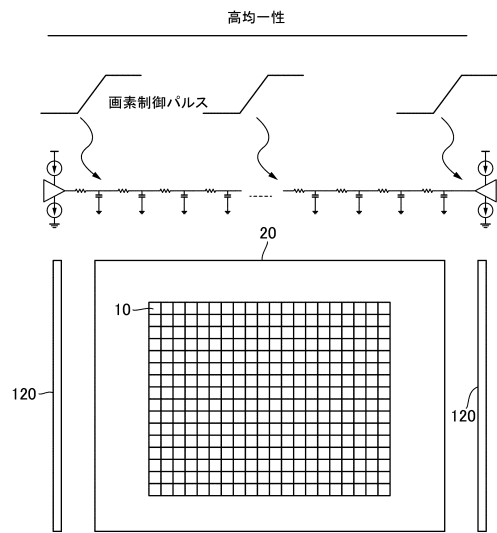
20

30

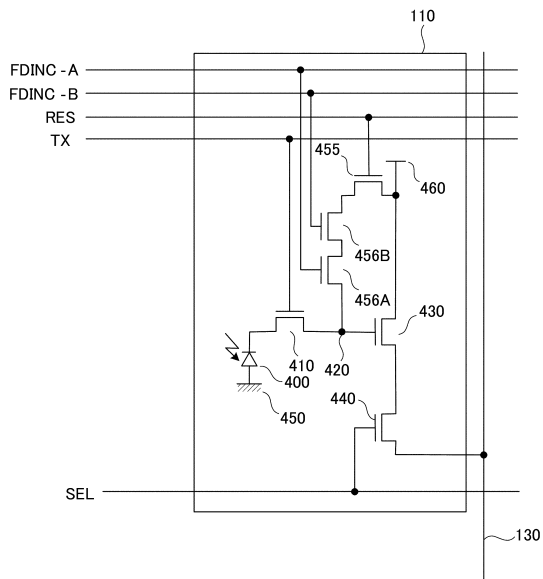
40

50

【図 7】



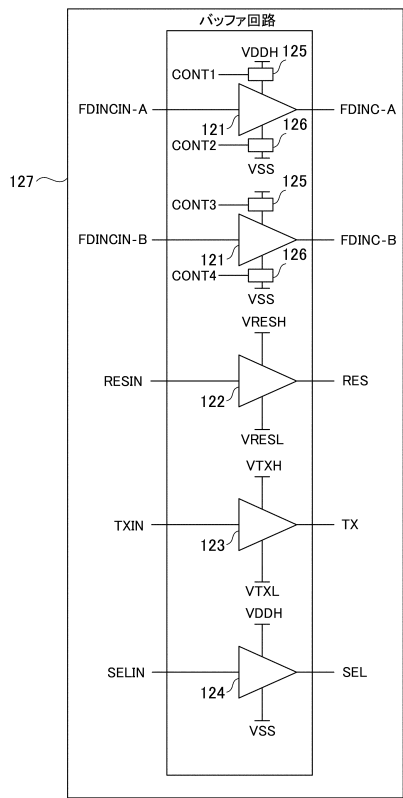
【図 8】



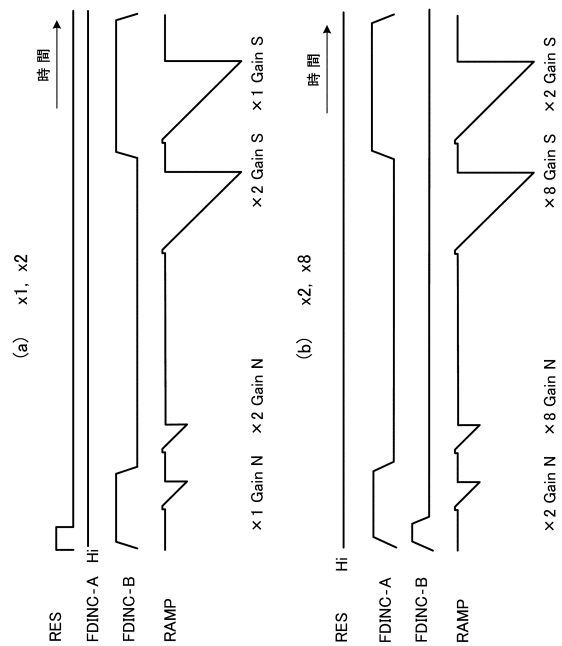
10

20

【図 9】



【図 10】

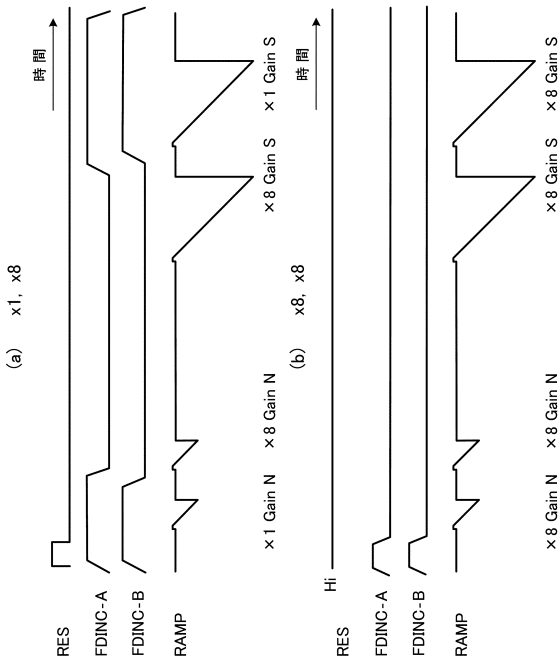


30

40

50

【図 1 1】



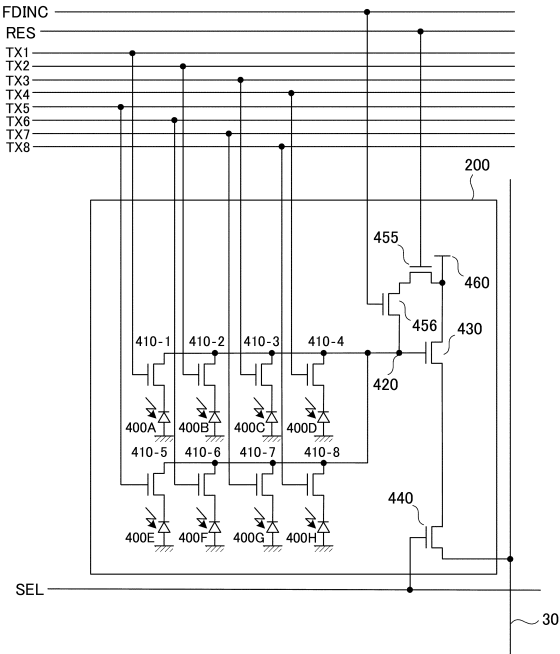
【図 1 2】

FDINC-A	FDINC-B	変換ゲイン
L (456A : OFF)	L (456B : OFF)	× 8
H (456A : ON)	L (456B : OFF)	× 2
H (456A : ON)	H (456B : ON)	× 1

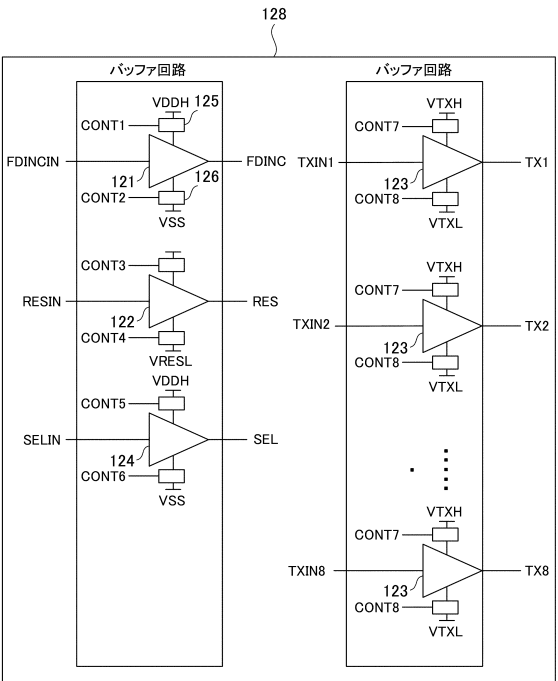
10

20

【図 1 3】



【図 1 4】

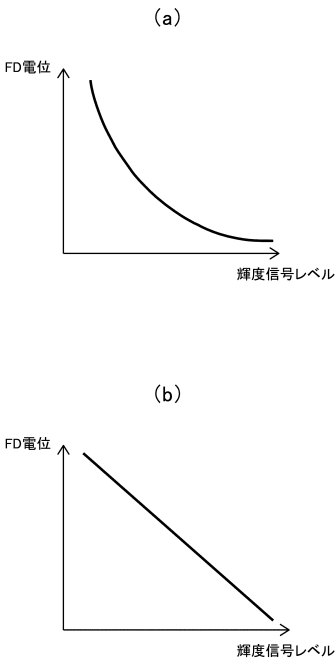


30

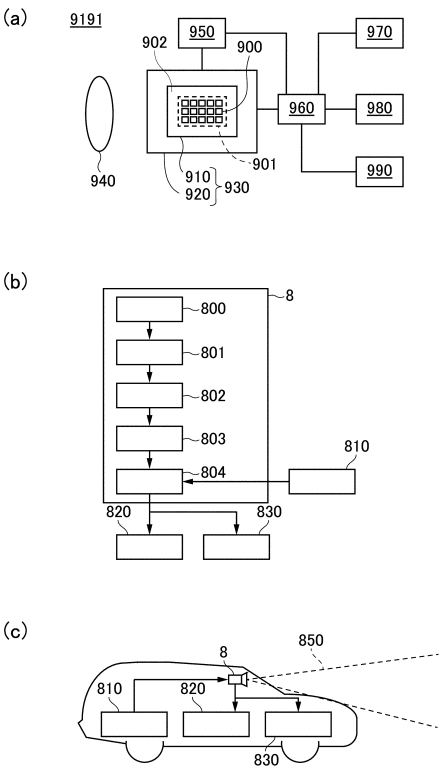
40

50

【図 1 5】



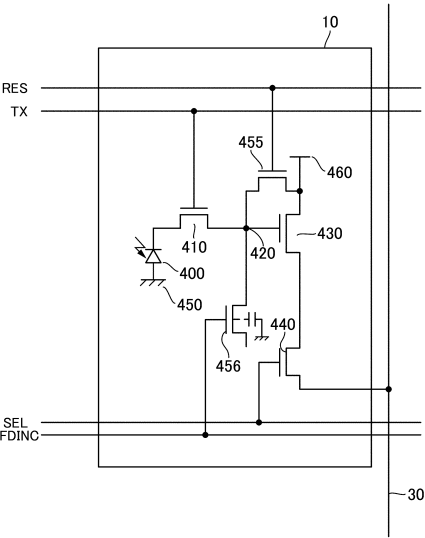
【図 1 6】



10

20

【図 1 7】



30

40

50