

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年5月26日(26.05.2017)



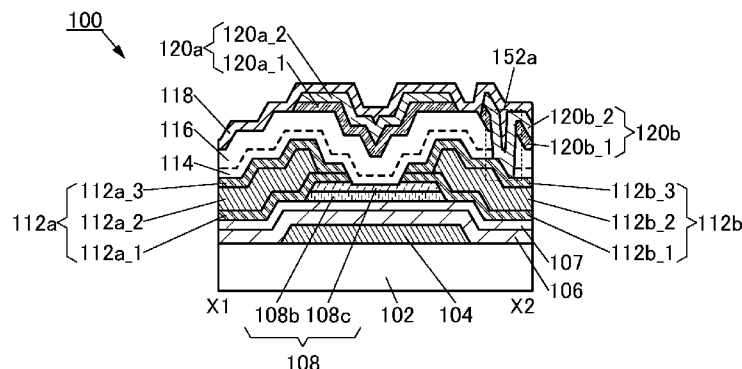
(10) 国際公開番号
WO 2017/085595 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 51/50* (2006.01)
G09F 9/30 (2006.01) *H05B 33/14* (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/IB2016/056761
- (22) 国際出願日: 2016年11月10日(10.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-227399 2015年11月20日(20.11.2015) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷39
8 Kanagawa (JP).
- (72) 発明者: 及川欣聡(OIKAWA, Yoshiaki); 〒2430036
神奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 大澤信晴
(OHSAWA, Nobuharu); 〒2430036 神奈川県厚木市
長谷398株式会社半導体エネルギー研究所内
Kanagawa (JP). 神長正美(JINTYOU, Masami). 中澤
安孝(NAKAZAWA, Yasutaka).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC,
LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG,
PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE OR DISPLAY
DEVICE HAVING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、該半導体装置の作製方法、または該半導体装置を有する表示装置

[図1] (B)



(57) Abstract: The present invention suppresses variations in electrical characteristics in a transistor having an oxide semiconductor film. The present invention has: a first gate electrode; a first insulating film on the first gate electrode; an oxide semiconductor film on the first insulating film; a source electrode on the oxide semiconductor film; a drain electrode on the oxide semiconductor film; a second insulating film on the oxide semiconductor film, the source electrode and the drain electrode; and a second gate electrode on the second insulating film. The first insulating film has a first opening. A connection electrode is formed on the first insulating film, the connection electrode being electrically connected to the first gate electrode through the first opening. The second insulating film has a second opening reaching the connection electrode. The second gate electrode has an oxide conductive film, and a metal film on the oxide conductive film. The connection electrode and the second gate electrode are electrically connected using the metal film.

(57) 要約:

[続葉有]

WO 2017/085595 A1



酸化物半導体膜を有するトランジスタにおいて、電気特性の変動を抑制する。第1のゲート電極と、第1のゲート電極上の第1の絶縁膜と、第1の絶縁膜上の酸化物半導体膜と、酸化物半導体膜上のソース電極と、酸化物半導体膜上のドレイン電極と、酸化物半導体膜、ソース電極、及びドレイン電極上の第2の絶縁膜と、第2の絶縁膜上の第2のゲート電極と、を有し、第1の絶縁膜は、第1の開口部を有し、第1の絶縁膜上には、第1の開口部を介して第1のゲート電極と電氣的に接続される接続電極が形成され、第2の絶縁膜は、接続電極に達する第2の開口部を有し、第2のゲート電極は、酸化物導電膜と、酸化物導電膜上の金属膜と、を有し、接続電極と第2のゲート電極とは、金属膜を用いて電氣的に接続される。

明細書

発明の名称

半導体装置、該半導体装置の作製方法、または該半導体装置を有する表示装置

技術分野

[0001]

本発明の一態様は、酸化物半導体膜を有する半導体装置及び該半導体装置を有する表示装置に関する。または、本発明の一態様は、酸化物半導体膜を有する半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）、または薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

例えば、2つのゲート電極の間に酸化物半導体膜が設けられるデュアルゲート構造のトランジスタを用いることで、ゲートBTストレスによる寄生チャネルの形成を抑制した半導体装置が開示されている（特許文献1参照）。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2014-241404号公報

発明の概要

発明が解決しようとする課題

[0007]

酸化物半導体膜をチャネル領域に用いるトランジスタとしては、電界効果移動度（単に移動度、または μ FEという場合がある）が高い方が好ましい。例えば、特許文献1に示すように、2つのゲート電極の間に酸化物半導体膜が設けられるデュアルゲート構造のトランジスタを用いることで、トラ

ンジスタのオン電流及び電界効果移動度を高めることができる。

[0008]

また、デュアルゲート構造のトランジスタを用いる場合、一方のゲート電極と他方のゲート電極との接続抵抗は、低い方が好ましい。当該接続抵抗が高い場合、トランジスタの電気特性が安定しないといった問題がある。

[0009]

また、酸化物半導体膜をチャネル領域に用いるトランジスタとしては、酸化物半導体膜中に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となる。酸化物半導体膜中にキャリア供給源が生成されると、酸化物半導体膜を有するトランジスタの電気特性の変動、代表的にはしきい値電圧のシフトが生じる。また、トランジスタごとに電気特性がばらつくという問題がある。したがって、酸化物半導体膜のチャネル領域においては、酸素欠損が少ないほど好ましい。

[0010]

上記問題に鑑み、本発明の一態様は、酸化物半導体膜を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させることを課題の1つとする。または、本発明の一態様は、2つのゲート電極を有するデュアルゲート構造のトランジスタにおいて、一方のゲート電極と他方のゲート電極との接続抵抗を低減させ、安定した電気特性を有する半導体装置を提供することを課題の1つとする。または、本発明の一態様は、消費電力が低減された半導体装置を提供することを課題の1つとする。または、本発明の一態様は、新規な半導体装置を提供することを課題の1つとする。または、本発明の一態様は、新規な表示装置を提供することを課題の1つとする。

[0011]

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1のゲート電極と、第1のゲート電極上の第1の絶縁膜と、第1の絶縁膜上の酸化物半導体膜と、酸化物半導体膜上のソース電極と、酸化物半導体膜上のドレイン電極と、酸化物半導体膜、ソース電極、及びドレイン電極上の第2の絶縁膜と、第2の絶縁膜上の第2のゲート電極と、を有し、第1の絶縁膜は、第1の開口部を有し、第1の絶縁膜上には、第1の開口部を介して第1のゲート電極と電気的に接続される接続電極が形成され、第2の絶縁膜は、接続電極に達する第2の開口部を有し、第2のゲート電極は、酸化物導電膜と、酸化物導電膜上の金属膜と、を有し、接続電極と第2のゲート電極とは、金属膜を用いて電気的に接続される半導体装置である。

[0013]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1のゲート電極と、第1のゲート電極上の第1の絶縁膜と、第1の絶縁膜上の酸化物半導体膜と、酸化物半導体膜上のソース電極と、酸化物半導体膜上のドレイン電極と、酸化物半導体膜、ソース電極、及びドレイン電極上の第2の絶縁膜と、第2の絶縁膜上の第2のゲート電極と、を有し、第1の絶縁

膜は、第1の開口部を有し、第1の絶縁膜上には、第1の開口部を介して第1のゲート電極と電氣的に接続される接続電極が形成され、第2の絶縁膜は、接続電極に達する第2の開口部と、ソース電極及びドレイン電極のいずれか一方に達する第3の開口部と、を有し、第2のゲート電極は、酸化物導電膜と、酸化物導電膜上の金属膜と、を有し、第3の開口部には、金属膜と同じ組成の導電膜が形成され、接続電極と第2のゲート電極とは、金属膜を用いて電氣的に接続される半導体装置である。

[0014]

上記態様において、ソース電極及びドレイン電極は、それぞれ、第1の金属膜と、第1の金属膜上に接する第2の金属膜と、第2の金属膜上に接する第3の金属膜と、を有し、第2の金属膜は、銅を含み、第1の金属膜及び第3の金属膜は、それぞれ、銅の拡散を抑制する材料を含み、第1の金属膜の端部は、第2の金属膜の端部よりも外側に位置する領域を有し、第3の金属膜は、第2の金属膜の上面及び側面を覆い、且つ第1の金属膜と接する領域を有すると好ましい。

[0015]

また、上記態様において、金属膜、導電膜、第1の金属膜、及び第3の金属膜は、それぞれ独立にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好ましい。

[0016]

また、上記態様において、酸化物導電膜は、酸化物半導体膜が有する金属元素を少なくとも一つ有すると好ましい。

[0017]

また、上記態様において、酸化物半導体膜は、Inと、M(MはAl、Ga、Y、またはSn)と、Znと、を有すると好ましい。また、上記態様において、酸化物半導体膜は、結晶部を有し、結晶部は、c軸配向性を有すると好ましい。

[0018]

また、本発明の他の一態様は、上記各態様にいずれか一つに記載の半導体装置と、表示素子と、を有する表示装置である。また、本発明の他の一態様は、該表示装置とタッチセンサとを有する表示モジュールである。また、本発明の他の一態様は、上記態様にいずれか一つに記載の半導体装置、上記表示装置、または上記表示モジュールと、操作キーまたはバッテリーとを有する電子機器である。

発明の効果

[0019]

本発明の一態様により、酸化物半導体膜を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、本発明の一態様により、2つのゲート電極を有するデュアルゲート構造のトランジスタにおいて、一方のゲート電極と他方のゲート電極との接続抵抗を低減させ、安定した電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様により、新規な表示装置を提供することができる。

[0020]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請

求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0021]

- [図1] 半導体装置の一態様を示す上面図及び断面図。
- [図2] 半導体装置の一態様を示す断面図。
- [図3] 半導体装置の一態様を示す断面図。
- [図4] 半導体装置の一態様を示す断面図。
- [図5] 半導体装置の一態様を示す断面図。
- [図6] 半導体装置の一態様を示す断面図。
- [図7] 半導体装置の作製工程の一例を示す断面図。
- [図8] 半導体装置の作製工程の一例を示す断面図。
- [図9] 半導体装置の作製工程の一例を示す断面図。
- [図10] 半導体装置の作製工程の一例を示す断面図。
- [図11] 半導体装置の作製工程の一例を示す断面図。
- [図12] 半導体装置の作製工程の一例を示す断面図。
- [図13] 酸化物半導体の原子数比の範囲を説明する図。
- [図14] $InMZnO_4$ の結晶を説明する図。
- [図15] 酸化物半導体の積層構造におけるバンド図。
- [図16] CAAC-OS及び単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。
- [図17] CAAC-OSの断面TEM像、ならびに平面TEM像及びその画像解析像。
- [図18] nc-OSの電子回折パターンを示す図、及びnc-OSの断面TEM像。
- [図19] alike OSの断面TEM像。
- [図20] In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。
- [図21] 表示装置の一態様を示す上面図。
- [図22] 表示装置の一態様を示す断面図。
- [図23] 表示装置の一態様を示す断面図。
- [図24] 表示装置の一態様を示す断面図。
- [図25] 表示装置の一態様を示す断面図。
- [図26] 表示装置の一態様を示す断面図。
- [図27] 表示装置の一態様を示す断面図。
- [図28] 表示装置を説明するブロック図及び回路図。
- [図29] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図30] 本発明の一態様を説明するためのグラフおよび回路図。
- [図31] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図32] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図33] 本発明の一態様を説明するためのブロック図、回路図および波形図。
- [図34] 本発明の一態様を説明するための回路図およびタイミングチャート。

[図 3 5] 本発明の一態様を説明するための回路図。

[図 3 6] 本発明の一態様を説明するための回路図。

[図 3 7] 表示モジュールを説明する図。

[図 3 8] 電子機器を説明する図。

[図 3 9] 電子機器を説明する図。

[図 4 0] 表示装置を説明する斜視図。

発明を実施するための形態

[0022]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0023]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

[0024]

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

[0025]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0026]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

[0027]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0028]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダ

クタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0029]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

[0030]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0031]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

[0032]

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

[0033]

一例として、しきい値電圧 V_{th} が 0.5 V であり、 V_{gs} が 0.5 V におけるドレイン電流が $1 \times 10^{-9}\text{ A}$ であり、 V_{gs} が 0.1 V におけるドレイン電流が $1 \times 10^{-13}\text{ A}$ であり、 V_{gs} が -0.5 V におけるドレイン電流が $1 \times 10^{-19}\text{ A}$ であり、 V_{gs} が -0.8 V におけるドレイン電流が $1 \times 10^{-22}\text{ A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5 V において、または、 V_{gs} が -0.5 V 乃至 -0.8 V の範囲において、 $1 \times 10^{-19}\text{ A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{ A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{ A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{ A}$ 以下である、と言う場合がある。

[0034]

また、本明細書等では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1\text{ }\mu\text{ m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流／長さの次元を持つ単位（例えば、 $\text{A}/\mu\text{ m}$ ）で表される場合がある。

[0035]

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60℃、85℃、95℃、または125℃におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、室温、60℃、85℃、95℃、125℃、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃乃至35℃のいずれか一の温度）、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0036]

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0037]

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

[0038]

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0039]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。または、本明細書等に記載の「絶縁体」を「半絶縁体」に言い換えることが可能な場合がある。

[0040]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言

い換えることが可能な場合がある。

[0041]

また、本明細書等において、半導体の不純物とは、半導体膜を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体を有する場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンを有する場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0042]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置及び半導体装置の作製方法について、図1乃至図12を参照して説明する。

[0043]

<1-1. 半導体装置の構成例1>

図1(A)は、本発明の一態様の半導体装置であるトランジスタ100の上面図であり、図1(B)は、図1(A)に示す一点鎖線X1-X2間における切断面の断面図に相当し、図1(C)は、図1(A)に示す一点鎖線Y1-Y2間における切断面の断面図に相当する。なお、図1(A)において、煩雑になることを避けるため、トランジスタ100の構成要素の一部（ゲート絶縁膜として機能する絶縁膜等）を省略して図示している。また、一点鎖線X1-X2方向をチャネル長方向、一点鎖線Y1-Y2方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図1(A)と同様に、構成要素の一部を省略して図示する場合がある。

[0044]

トランジスタ100は、基板102上の導電膜104と、基板102及び導電膜104上の絶縁膜106と、絶縁膜106上の絶縁膜107と、絶縁膜107上の酸化物半導体膜108と、酸化物半導体膜108上の導電膜112aと、酸化物半導体膜108上の導電膜112bと、酸化物半導体膜108、導電膜112a、及び導電膜112b上の絶縁膜114と、絶縁膜114上の絶縁膜116と、絶縁膜116上の導電膜120aと、絶縁膜116上の導電膜120bと、を有する。

[0045]

また、絶縁膜106及び絶縁膜107は、開口部151を有し、絶縁膜106及び絶縁膜107上には、開口部151を介して導電膜104と電氣的に接続される導電膜112cが形成される。また、絶縁膜114及び絶縁膜116は、導電膜112bに達する開口部152aと、導電膜112cに達する開口部152bとを有する。

[0046]

また、酸化物半導体膜108は、導電膜104側の酸化物半導体膜108bと、酸化物半導体膜108b上の酸化物半導体膜108cと、を有する。また、酸化物半導体膜108b及び酸化物半導体

膜 108c は、それぞれ、In と、M (M は Al、Ga、Y、または Sn) と、Zn と、を有する。

[0047]

例えば、酸化物半導体膜 108b としては、In の原子数比が M の原子数比より多い領域を有すると好ましい。また、酸化物半導体膜 108c としては、酸化物半導体膜 108b よりも In の原子数が少ない領域を有すると好ましい。

[0048]

酸化物半導体膜 108b が、In の原子数比が M の原子数比より多い領域を有することで、トランジスタ 100 の電界効果移動度を高くすることができる。具体的には、トランジスタ 100 の電界効果移動度が $10 \text{ cm}^2/\text{Vs}$ を超える、さらに好ましくはトランジスタ 100 の電界効果移動度が $30 \text{ cm}^2/\text{Vs}$ を超えることが可能となる。

[0049]

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバ (とくに、ゲートドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ) に用いることで、額縁幅の狭い (狭額縁ともいう) 半導体装置または表示装置を提供することができる。

[0050]

一方で、酸化物半導体膜 108b が、In の原子数比が M の原子数比より多い領域を有する場合、光照射時にトランジスタ 100 の電気特性が変動しやすくなる。しかしながら、本発明の一態様の半導体装置においては、酸化物半導体膜 108b 上に酸化物半導体膜 108c が形成されている。酸化物半導体膜 108c は、酸化物半導体膜 108b よりも In の原子数比が少ない領域を有するため、酸化物半導体膜 108b よりも E_g が大きくなる。したがって、酸化物半導体膜 108b と、酸化物半導体膜 108c との積層構造である酸化物半導体膜 108 は、光負バイアスストレス試験による耐性を高めることが可能となる。

[0051]

また、酸化物半導体膜 108 中、特に酸化物半導体膜 108b のチャネル領域に混入する水素または水分などの不純物は、トランジスタ特性に影響を与えるため問題となる。したがって、酸化物半導体膜 108b 中のチャネル領域においては、水素または水分などの不純物が少ないほど好ましい。また、酸化物半導体膜 108b 中のチャネル領域に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜 108b のチャネル領域中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となる。酸化物半導体膜 108b のチャネル領域中にキャリア供給源が生成されると、酸化物半導体膜 108b を有するトランジスタ 100 の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、酸化物半導体膜 108b のチャネル領域においては、酸素欠損が少ないほど好ましい。

[0052]

そこで、本発明の一態様においては、酸化物半導体膜 108 に接する絶縁膜、具体的には、酸化物半導体膜 108 の上方に形成される絶縁膜 114、116 が過剰酸素を含有する構成である。絶縁膜 114、116 から酸化物半導体膜 108 へ酸素または過剰酸素を移動させることで、酸化物半導体膜中の酸素欠損を低減することが可能となる。

[0053]

また、本発明の一態様においては、絶縁膜 114、116 に過剰酸素を含有させるために、導電膜

120a、120bを積層構造とする。具体的には、導電膜120aは、酸化物導電膜120a__1と、酸化物導電膜120a__1上の金属膜120a__2と、を有し、導電膜120bは、酸化物導電膜120b__1と、酸化物導電膜120b__1上の金属膜120b__2と、を有する。

[0054]

上記構成とすることで、例えば、酸化物導電膜120a__1、及び酸化物導電膜120b__1を形成する工程において、スパッタリング法を用い、酸素ガスを含む雰囲気にて酸化物導電膜を形成することで、酸化物導電膜の被形成面となる、絶縁膜116に酸素または過剰酸素を添加することが可能となる。また、金属膜120a__2と、金属膜120b__2とを有することで、上方から照射される光が、酸化物半導体膜108に照射されるのを抑制することができる。

[0055]

また、導電膜112cと導電膜120aとは、金属膜120a__2を用いて電氣的に接続され、導電膜112bと導電膜120bとは、金属膜120b__2を用いて電氣的に接続される。

[0056]

例えば、導電膜120aを酸化物導電膜120a__1のみで形成した場合、酸化物導電膜120b__1と、導電膜112cとが接続する構成となる。この構成の場合、導電膜112cと、導電膜120aとの接続抵抗が増加する場合がある。一方で本発明の一態様においては、金属膜120a__2を用いて導電膜112cと接続する構成となるため、導電膜112cと、導電膜120aとの接続抵抗を低くすることが可能となる。

[0057]

同様に、導電膜120bを酸化物導電膜120b__1のみで形成した場合、酸化物導電膜120b__1と、導電膜112bとが接続する構成となる。この構成の場合、導電膜112bと、導電膜120bとの接続抵抗が増加する場合がある。一方で本発明の一態様においては、金属膜120b__2を用いて導電膜120bと接続する構成となるため、導電膜112bと、導電膜120bとの接続抵抗を低くすることが可能となる。

[0058]

なお、導電膜120aが有する金属膜120a__2と、導電膜120bが有する金属膜120b__2とは、同じ金属膜を加工することで形成される。別言すると、開口部152aには、金属膜120a__2と同じ組成の金属膜120b__2が形成されることになる。

[0059]

また、トランジスタ100の上には、絶縁膜118が設けられる。絶縁膜118は、絶縁膜116、導電膜120a、及び導電膜120bを覆うように形成される。

[0060]

なお、トランジスタ100において、絶縁膜106、107は、トランジスタ100の第1のゲート絶縁膜としての機能を有し、絶縁膜114、116は、トランジスタ100の第2のゲート絶縁膜としての機能を有し、絶縁膜118は、トランジスタ100の保護絶縁膜としての機能を有する。また、トランジスタ100において、導電膜104は、第1のゲート電極としての機能を有し、導電膜120aは、第2のゲート電極としての機能を有し、導電膜120bは、表示装置に用いる画素電極としての機能を有する。また、トランジスタ100において、導電膜112aは、ソース電極としての機能を有し、導電膜112bは、ドレイン電極としての機能を有する。また、トランジスタ100

において、導電膜 112c は接続電極としての機能を有する。なお、本明細書等において、絶縁膜 106、107 を第 1 の絶縁膜と、絶縁膜 114、116 を第 2 の絶縁膜と、絶縁膜 118 を第 3 の絶縁膜と、それぞれ呼称する場合がある。

[0061]

また、導電膜 112a は、金属膜 112a__1 と、金属膜 112a__1 上に接する金属膜 112a__2 と、金属膜 112a__2 上に接する金属膜 112a__3 と、を有する。また、導電膜 120b は、金属膜 112b__1 と、金属膜 112b__1 上に接する金属膜 112b__2 と、金属膜 112b__2 上に接する金属膜 112b__3 と、を有する。

[0062]

金属膜 112a__2 及び金属膜 112b__2 は、それぞれ銅を含み、金属膜 112a__1、金属膜 112b__1、金属膜 112a__3、及び金属膜 112b__3 は、それぞれ銅の拡散を抑制する材料を含む。また、金属膜 112a__1 の端部は、金属膜 112a__2 の端部よりも外側に位置する領域を有し、金属膜 112a__3 は、金属膜 112a__2 の上面及び側面を覆い、且つ金属膜 112a__1 と接する領域を有する。また、金属膜 112b__1 の端部は、金属膜 112b__2 の端部よりも外側に位置する領域を有し、金属膜 112b__3 は、金属膜 112b__2 の上面及び側面を覆い、且つ金属膜 112b__1 と接する領域を有する。また、金属膜 112c__1 の端部は、金属膜 112c__2 の端部よりも外側に位置する領域を有し、金属膜 112c__3 は、金属膜 112c__2 の上面及び側面を覆い、且つ金属膜 112c__1 と接する領域を有する。

[0063]

導電膜 112a、及び導電膜 112b を上記構成とすることで、配線抵抗を低くすることが可能となる。また、導電膜 112a、112b が有する銅元素を外部に拡散するのを抑制することができる。よって、安定した電気特性を有する半導体装置を提供することができる。

[0064]

また、図 1 (C) に示すように、第 2 のゲート電極として機能する導電膜 120a は、接続電極として機能する導電膜 112c を間に挟んで、第 1 のゲート電極として機能する導電膜 104 と電氣的に接続される。よって、導電膜 104 と、導電膜 120a とは、同じ電位が与えられる。

[0065]

また、図 1 (C) に示すように、酸化物半導体膜 108 は、第 1 のゲート電極として機能する導電膜 104 と、第 2 のゲート電極として機能する導電膜 120a のそれぞれと対向するように位置し、2 つのゲート電極として機能する膜に挟まれている。導電膜 120a のチャネル長方向の長さ、及び導電膜 120a のチャネル幅方向の長さは、酸化物半導体膜 108 のチャネル長方向の長さ、及び酸化物半導体膜 108 のチャネル幅方向の長さよりもそれぞれ長く、酸化物半導体膜 108 の全体は、絶縁膜 114、116 を介して導電膜 120a に覆われている。

[0066]

別言すると、トランジスタ 100 のチャネル幅方向において、第 1 のゲート電極として機能する導電膜 104 及び第 2 のゲート電極として機能する導電膜 120a は、第 1 のゲート絶縁膜として機能する絶縁膜 106、107 及び第 2 のゲート絶縁膜として機能する絶縁膜 114、116 を介して酸化物半導体膜 108 を囲む構成である。

[0067]

このような構成を有することで、トランジスタ100に含まれる酸化物半導体膜108を、第1のゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120aの電界によって電氣的に囲むことができる。トランジスタ100のように、第1のゲート電極及び第2のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を、電氣的に囲むトランジスタのデバイス構造をSurrounded channel (S-channel) 構造と呼ぶことができる。

[0068]

トランジスタ100は、S-channel 構造を有するため、第1のゲート電極として機能する導電膜104によってチャネルを誘起させるための電界を効果的に酸化物半導体膜108に印加することができるため、トランジスタ100の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ100を微細化することが可能となる。また、トランジスタ100は、第1のゲート電極として機能する導電膜104及び第2のゲート電極として機能する導電膜120aによって囲まれた構造を有するため、トランジスタ100の機械的強度を高めることができる。

[0069]

以上のように、本発明の一態様の半導体装置においては、第2のゲート電極として機能する導電膜を酸化物導電膜と、金属膜との積層構造とすることで、第2のゲート電極として機能する導電膜の被形成面に酸素を添加し、且つ接続電極との接続には、当該金属膜を用いる事で接続抵抗を低くすることができる。このような構成とすることで、電気特性の変動が抑制された半導体装置を実現することができる。

[0070]

<1-2. 半導体装置の構成要素>

以下では、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

[0071]

[基板]

基板102の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板102として用いてもよい。また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板102として用いてもよい。なお、基板102として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。

[0072]

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100を形成してもよい。または、基板102とトランジスタ100の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100は耐熱性の劣る基板や可撓性の基板にも転載でき

る。

[0073]

[導電膜]

第1のゲート電極として機能する導電膜104、ソース電極として機能する導電膜112a、ドレイン電極として機能する導電膜112b、接続電極として機能する導電膜112c、第2のゲート電極として機能する導電膜120a、及び画素電極として機能する導電膜120bとしては、クロム(Cr)、銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、亜鉛(Zn)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、タングステン(W)、マンガン(Mn)、ニッケル(Ni)、鉄(Fe)、コバルト(Co)から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

[0074]

また、導電膜104、112a、112b、112c、120a、120bには、インジウムと錫とを有する酸化物、タングステンとインジウムとを有する酸化物、タングステンとインジウムと亜鉛とを有する酸化物、チタンとインジウムとを有する酸化物、チタンとインジウムと錫とを有する酸化物、インジウムと亜鉛とを有する酸化物、シリコンとインジウムと錫とを有する酸化物、インジウムとガリウムと亜鉛とを有する酸化物等の酸化物導電体を適用することもできる。

[0075]

特に、導電膜120aが有する酸化物導電膜120a__1、及び導電膜120bが有する酸化物導電膜120b__1には、上述の酸化物導電体を好適に用いることができる。また、酸化物導電膜120a__1、120b__1と、酸化物半導体膜108（酸化物半導体膜108b及び酸化物半導体膜108c）と、が同一の金属元素を有する構成とすると好適である。当該構成とすることで、製造コストを抑制することが可能となる。

[0076]

ここで、酸化物導電体について説明を行う。本明細書等において、酸化物導電体をOC(Oxide Conductor)と呼称してもよい。酸化物導電体としては、例えば、酸化物半導体に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、酸化物半導体は、導電性が高くなり導電体化する。導電体化された酸化物半導体を、酸化物導電体とすることができる。一般に、酸化物半導体は、エネルギーギャップが大きいので、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、酸化物導電体は、ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

[0077]

また、導電膜104、112a、112b、112c、120a、120bには、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウエットエッチングプロセスで加工できるため、製造コストを抑制することが可能となる。

[0078]

特に、導電膜112aが有する金属膜112a__2、導電膜112bが有する金属膜112b__2、及び導電膜112cが有する金属膜112c__2には、上述のCu-X合金膜を好適に用いることが

できる。Cu-X合金膜としては、Cu-Mn合金膜が特に好ましい。ただし、本発明の一態様において、これに限定されず、金属膜112b__2及び金属膜112c__2は、少なくとも銅を有していればよい。

[0079]

また、導電膜112aが有する金属膜112a__1、112a__3、導電膜112b__2が有する金属膜112b__1、112b__3、及び導電膜112cが有する金属膜112c__1、112c__3には、上述の金属元素の中でも、特にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好適である。金属膜112a__1、112a__3、112b__1、112b__3、112c__1、112c__3がチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると、金属膜112a__2、112b__2が有する銅の外部への拡散を抑制することができる。すなわち、金属膜112a__1、112a__3、112b__1、112b__3、112c__1、112c__3は、所謂バリアメタルとしての機能を有する。

[0080]

金属膜112a__1、112a__3、金属膜112b__1、112b__3、及び112c__1、112c__3には、窒素とタンタルを含む、所謂窒化タンタル膜を用いると好適である。当該窒化タンタル膜は、導電性を有し、且つ、銅または水素に対して、高いバリア性を有する。また、窒化タンタル膜は、さらに自身からの水素の放出が少ないため、酸化物半導体膜108と接する金属膜、または酸化物半導体膜108の近傍の金属膜として、最も好適に用いることができる。

[0081]

また、金属膜112a__3、112b__3をチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有する構成とすることで、金属膜120a__2、120b__2との接続抵抗を低くすることができる。なお、金属膜120a__2、120b__2も金属膜112a__3、112b__3と同種の材料を有すると、接続抵抗をさらに低くすることができるため好適である。

[0082]

[第1のゲート絶縁膜として機能する絶縁膜]

トランジスタ100の第1のゲート絶縁膜として機能する絶縁膜106、107としては、プラズマ化学気相堆積(PECVD: (Plasma Enhanced Chemical Vapor Deposition))法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を、それぞれ用いることができる。なお、絶縁膜106、107の積層構造とせず、上述の材料から選択された単層の絶縁膜、または3層以上の絶縁膜を用いてもよい。

[0083]

また、絶縁膜106は、酸素の透過を抑制するブロッキング膜としての機能を有する。例えば、絶縁膜107、114、116及び／または酸化物半導体膜108中に過剰の酸素を供給する場合において、絶縁膜106は酸素の透過を抑制することができる。

[0084]

なお、トランジスタ100のチャネル領域として機能する酸化物半導体膜108と接する絶縁膜107は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜107は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜107に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜107を形成すればよい。または、成膜後の絶縁膜107を酸素雰囲気下で熱処理すればよい。

[0085]

また、絶縁膜107として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜107の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[0086]

なお、本実施の形態では、絶縁膜106として窒化シリコン膜を形成し、絶縁膜107として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きいいため、トランジスタ100のゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を厚膜化することができる。よって、トランジスタ100の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ100の静電破壊を抑制することができる。

[0087]

[酸化物半導体膜]

酸化物半導体膜108としては、先に示す材料を用いることができる。

[0088]

酸化物半導体膜108bが $In-M-Zn$ 酸化物の場合、 $In-M-Zn$ 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In > M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:4$ 、1等が挙げられる。

[0089]

また、酸化物半導体膜108cが $In-M-Zn$ 酸化物の場合、 $In-M-Zn$ 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \leq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:6$ 、等が挙げられる。

[0090]

また、酸化物半導体膜108b及び酸化物半導体膜108cが、それぞれ $In-M-Zn$ 酸化物の場合、スパッタリングターゲットとしては、多結晶の $In-M-Zn$ 酸化物を含むターゲットを用い

ると好ましい。多結晶の In-M-Zn 酸化物を含むターゲットを用いることで、結晶性を有する酸化物半導体膜 108b 及び酸化物半導体膜 108c を形成しやすくなる。なお、成膜される酸化物半導体膜 108b 及び酸化物半導体膜 108c の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス 40% の変動を含む。例えば、酸化物半導体膜 108b のスパッタリングターゲットとして、原子数比が $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ を用いる場合、成膜される酸化物半導体膜 108b の原子数比は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 近傍となる場合がある。

[0091]

また、酸化物半導体膜 108 は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ 100 のオフ電流を低減することができる。特に、酸化物半導体膜 108b には、エネルギーギャップが 2 eV 以上、好ましくは 2 eV 以上 3.0 eV 以下の酸化物半導体膜を用い、酸化物半導体膜 108c には、エネルギーギャップが 2.5 eV 以上 3.5 eV 以下の酸化物半導体膜を用いると、好適である。また、酸化物半導体膜 108b よりも酸化物半導体膜 108c のエネルギーギャップが大きい方が好ましい。

[0092]

また、酸化物半導体膜 108b、及び酸化物半導体膜 108c の厚さは、それぞれ 3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下、さらに好ましくは 3 nm 以上 50 nm 以下とする。

[0093]

また、酸化物半導体膜 108c としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、第 2 の酸化物半導体膜 108c は、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下とする。

[0094]

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜 108b、及び酸化物半導体膜 108c のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0095]

なお、酸化物半導体膜 108b、及び酸化物半導体膜 108c としては、それぞれ不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合があ

る。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。

[0096]

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

[0097]

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体膜 108 は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜 108 において、SIMS 分析により得られる水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

[0098]

また、酸化物半導体膜 108 b は、酸化物半導体膜 108 c よりも水素濃度が少ない領域を有すると好ましい。酸化物半導体膜 108 b の方が、酸化物半導体膜 108 c よりも水素濃度が少ない領域を有することにより、信頼性の高い半導体装置とすることができる。

[0099]

また、酸化物半導体膜 108 b において、第 14 族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜 108 b において酸素欠損が増加し、n 型化してしまう。このため、酸化物半導体膜 108 b におけるシリコンや炭素の濃度と、酸化物半導体膜 108 b との界面近傍のシリコンや炭素の濃度（SIMS 分析により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0100]

また、酸化物半導体膜 108 b において、SIMS 分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜 108 b のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

[0101]

また、酸化物半導体膜108bに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

[0102]

また、酸化物半導体膜108b、及び酸化物半導体膜108cは、それぞれ非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0103]

[第2のゲート絶縁膜として機能する絶縁膜]

絶縁膜114、116は、トランジスタ100の第2のゲート絶縁膜として機能する。また、絶縁膜114、116は、酸化物半導体膜108に酸素を供給する機能を有する。すなわち、絶縁膜114、116は、酸素を有する。また、絶縁膜114は、酸素を透過することのできる絶縁膜である。なお、絶縁膜114は、後に形成する絶縁膜116を形成する際の、酸化物半導体膜108へのダメージ緩和膜としても機能する。

[0104]

絶縁膜114としては、厚さが5nm以上150nm以下、好ましくは5nm以上50nm以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

[0105]

また、絶縁膜114は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下であることが好ましい。これは、絶縁膜114に含まれる欠陥密度が多いと、該欠陥に酸素が結合してしまい、絶縁膜114における酸素の透過量が減少してしまう。

[0106]

なお、絶縁膜114においては、外部から絶縁膜114に入った酸素が全て絶縁膜114の外部に移動せず、絶縁膜114にとどまる酸素もある。また、絶縁膜114に酸素が入ると共に、絶縁膜114に含まれる酸素が絶縁膜114の外部へ移動することで、絶縁膜114において酸素の移動が生じる場合もある。絶縁膜114として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜114上に設けられる、絶縁膜116から脱離する酸素を、絶縁膜114を介して酸化物半導体膜108に移動させることができる。

[0107]

また、絶縁膜114は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー (E_{v_os}) と酸化物半導体膜の伝導帯の下端のエネルギー (E_{c_os}) の間に形成され得る場合がある。上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

[0108]

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 分子 / cm^3 以上 5×10^{19} 分子 / cm^3 以下である。なお、アンモニアの放出量は、膜の表面温度が 50°C 以上 650°C 以下、好ましくは 50°C 以上 550°C 以下の加熱処理による放出量とする。

[0109]

窒素酸化物 (NO_x 、 x は 0 を越えて 2 以下、好ましくは 1 以上 2 以下)、代表的には NO_2 または NO は、絶縁膜 114 などに準位を形成する。当該準位は、酸化物半導体膜 108 のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜 114 及び酸化物半導体膜 108 の界面に拡散すると、当該準位が絶縁膜 114 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 114 及び酸化物半導体膜 108 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

[0110]

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜 114 に含まれる窒素酸化物は、加熱処理において、絶縁膜 116 に含まれるアンモニアと反応するため、絶縁膜 114 に含まれる窒素酸化物が低減される。このため、絶縁膜 114 及び酸化物半導体膜 108 の界面において、電子がトラップされにくい。

[0111]

絶縁膜 114 として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

[0112]

なお、トランジスタの作製工程の加熱処理、代表的には 300°C 以上 350°C 未満の加熱処理により、絶縁膜 114 は、 100K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、X バンドの ESR 測定において約 5mT である。また、 g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計が $1 \times 10^{18} \text{ spins / cm}^3$ 未満であり、代表的には $1 \times 10^{17} \text{ spins / cm}^3$ 以上 $1 \times 10^{18} \text{ spins / cm}^3$ 未満である。

[0113]

なお、 100K 以下の ESR スペクトルにおいて、 g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計は、窒素酸化物 (NO_x 、 x は 0 より大きく 2 以下、好ましくは 1 以上 2 以下) 起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、 g 値が 2.037 以上 2.039 以下の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下である第 3 のシグナルのスピン密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

[0114]

また、上記酸化物絶縁膜は、SIMSで測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

[0115]

基板温度が 220°C 以上 350°C 以下であり、シラン及び一酸化二窒素を用いたPECVD法を用いて、上記酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

[0116]

絶縁膜116は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物絶縁膜である。なお、上記TDSにおける膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

[0117]

絶縁膜116としては、厚さが 30 nm 以上 500 nm 以下、好ましくは 50 nm 以上 400 nm 以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。

[0118]

また、絶縁膜116は、欠陥量が少ないことが好ましく、代表的には、ESR測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $1.5 \times 10^{18} \text{ spins/cm}^3$ 未満、さらには $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。なお、絶縁膜116は、絶縁膜114と比較して酸化物半導体膜108から離れているため、絶縁膜114より、欠陥密度が多くともよい。

[0119]

また、絶縁膜114、116は、同種の材料の絶縁膜を用いることができるため、絶縁膜114と絶縁膜116の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁膜114と絶縁膜116の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜114と絶縁膜116の2層構造について説明したが、これに限定されず、例えば、絶縁膜114の単層構造、あるいは3層以上の積層構造としてもよい。

[0120]

[保護絶縁膜として機能する絶縁膜]

絶縁膜118は、トランジスタ100の保護絶縁膜として機能する。

[0121]

絶縁膜118は、水素及び窒素のいずれか一方または双方を有する。または、絶縁膜118は、窒素及びシリコンを有する。また、絶縁膜118は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜118を設けることで、酸化物半導体膜108からの酸素の外部への拡散と、絶縁膜114、116に含まれる酸素の外部への拡散と、外部から酸化物半導体膜108への水素、水等の入り込みを防ぐことができる。

[0122]

絶縁膜118としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、

窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。

[0123]

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜、金属膜などの様々な膜は、スパッタリング法やPECVD法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法、またはALD (Atomic Layer Deposition) 法などが挙げられる。

[0124]

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0125]

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0126]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次チャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。

[0127]

MOCVD法、ALD法などの熱CVD法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、In-Ga-ZnO膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

[0128]

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体 (ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH) などのハフニウムアミド) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス (エチルメチルアミド) ハフニウムなどがある。

[0129]

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体 (トリメチルアルミニウム (TMA) など) を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス (ジメチルアミド) アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス (2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート) などがある。

[0130]

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシ

ランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

[0131]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスとを用いてタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0132]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $In-Ga-ZnO$ 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次繰り返し導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスとを用いて GaO 層を形成し、更にその後 $Zn(CH_3)_2$ ガスと O_3 ガスとを用いて ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $In(CH_3)_3$ ガスに変えて、 $In(C_2H_5)_3$ ガスを用いても良い。また、 $Ga(CH_3)_3$ ガスに変えて、 $Ga(C_2H_5)_3$ ガスを用いても良い。また、 $Zn(CH_3)_2$ ガスを用いても良い。

[0133]

<1-3. 半導体装置の構成例2>

次に、図1(A)(B)(C)に示すトランジスタ100の変形例について、図2乃至図6を用いて説明する。

[0134]

図2(A)(B)は、図1(B)(C)に示すトランジスタ100の変形例であるトランジスタ100Aの断面図である。また、図3(A)(B)は、図1(B)(C)に示すトランジスタ100の変形例であるトランジスタ100Bの断面図である。また、図4(A)(B)は、図1(B)(C)に示すトランジスタ100の変形例であるトランジスタ100Cの断面図である。また、図5(A)(B)は、図1(B)(C)に示すトランジスタ100の変形例であるトランジスタ100Dの断面図である。また、図6(A)(B)は、図1(B)(C)に示すトランジスタ100の変形例であるトランジスタ100Eの断面図である。

[0135]

図2(A)(B)に示すトランジスタ100Aは、図1(B)(C)に示すトランジスタ100が有する酸化物半導体膜108を3層の積層構造としている。より具体的には、トランジスタ100Aが有する酸化物半導体膜108は、酸化物半導体膜108aと、酸化物半導体膜108a上の酸化物半導体膜108bと、酸化物半導体膜108b上の酸化物半導体膜108cと、を有する。

[0136]

図3(A)(B)に示すトランジスタ100Bは、図1(B)(C)に示すトランジスタ100が有する酸化物半導体膜108を単層構造としている。より具体的には、トランジスタ100Bは、酸化物半導体膜108bを有する。

[0137]

図4(A)(B)に示すトランジスタ100Cは、図1(B)(C)に示すトランジスタ100が

有する酸化物半導体膜 108 の形状が異なる。より具体的には、トランジスタ 100 が有する酸化物半導体膜 108 c は、図面において、導電膜 112 a、112 b から露出した領域の厚さが薄い。別言すると酸化物半導体膜の一部が凹部を有する形状について例示している。一方で、トランジスタ 100 C が有する酸化物半導体膜 108 c は、図面において、導電膜 112 a、112 b から露出した領域の厚さが薄くならない。別言すると酸化物半導体膜の一部が凹部を有さない形状である。

[0138]

図 5 (A) (B) に示すトランジスタ 100 D は、図 1 (B) (C) に示すトランジスタ 100 が有する導電膜 112 a、112 b、112 c の構造が異なる。より、具体的には、トランジスタ 100 D が有する導電膜 112 a、112 b、112 c は、単層構造である。

[0139]

図 6 (A) (B) に示すトランジスタ 100 E は、所謂チャネル保護型のトランジスタ構造である。酸化物半導体膜 108 上にチャネル保護膜として機能する絶縁膜 115 が設けられる。絶縁膜 115 としては、絶縁膜 114 と同様の材料を用いることができる。なお、絶縁膜 115 を設ける構成の場合、絶縁膜 114 を設けずに、導電膜 112 a、112 b、絶縁膜 115 上に絶縁膜 116 を設ける構成とすることができる。

[0140]

このように、本発明の半導体装置としては、酸化物半導体膜の積層構造、酸化物半導体膜の形状、または導電膜の積層構造等が異なっても適用することが可能である。また、本実施の形態に係るトランジスタは、上記の構造のそれぞれを自由に組み合わせることが可能である。

[0141]

< 1-4. 半導体装置の作製方法 >

次に、本発明の一態様の半導体装置であるトランジスタ 100 の作製方法について、図 7 乃至図 12 を用いて説明する。

[0142]

なお、図 7 (A) 乃至図 7 (C)、図 8 (A) 乃至図 8 (C)、図 9 (A) 乃至図 9 (C)、図 10 (A) 乃至図 10 (C)、図 11 (A) 乃至図 11 (C)、及び図 12 は、半導体装置の作製方法を説明する断面図である。また、図 7 (A) 乃至図 7 (C)、図 8 (A) 乃至図 8 (C)、図 9 (A) 乃至図 9 (C)、図 10 (A) 乃至図 10 (C)、図 11 (A) 乃至図 11 (C)、及び図 12 において、左側がチャネル長方向の断面図であり、右側がチャネル幅方向の断面図である。

[0143]

まず、基板 102 上に導電膜を形成し、該導電膜をリソグラフィ工程及びエッチング工程を行い加工して、第 1 のゲート電極として機能する導電膜 104 を形成する。次に、導電膜 104 上に第 1 のゲート絶縁膜として機能する絶縁膜 106、107 を形成する (図 7 (A) 参照)。

[0144]

本実施の形態では、基板 102 としてガラス基板を用い、第 1 のゲート電極として機能する導電膜 104 として、厚さ 50 nm のチタン膜と、厚さ 200 nm の銅膜とを、それぞれスパッタリング法により形成する。また、絶縁膜 106 として厚さ 400 nm の窒化シリコン膜を PECVD 法により形成し、絶縁膜 107 として厚さ 50 nm の酸化窒化シリコン膜を PECVD 法により形成する。

[0145]

なお、絶縁膜106としては、窒化シリコン膜の積層構造とすることができる。具体的には、絶縁膜106を、第1の窒化シリコン膜と、第2の窒化シリコン膜と、第3の窒化シリコン膜との3層積層構造とすることができる。該3層積層構造の一例としては、以下のように形成することができる。

[0146]

第1の窒化シリコン膜としては、例えば、流量200 sccmのシラン、流量2000 sccmの窒素、及び流量100 sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100 Paに制御し、27.12 MHzの高周波電源を用いて2000 Wの電力を供給して、厚さが50 nmとなるように形成すればよい。

[0147]

第2の窒化シリコン膜としては、流量200 sccmのシラン、流量2000 sccmの窒素、及び流量2000 sccmのアンモニアガスを原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100 Paに制御し、27.12 MHzの高周波電源を用いて2000 Wの電力を供給して、厚さが300 nmとなるように形成すればよい。

[0148]

第3の窒化シリコン膜としては、流量200 sccmのシラン、及び流量5000 sccmの窒素を原料ガスとしてPECVD装置の反応室に供給し、反応室内の圧力を100 Paに制御し、27.12 MHzの高周波電源を用いて2000 Wの電力を供給して、厚さが50 nmとなるように形成すればよい。

[0149]

なお、上記第1の窒化シリコン膜、第2の窒化シリコン膜、及び第3の窒化シリコン膜形成時の基板温度は350℃以下とすることができる。

[0150]

絶縁膜106を、窒化シリコン膜の3層の積層構造とすることで、例えば、導電膜104に銅を含む導電膜を用いる場合において、以下の効果を奏する。

[0151]

第1の窒化シリコン膜は、導電膜104からの銅元素の拡散を抑制することができる。第2の窒化シリコン膜は、水素を放出する機能を有し、ゲート絶縁膜として機能する絶縁膜の耐圧を向上させることができる。第3の窒化シリコン膜は、第3の窒化シリコン膜からの水素放出が少なく、且つ第2の窒化シリコン膜からの放出される水素の拡散を抑制することができる。

[0152]

絶縁膜107としては、後に形成される酸化物半導体膜108（より具体的には、酸化物半導体膜108b）との界面特性を向上させるため、酸素を含む絶縁膜で形成されると好ましい。また、絶縁膜107の形成後に、絶縁膜107に酸素を添加してもよい。絶縁膜107に添加する酸素としては、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等がある。また、添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。

[0153]

次に、絶縁膜107上に酸化物半導体膜108b__0及び酸化物半導体膜108c__0を形成する（図7（B）（C）参照）。

[0154]

なお、図7（B）は、絶縁膜107上に酸化物半導体膜108b__0を形成する際の成膜装置内部の断面模式図である。図7（B）では、成膜装置としてスパッタリング装置を用い、当該スパッタリング装置内部に設置されたターゲット191と、ターゲット191の下方に形成されるプラズマ192とが、模式的に表されている。

[0155]

まず、酸化物半導体膜108b__0を形成する際に、酸素ガスを含む雰囲気にてプラズマを放電させる。その際に、酸化物半導体膜108b__0の被形成面となる絶縁膜107中に、酸素が添加される。また、酸化物半導体膜108b__0を形成する際に、酸素ガスの他に、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。

[0156]

酸素ガスとしては、少なくとも酸化物半導体膜108b__0を形成する際に含まれていればよく、酸化物半導体膜108b__0を形成する際の成膜ガス全体に占める酸素ガスの割合としては、0%を超えて100%以下、好ましくは10%以上100%以下、さらに好ましくは30%以上100%以下である。

[0157]

なお、図7（B）において、絶縁膜107に添加される酸素または過剰酸素を模式的に破線の矢印で表している。

[0158]

なお、酸化物半導体膜108b__0と、酸化物半導体膜108c__0の形成時の基板温度は、同じでも異なってもよい。ただし、酸化物半導体膜108b__0と、酸化物半導体膜108c__0との、基板温度を同じとすることで、製造コストを低減することができるため好適である。

[0159]

例えば、酸化物半導体膜108を成膜する際の基板温度としては、室温以上340℃未満、好ましくは室温以上300℃以下、より好ましくは100℃以上250℃以下、さらに好ましくは100℃以上200℃以下である。酸化物半導体膜108を加熱して成膜することで、酸化物半導体膜108の結晶性を高めることができる。一方で、基板102として、大型のガラス基板（例えば、第6世代乃至第10世代）を用いる場合、酸化物半導体膜108を成膜する際の基板温度を150℃以上340℃未満とした場合、基板102が変形する（歪むまたは反る）場合がある。よって、大型のガラス基板を用いる場合においては、酸化物半導体膜108の成膜する際の基板温度を100℃以上150℃未満とすることで、ガラス基板の変形を抑制することができる。

[0160]

また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が-40℃以下、好ましくは-80℃以下、より好ましくは-100℃以下、より好ましくは-120℃以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

[0161]

また、スパッタリング法で酸化物半導体膜を成膜する場合、スパッタリング装置におけるチャンバーは、酸化物半導体膜にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空（例えば、 5×10^{-7} Pa から 1×10^{-4} Pa 程度まで）排

気することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

[0162]

また、酸化物半導体膜108b__0が形成された後、続けて、酸化物半導体膜108c__0が、酸化物半導体膜108b上に形成される。酸化物半導体膜108c__0の形成条件としては、酸化物半導体膜108b__0の形成条件と同様の条件を用いることができる。ただし、酸化物半導体膜108b__0の形成条件と、酸化物半導体膜108c__0の形成条件とは、同じでも異なってもよい。

[0163]

本実施の形態では、In-Ga-Zn金属酸化物ターゲット(In:Ga:Zn=4:2:4.1[原子数比])を用いて、スパッタリング法により酸化物半導体膜108b__0を形成し、その後真空中で連続して、In-Ga-Zn金属酸化物ターゲット(In:Ga:Zn=1:1:1.2[原子数比])を用いて、スパッタリング法により酸化物半導体膜108c__0を形成する。また、酸化物半導体膜108b__0の形成時の基板温度を170℃とし、酸化物半導体膜108c__0の形成時の基板温度を170℃とする。また、酸化物半導体膜108b__0の形成時の成膜ガスとしては、流量60sccmの酸素ガスと、流量140sccmのアルゴンガスと、を用いる。また、酸化物半導体膜108c__0の形成時の成膜ガスとしては、流量100sccmの酸素ガスと、流量100sccmのアルゴンガスと、を用いる。

[0164]

次に、酸化物半導体膜108b__0及び酸化物半導体膜108c__0を所望の形状に加工することで、島状の酸化物半導体膜108b及び島状の酸化物半導体膜108cを形成する。なお、本実施の形態においては、酸化物半導体膜108b、及び酸化物半導体膜108cで酸化物半導体膜108を構成する(図8(A)参照)。

[0165]

また、酸化物半導体膜108を形成した後に、加熱処理(以下、第1の加熱処理とする)を行うと好適である。第1の加熱処理により、酸化物半導体膜108に含まれる水素、水等を低減することができる。なお、水素、水等の低減を目的とした加熱処理は、酸化物半導体膜108を島状に加工する前に行ってもよい。なお、第1の加熱処理は、酸化物半導体膜の高純度化処理の一つである。

[0166]

第1の加熱処理としては、例えば、150℃以上基板の歪み点未満、好ましくは200℃以上450℃以下、さらに好ましくは250℃以上350℃以下とすることができる。

[0167]

また、第1の加熱処理は、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り基板の歪み点以上の温度で熱処理を行うことができる。そのため、加熱時間を短縮することが可能となる。また、第1の加熱処理は、窒素、酸素、超乾燥空気(水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)、または希ガス(アルゴン、ヘリウム等)の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。また、窒素または希ガス雰囲気下で加熱処理した後、酸素または超乾燥空気雰囲気下で加熱してもよい。この結果、酸化物半導体膜中に含まれる水素、水等を脱離させると共に、酸化物半導体膜中に酸素を供給することができる。この結果、酸化物半導体膜中に含まれる

酸素欠損を低減することができる。

[0168]

次に、絶縁膜106、及び絶縁膜107の所望の領域に開口部151を形成する。なお、開口部151は、導電膜104に達する（図8（B）参照）。

[0169]

開口部151としては、ドライエッチング法、及びウエットエッチング法のいずれか一方または双方を用いて形成することができる。本実施の形態においては、ドライエッチング法を用い、開口部151を形成する。

[0170]

次に、絶縁膜107、酸化物半導体膜108、及び導電膜104上に導電膜112__1、112__2を形成する（図8（C）参照）。

[0171]

本実施の形態では、導電膜112__1として、厚さ30nmのチタン膜をスパッタリング法により成膜する。また、導電膜112__2として、厚さ200nmの銅膜をスパッタリング法により成膜する。

[0172]

次に、導電膜112__2上の所望の領域にマスク141a、141b、141cを形成する。続けて、マスク141a、141b、141cを用いて、導電膜112__2を加工することで、島状の金属膜112a__2と、島状の金属膜112b__2と、島状の金属膜112c__2と、を形成する（図9（A）参照）。

[0173]

なお、本実施の形態においては、ウエットエッチング装置を用い、導電膜112__2を加工する。ただし、導電膜112__2の加工方法としては、これに限定されず、例えば、ドライエッチング装置を用いてもよい。

[0174]

次に、マスク141a、141b、141cを除去する。続けて、導電膜112__1、及び金属膜112a__2、112b__2、112c__2上に導電膜112__3を形成する（図9（B）参照）。

[0175]

本実施の形態では、導電膜112__3として、厚さ10nmのチタン膜をスパッタリング法により成膜する。なお、導電膜112__3を形成することで、金属膜112a__2、112b__2、112c__2は、導電膜112__1と導電膜112__3とで囲まれた構造となる。導電膜112__1と導電膜112__3とで金属膜112a__2、112b__2、112c__2を囲む構成とすることで、金属膜112a__2、112b__2、112c__2に含まれる銅元素が外部に拡散、特に酸化物半導体膜108に拡散するのを抑制することができる。

[0176]

次に、導電膜112__3上の所望の領域にマスク142a、142b、142cを形成する。続けて、マスク142a、142b、142cを用いて、導電膜112__1及び導電膜112__3を加工することで、島状の金属膜112a__1と、島状の金属膜112b__1と、島状の金属膜112c__1と、島状の金属膜112a__3と、島状の金属膜112b__3と、島状の金属膜112c__3と、

を形成する。この工程を行うことで、金属膜112a__1、金属膜112a__2、及び金属膜112a__3を有する導電膜112aと、金属膜112b__1、金属膜112b__2、及び金属膜112b__3を有する導電膜112bと、金属膜112c__1、金属膜112c__2、及び金属膜112c__3を有する導電膜112cと、が形成される（図9（C）参照）。

[0177]

なお、本実施の形態においては、ドライエッチング装置を用い、導電膜112__1及び導電膜112__3を加工する。ただし、導電膜112__1及び導電膜112__3の加工方法としては、これに限定されず、例えば、ウェットエッチング装置を用いてもよい。

[0178]

また、導電膜112a、112bの形成後に、酸化物半導体膜108（より具体的には酸化物半導体膜108c）の表面（バックチャネル側）を洗浄してもよい。当該洗浄方法としては、例えば、リン酸等の薬液を用いた洗浄が挙げられる。リン酸等の薬液を用いて洗浄を行うことで、酸化物半導体膜108cの表面に付着した不純物（例えば、導電膜112a、112bに含まれる元素等）を除去することができる。なお、当該洗浄を必ずしも行う必要はなく、場合によっては、洗浄を行わなくてもよい。

[0179]

また、導電膜112a、112bを形成する工程、及び上記洗浄工程のいずれか一方または双方において、酸化物半導体膜108の導電膜112a、112bから露出した領域が、薄くなる場合がある。

[0180]

次に、酸化物半導体膜108、及び導電膜112a、112b上に絶縁膜114及び絶縁膜116を形成する（図10（A）参照）。

[0181]

なお、絶縁膜114を形成した後、大気に曝すことなく、連続的に絶縁膜116を形成することが好ましい。絶縁膜114を形成後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜116を連続的に形成することで、絶縁膜114と絶縁膜116との界面において大気成分由来の不純物濃度を低減することができる。

[0182]

例えば、絶縁膜114として、PECVD法を用いて、酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。また、上記の堆積性気体の流量に対して酸化性気体の流量を20倍以上5000倍以下、好ましくは40倍以上100倍以下とする。

[0183]

本実施の形態においては、絶縁膜114として、基板102を保持する温度を220℃とし、流量50sccmのシラン及び流量2000sccmの一酸化二窒素を原料ガスとし、処理室内の圧力を20Paとし、平行平板電極に供給する高周波電力を13.56MHz、100W（電力密度としては $1.6 \times 10^{-2} \text{W/cm}^2$ ）とするPECVD法を用いて、酸化窒化シリコン膜を形成する。

[0184]

絶縁膜 116 としては、PECVD 装置の真空排気された処理室内に載置された基板を 180℃以上 350℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられる電極に 0.17 W/cm² 以上 0.5 W/cm² 以下、さらに好ましくは 0.25 W/cm² 以上 0.35 W/cm² 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。
[0185]

絶縁膜 116 の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 116 中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いいため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

[0186]

なお、絶縁膜 116 の形成工程において、絶縁膜 114 が酸化物半導体膜 108 の保護膜となる。したがって、酸化物半導体膜 108 へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜 116 を形成することができる。

[0187]

なお、絶縁膜 116 の成膜条件において、酸化性気体に対するシリコンを含む堆積性気体の流量を増加することで、絶縁膜 116 の欠陥量を低減することが可能である。代表的には、ESR 測定により、シリコンのダングリングボンドに由来する $g = 2.001$ に現れる信号のスピン密度が $6 \times 10^{17} \text{ spins/cm}^3$ 未満、好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $1.5 \times 10^{17} \text{ spins/cm}^3$ 以下である欠陥量の少ない酸化物絶縁膜を形成することができる。この結果、トランジスタ 100 の信頼性を高めることができる。

[0188]

また、絶縁膜 114、116 を成膜した後に、加熱処理（以下、第 2 の加熱処理とする）を行うと好適である。第 2 の加熱処理により、絶縁膜 114、116 に含まれる窒素酸化物を低減することができる。または、第 2 の加熱処理により、絶縁膜 114、116 に含まれる酸素の一部を酸化物半導体膜 108 に移動させ、酸化物半導体膜 108 に含まれる酸素欠損を低減することができる。

[0189]

第 2 の加熱処理の温度は、代表的には、400℃未満、好ましくは 375℃未満、さらに好ましくは、150℃以上 350℃以下とする。第 2 の加熱処理は、窒素、酸素、超乾燥空気（水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい該加熱処理には、電気炉、RTA 等を用いることができる。

[0190]

次に、絶縁膜 116 上に酸化物導電膜 120__1 を形成する（図 10（B）（C）参照）。

[0191]

なお、図 10（B）は、絶縁膜 116 上に酸化物導電膜 120__1 を形成する際の成膜装置内部の断面模式図である。図 10（B）では、成膜装置としてスパッタリング装置を用い、当該スパッタリ

ング装置内部に設置されたターゲット193と、ターゲット193の下方に形成されるプラズマ194とが、模式的に表されている。

[0192]

まず、酸化物導電膜120__1を形成する際に、酸素ガスを含む雰囲気にてプラズマを放電させる。その際に、酸化物導電膜120__1の被形成面となる絶縁膜116中に、酸素が添加される。また、酸化物導電膜120__1を形成する際に、酸素ガスの他に、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。

[0193]

酸素ガスとしては、少なくとも酸化物導電膜120__1を形成する際に含まれていればよく、酸化物導電膜120__1を形成する際の成膜ガス全体に占める酸素ガスの割合としては、0%を超えて100%以下、好ましくは10%以上100%以下、さらに好ましくは30%以上100%以下である。

[0194]

なお、図10（B）において、絶縁膜116に添加される酸素または過剰酸素を模式的に破線の矢印で表している。

[0195]

本実施の形態では、In-Ga-Zn金属酸化物ターゲット（In：Ga：Zn=4：2：4〔原子数比〕）を用いて、スパッタリング法により酸化物導電膜120__1を形成する。

[0196]

なお、本実施の形態では、酸化物導電膜120__1を成膜する際に、絶縁膜116に酸素を添加する方法について例示したがこれに限定されない。例えば、酸化物導電膜120__1を形成後に、さらに絶縁膜116に酸素を添加してもよい。

[0197]

絶縁膜116に酸素を添加する方法としては、例えば、インジウムと、錫と、シリコンとを有する酸化物（ITSOともいう）ターゲット（ In_2O_3 ： SnO_2 ： SiO_2 =85：10：5〔重量%〕）を用いて、膜厚5nmのITSO膜を酸化物導電膜120__1として形成する。

[0198]

この場合、酸化物導電膜120__1の膜厚としては、1nm以上20nm以下、または2nm以上10nm以下とすると好適に酸素を透過し、且つ酸素の放出を抑制できるため好ましい。その後、酸化物導電膜120__1を通過させて、絶縁膜116に酸素を添加する。酸素の添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等が挙げられる。また、酸素を添加する際に、基板側にバイアス電圧を印加することで効果的に酸素を絶縁膜116に添加することができる。上記バイアス電圧としては、例えば、アッシング装置を用い、該アッシング装置の基板側に印加するバイアス電圧の電力密度を $1\text{W}/\text{cm}^2$ 以上 $5\text{W}/\text{cm}^2$ 以下とすればよい。また、酸素を添加する際の基板温度としては、室温以上300℃以下、好ましくは、100℃以上250℃以下とすることで、絶縁膜116に効率よく酸素を添加することができる。

[0199]

次に、酸化物導電膜120__1上にリソグラフィ工程によりマスクを形成し、酸化物導電膜120__1、及び絶縁膜114、116の所望の領域に開口部152a、152bを形成する。なお、開口部152aは、導電膜112bに達するように形成され、開口部152bは、導電膜112cに達す

るように形成される（図１１（Ａ）参照）。

[0200]

開口部１５２ａ、１５２ｂとしては、ドライエッチング法、及びウエットエッチング法のいずれか一方または双方を用いて形成することができる。本実施の形態においては、ドライエッチング法を用い、開口部１５２ａ、１５２ｂを形成する。

[0201]

次に、酸化物導電膜１２０―１、導電膜１１２ｂ、及び導電膜１１２ｃ上に金属膜１２０―２を形成する（図１１（Ｂ）参照）。

[0202]

本実施の形態では、金属膜１２０―２として、スパッタリング法を用い、膜厚１００nmのチタン膜を形成する。

[0203]

次に、金属膜１２０―２上にリソグラフィ法によりマスクを形成したのち、金属膜１２０―２、及び酸化物導電膜１２０―１を所望の形状に加工することで、島状の導電膜１２０ａと、島状の導電膜１２０ｂと、を形成する。なお、導電膜１２０ａは、島状の酸化物導電膜１２０ａ―１と、島状の金属膜１２０ａ―２と、を有し、導電膜１２０ｂは、島状の酸化物導電膜１２０ｂ―１と、島状の金属膜１２０ｂ―２とを有する（図１１（Ｃ）参照）。

[0204]

次に、絶縁膜１１６、及び導電膜１２０ａ、１２０ｂ上に絶縁膜１１８を形成する（図１２参照）。

[0205]

絶縁膜１１８は、水素及び窒素のいずれか一方または双方を有する。絶縁膜１１８としては、例えば、窒化シリコン膜を用いると好適である。また、絶縁膜１１８としては、例えば、スパッタリング法またはPECVD法を用いて形成することができる。例えば、絶縁膜１１８をPECVD法で成膜する場合、基板温度は４００℃未満、好ましくは３７５℃未満、さらに好ましくは１８０℃以上３５０℃以下である。絶縁膜１１８を成膜する場合の基板温度を、上述の範囲にすることで、緻密な膜を形成できるため好ましい。また、絶縁膜１１８を成膜する場合の基板温度を、上述の範囲にすることで、絶縁膜１１４、１１６中の酸素または過剰酸素を、酸化物半導体膜１０８に移動させることが可能となる。

[0206]

また、絶縁膜１１８としてPECVD法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、及びアンモニアを原料ガスとして用いることが好ましい。窒素と比較して少量のアンモニアを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。該活性種が、シリコンを含む堆積性気体に含まれるシリコン及び水素の結合、及び窒素の三重結合を切断する。この結果、シリコン及び窒素の結合が促進され、シリコン及び水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体及び窒素の分解が進まず、シリコン及び水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対する窒素の流量比を５倍以上５０倍以下、１０倍以上５０倍以下とすることが好ましい。

[0207]

本実施の形態においては、絶縁膜118として、PECVD装置を用いて、シラン、窒素、及びアンモニアを原料ガスとして用いて、厚さ50nmの窒化シリコン膜を形成する。流量は、シランが50sccm、窒素が5000sccmであり、アンモニアが100sccmである。処理室の圧力を100Pa、基板温度を350℃とし、27.12MHzの高周波電源を用いて1000Wの高周波電力を平行平板電極に供給する。PECVD装置は電極面積が6000cm²である平行平板型のPECVD装置であり、供給した電力を単位面積あたりの電力（電力密度）に換算すると $1.7 \times 10^{-1} \text{W/cm}^2$ である。

[0208]

また、絶縁膜118形成後に、先に記載の第1の加熱処理及び第2の加熱処理と同等の加熱処理（以下、第3の加熱処理とする）を行ってもよい。

[0209]

第3の加熱処理を行うことで、酸化物導電膜120—1の成膜の際に絶縁膜116に添加した酸素は、酸化物半導体膜108（特に酸化物半導体膜108b）中に移動し、酸化物半導体膜108中の酸素欠損を補填する。

[0210]

以上の工程で図1（C）（D）に示すトランジスタ100を作製することができる。

[0211]

また、トランジスタ100の全ての作製工程において、基板温度を400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下とすることで、大面積の基板を用いても基板の変形（歪みまたは反り）を極めて少なくすることができるため好適である。なお、トランジスタ100の作製工程において、基板温度が高くなる工程としては、代表的には、絶縁膜106、107の成膜時の基板温度（400℃未満、好ましくは250℃以上350℃以下）、酸化物半導体膜108の成膜時の基板温度（室温以上340℃未満、好ましくは100℃以上200℃以下、さらに好ましくは100℃以上150℃未満）、絶縁膜116、118の成膜時の基板温度（400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下）、第1の加熱処理、第2の加熱処理、または第3の加熱処理（400℃未満、好ましくは375℃未満、さらに好ましくは180℃以上350℃以下）などが挙げられる。

[0212]

なお、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0213]

（実施の形態2）

本実施の形態においては、本発明の一態様に用いることのできる、酸化物半導体の組成、及び酸化物半導体の構造等について、図13乃至図20を参照して説明する。

[0214]

<2-1. 酸化物半導体の組成>

まず、酸化物半導体の組成について説明する。

[0215]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウム及び亜

鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0216]

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない。

[0217]

まず、図13 (A)、図13 (B)、および図13 (C) を用いて、本発明に係る酸化物半導体が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図13には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

[0218]

図13 (A)、図13 (B)、および図13 (C) において、破線は、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):1$ の原子数比 ($-1 \leq \alpha \leq 1$) となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):2$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):3$ の原子数比となるライン、 $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):4$ の原子数比となるライン、および $[In]:[M]:[Zn] = (1 + \alpha):(1 - \alpha):5$ の原子数比となるラインを表す。

[0219]

また、一点鎖線は、 $[In]:[M]:[Zn] = 1:1:\beta$ の原子数比 ($\beta \geq 0$) となるライン、 $[In]:[M]:[Zn] = 1:2:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 1:3:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 1:4:\beta$ の原子数比となるライン、 $[In]:[M]:[Zn] = 2:1:\beta$ の原子数比となるライン、及び $[In]:[M]:[Zn] = 5:1:\beta$ の原子数比となるラインを表す。

[0220]

また、二点鎖線は、 $[In]:[M]:[Zn] = (1 + \gamma):2:(1 - \gamma)$ の原子数比 ($-1 \leq \gamma \leq 1$) となるラインを表す。また、図13に示す、 $[In]:[M]:[Zn] = 0:2:1$ の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

[0221]

図13 (A) および図13 (B) では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

[0222]

一例として、図14に、 $[In]:[M]:[Zn] = 1:1:1$ である、 $InMZnO_4$ の結晶構造を示す。また、図14は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図14に示すM、Zn、酸素を有する層（以下、(M, Zn) 層）における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、

置換が可能であり、配列は不規則である。

[0223]

InMZnO_4 は、層状の結晶構造（層状構造ともいう）をとり、図14に示すように、インジウム、および酸素を有する層（以下、 In 層）が1に対し、元素M、亜鉛、および酸素を有する（M, Zn ）層が2となる。

[0224]

また、インジウムと元素Mは、互いに置換可能である。そのため、（M, Zn ）層の元素Mがインジウムと置換し、（ In , M, Zn ）層と表すこともできる。その場合、 In 層が1に対し、（ In , M, Zn ）層が2である層状構造をとる。

[0225]

$[\text{In}]:[\text{M}]:[\text{Zn}] = 1:1:2$ となる原子数比の酸化物半導体は、 In 層が1に対し、（M, Zn ）層が3である層状構造をとる。つまり、 $[\text{In}]$ および $[\text{M}]$ に対し $[\text{Zn}]$ が大きくなると、酸化物半導体が結晶化した場合、 In 層に対する（M, Zn ）層の割合が増加する。

[0226]

ただし、酸化物半導体中において、 In 層が1に対し、（M, Zn ）層が非整数である場合、 In 層が1に対し、（M, Zn ）層が整数である層状構造を複数種有する場合がある。例えば、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:1:1.5$ である場合、 In 層が1に対し、（M, Zn ）層が2である層状構造と、（M, Zn ）層が3である層状構造とが混在する層状構造となる場合がある。

[0227]

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[\text{Zn}]$ よりも、膜の $[\text{Zn}]$ が小さくなる場合がある。

[0228]

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:2:1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:0:0$ を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

[0229]

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物半導体では、主として重金属の s 軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s 軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

[0230]

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:1:0$ を示す原子数比、およびその近傍値である原子数比（例えば図13（C）に示す領域C）では、絶縁性が高くなる。

[0231]

従って、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図13 (A) の領域Aで示される原子数比を有することが好ましい。

[0232]

また、図13 (B) に示す領域Bは、 $[I_n]:[M]:[Z_n] = 4:2:3$ から 4. 1、およびその近傍値を示している。近傍値には、例えば、原子数比が $[I_n]:[M]:[Z_n] = 5:3:4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

[0233]

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

[0234]

< 2-2. 酸化物半導体をトランジスタに用いる構成 >

続いて、酸化物半導体をトランジスタに用いる構成について説明する。

[0235]

なお、酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0236]

また、トランジスタのチャネル領域には、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0237]

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0238]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0239]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0240]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0241]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0242]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0243]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0244]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0245]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0246]

また、酸化物半導体膜は、エネルギーギャップが2 eV以上、または2.5 eV以上、または3 eV以上であると好ましい。

[0247]

また、酸化物半導体膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上60 nm以下である。

[0248]

また、酸化物半導体膜が $\text{In}-\text{M}-\text{Zn}$ 酸化物の場合、 $\text{In}-\text{M}-\text{Zn}$ 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比として、 $\text{In}:\text{M}:\text{Zn}=1:1:0.5$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 等が好ましい。

[0249]

なお、成膜される酸化物半導体膜の金属元素の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%程度変動することがある。例えば、スパッタリングターゲットとして、原子数比が $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ を用いる場合、成膜される酸化物半導体膜の原子数比は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 近傍となる場合がある。また、スパッタリングターゲットとして、原子数比が $\text{In}:\text{Ga}:\text{Zn}=5:1:7$ を用いる場合、成膜される酸化物半導体膜の原子数比は、 $\text{In}:\text{Ga}:\text{Zn}=5:1:6$ 近傍となる場合がある。

[0250]

<2-3. 酸化物半導体の積層構造>

次に、酸化物半導体の積層構造について説明する。

[0251]

ここでは、酸化物半導体の積層構造として、酸化物半導体を2層構造または3層構造とした場合について説明する。酸化物半導体S1、酸化物半導体S2、及び酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2及び酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図15を用いて説明する。

[0252]

図15(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図15(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2の伝導帯下端のエネルギー準位(E_c)を示す。

[0253]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

[0254]

図15(A)、及び図15(B)に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成

される混合層の欠陥準位密度を低くするとよい。

[0255]

具体的には、酸化物半導体S1と酸化物半導体S2、酸化物半導体S2と酸化物半導体S3が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体S2がIn-Ga-Zn酸化物半導体の場合、酸化物半導体S1、酸化物半導体S3として、In-Ga-Zn酸化物半導体、Ga-Zn酸化物半導体、酸化ガリウムなどを用いるとよい。

[0256]

このとき、キャリアの主たる経路は酸化物半導体S2となる。酸化物半導体S1と酸化物半導体S2との界面、及び酸化物半導体S2と酸化物半導体S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0257]

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体S1、酸化物半導体S3を設けることにより、トラップ準位を酸化物半導体S2より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

[0258]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体S2、酸化物半導体S2と酸化物半導体S1との界面、及び酸化物半導体S2と酸化物半導体S3との界面が、主にチャネル領域として機能する。例えば、酸化物半導体S1、酸化物半導体S3には、図13（C）において、絶縁性が高くなる領域Cで示す原子数比の酸化物半導体を用いればよい。なお、図13（C）に示す領域Cは、 $[In]:[M]:[Zn] = 0:1:0$ 、またはその近傍値である原子数比を示している。

[0259]

特に、酸化物半導体S2に領域Aで示される原子数比の酸化物半導体を用いる場合、酸化物半導体S1及び酸化物半導体S3には、 $[M]/[In]$ が1以上、好ましくは2以上である酸化物半導体を用いることが好ましい。また、酸化物半導体S3として、十分に高い絶縁性を得ることができる $[M]/([Zn] + [In])$ が1以上である酸化物半導体を用いることが好適である。

[0260]

<2-4. 酸化物半導体の構造>

次に、酸化物半導体の構造について説明する。

[0261]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

[0262]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体及びnc-OSなどがある。

[0263]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

[0264]

すなわち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

[0265]

[CAAC-OS]

まずは、CAAC-OSについて説明する。

[0266]

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

[0267]

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図16 (A) に示すように回折角 (2θ) が31° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31° 近傍のピークの他に、2θが36° 近傍にもピークが現れる場合がある。2θが36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

[0268]

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56° 近傍に固定し、試料面の法線ベクトルを軸 (φ軸) として試料を回転させながら分析 (φスキャン) を行っても、図16 (B) に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56° 近傍に固定してφスキャンした場合、図16 (C) に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸及びb軸の配向が不規則であることが確認できる。

[0269]

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300 nmの電子線を入射させると、図16 (D) に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図16 (E) に示す。図16 (E) より、リング状の回折パターンが確認される。したがって、プローブ径が300 nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸及びb軸は配向性を有さないことがわかる。なお、図16 (E) における第1リングは、 InGaZnO_4 の結晶の(010)面及び(100)面などに起因すると考えられる。また、図16 (E) における第2リングは(110)面などに起因すると考えられる。

[0270]

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0271]

図17 (A) に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0272]

図17 (A) より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

[0273]

また、図17 (B) 及び図17 (C) に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図17 (D) 及び図17 (E) は、それぞれ図17 (B) 及び図17 (C) を画像処理した像である。以下では、画像処理の方法について説明する。まず、図17 (B) を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変

換 (IFFT: Inverse Fast Fourier Transform) 処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

[0274]

図17(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

[0275]

図17(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形及び／または七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0276]

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

[0277]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

[0278]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0279]

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

[0280]

不純物及び酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは 1×10^{10}

cm^{-3} 未満であり、 $1 \times 10^{-9} \text{cm}^{-3}$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

[0281]

[nc-OS]

次に、nc-OSについて説明する。

[0282]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0283]

また、例えば、 InGaZnO_4 の結晶を有するnc-OSを薄片化し、厚さが34 nmの領域に対し、被形成面に平行にプローブ径が50 nmの電子線を入射させると、図18(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1 nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図18(B)に示す。図18(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50 nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1 nmの電子線を入射させることでは秩序性が確認される。

[0284]

また、厚さが10 nm未満の領域に対し、プローブ径が1 nmの電子線を入射させると、図18(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10 nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

[0285]

図18(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1 nm以上10 nm以下の大きさであり、特に1 nm以上3 nm以下の大きさであることが多い。なお、結晶部の大きさが10 nmより大きく100 nm以下である酸化物半導体を微結晶酸化物半導体(micro crystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

[0286]

このように、nc-OSは、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-O

Sは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。
[0287]

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

[0288]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

[0289]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0290]

図19に、a-like OSの高分解能断面TEM像を示す。ここで、図19（A）は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図19（B）は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子（ e^- ）照射後におけるa-like OSの高分解能断面TEM像である。図19（A）及び図19（B）より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

[0291]

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OS及びnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

[0292]

試料として、a-like OS、nc-OS及びCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

[0293]

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

[0294]

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、（009）面の格子面間隔（d値ともいう。）と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

[0295]

図20は、各試料の結晶部（22箇所から30箇所）の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図20より、*a-like* OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図20より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部（初期核ともいう。）が、電子（ e^- ）の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、*nc-OS*及び*CAAC-OS*は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図20より、電子の累積照射量によらず、*nc-OS*及び*CAAC-OS*の結晶部の大きさは、それぞれ1.3nm程度及び1.8nm程度であることがわかる。なお、電子線照射及びTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230nmとした。

[0296]

このように、*a-like* OSは、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*及び*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られない。即ち、*a-like* OSは、*nc-OS*及び*CAAC-OS*と比べて、不安定な構造であることがわかる。

[0297]

また、鬆を有するため、*a-like* OSは、*nc-OS*及び*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like* OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、*nc-OS*の密度及び*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

[0298]

例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は $6.357 g / cm^3$ である。よって、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、*a-like* OSの密度は $5.0 g / cm^3$ 以上 $5.9 g / cm^3$ 未満である。また、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体において、*nc-OS*の密度及び*CAAC-OS*の密度は $5.9 g / cm^3$ 以上 $6.3 g / cm^3$ 未満である。

[0299]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0300]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like* OS、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

[0301]

なお、本実施の形態に示す構成は、他の実施の形態または他の実施例に示す構成と適宜、組み合わせて用いることができる。

[0302]

(実施の形態3)

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について、図21乃至図27を用いて以下説明を行う。

[0303]

図21は、表示装置の一例を示す上面図である。図21に示す表示装置700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する。なお、第1の基板701と第2の基板705は、シール材712によって封止されている。すなわち、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706は、第1の基板701とシール材712と第2の基板705によって封止されている。なお、図21には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

[0304]

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びゲートドライバ回路部706と、それぞれ電氣的に接続されるFPC端子部708(FPC:Flexible printed circuit)が設けられる。また、FPC端子部708には、FPC716が接続され、FPC716によって画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706に各種信号等が供給される。また、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708には、信号線710が各々接続されている。FPC716により供給される各種信号等は、信号線710を介して、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708に与えられる。

[0305]

また、表示装置700にゲートドライバ回路部706を複数設けてもよい。また、表示装置700としては、ソースドライバ回路部704、及びゲートドライバ回路部706を画素部702と同じ第1の基板701に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部706のみを第1の基板701に形成しても良い、またはソースドライバ回路部704のみを第1の基板701に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を、第1の基板701に形成する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法などを用いることができる。

[0306]

また、表示装置700が有する画素部702、ソースドライバ回路部704及びゲートドライバ回路部706は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタ

を適用することができる。

[0307]

また、表示装置700は、様々な素子を有することが出来る。該素子の一例としては、例えば、エレクトロルミネッセンス(EL)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子、LEDなど)、発光トランジスタ素子(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク素子、電気泳動素子、エレクトロウェットティング素子、プラズマディスプレイパネル(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)ディスプレイ(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、デジタル・マイクロ・シャッター(DMS)素子、インターフェロメトリック・モジュレーション(IMOD)素子など)、圧電セラミックディスプレイなどが挙げられる。

[0308]

また、EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク素子又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0309]

なお、表示装置700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW(白)の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素よって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を1色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

[0310]

また、バックライト(有機EL素子、無機EL素子、LED、蛍光灯など)に白色発光(W)を用いて表示装置をフルカラー表示させるために、着色層(カラーフィルタともいう。)を用いてもよい。着色層は、例えば、レッド(R)、グリーン(G)、ブルー(B)、イエロー(Y)などを適宜組み合わせる用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電

力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

[0311]

また、カラー化方式としては、上述の白色発光からの発光の一部をカラーフィルタを通すことで赤色、緑色、青色に変換する方式（カラーフィルタ方式）の他、赤色、緑色、青色の発光をそれぞれ用いる方式（3色方式）、または青色発光からの発光の一部を赤色や緑色に変換する方式（色変換方式、量子ドット方式）を適用してもよい。

[0312]

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図22及び図24を用いて説明する。なお、図22は、図21に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図24は、図21に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。

[0313]

まず、図22及び図24に示す共通部分について最初に説明し、次に異なる部分について以下説明する。

[0314]

<3-1. 表示装置の共通部分に関する説明>

図22及び図24に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

[0315]

トランジスタ750及びトランジスタ752は、先に示すトランジスタ100と同様の構成である。なお、トランジスタ750及びトランジスタ752の構成については、先の実施の形態に示す、その他のトランジスタを用いてもよい。

[0316]

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

[0317]

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

[0318]

容量素子790は、トランジスタ750が有する第1のゲート電極と機能する導電膜と同一の導電膜を加工する工程を経て形成される下部電極と、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜と同一の導電膜を加工する工程を経て形成される上部電極と、を有する。また、下部電極と上部電極との間には、トランジスタ750が有する第1のゲート絶縁膜として機能する絶縁膜と同一の絶縁膜を形成する工程を経て形成される絶縁膜が設けられる。すなわち、容量素子790は、一对の電極間に誘電体膜として機能する絶縁膜が挟持された積層型の構造である。

[0319]

また、図22及び図24において、トランジスタ750、トランジスタ752、及び容量素子790上に平坦化絶縁膜770が設けられている。

[0320]

平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

[0321]

また、図22及び図24においては、画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752と、を同じ構造のトランジスタを用いる構成について例示したが、これに限定されない。例えば、画素部702と、ソースドライバ回路部704とは、異なるトランジスタを用いてもよい。具体的には、画素部702にスタガ型のトランジスタを用い、ソースドライバ回路部704に実施の形態1に示す逆スタガ型のトランジスタを用いる構成、あるいは画素部702に実施の形態1に示す逆スタガ型のトランジスタを用い、ソースドライバ回路部704にスタガ型のトランジスタを用いる構成などが挙げられる。なお、上記のソースドライバ回路部704を、ゲートドライバ回路部と読み替えてもよい。

[0322]

また、信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

[0323]

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

[0324]

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

[0325]

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778

は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。

[0326]

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

[0327]

<3-2. 液晶素子を用いる表示装置の構成例>

図22に示す表示装置700は、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図22に示す表示装置700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

[0328]

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜と電氣的に接続される。導電膜772は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜772は、反射電極としての機能を有する。図22に示す表示装置700は、外光を利用し導電膜772で光を反射して着色膜736を介して表示する、所謂反射型のカラー液晶表示装置である。

[0329]

導電膜772としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜772として、可視光において、反射性のある導電膜を用いる。

[0330]

なお、図22においては、導電膜772をトランジスタ750のドレイン電極として機能する導電膜に接続する構成について例示したが、これに限定されない。例えば、図23に示すように、導電膜772を接続電極として機能する導電膜777を間に挟んでトランジスタ750のドレイン電極として機能する導電膜と電氣的に接続させる構成としてもよい。なお、導電膜777としては、トランジスタ750の第2のゲート電極として機能する導電膜と同じ導電膜を加工する工程を経て形成されるため、製造工程を増やすことなく形成することができる。

[0331]

また、図22に示す表示装置700は、反射型のカラー液晶表示装置について例示したが、これに限定されない、例えば、導電膜772を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。あるいは、反射型のカラー液晶表示装置と、透過型のカラー液晶表示装置と、を組み合わせた所謂半透過型のカラー液晶表示装置としてもよい。

[0332]

ここで、透過型のカラー液晶表示装置の一例を図25に示す。図25は、図21に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図25に示す表示装置700は、液晶素子の駆動方式として横電界方式（例えば、FFSモード）を用いる構成の一例である。図25に示す構成の場合、画素電極として機能する導電膜772上に絶縁膜773が設けられ、絶縁膜773上に導電膜774が設けられる。この場合、導電膜774は、共通電極（コモン電極ともいう）としての機能を有し、絶縁膜773を介して、導電膜772と導電膜774との間に生じる電界によって、液晶層776の配向状態を制御することができる。

[0333]

また、図22及び図25において図示しないが、導電膜772または導電膜774のいずれか一方または双方に、液晶層776と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図22及び図25において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

[0334]

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0335]

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要である。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。また、ブルー相を示す液晶材料は、視野角依存性が小さい。

[0336]

また、表示素子として液晶素子を用いる場合、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

[0337]

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patter

ned Vertical Alignment)モード、ASVモードなどを用いることができる。
[0338]

<3-3. 発光素子を用いる表示装置>

図24に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜772、EL層786、及び導電膜788を有する。図24に示す表示装置700は、発光素子782が有するEL層786が発光することによって、画像を表示することができる。なお、EL層786は、有機化合物、または量子ドットなどの無機化合物を有する。

[0339]

有機化合物に用いることのできる材料としては、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることのできる材料としては、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。また、12族と16族、13族と15族、または14族と16族の元素グループを含む材料を用いてもよい。または、カドミウム(Cd)、セレン(Se)、亜鉛(Zn)、硫黄(S)、リン(P)、インジウム(In)、テルル(Te)、鉛(Pb)、ガリウム(Ga)、ヒ素(As)、アルミニウム(Al)、等の元素を有する量子ドット材料を用いてもよい。

[0340]

また、図24に示す表示装置700には、平坦化絶縁膜770及び導電膜772上に絶縁膜730が設けられる。絶縁膜730は、導電膜772の一部を覆う。なお、発光素子782はトップエミッション構造である。したがって、導電膜788は透光性を有し、EL層786が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜772側に光を射出するボトムエミッション構造や、導電膜772及び導電膜788の双方に光を射出するデュアルエミッション構造にも適用することができる。

[0341]

また、発光素子782と重なる位置に、着色膜736が設けられ、絶縁膜730と重なる位置、引き回し配線部711、及びソースドライバ回路部704に遮光膜738が設けられている。また、着色膜736及び遮光膜738は、絶縁膜734で覆われている。また、発光素子782と絶縁膜734の間は封止膜732で充填されている。なお、図24に示す表示装置700においては、着色膜736を設ける構成について例示したが、これに限定されない。例えば、EL層786を塗り分けにより形成する場合においては、着色膜736を設けない構成としてもよい。

[0342]

<3-4. 表示装置に入出力装置を設ける構成例>

また、図24及び図25に示す表示装置700に入出力装置を設けてもよい。当該入出力装置としては、例えば、タッチパネル等が挙げられる。

[0343]

図24及び図25に示す表示装置700にタッチパネル791を設ける構成を図26及び図27に示す。

[0344]

図26は図24に示す表示装置700にタッチパネル791を設ける構成の断面図であり、図27は図25に示す表示装置700にタッチパネル791を設ける構成の断面図である。

[0345]

まず、図26及び図27に示すタッチパネル791について、以下説明を行う。

[0346]

図26及び図27に示すタッチパネル791は、基板705と着色膜736との間に設けられる、所謂インセル型のタッチパネルである。タッチパネル791は、遮光膜738、及び着色膜736を形成する前に、基板705側に形成すればよい。

[0347]

なお、タッチパネル791は、遮光膜738と、絶縁膜792と、電極793と、電極794と、絶縁膜795と、電極796と、絶縁膜797と、を有する。例えば、指やスタイラスなどの被検知体が近接することで、電極793と、電極794との相互容量の変化を検知することができる。

[0348]

また、図26及び図27に示すトランジスタ750の上方においては、電極793と、電極794との交差部を明示している。電極796は、絶縁膜795に設けられた開口部を介して、電極794を挟む2つの電極793と電気的に接続されている。なお、図26及び図27においては、電極796が設けられる領域を画素部702に設ける構成を例示したが、これに限定されず、例えば、ソースドライバ回路部704に形成してもよい。

[0349]

電極793及び電極794は、遮光膜738と重なる領域に設けられる。また、図26に示すように、電極793は、発光素子782と重ならないように設けられると好ましい。また、図27に示すように、電極793は、液晶素子775と重ならないように設けられると好ましい。別言すると、電極793は、発光素子782及び液晶素子775と重なる領域に開口部を有する。すなわち、電極793はメッシュ形状を有する。このような構成とすることで、電極793は、発光素子782が射出する光を遮らない構成とすることができる。または、電極793は、液晶素子775を透過する光を遮らない構成とすることができる。したがって、タッチパネル791を配置することによる輝度の低下が極めて少ないため、視認性が高く、且つ消費電力が低減された表示装置を実現できる。なお、電極794も同様の構成とすればよい。

[0350]

また、電極793及び電極794が発光素子782と重ならないため、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。または、電極793及び電極794が液晶素子775と重ならないため、電極793及び電極794には、可視光の透過率が低い金属材料を用いることができる。

[0351]

そのため、可視光の透過率が高い酸化物材料を用いた電極と比較して、電極793及び電極794の抵抗を低くすることが可能となり、タッチパネルのセンサ感度を向上させることができる。

[0352]

例えば、電極793、794、796には、導電性のナノワイヤを用いてもよい。当該ナノワイヤは、直径の平均値が1nm以上100nm以下、好ましくは5nm以上50nm以下、より好ましくは5nm以上25nm以下の大きさとすればよい。また、上記ナノワイヤとしては、Agナノワイヤ、Cuナノワイヤ、またはAlナノワイヤ等の金属ナノワイヤ、あるいは、カーボンナノチューブなど

を用いればよい。例えば、電極 6 6 4、6 6 5、6 6 7 のいずれか一つあるいは全部に A g ナノワイヤを用いる場合、可視光における光透過率を 8 9 % 以上、シート抵抗値を $40 \Omega / \square$ 以上 $100 \Omega / \square$ 以下とすることができる。

[0353]

また、図 2 6 及び図 2 7 においては、インセル型のタッチパネルの構成について例示したが、これに限定されない。例えば、表示装置 7 0 0 上に形成する、所謂オンセル型のタッチパネルや、表示装置 7 0 0 に貼り合わせて用いる、所謂アウトセル型のタッチパネルとしてもよい。

[0354]

このように、本発明の一態様の表示装置は、様々な形態のタッチパネルと組み合わせて用いることができる。

[0355]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0356]

(実施の形態 4)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図 2 8 を用いて説明を行う。

[0357]

< 4. 表示装置の回路構成 >

図 2 8 (A) に示す表示装置は、表示素子の画素を有する領域 (以下、画素部 5 0 2 という) と、画素部 5 0 2 の外側に配置され、画素を駆動するための回路を有する回路部 (以下、駆動回路部 5 0 4 という) と、素子の保護機能を有する回路 (以下、保護回路 5 0 6 という) と、端子部 5 0 7 と、を有する。なお、保護回路 5 0 6 は、設けない構成としてもよい。

[0358]

駆動回路部 5 0 4 の一部、または全部は、画素部 5 0 2 と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部 5 0 4 の一部、または全部が、画素部 5 0 2 と同一基板上に形成されていない場合には、駆動回路部 5 0 4 の一部、または全部は、COG や TAB (Tape Automated Bonding) によって、実装することができる。

[0359]

画素部 5 0 2 は、X 行 (X は 2 以上の自然数) Y 列 (Y は 2 以上の自然数) に配置された複数の表示素子を駆動するための回路 (以下、画素回路 5 0 1 という) を有し、駆動回路部 5 0 4 は、画素を選択する信号 (走査信号) を出力する回路 (以下、ゲートドライバ 5 0 4 a という)、画素の表示素子を駆動するための信号 (データ信号) を供給するための回路 (以下、ソースドライバ 5 0 4 b) などの駆動回路を有する。

[0360]

ゲートドライバ 5 0 4 a は、シフトレジスタ等を有する。ゲートドライバ 5 0 4 a は、端子部 5 0 7 を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ 5 0 4 a は、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲー

トドライバ504aは、走査信号が与えられる配線（以下、走査線GL__1乃至GL__Xという）の電位を制御する機能を有する。なお、ゲートドライバ504aを複数設け、複数のゲートドライバ504aにより、走査線GL__1乃至GL__Xを分割して制御してもよい。または、ゲートドライバ504aは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ504aは、別の信号を供給することも可能である。

[0361]

ソースドライバ504bは、シフトレジスタ等を有する。ソースドライバ504bは、端子部507を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号（画像信号）が入力される。ソースドライバ504bは、画像信号を元に画素回路501に書き込むデータ信号を生成する機能を有する。また、ソースドライバ504bは、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ504bは、データ信号が与えられる配線（以下、データ線DL__1乃至DL__Yという）の電位を制御する機能を有する。または、ソースドライバ504bは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ504bは、別の信号を供給することも可能である。

[0362]

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ504bは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

[0363]

複数の画素回路501のそれぞれは、走査信号が与えられる複数の走査線GLの一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線DLの一つを介してデータ信号が入力される。また、複数の画素回路501のそれぞれは、ゲートドライバ504aによりデータ信号のデータの書き込み及び保持が制御される。例えば、m行n列目の画素回路501は、走査線GL__m（mはX以下の自然数）を介してゲートドライバ504aからパルス信号が入力され、走査線GL__mの電位に応じてデータ線DL__n（nはY以下の自然数）を介してソースドライバ504bからデータ信号が入力される。

[0364]

図28（A）に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GLに接続される。または、保護回路506は、ソースドライバ504bと画素回路501の間の配線であるデータ線DLに接続される。または、保護回路506は、ゲートドライバ504aと端子部507との間の配線に接続することができる。または、保護回路506は、ソースドライバ504bと端子部507との間の配線に接続することができる。なお、端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分という。

[0365]

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。

[0366]

図28(A)に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD(Electro Static Discharge: 静電気放電)などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

[0367]

また、図28(A)においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を実装する構成としても良い。

[0368]

また、図28(A)に示す複数の画素回路501は、例えば、図28(B)に示す構成とすることもできる。

[0369]

図28(B)に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。トランジスタ550に先の実施の形態に示すトランジスタを適用することができる。

[0370]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に依じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位(コモン電位)を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

[0371]

例えば、液晶素子570を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、MVAモード、PVA(Patterned Vertical Alignment)モード、IPSモード、FFSモード、又はTBA(Transverse Bend Alignment)モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB(Electrically Controlled Birefringence)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、PNLC(Polymer Network Liquid Crystal)モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

[0372]

m行n列目の画素回路501において、トランジスタ550のソース電極またはドレイン電極の一方は、データ線DL_nに電氣的に接続され、他方は液晶素子570の一对の電極の他方に電氣的に

接続される。また、トランジスタ 550 のゲート電極は、走査線 GL_m に電氣的に接続される。トランジスタ 550 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

[0373]

容量素子 560 の一対の電極の一方は、電位が供給される配線（以下、電位供給線 VL）に電氣的に接続され、他方は、液晶素子 570 の一対の電極の他方に電氣的に接続される。なお、電位供給線 VL の電位の値は、画素回路 501 の仕様に応じて適宜設定される。容量素子 560 は、書き込まれたデータを保持する保持容量としての機能を有する。

[0374]

例えば、図 28（B）の画素回路 501 を有する表示装置では、例えば、図 28（A）に示すゲートドライバ 504a により各行の画素回路 501 を順次選択し、トランジスタ 550 をオン状態にしてデータ信号のデータを書き込む。

[0375]

データが書き込まれた画素回路 501 は、トランジスタ 550 がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

[0376]

また、図 28（A）に示す複数の画素回路 501 は、例えば、図 28（C）に示す構成とすることができる。

[0377]

また、図 28（C）に示す画素回路 501 は、トランジスタ 552、554 と、容量素子 562 と、発光素子 572 と、を有する。トランジスタ 552 及びトランジスタ 554 のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

[0378]

トランジスタ 552 のソース電極及びドレイン電極の一方は、データ信号が与えられる配線（以下、信号線 DL_n という）に電氣的に接続される。さらに、トランジスタ 552 のゲート電極は、ゲート信号が与えられる配線（以下、走査線 GL_m という）に電氣的に接続される。

[0379]

トランジスタ 552 は、オン状態またはオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

[0380]

容量素子 562 の一対の電極の一方は、電位が与えられる配線（以下、電位供給線 VL_a という）に電氣的に接続され、他方は、トランジスタ 552 のソース電極及びドレイン電極の他方に電氣的に接続される。

[0381]

容量素子 562 は、書き込まれたデータを保持する保持容量としての機能を有する。

[0382]

トランジスタ 554 のソース電極及びドレイン電極の一方は、電位供給線 VL_a に電氣的に接続される。さらに、トランジスタ 554 のゲート電極は、トランジスタ 552 のソース電極及びドレイン電極の他方に電氣的に接続される。

[0383]

発光素子572のアノード及びカソードの一方は、電位供給線VL__bに電氣的に接続され、他方は、トランジスタ554のソース電極及びドレイン電極の他方に電氣的に接続される。

[0384]

発光素子572としては、例えば有機エレクトロルミネセンス素子（有機EL素子ともいう）などを用いることができる。ただし、発光素子572としては、これに限定されず、無機材料からなる無機EL素子を用いても良い。

[0385]

なお、電位供給線VL__a及び電位供給線VL__bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。

[0386]

図28（C）の画素回路501を有する表示装置では、例えば、図28（A）に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ552をオン状態にしてデータ信号のデータを書き込む。

[0387]

データが書き込まれた画素回路501は、トランジスタ552がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ554のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子572は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

[0388]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0389]

（実施の形態5）

本実施の形態では、上述の実施の形態で説明したトランジスタの適用可能な回路構成の一例について、図29乃至図32を用いて説明する。

[0390]

なお、本実施の形態においては、先の実施の形態で説明した酸化物半導体を有するトランジスタを、OSトランジスタと呼称して以下説明を行う。

[0391]

<5. インバータ回路の構成例>

図29（A）には、駆動回路が有するシフトレジスタやバッファ等に適用することができるインバータの回路図を示す。インバータ800は、入力端子INに与える信号の論理を反転した信号を出力端子OUTに出力する。インバータ800は、複数のOSトランジスタを有する。信号S_{BG}は、OSトランジスタの電気特性を切り替えることができる信号である。

[0392]

図29（B）は、インバータ800の一例である。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタのみで作製することができるため、CMOS（Complementary Metal Oxide Se

micronductor)でインバータ(CMOSインバータ)を作製する場合と比較して、低コストで作製することが可能である。

[0393]

なお、OSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路に重ねて配置できるため、インバータ800を追加する分の回路面積の増加を抑えることができる。

[0394]

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子とを有する。

[0395]

OSトランジスタ810の第1ゲートは、第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧 V_{DD} を与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

[0396]

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUTに接続される。OSトランジスタ820の第2端子は、電圧 V_{SS} を与える配線に接続される。

[0397]

図29(C)は、インバータ800の動作を説明するためのタイミングチャートである。図29(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号 S_{BG} の信号波形、およびOSトランジスタ810のしきい値電圧の変化について示している。

[0398]

信号 S_{BG} をOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810のしきい値電圧を制御することができる。

[0399]

信号 S_{BG} は、しきい値電圧をマイナスシフトさせるための電圧 V_{BG_A} 、しきい値電圧をプラスシフトさせるための電圧 V_{BG_B} を有する。第2ゲートに電圧 V_{BG_A} を与えることで、OSトランジスタ810はしきい値電圧 V_{TH_A} にマイナスシフトさせることができる。また、第2ゲートに電圧 V_{BG_B} を与えることで、OSトランジスタ810は、しきい値電圧 V_{TH_B} にプラスシフトさせることができる。

[0400]

前述の説明を可視化するために、図30(A)には、トランジスタの電気特性の一つである、 $I_d - V_g$ カーブを示す。

[0401]

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_A} のように大きくすることで、図30(A)中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_B} のように小さくするこ

とで、図30 (A) 中の実線841で表される曲線にシフトさせることができる。図30 (A) に示すように、OSトランジスタ810は、信号 S_{BG} を電圧 V_{BG_A} あるいは電圧 V_{BG_B} というように切り替えることで、しきい値電圧をプラスシフトあるいはマイナスシフトさせることができる。

[0402]

しきい値電圧をしきい値電圧 V_{TH_B} にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図30 (B) には、この状態を可視化して示す。

[0403]

図30 (B) に図示するように、OSトランジスタ810に流れる電流 I_B を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON) のとき、出力端子OUTの電圧を急峻に下降させることができる。

[0404]

図30 (B) に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができるため、図29 (C) に示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができる。電圧VDDを与える配線と、電圧VSSを与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

[0405]

また、しきい値電圧をしきい値電圧 V_{TH_A} にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができる。図30 (C) には、この状態を可視化して示す。図30 (C) に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態(OFF) のとき、出力端子OUTの電圧を急峻に上昇させることができる。図30 (C) に図示したように、OSトランジスタ810に流れる電流が流れやすい状態とすることができるため、図29 (C) に示すタイミングチャートにおける出力端子の信号波形832を急峻に変化させることができる。

[0406]

なお、信号 S_{BG} によるOSトランジスタ810のしきい値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻T1やT2よりも前に行うことが好ましい。例えば、図29 (C) に図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻T1よりも前に、しきい値電圧 V_{TH_A} から、しきい値電圧 V_{TH_B} にOSトランジスタ810のしきい値電圧を切り替えることが好ましい。また、図29 (C) に図示するように、入力端子INに与える信号がローレベルに切り替わる時刻T2よりも前に、しきい値電圧 V_{TH_B} からしきい値電圧 V_{TH_A} にOSトランジスタ810のしきい値電圧を切り替えることが好ましい。

[0407]

なお、図29 (C) のタイミングチャートでは、入力端子INに与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図31 (A) に示す。

[0408]

図31 (A) では、図29 (B) で示した回路構成に加えて、OSトランジスタ850を有する。

OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号 S_F を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧 V_{BG_B} （あるいは電圧 V_{BG_A} ）を与える配線に接続される。

[0409]

図31（A）の動作について、図31（B）のタイミングチャートを用いて説明する。

[0410]

OSトランジスタ810のしきい値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻T3よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ850をオン状態とし、ノード N_{BG} にしきい値電圧を制御するための電圧 V_{BG_B} を与える。

[0411]

ノード N_{BG} が電圧 V_{BG_B} となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、一旦ノード N_{BG} に保持させたしきい値電圧 V_{BG_B} を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

[0412]

なお、図29（B）及び図31（A）の回路構成では、OSトランジスタ810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図32（A）に示す。

[0413]

図32（A）では、図29（B）で示した回路構成において、入力端子INとOSトランジスタ810の第2ゲートとの間にCMOSインバータ860を有する。CMOSインバータ860の入力端子は、入力端子INに接続される。CMOSインバータ860の出力端子は、OSトランジスタ810の第2ゲートに接続される。

[0414]

図32（A）の動作について、図32（B）のタイミングチャートを用いて説明する。図32（B）のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバータ860の出力波形IN__B、及びOSトランジスタ810のしきい値電圧の変化について示している。

[0415]

入力端子INに与える信号の論理を反転した信号である出力波形IN__Bは、OSトランジスタ810のしきい値電圧を制御する信号とすることができる。したがって、図30（A）乃至図30（C）で説明したように、OSトランジスタ810のしきい値電圧を制御できる。例えば、図32（B）における時刻T4となる時、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態となる。このとき、出力波形IN__Bはローレベルとなる。そのため、OSトランジスタ81

0は電流が流れにくい状態とすることができ、出力端子OUTの電圧の上昇を急峻に下降させることができる。

[0416]

また、図32(B)における時刻T5となる時、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態となる。このとき、出力波形IN_Bはハイレベルとなる。そのため、OSトランジスタ810は電流が流れやすい状態とすることができ、出力端子OUTの電圧を急峻に上昇させることができる。

[0417]

以上説明したように本実施の形態の構成では、OSトランジスタを有するインバータにおける、バックゲートの電圧を入力端子INの信号の論理にしたがって切り替える。当該構成とすることで、OSトランジスタのしきい値電圧を制御することができる。入力端子INに与える信号によってOSトランジスタのしきい値電圧を制御することで、出力端子OUTの電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

[0418]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0419]

(実施の形態6)

本実施の形態では、上述の実施の形態で説明した酸化物半導体を有するトランジスタ(OSトランジスタ)を、複数の回路に用いる半導体装置の一例について、図33乃至図36を用いて説明する。

[0420]

<6. 半導体装置の回路構成例>

図33(A)は、半導体装置900のブロック図である。半導体装置900は、電源回路901、回路902、電圧生成回路903、回路904、電圧生成回路905および回路906を有する。

[0421]

電源回路901は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置900の外部から与えられる電圧 V_0 を基に生成することができる。半導体装置900は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置900は、外部から電源電圧を複数与えることなく動作することができる。

[0422]

回路902、904および906は、異なる電源電圧で動作する回路である。例えば回路902の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$) とによって印加される電圧である。また、例えば回路904の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$) とによって印加される電圧である。また、例えば回路906の電源電圧は、電圧 V_{ORG} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) とによって印加される電圧である。なお電圧 V_{SS} は、グラウンド(GND)と等電位とすれば、電源回路901で生成する電圧の種類を削減できる。

[0423]

電圧生成回路 903 は、電圧 V_{POG} を生成する回路である。電圧生成回路 903 は、電源回路 901 から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路 904 を有する半導体装置 900 は、外部から与えられる単一の電源電圧を基に動作することができる。

[0424]

電圧生成回路 905 は、電圧 V_{NEG} を生成する回路である。電圧生成回路 905 は、電源回路 901 から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路 906 を有する半導体装置 900 は、外部から与えられる単一の電源電圧を基に動作することができる。

[0425]

図 33 (B) は電圧 V_{POG} で動作する回路 904 の一例、図 33 (C) は回路 904 を動作させるための信号の波形の一例である。

[0426]

図 33 (B) では、トランジスタ 911 を示している。トランジスタ 911 のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ 911 を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} とする。電圧 V_{POG} は、図 33 (C) に図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ 911 は、ソース (S) とドレイン (D) との間を導通状態とする動作を、より確実に行うことができる。その結果、回路 904 は、誤動作が低減された回路とすることができる。

[0427]

図 33 (D) は電圧 V_{NEG} で動作する回路 906 の一例、図 33 (E) は回路 906 を動作させるための信号の波形の一例である。

[0428]

図 33 (D) では、バックゲートを有するトランジスタ 912 を示している。トランジスタ 912 のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ 911 を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} とする。また、トランジスタ 912 のバックゲートに与える電圧は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図 33 (E) に図示するように、電圧 V_{SS} (GND) より小さい。そのため、トランジスタ 912 の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ 912 をより確実に非導通状態とすることができ、ソース (S) とドレイン (D) との間を流れる電流を小さくできる。その結果、回路 906 は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

[0429]

なお、電圧 V_{NEG} は、トランジスタ 912 のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ 912 のゲートに与える信号を生成し、当該信号をトランジスタ 912 のバックゲートに与える構成としてもよい。

[0430]

また図 34 (A) (B) には、図 33 (D) (E) の変形例を示す。

[0431]

図 34 (A) に示す回路図では、電圧生成回路 905 と、回路 906 と、の間に制御回路 921 によって導通状態が制御できるトランジスタ 922 を示す。トランジスタ 922 は、n チャネル型の O

Sトランジスタとする。制御回路921が出力する制御信号 S_{BG} は、トランジスタ922の導通状態を制御する信号である。また回路906が有するトランジスタ912A、912Bは、トランジスタ922と同じOSトランジスタである。

[0432]

図34(B)のタイミングチャートには、制御信号 S_{BG} と、トランジスタ912A、912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

[0433]

また、図35(A)には、上述した電圧生成回路903に適用可能な回路構成の一例を示す。図35(A)に示す電圧生成回路903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。

[0434]

また、図35(B)には、上述した電圧生成回路905に適用可能な回路構成の一例を示す。図35(B)に示す電圧生成回路905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の4倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

[0435]

なお、上述した電圧生成回路903の回路構成は、図35(A)で示す回路図の構成に限らない。例えば、電圧生成回路903の変形例を図36(A)乃至図36(C)に示す。なお、電圧生成回路903の変形例は、図36(A)乃至図36(C)に示す電圧生成回路903A乃至903Cにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更することで実現可能である。

[0436]

図36(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の4倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図36(A)に示す電圧生成回路903Aは、トランジ

スタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0437]

また、図36(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図36(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0438]

また、図36(C)に示す電圧生成回路903Cは、インダクタInd1、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図36(C)に示す電圧生成回路903Cは、インダクタInd1を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

[0439]

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の数を削減できる。

[0440]

なお、本実施の形態で示す構成等は、他の実施の形態で示す構成と適宜組み合わせる用いることができる。

[0441]

(実施の形態7)

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図37乃至図40を用いて説明を行う。

[0442]

<7-1. 表示モジュール>

図37に示す表示モジュール7000は、上部カバー7001と下部カバー7002との間に、FPC7003に接続されたタッチパネル7004、FPC7005に接続された表示パネル7006、バックライト7007、フレーム7009、プリント基板7010、バッテリー7011を有する。

[0443]

本発明の一態様の半導体装置は、例えば、表示パネル7006に用いることができる。

[0444]

上部カバー7001及び下部カバー7002は、タッチパネル7004及び表示パネル7006のサイズに合わせて、形状や寸法を適宜変更することができる。

[0445]

タッチパネル7004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル7006に

重畳して用いることができる。また、表示パネル7006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル7006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

[0446]

バックライト7007は、光源7008を有する。なお、図37において、バックライト7007上に光源7008を配置する構成について例示したが、これに限定さない。例えば、バックライト7007の端部に光源7008を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト7007を設けない構成としてもよい。

[0447]

フレーム7009は、表示パネル7006の保護機能の他、プリント基板7010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム7009は、放熱板としての機能を有していてもよい。

[0448]

プリント基板7010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー7011による電源であってもよい。バッテリー7011は、商用電源を用いる場合には、省略可能である。

[0449]

また、表示モジュール7000は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

[0450]

< 7-2. 電子機器1 >

次に、図38（A）乃至図38（E）に電子機器の一例を示す。

[0451]

図38（A）は、ファインダー8100を取り付けた状態のカメラ8000の外観を示す図である。

[0452]

カメラ8000は、筐体8001、表示部8002、操作ボタン8003、シャッターボタン8004等を有する。またカメラ8000には、着脱可能なレンズ8006が取り付けられている。

[0453]

ここではカメラ8000として、レンズ8006を筐体8001から取り外して交換することが可能な構成としたが、レンズ8006と筐体が一体となってもよい。

[0454]

カメラ8000は、シャッターボタン8004を押すことにより、撮像することができる。また、表示部8002はタッチパネルとしての機能を有し、表示部8002をタッチすることにより撮像することも可能である。

[0455]

カメラ8000の筐体8001は、電極を有するマウントを有し、ファインダー8100のほか、ストロボ装置等を接続することができる。

[0456]

ファインダー８１００は、筐体８１０１、表示部８１０２、ボタン８１０３等を有する。

[0457]

筐体８１０１は、カメラ８０００のマウントと係合するマウントを有しており、ファインダー８１００をカメラ８０００に取り付けることができる。また当該マウントには電極を有し、当該電極を介してカメラ８０００から受信した映像等を表示部８１０２に表示させることができる。

[0458]

ボタン８１０３は、電源ボタンとしての機能を有する。ボタン８１０３により、表示部８１０２の表示のオン・オフを切り替えることができる。

[0459]

カメラ８０００の表示部８００２、及びファインダー８１００の表示部８１０２に、本発明の一態様の表示装置を適用することができる。

[0460]

なお、図３８（Ａ）では、カメラ８０００とファインダー８１００とを別の電子機器とし、これらを脱着可能な構成としたが、カメラ８０００の筐体８００１に、表示装置を備えるファインダーが内蔵されていてもよい。

[0461]

図３８（Ｂ）は、ヘッドマウントディスプレイ８２００の外観を示す図である。

[0462]

ヘッドマウントディスプレイ８２００は、装着部８２０１、レンズ８２０２、本体８２０３、表示部８２０４、ケーブル８２０５等を有している。また装着部８２０１には、バッテリー８２０６が内蔵されている。

[0463]

ケーブル８２０５は、バッテリー８２０６から本体８２０３に電力を供給する。本体８２０３は無線受信機等を備え、受信した画像データ等の映像情報を表示部８２０４に表示させることができる。また、本体８２０３に設けられたカメラで使用者の眼球やまぶたの動きを捉え、その情報をもとに使用者の視点の座標を算出することにより、使用者の視点を入力手段として用いることができる。

[0464]

また、装着部８２０１には、使用者に触れる位置に複数の電極が設けられていてもよい。本体８２０３は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視点を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部８２０１には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部８２０４に表示する機能を有していてもよい。また、使用者の頭部の動きなどを検出し、表示部８２０４に表示する映像をその動きに合わせて変化させてもよい。

[0465]

表示部８２０４に、本発明の一態様の表示装置を適用することができる。

[0466]

図３８（Ｃ）（Ｄ）（Ｅ）は、ヘッドマウントディスプレイ８３００の外観を示す図である。ヘッド

マウントディスプレイ 8300 は、筐体 8301 と、表示部 8302 と、バンド状の固定具 8304 と、一对のレンズ 8305 と、を有する。

[0467]

使用者は、レンズ 8305 を通して、表示部 8302 の表示を視認することができる。なお、表示部 8302 を湾曲して配置させる好適である。表示部 8302 を湾曲して配置することで、使用者が高い臨場感を感じることができる。なお、本実施の形態においては、表示部 8302 を 1 つ設ける構成について例示したが、これに限定されず、例えば、表示部 8302 を 2 つ設ける構成としてもよい。この場合、使用者の片方の目に 1 つの表示部が配置されるような構成とすると、視差を用いた 3 次元表示等を行うことも可能となる。

[0468]

なお、表示部 8302 に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図 38 (E) のようにレンズ 8305 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[0469]

< 7-3. 電子機器 2 >

次に、図 38 (A) 乃至図 38 (E) に示す電子機器と、異なる電子機器の一例を図 39 (A) 乃至図 39 (G) に示す。

[0470]

図 39 (A) 乃至図 39 (G) に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005 (電源スイッチ、又は操作スイッチを含む)、接続端子 9006、センサ 9007 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの)、マイクロフォン 9008、等を有する。

[0471]

図 39 (A) 乃至図 39 (G) に示す電子機器は、様々な機能を有する。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 39 (A) 乃至図 39 (G) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 39 (A) 乃至図 39 (G) には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体 (外部またはカメラに内蔵) に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0472]

図 39 (A) 乃至図 39 (G) に示す電子機器の詳細について、以下説明を行う。

[0473]

図39 (A) は、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、表示部9001を大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

[0474]

図39 (B) は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050（操作アイコンまたは単にアイコンともいう）を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS（ソーシャル・ネットワーキング・サービス）や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

[0475]

図39 (C) は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示（ここでは情報9053）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

[0476]

図39 (D) は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

[0477]

図39 (E) (F) (G) は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図39 (E) が携帯情報端末9201を展開した状態の斜視図であり、図39 (F) が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図39 (G) が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧

性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。ヒンジ 9055 を介して 2 つの筐体 9000 間を屈曲させることにより、携帯情報端末 9201 を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末 9201 は、曲率半径 1 mm 以上 150 mm 以下で曲げることができる。

[0478]

次に、図 38 (A) 乃至図 38 (E) に示す電子機器、及び図 39 (A) 乃至図 39 (G) に示す電子機器と異なる電子機器の一例を図 40 (A) (B) に示す。図 40 (A) (B) は、複数の表示パネルを有する表示装置の斜視図である。なお、図 40 (A) は、複数の表示パネルが巻き取られた形態の斜視図であり、図 40 (B) は、複数の表示パネルが展開された状態の斜視図である。

[0479]

図 40 (A) (B) に示す表示装置 9500 は、複数の表示パネル 9501 と、軸部 9511 と、軸受部 9512 と、を有する。また、複数の表示パネル 9501 は、表示領域 9502 と、透光性を有する領域 9503 と、を有する。

[0480]

また、複数の表示パネル 9501 は、可撓性を有する。また、隣接する 2 つの表示パネル 9501 は、それらの一部が互いに重なるように設けられる。例えば、隣接する 2 つの表示パネル 9501 の透光性を有する領域 9503 を重ね合わせることができる。複数の表示パネル 9501 を用いることで、大画面の表示装置とすることができる。また、使用状況に応じて、表示パネル 9501 を巻き取ることが可能であるため、汎用性に優れた表示装置とすることができる。

[0481]

また、図 40 (A) (B) においては、表示領域 9502 が隣接する表示パネル 9501 で離間する状態を図示しているが、これに限定されず、例えば、隣接する表示パネル 9501 の表示領域 9502 を隙間なく重ねあわせることで、連続した表示領域 9502 としてもよい。

[0482]

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。

[0483]

なお、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[符号の説明]

[0484]

100 トランジスタ
100A トランジスタ
100B トランジスタ
100C トランジスタ
100D トランジスタ
100E トランジスタ

1 0 2 基板
1 0 4 導電膜
1 0 6 絶縁膜
1 0 7 絶縁膜
1 0 8 酸化物半導体膜
1 0 8 a 酸化物半導体膜
1 0 8 b 酸化物半導体膜
1 0 8 b__0 酸化物半導体膜
1 0 8 c 酸化物半導体膜
1 0 8 c__ 酸化物半導体膜
1 0 8 c__0 酸化物半導体膜
1 1 2__1 導電膜
1 1 2__2 導電膜
1 1 2__3 導電膜
1 1 2 a 導電膜
1 1 2 a__1 金属膜
1 1 2 a__2 金属膜
1 1 2 a__3 金属膜
1 1 2 b 導電膜
1 1 2 b__ 導電膜
1 1 2 b__1 金属膜
1 1 2 b__2 金属膜
1 1 2 b__3 金属膜
1 1 2 c 導電膜
1 1 2 c__1 金属膜
1 1 2 c__2 金属膜
1 1 2 c__3 金属膜
1 1 4 絶縁膜
1 1 5 絶縁膜
1 1 6 絶縁膜
1 1 8 絶縁膜
1 2 0__1 酸化物導電膜
1 2 0__2 金属膜
1 2 0 a 導電膜
1 2 0 a__1 酸化物導電膜
1 2 0 a__2 金属膜
1 2 0 b 導電膜
1 2 0 b__1 酸化物導電膜
1 2 0 b__2 金属膜

1 4 1 a	マスク
1 4 1 b	マスク
1 4 1 c	マスク
1 4 2 a	マスク
1 4 2 b	マスク
1 4 2 c	マスク
1 5 1	開口部
1 5 2 a	開口部
1 5 2 b	開口部
1 9 1	ターゲット
1 9 2	プラズマ
1 9 3	ターゲット
1 9 4	プラズマ
5 0 1	画素回路
5 0 2	画素部
5 0 4	駆動回路部
5 0 4 a	ゲートドライバ
5 0 4 b	ソースドライバ
5 0 6	保護回路
5 0 7	端子部
5 5 0	トランジスタ
5 5 2	トランジスタ
5 5 4	トランジスタ
5 6 0	容量素子
5 6 2	容量素子
5 7 0	液晶素子
5 7 2	発光素子
6 6 4	電極
6 6 5	電極
6 6 7	電極
7 0 0	表示装置
7 0 1	基板
7 0 2	画素部
7 0 4	ソースドライバ回路部
7 0 5	基板
7 0 6	ゲートドライバ回路部
7 0 8	F P C端子部
7 1 0	信号線
7 1 1	配線部

7 1 2	シール材
7 1 6	F P C
7 3 0	絶縁膜
7 3 2	封止膜
7 3 4	絶縁膜
7 3 6	着色膜
7 3 8	遮光膜
7 5 0	トランジスタ
7 5 2	トランジスタ
7 6 0	接続電極
7 7 0	平坦化絶縁膜
7 7 2	導電膜
7 7 3	絶縁膜
7 7 4	導電膜
7 7 5	液晶素子
7 7 6	液晶層
7 7 7	導電膜
7 7 8	構造体
7 8 0	異方性導電膜
7 8 2	発光素子
7 8 6	E L 層
7 8 8	導電膜
7 9 0	容量素子
7 9 1	タッチパネル
7 9 2	絶縁膜
7 9 3	電極
7 9 4	電極
7 9 5	絶縁膜
7 9 6	電極
7 9 7	絶縁膜
8 0 0	インバータ
8 1 0	O S トランジスタ
8 2 0	O S トランジスタ
8 3 1	信号波形
8 3 2	信号波形
8 4 0	破線
8 4 1	実線
8 5 0	O S トランジスタ
8 6 0	C M O S インバータ

9 0 0	半導体装置
9 0 1	電源回路
9 0 2	回路
9 0 3	電圧生成回路
9 0 3 A	電圧生成回路
9 0 3 B	電圧生成回路
9 0 3 C	電圧生成回路
9 0 4	回路
9 0 5	電圧生成回路
9 0 6	回路
9 1 1	トランジスタ
9 1 2	トランジスタ
9 1 2 A	トランジスタ
9 1 2 B	トランジスタ
9 2 1	制御回路
9 2 2	トランジスタ
7 0 0 0	表示モジュール
7 0 0 1	上部カバー
7 0 0 2	下部カバー
7 0 0 3	F P C
7 0 0 4	タッチパネル
7 0 0 5	F P C
7 0 0 6	表示パネル
7 0 0 7	バックライト
7 0 0 8	光源
7 0 0 9	フレーム
7 0 1 0	プリント基板
7 0 1 1	バッテリー
8 0 0 0	カメラ
8 0 0 1	筐体
8 0 0 2	表示部
8 0 0 3	操作ボタン
8 0 0 4	シャッターボタン
8 0 0 6	レンズ
8 1 0 0	ファインダー
8 1 0 1	筐体
8 1 0 2	表示部
8 1 0 3	ボタン
8 2 0 0	ヘッドマウントディスプレイ

8 2 0 1	装着部
8 2 0 2	レンズ
8 2 0 3	本体
8 2 0 4	表示部
8 2 0 5	ケーブル
8 2 0 6	バッテリー
8 3 0 0	ヘッドマウントディスプレイ
8 3 0 1	筐体
8 3 0 2	表示部
8 3 0 4	固定具
8 3 0 5	レンズ
9 0 0 0	筐体
9 0 0 1	表示部
9 0 0 3	スピーカ
9 0 0 5	操作キー
9 0 0 6	接続端子
9 0 0 7	センサ
9 0 0 8	マイクロフォン
9 0 5 0	操作ボタン
9 0 5 1	情報
9 0 5 2	情報
9 0 5 3	情報
9 0 5 4	情報
9 0 5 5	ヒンジ
9 1 0 0	テレビジョン装置
9 1 0 1	携帯情報端末
9 1 0 2	携帯情報端末
9 2 0 0	携帯情報端末
9 2 0 1	携帯情報端末
9 5 0 0	表示装置
9 5 0 1	表示パネル
9 5 0 2	表示領域
9 5 0 3	領域
9 5 1 1	軸部
9 5 1 2	軸受部

請求の範囲

[請求項 1]

トランジスタを有する半導体装置であって、
前記トランジスタは、
第 1 のゲート電極と、
前記第 1 のゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜上の酸化物半導体膜と、
前記酸化物半導体膜上のソース電極と、
前記酸化物半導体膜上のドレイン電極と、
前記酸化物半導体膜、前記ソース電極、及び前記ドレイン電極上の第 2 の絶縁膜と、
前記第 2 の絶縁膜上の第 2 のゲート電極と、を有し、
前記第 1 の絶縁膜は、第 1 の開口部を有し、
前記第 1 の絶縁膜上には、前記第 1 の開口部を介して前記第 1 のゲート電極と電氣的に接続される
接続電極が形成され、
前記第 2 の絶縁膜は、
前記接続電極に達する第 2 の開口部を有し、
前記第 2 のゲート電極は、
酸化物導電膜と、
前記酸化物導電膜上の金属膜と、を有し、
前記接続電極と前記第 2 のゲート電極とは、前記金属膜を用いて電氣的に接続される、
ことを特徴とする半導体装置。

[請求項 2]

トランジスタを有する半導体装置であって、
前記トランジスタは、
第 1 のゲート電極と、
前記第 1 のゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜上の酸化物半導体膜と、
前記酸化物半導体膜上のソース電極と、
前記酸化物半導体膜上のドレイン電極と、
前記酸化物半導体膜、前記ソース電極、及び前記ドレイン電極上の第 2 の絶縁膜と、
前記第 2 の絶縁膜上の第 2 のゲート電極と、を有し、
前記第 1 の絶縁膜は、第 1 の開口部を有し、
前記第 1 の絶縁膜上には、前記第 1 の開口部を介して前記第 1 のゲート電極と電氣的に接続される
接続電極が形成され、
前記第 2 の絶縁膜は、
前記接続電極に達する第 2 の開口部と、
前記ソース電極及び前記ドレイン電極のいずれか一方に達する第 3 の開口部と、を有し、
前記第 2 のゲート電極は、
酸化物導電膜と、

前記酸化物導電膜上の金属膜と、を有し、
前記第3の開口部には、前記金属膜と同じ組成の導電膜が形成され、
前記接続電極と前記第2のゲート電極とは、前記金属膜を用いて電氣的に接続される、
ことを特徴とする半導体装置。

[請求項3]

請求項1において、
前記ソース電極及び前記ドレイン電極は、それぞれ、
第1の金属膜と、前記第1の金属膜上に接する第2の金属膜と、前記第2の金属膜上に接する第3の金属膜と、を有し、
前記第2の金属膜は、銅を含み、
前記第1の金属膜及び前記第3の金属膜は、
それぞれ、前記銅の拡散を抑制する材料を含み、
前記第1の金属膜の端部は、
前記第2の金属膜の端部よりも外側に位置する領域を有し、
前記第3の金属膜は、前記第2の金属膜の上面及び側面を覆い、且つ前記第1の金属膜と接する領域を有する、
ことを特徴とする半導体装置。

[請求項4]

請求項1において、
前記金属膜、前記導電膜、前記第1の金属膜、及び前記第3の金属膜は、それぞれ独立にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有する、
ことを特徴とする半導体装置。

[請求項5]

請求項1において、
前記酸化物導電膜は、
前記酸化物半導体膜が有する金属元素を少なくとも一つ有する、
ことを特徴とする半導体装置。

[請求項6]

請求項1において、
前記酸化物半導体膜は、
Inと、M (MはAl、Ga、Y、またはSn) と、Znと、を有する、
ことを特徴とする半導体装置。

[請求項7]

請求項1において、
前記酸化物半導体膜は、
結晶部を有し、
前記結晶部は、c軸配向性を有する、
ことを特徴とする半導体装置。

[請求項 8]

請求項 1 に記載の半導体装置と、
表示素子と、を有する、
ことを特徴とする表示装置。

[請求項 9]

請求項 8 に記載の表示装置と、
タッチセンサと、を有する、
ことを特徴とする表示モジュール。

[請求項 10]

請求項 1 に記載の半導体装置と、
操作キーまたはバッテリーと、を有する、
ことを特徴とする電子機器。

[請求項 11]

請求項 2 において、
前記ソース電極及び前記ドレイン電極は、それぞれ、
第 1 の金属膜と、前記第 1 の金属膜上に接する第 2 の金属膜と、前記第 2 の金属膜上に接する第 3
の金属膜と、を有し、
前記第 2 の金属膜は、銅を含み、
前記第 1 の金属膜及び前記第 3 の金属膜は、
それぞれ、前記銅の拡散を抑制する材料を含み、
前記第 1 の金属膜の端部は、
前記第 2 の金属膜の端部よりも外側に位置する領域を有し、
前記第 3 の金属膜は、前記第 2 の金属膜の上面及び側面を覆い、且つ前記第 1 の金属膜と接する領
域を有する、
ことを特徴とする半導体装置。

[請求項 12]

請求項 2 において、
前記金属膜、前記導電膜、前記第 1 の金属膜、及び前記第 3 の金属膜は、それぞれ独立にチタン、
タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有する、
ことを特徴とする半導体装置。

[請求項 13]

請求項 2 において、
前記酸化物導電膜は、
前記酸化物半導体膜が有する金属元素を少なくとも一つ有する、
ことを特徴とする半導体装置。

[請求項 14]

請求項 2 において、
前記酸化物半導体膜は、
In と、M (M は Al、Ga、Y、または Sn) と、Zn と、を有する、

ことを特徴とする半導体装置。

[請求項 15]

請求項 2 において、
前記酸化物半導体膜は、
結晶部を有し、
前記結晶部は、c 軸配向性を有する、
ことを特徴とする半導体装置。

[請求項 16]

請求項 2 に記載の半導体装置と、
表示素子と、を有する、
ことを特徴とする表示装置。

[請求項 17]

請求項 16 に記載の表示装置と、
タッチセンサと、を有する、
ことを特徴とする表示モジュール。

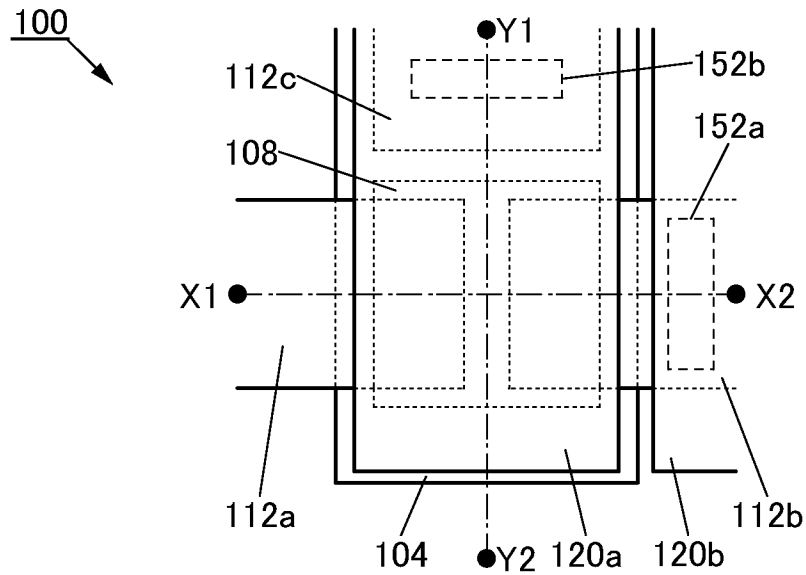
[請求項 18]

請求項 2 に記載の半導体装置と、
操作キーまたはバッテリーと、を有する、
ことを特徴とする電子機器。

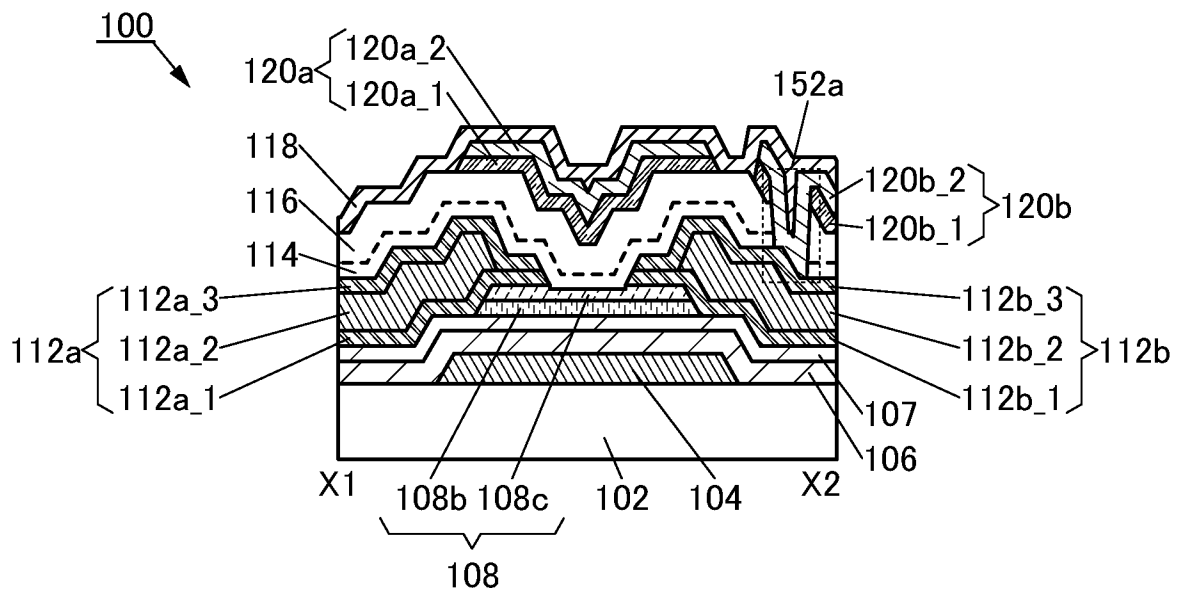
[図 1]

1/40

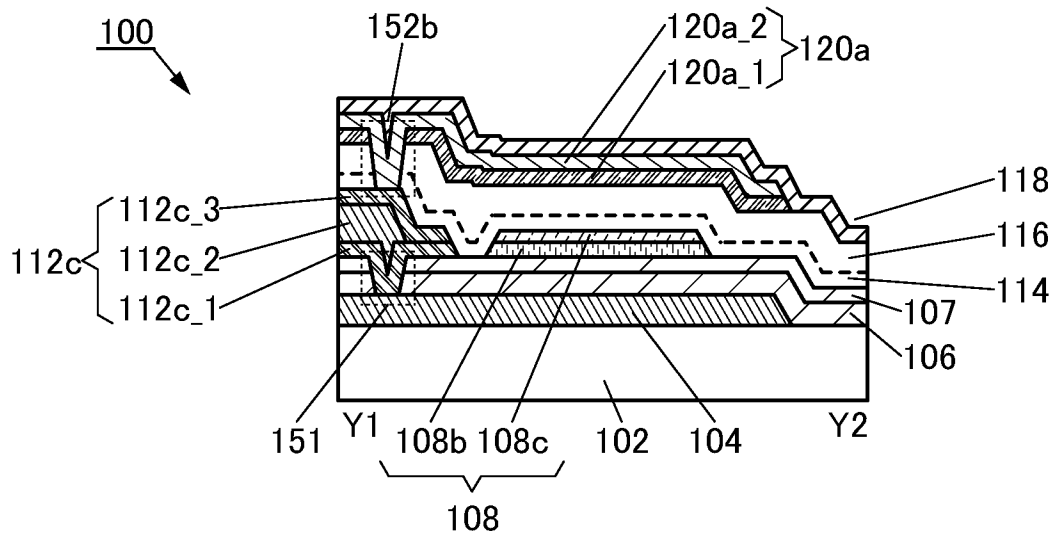
(A)



(B)

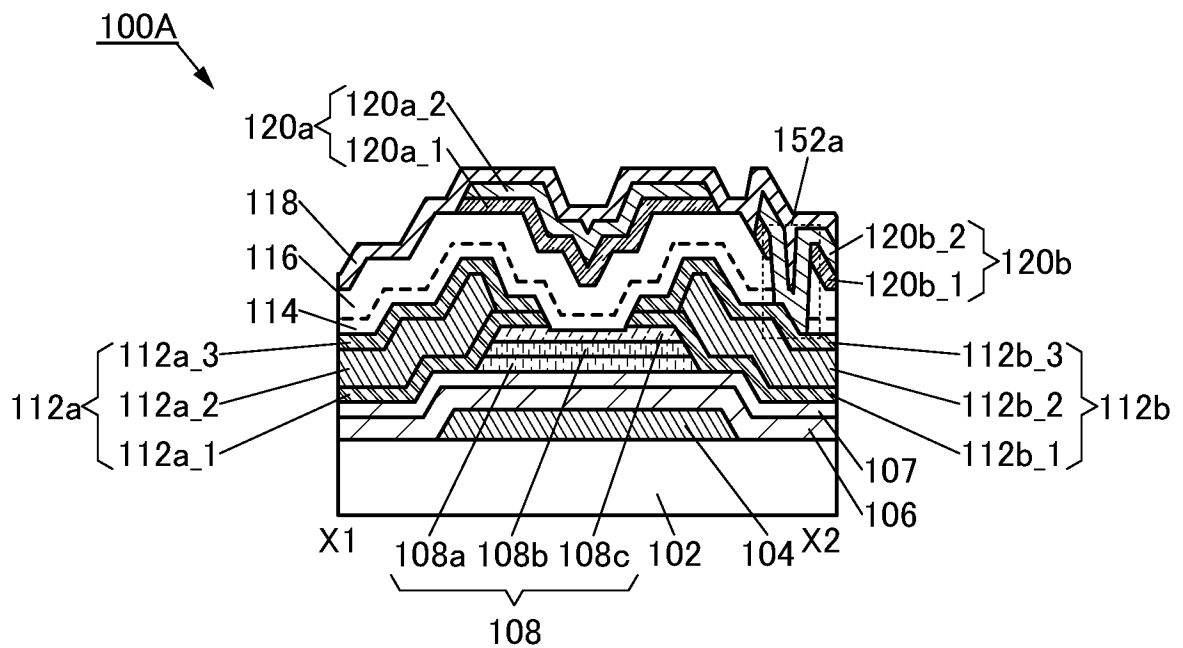


(C)

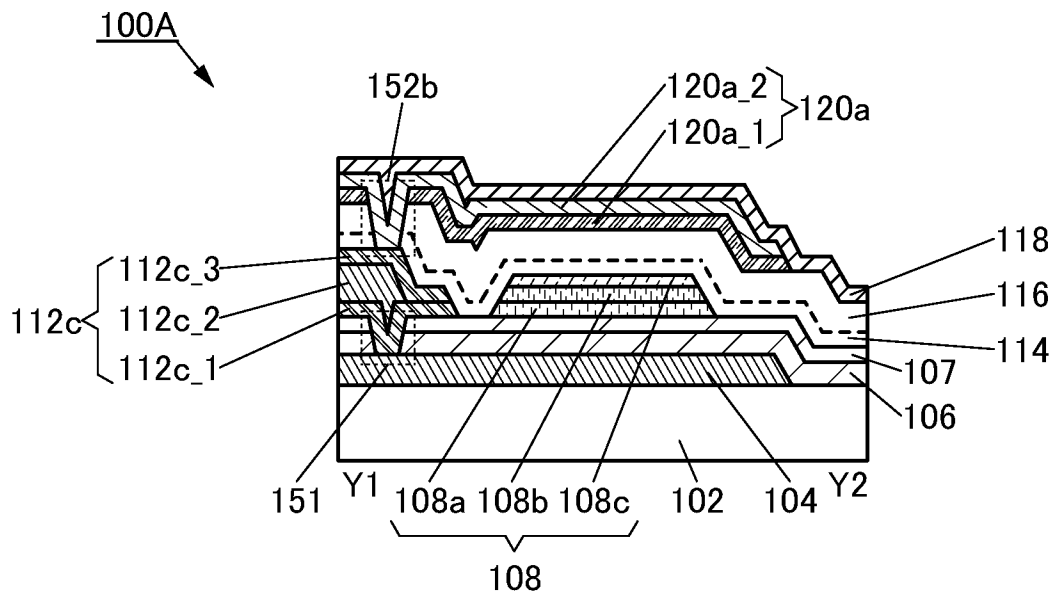


[図2]

(A)

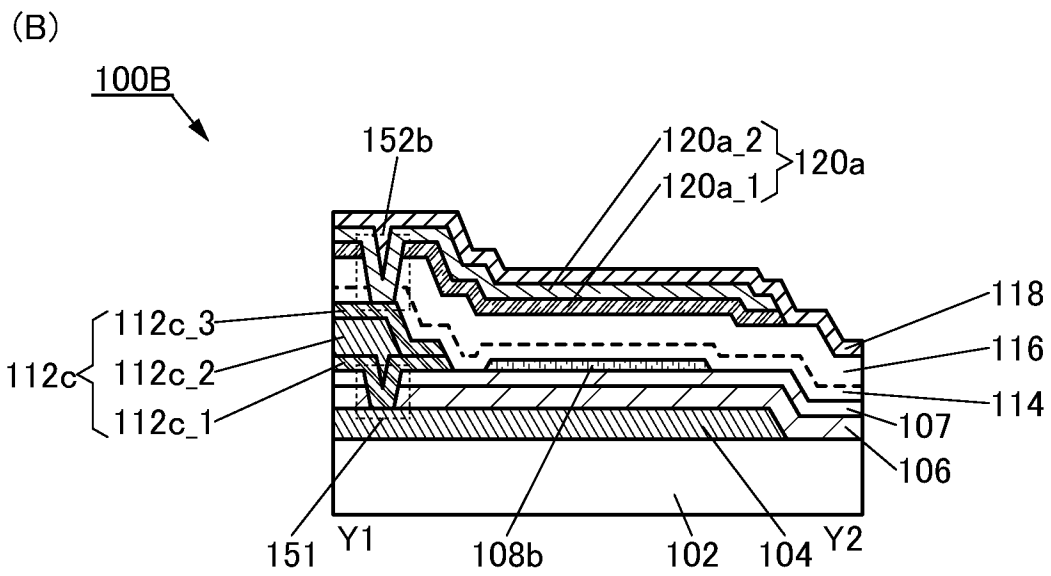
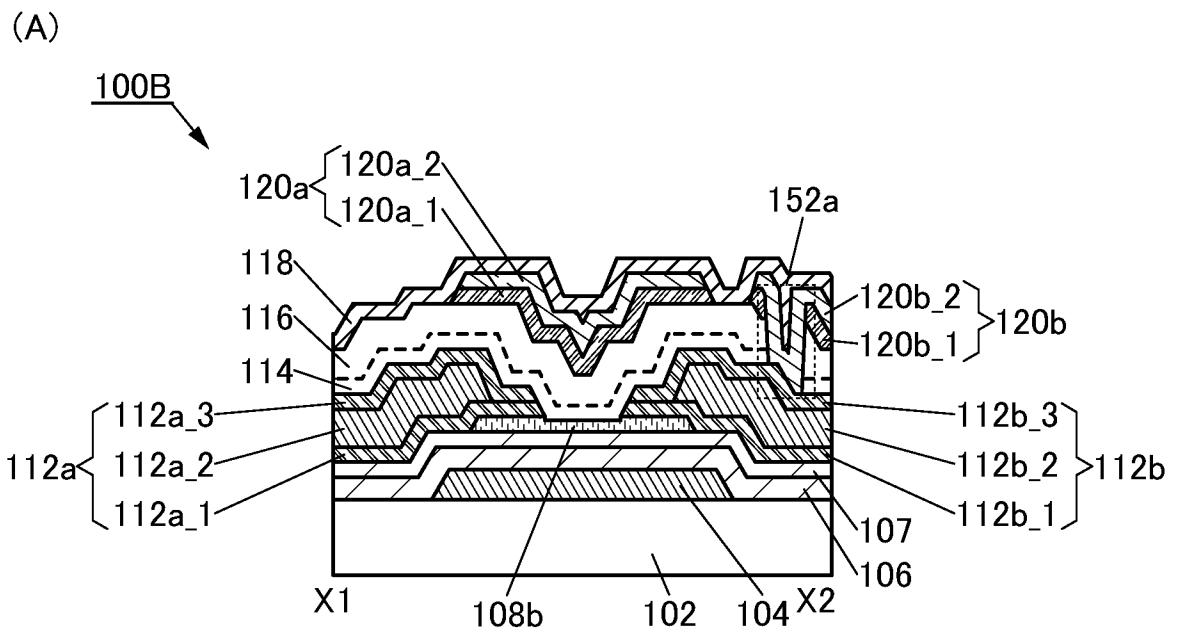


(B)



[図3]

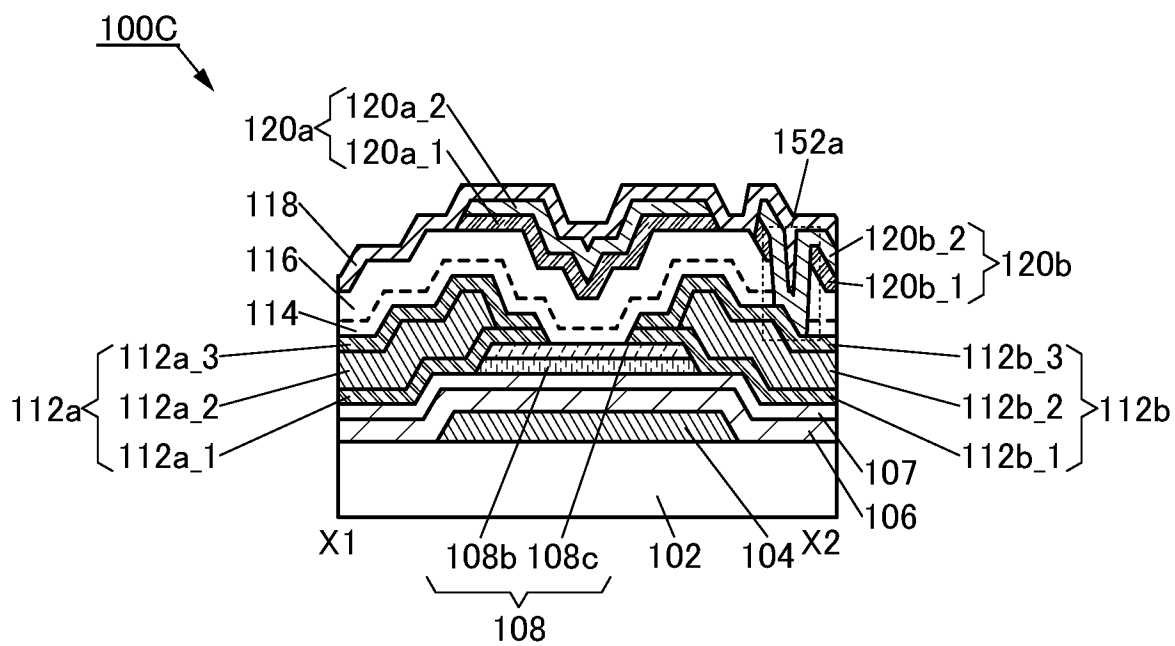
3/40



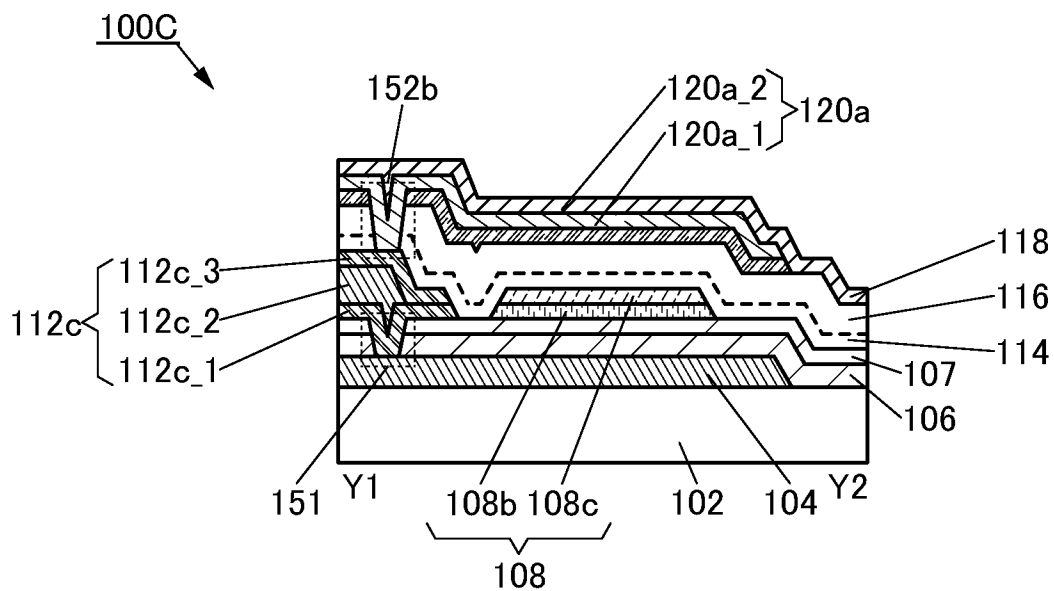
[図4]

4/40

(A)



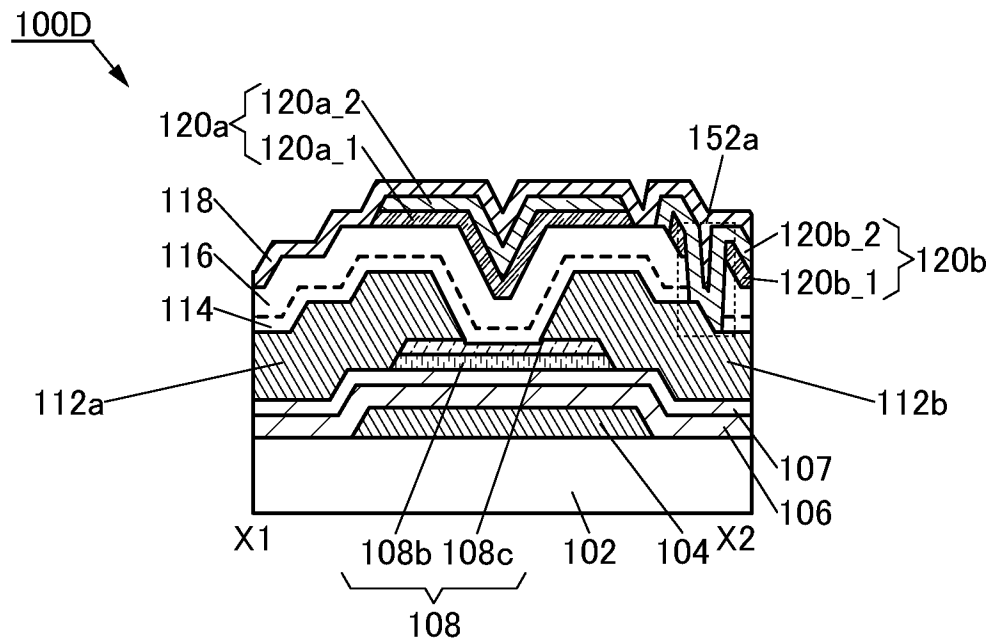
(B)



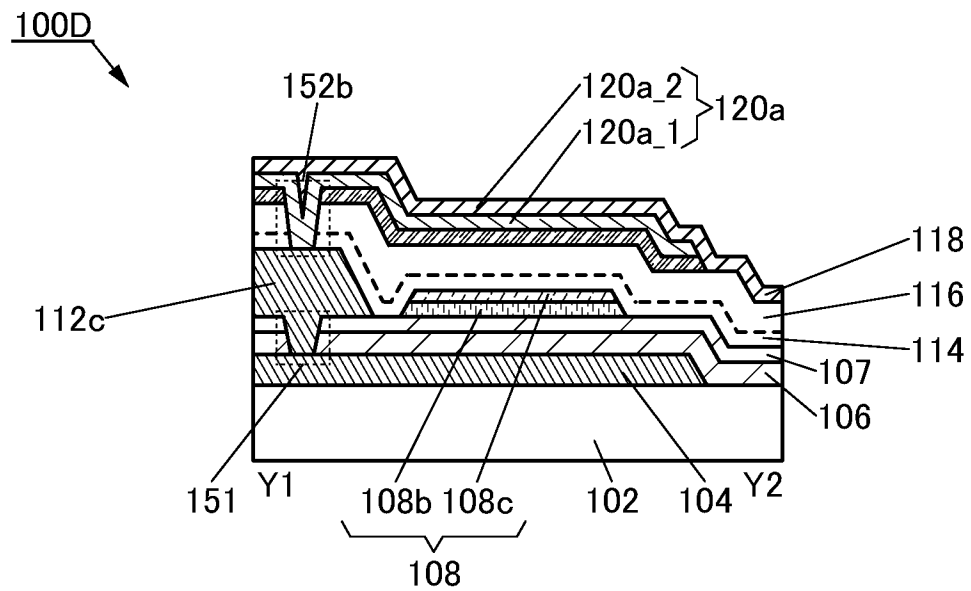
[図5]

5/40

(A)



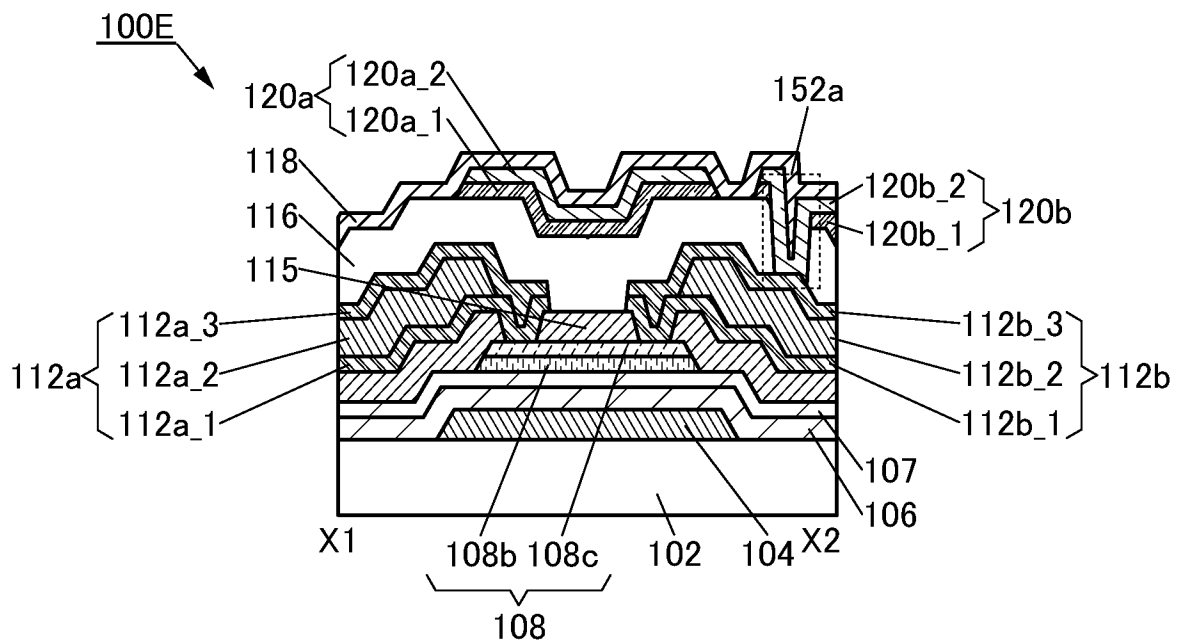
(B)



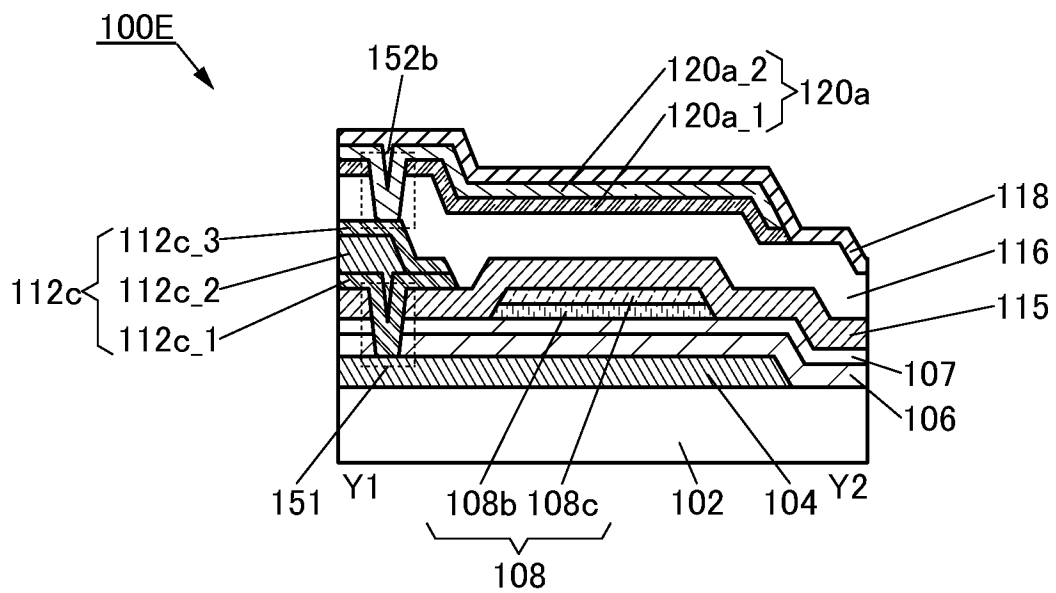
[図6]

6/40

(A)

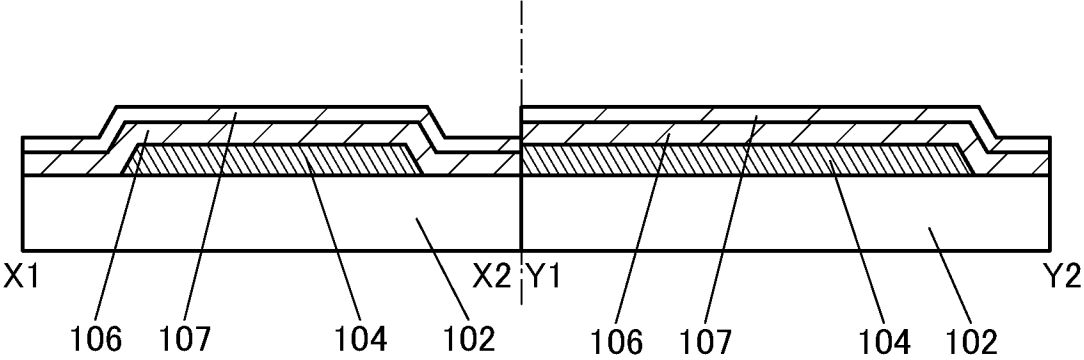


(B)

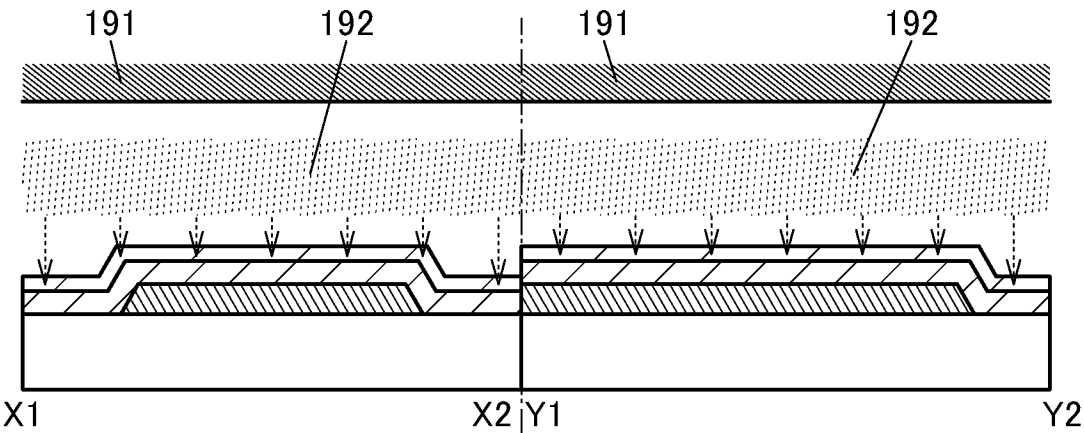


[図 7]

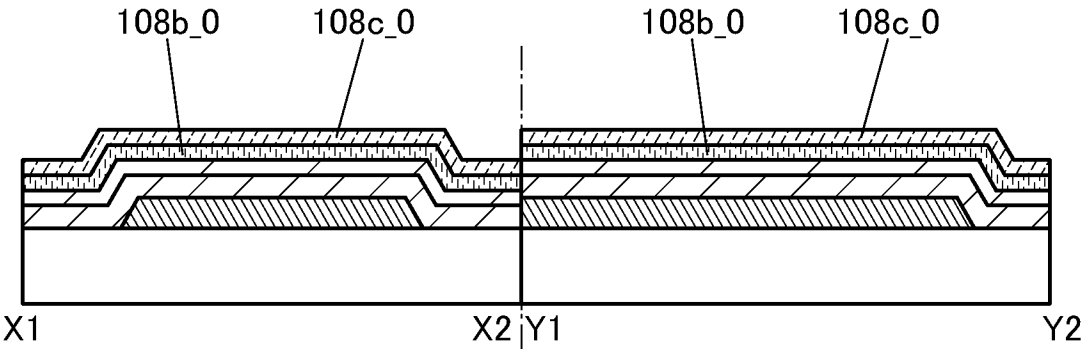
(A)



(B)



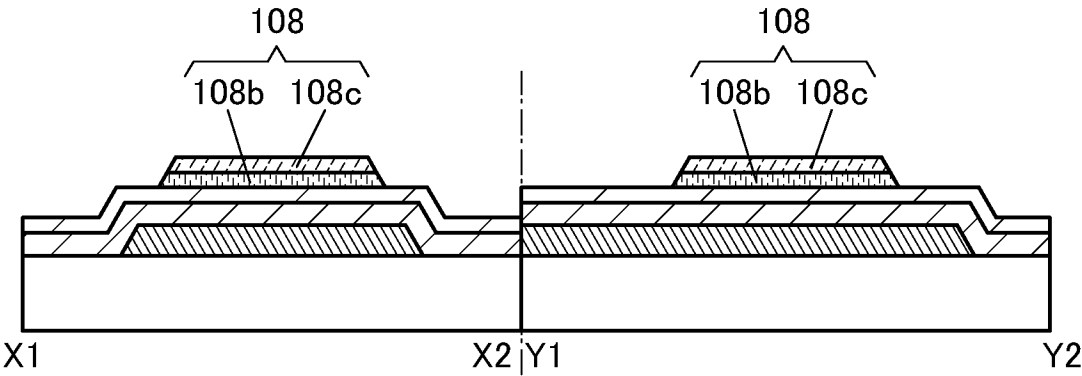
(C)



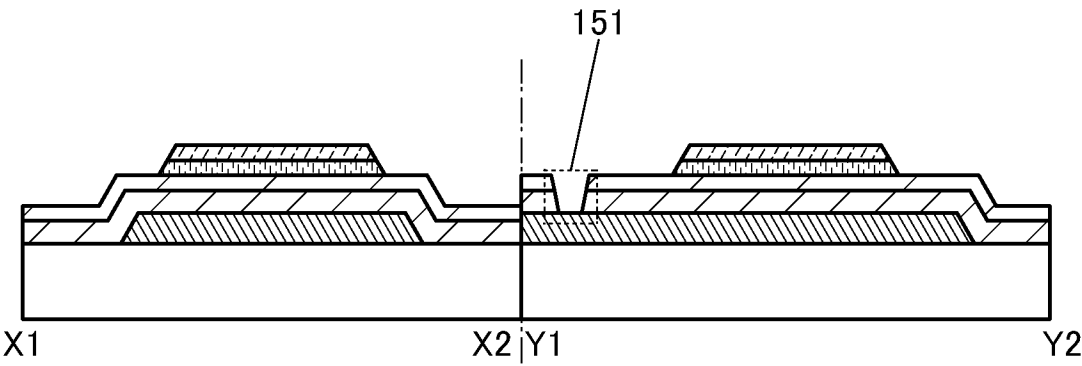
[図8]

8/40

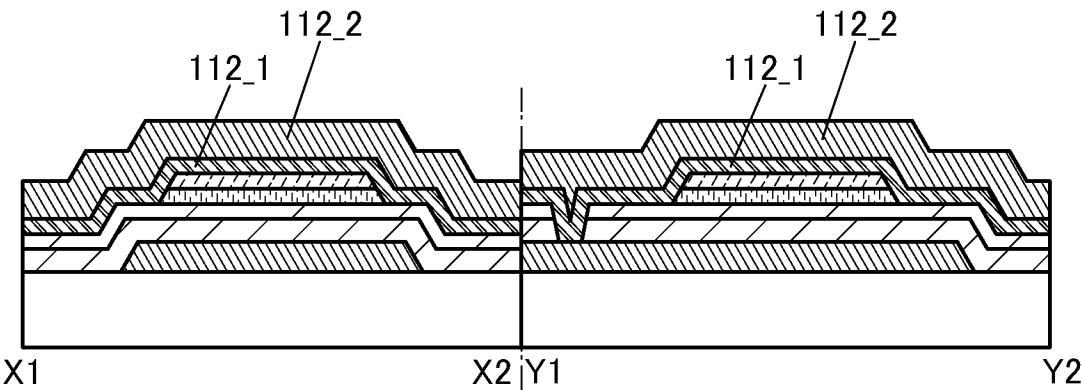
(A)



(B)



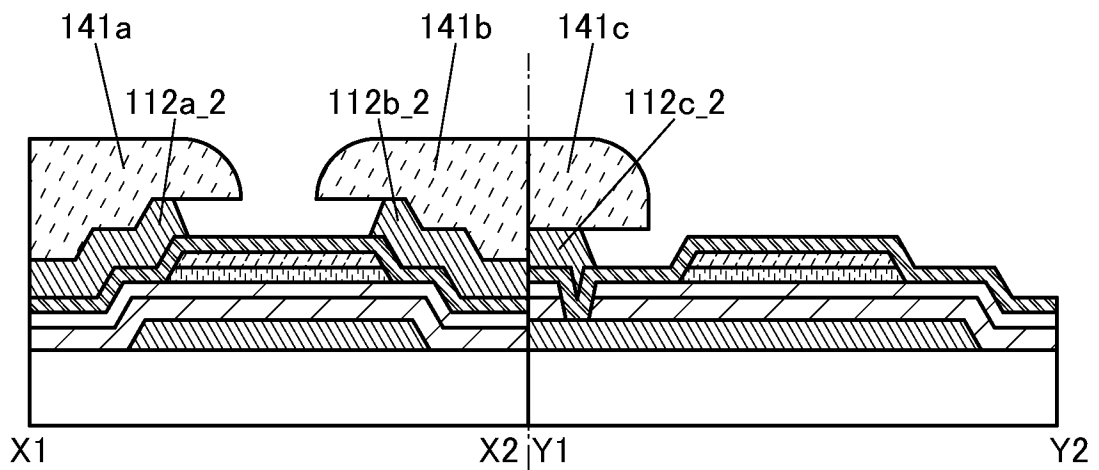
(C)



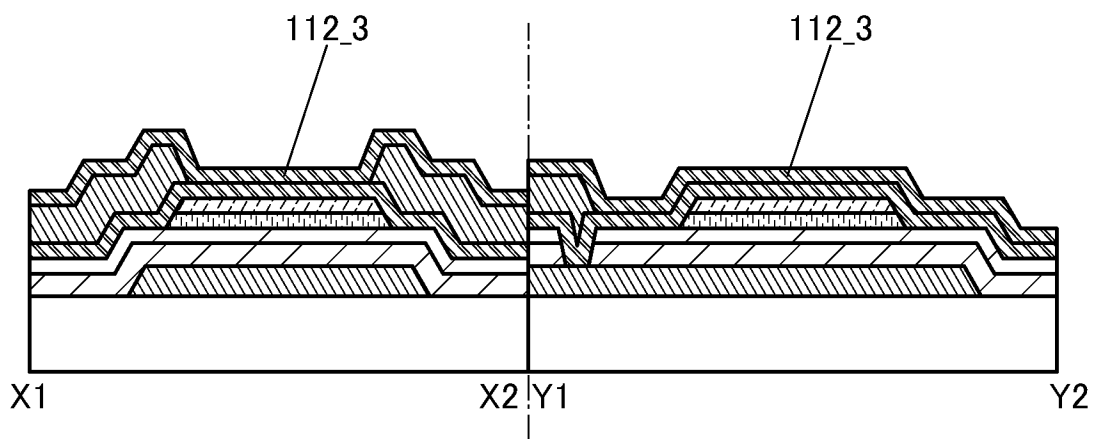
[図9]

9/40

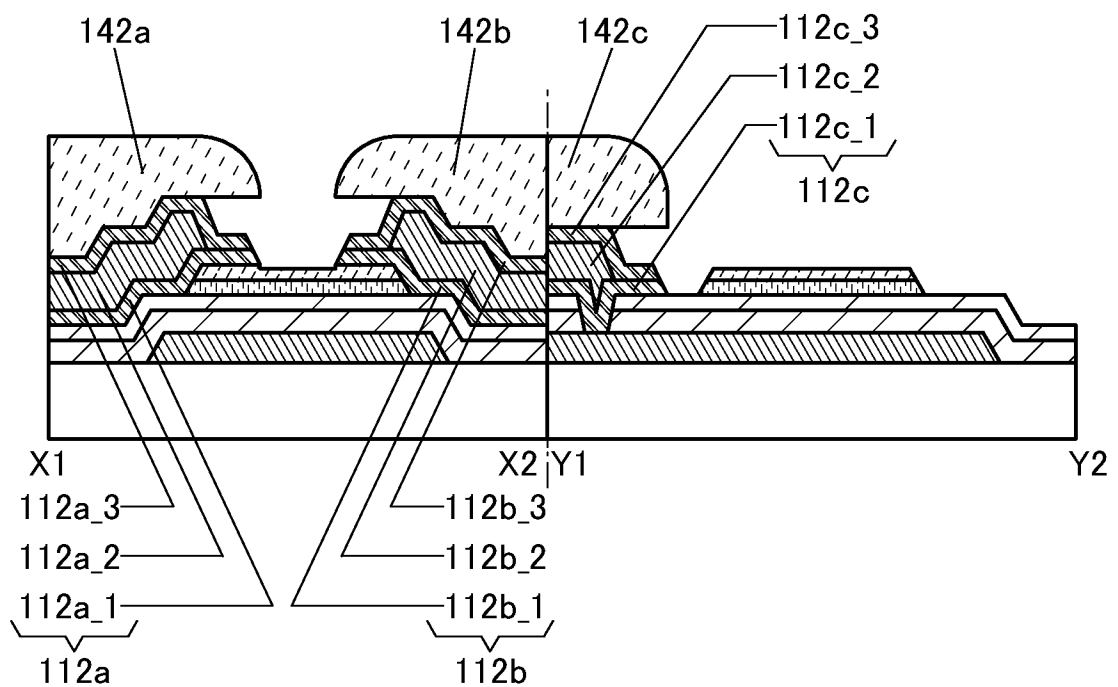
(A)



(B)



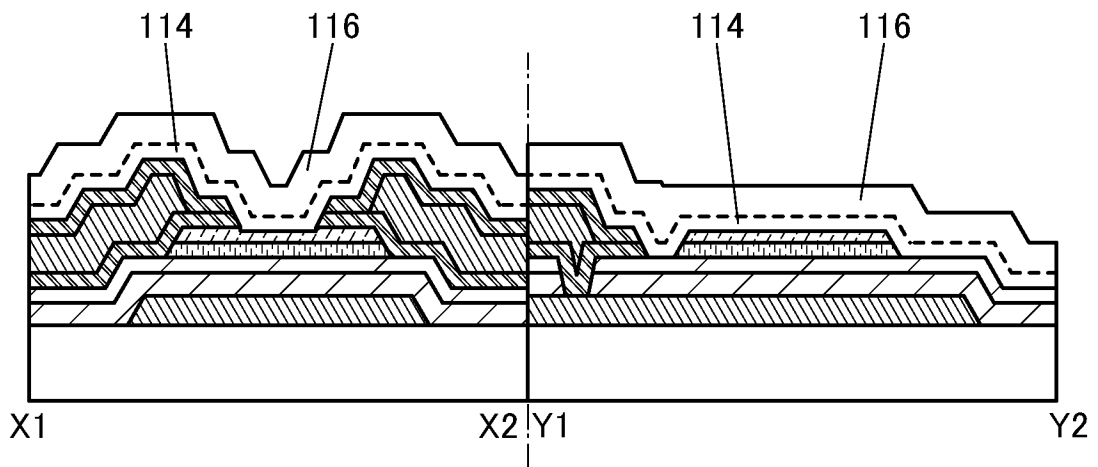
(C)



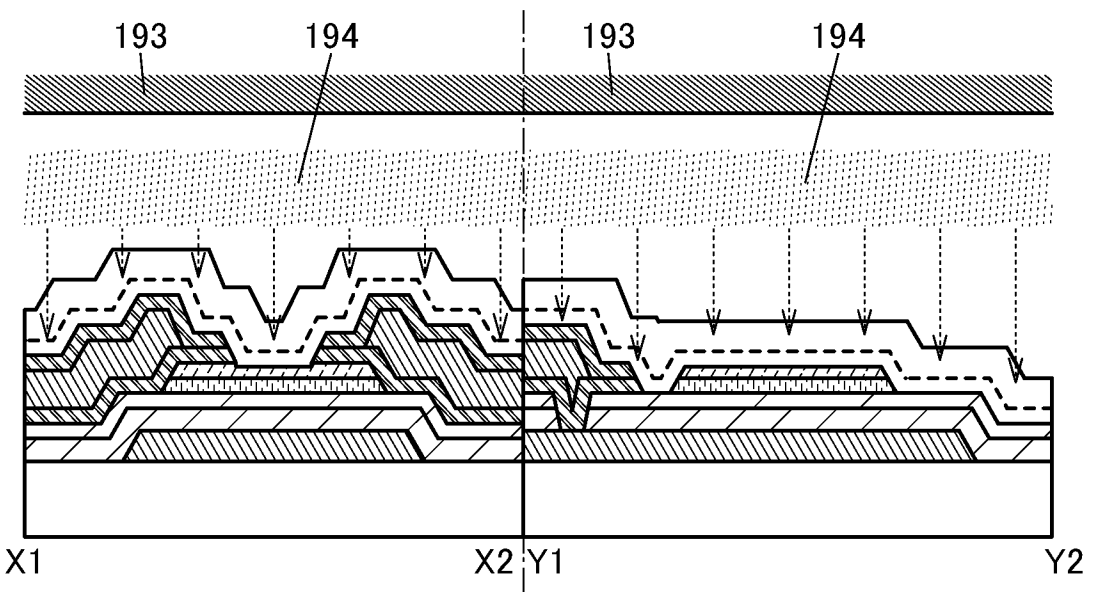
[図10]

10/40

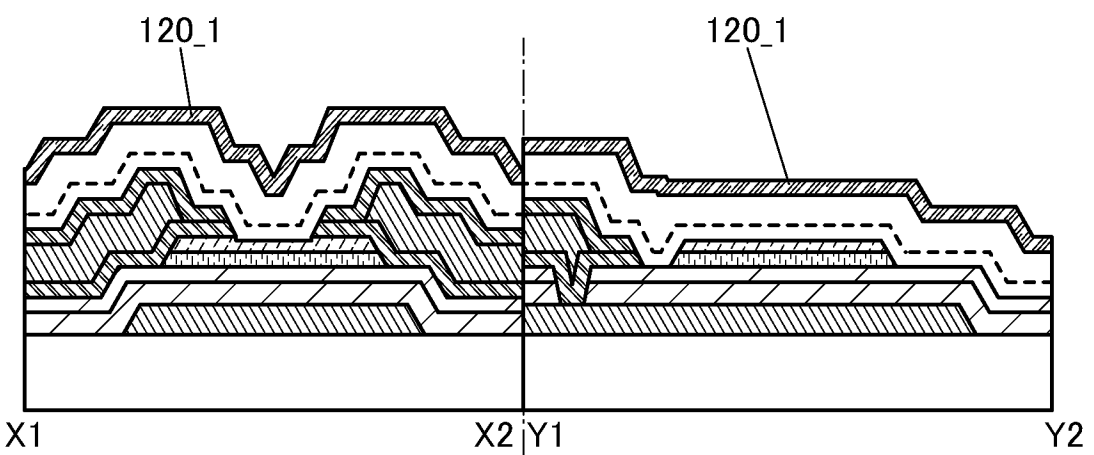
(A)



(B)



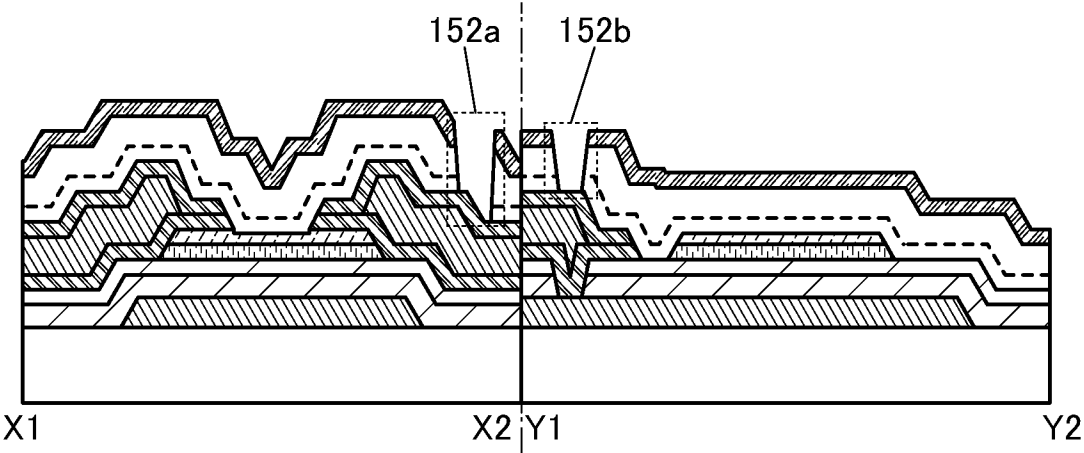
(C)



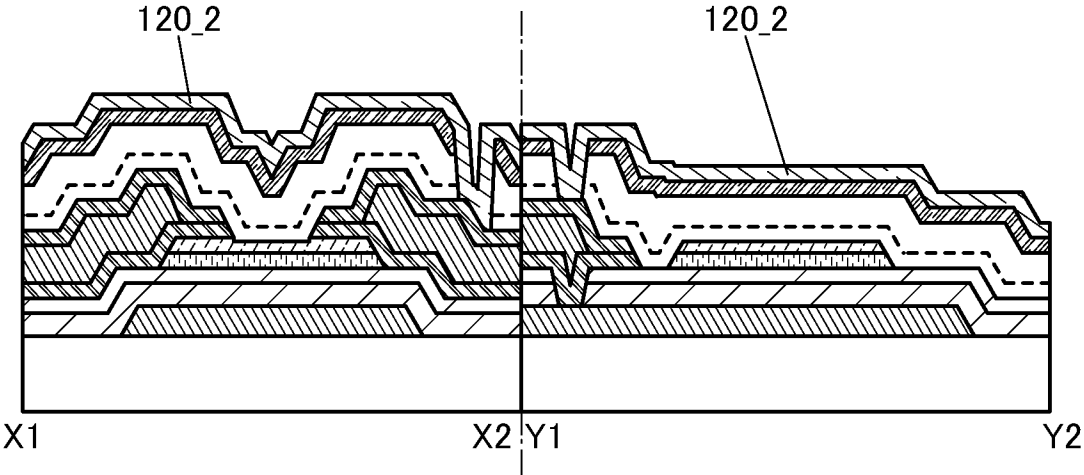
[図 11]

11/40

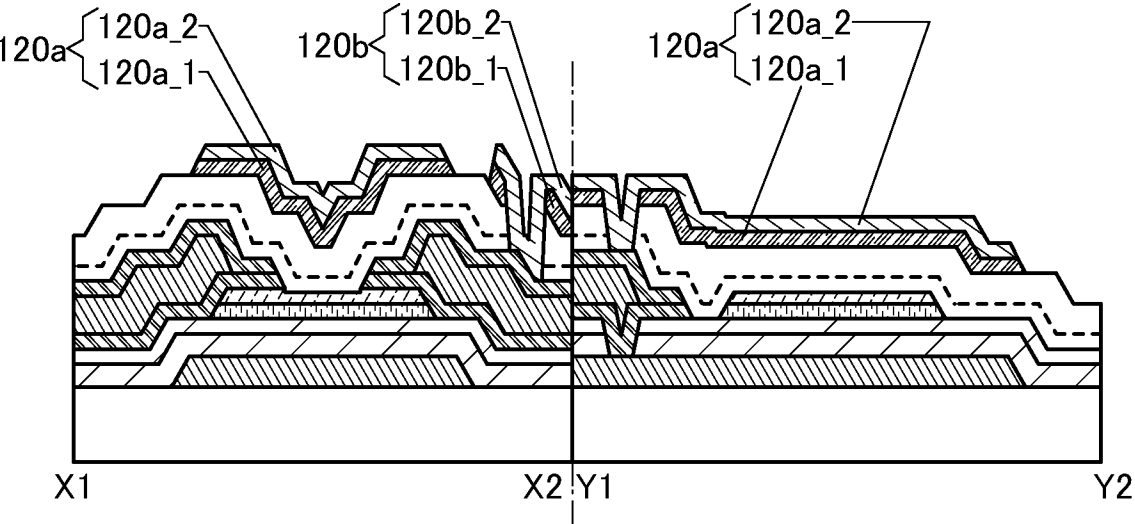
(A)



(B)

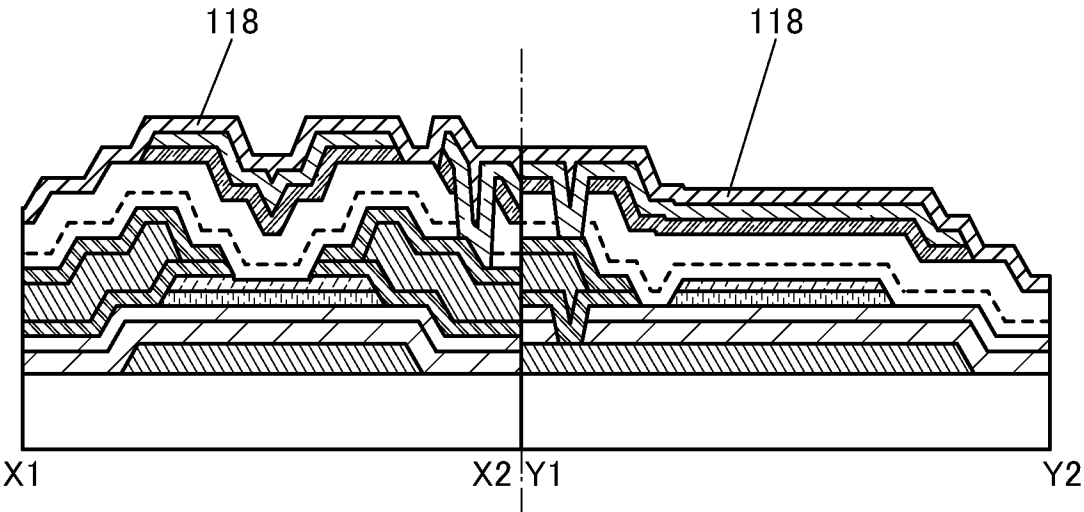


(C)

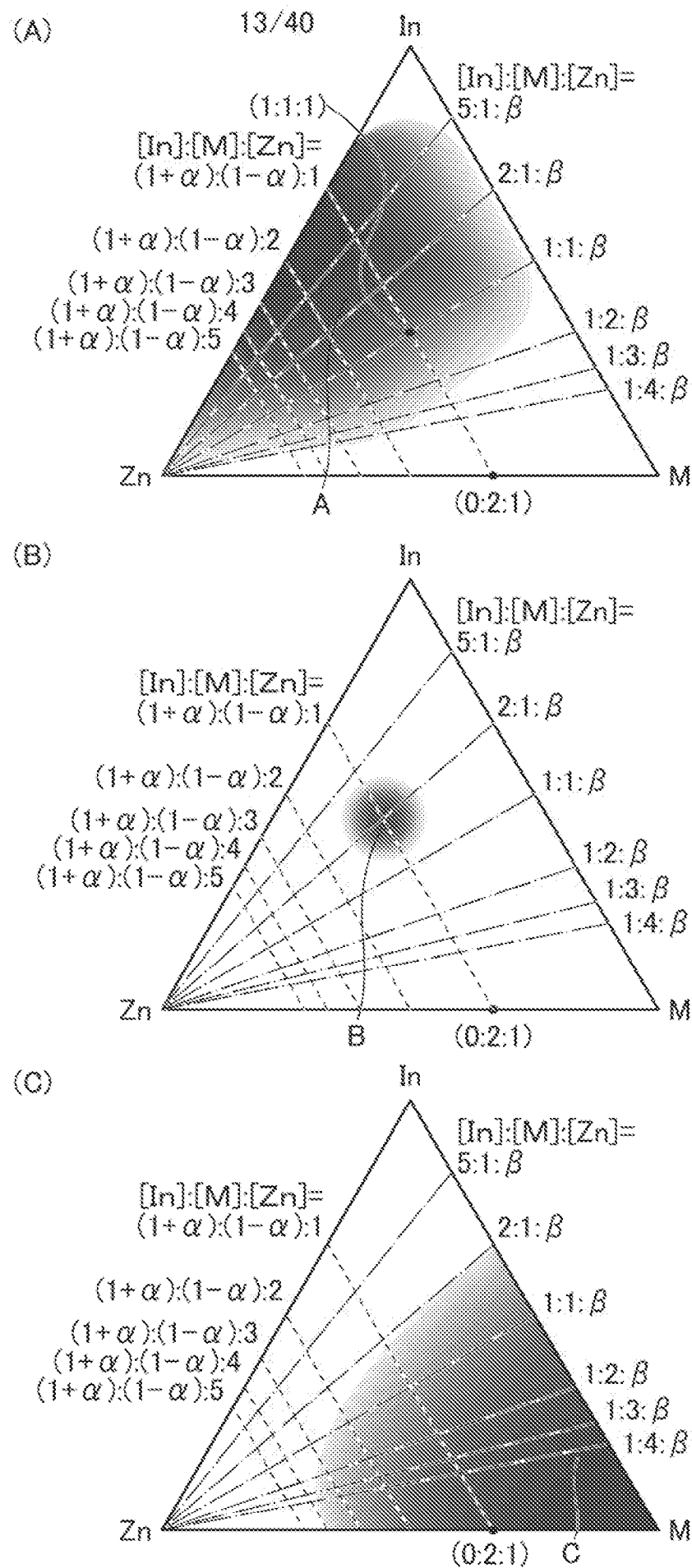


[図12]

12/40

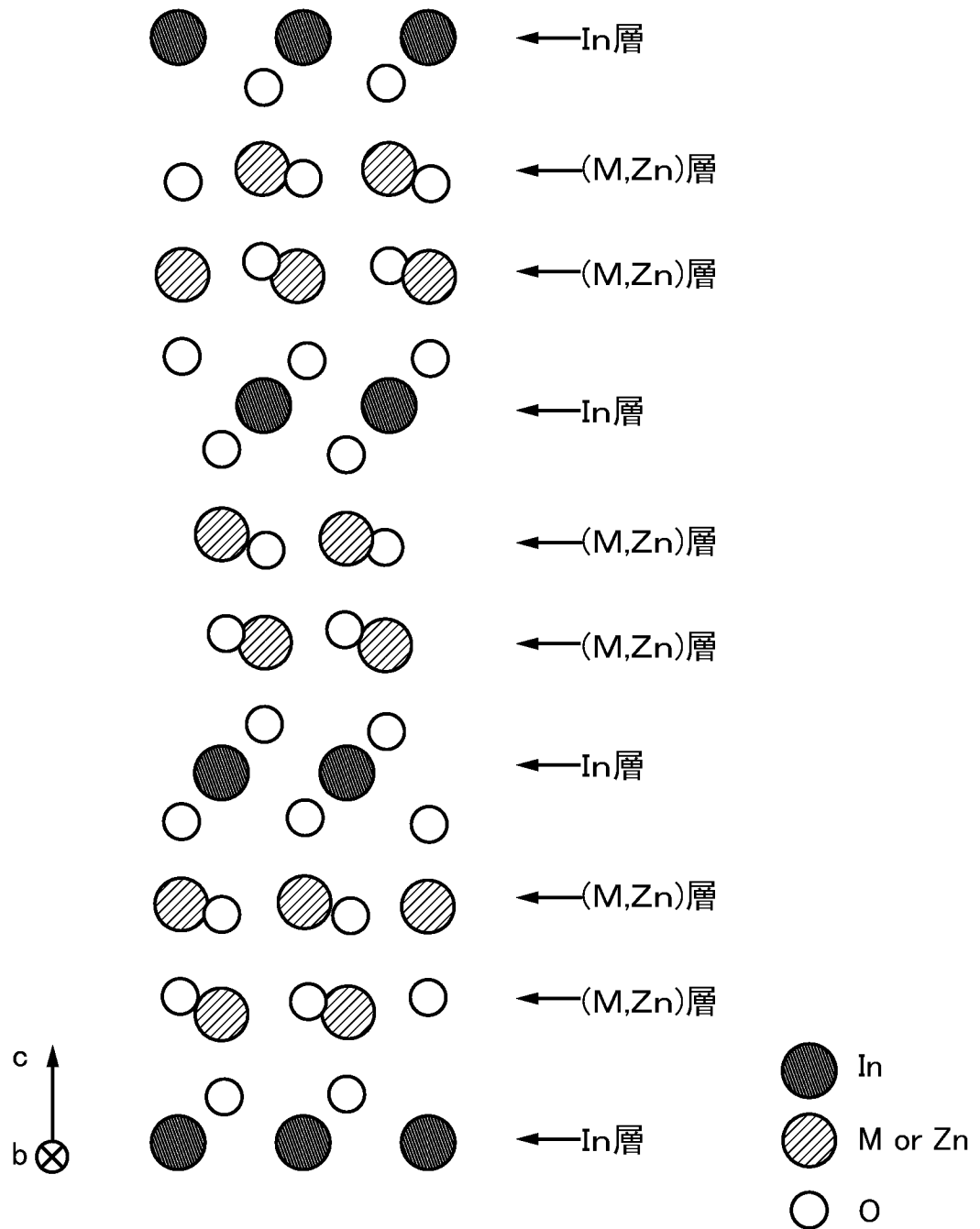


[図13]



[図14]

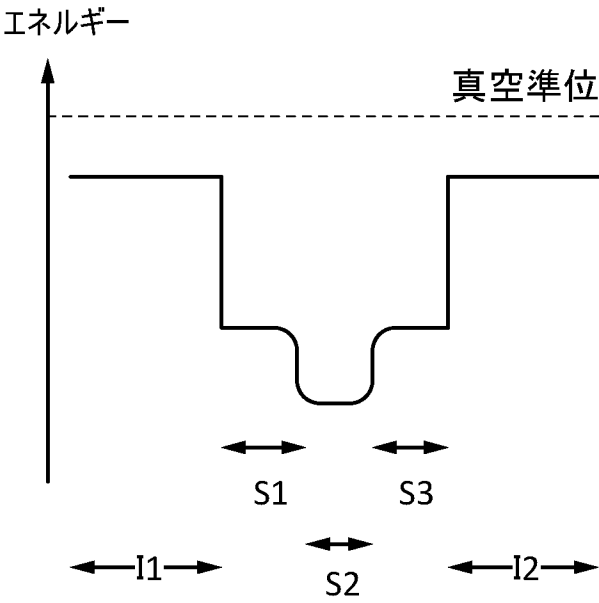
14/40

InM₂ZnO₄の結晶構造

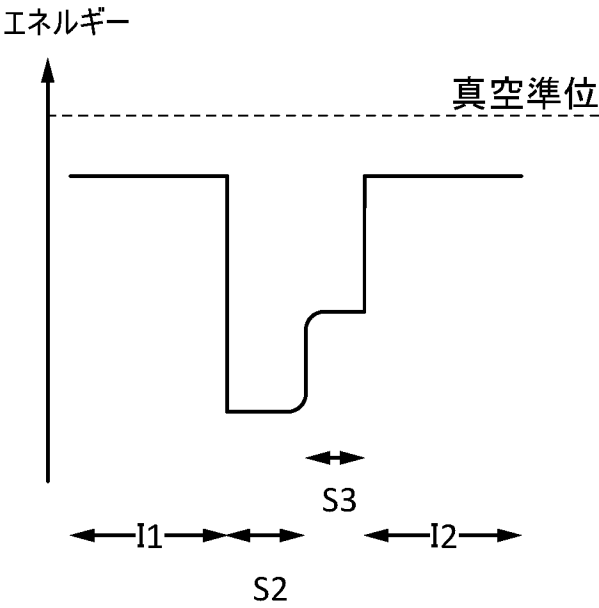
[図15]

15/40

(A)



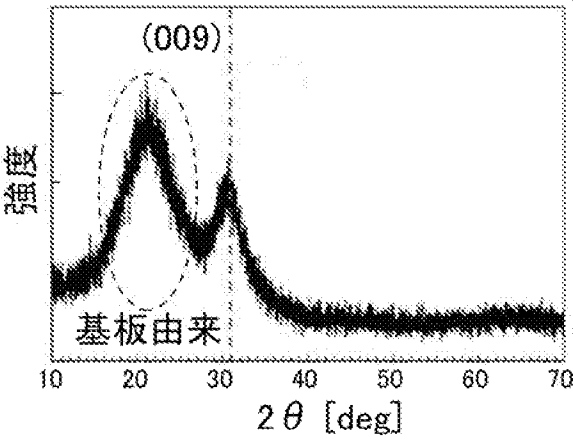
(B)



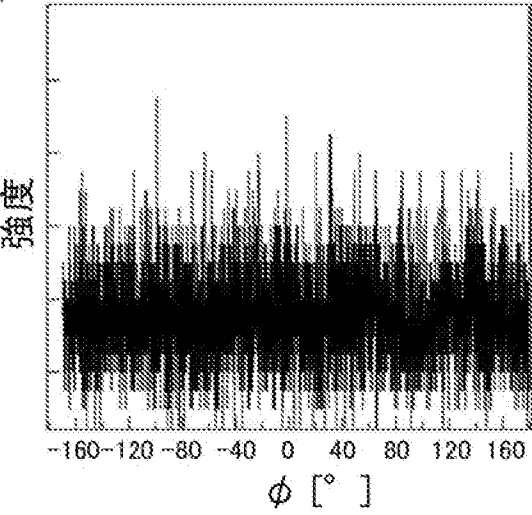
[図 16]

16/40

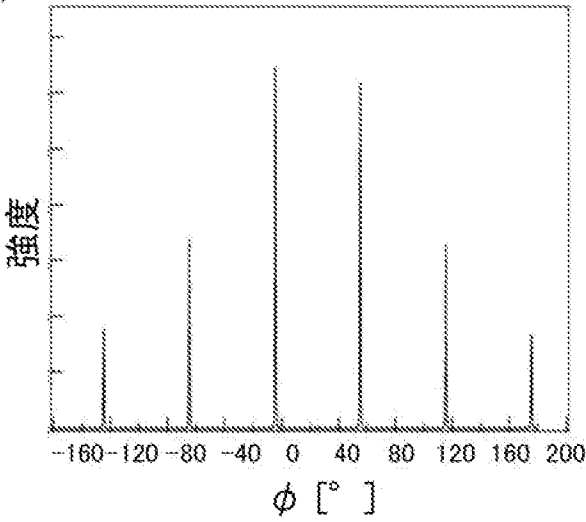
(A)



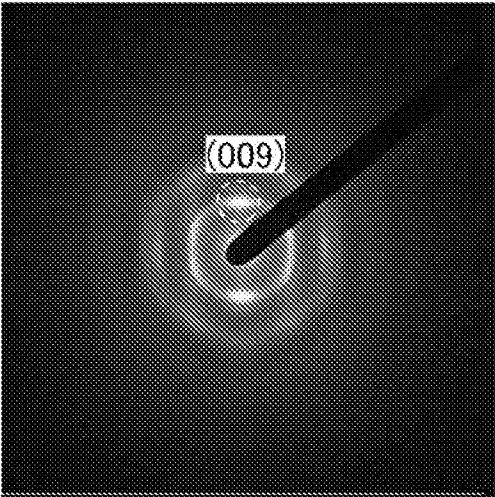
(B)



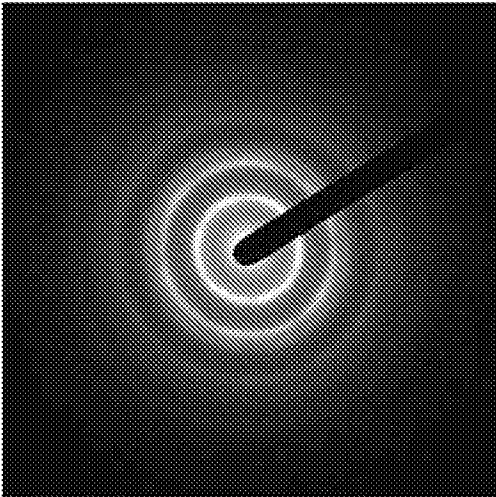
(C)



(D)

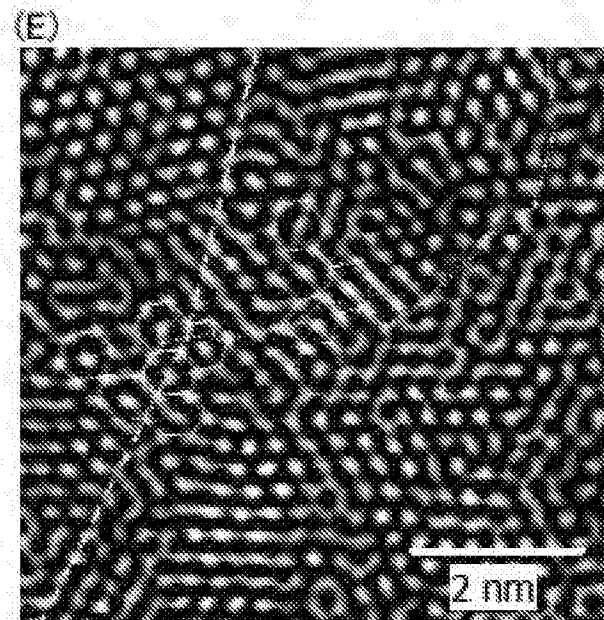
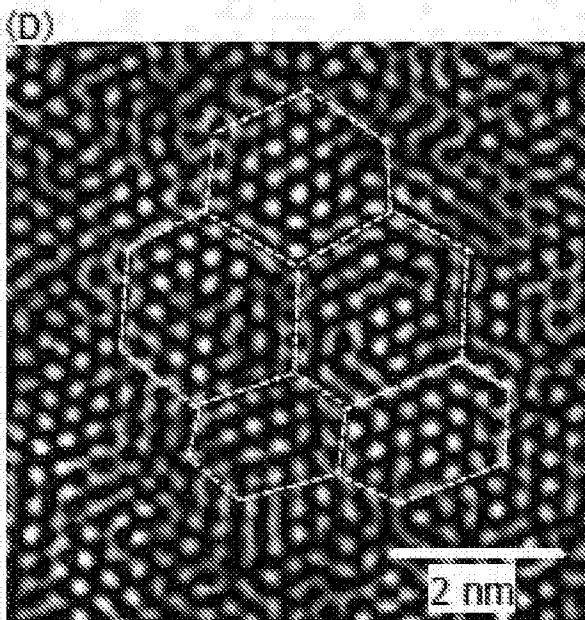
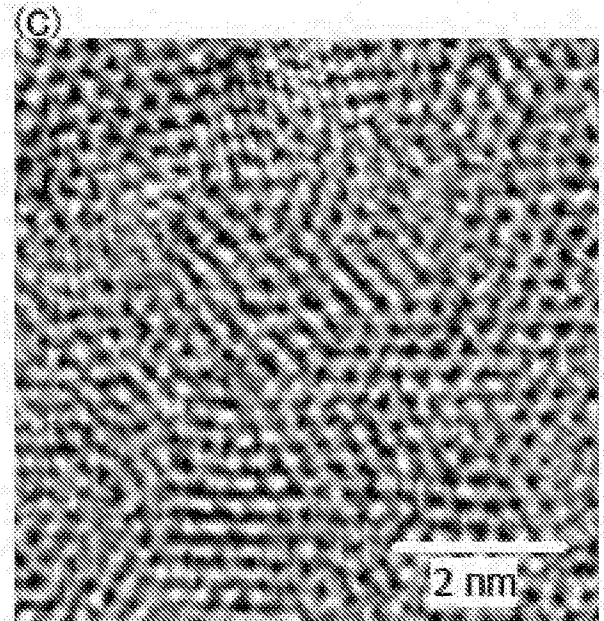
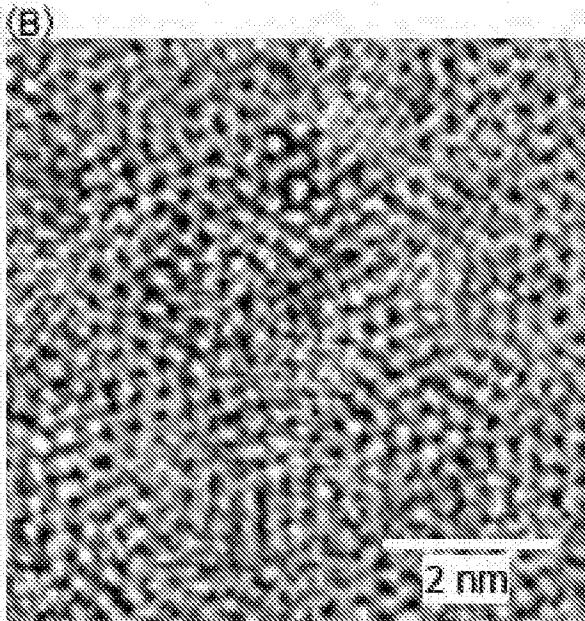
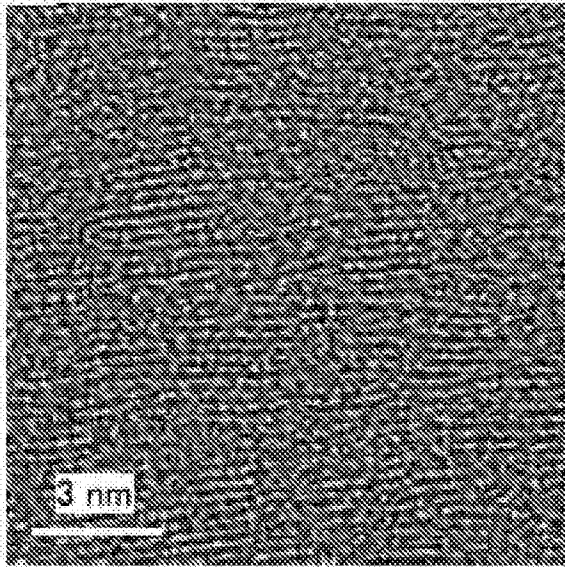


(E)

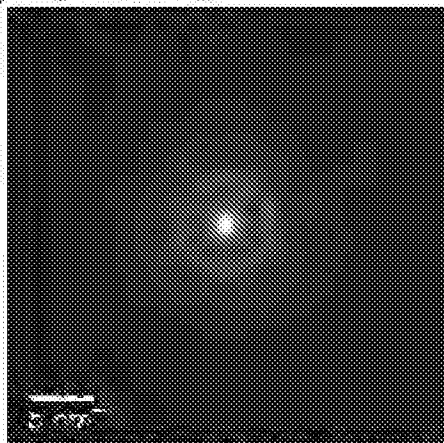


(A) [図17]

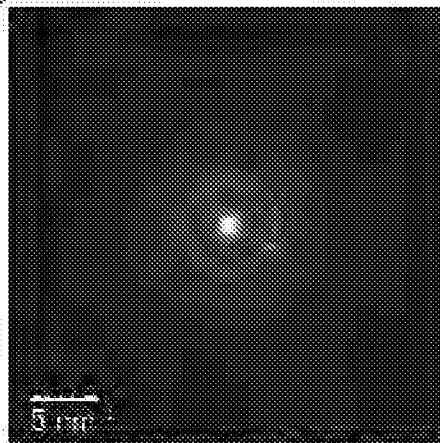
17/40



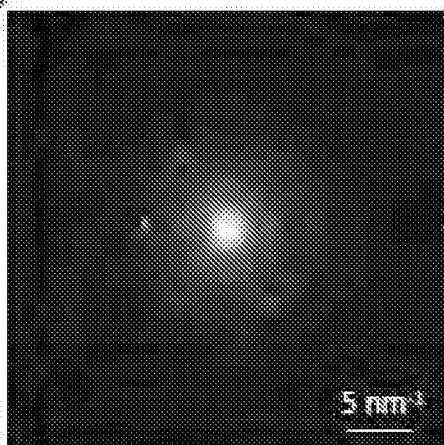
(A) [X18]



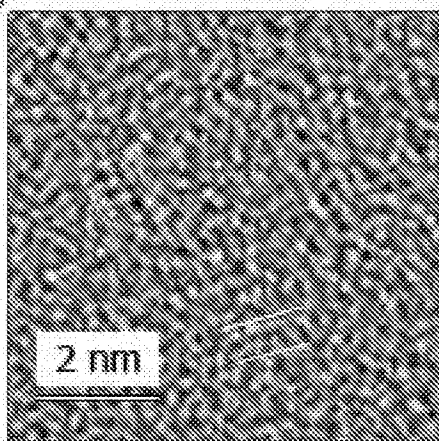
(B) 18/40



(C)

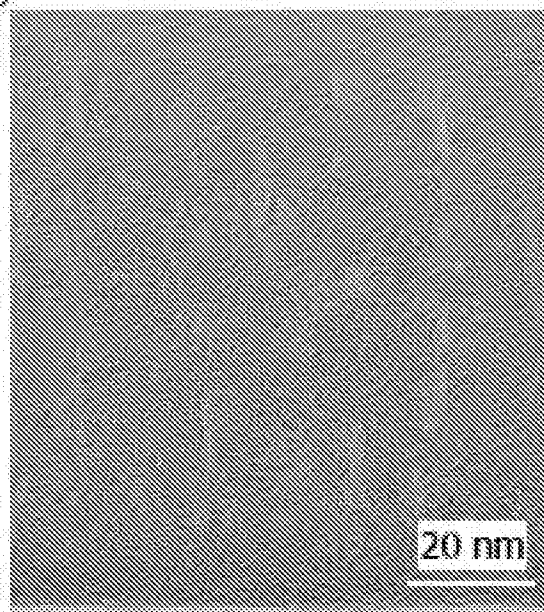
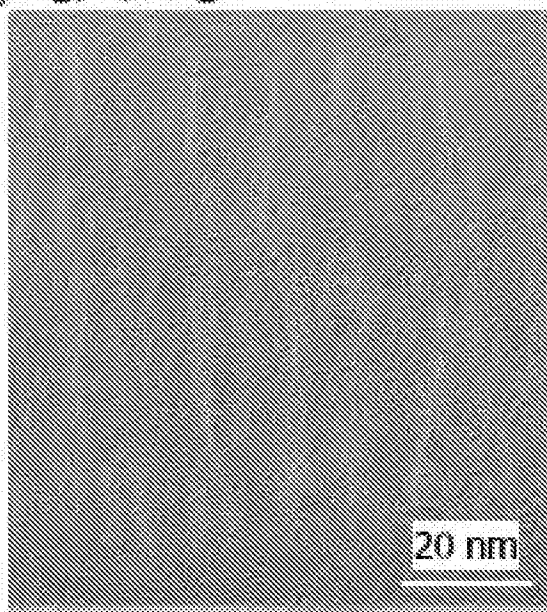


(D)



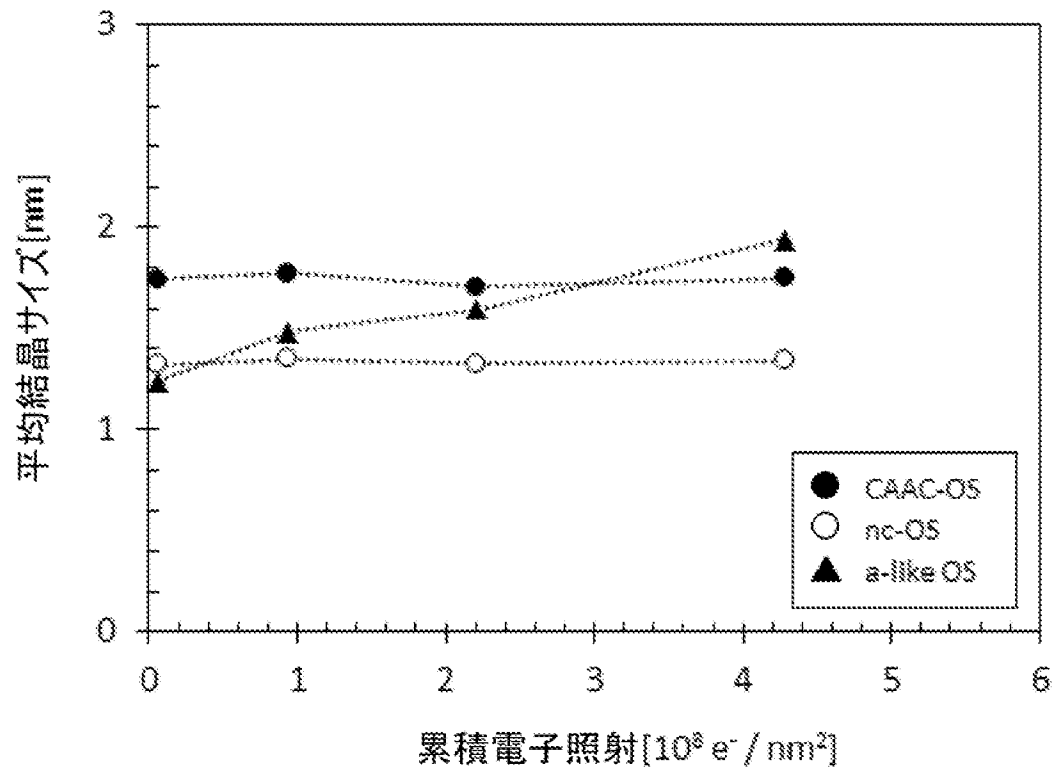
(A) [X] 19]

19/40
(B)



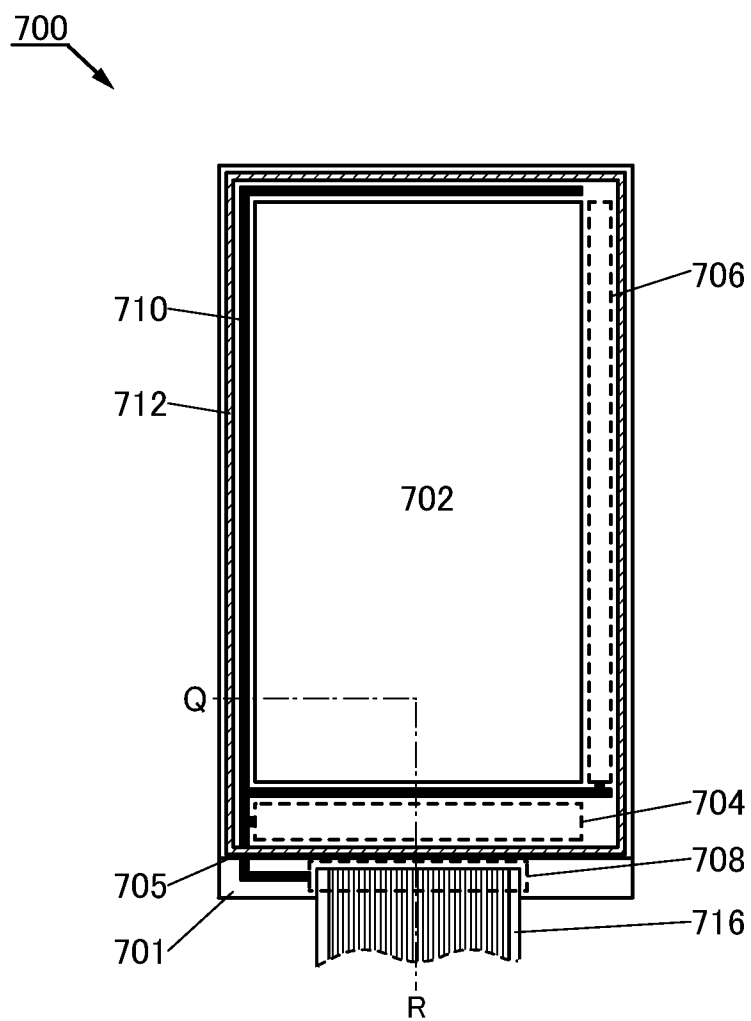
[図20]

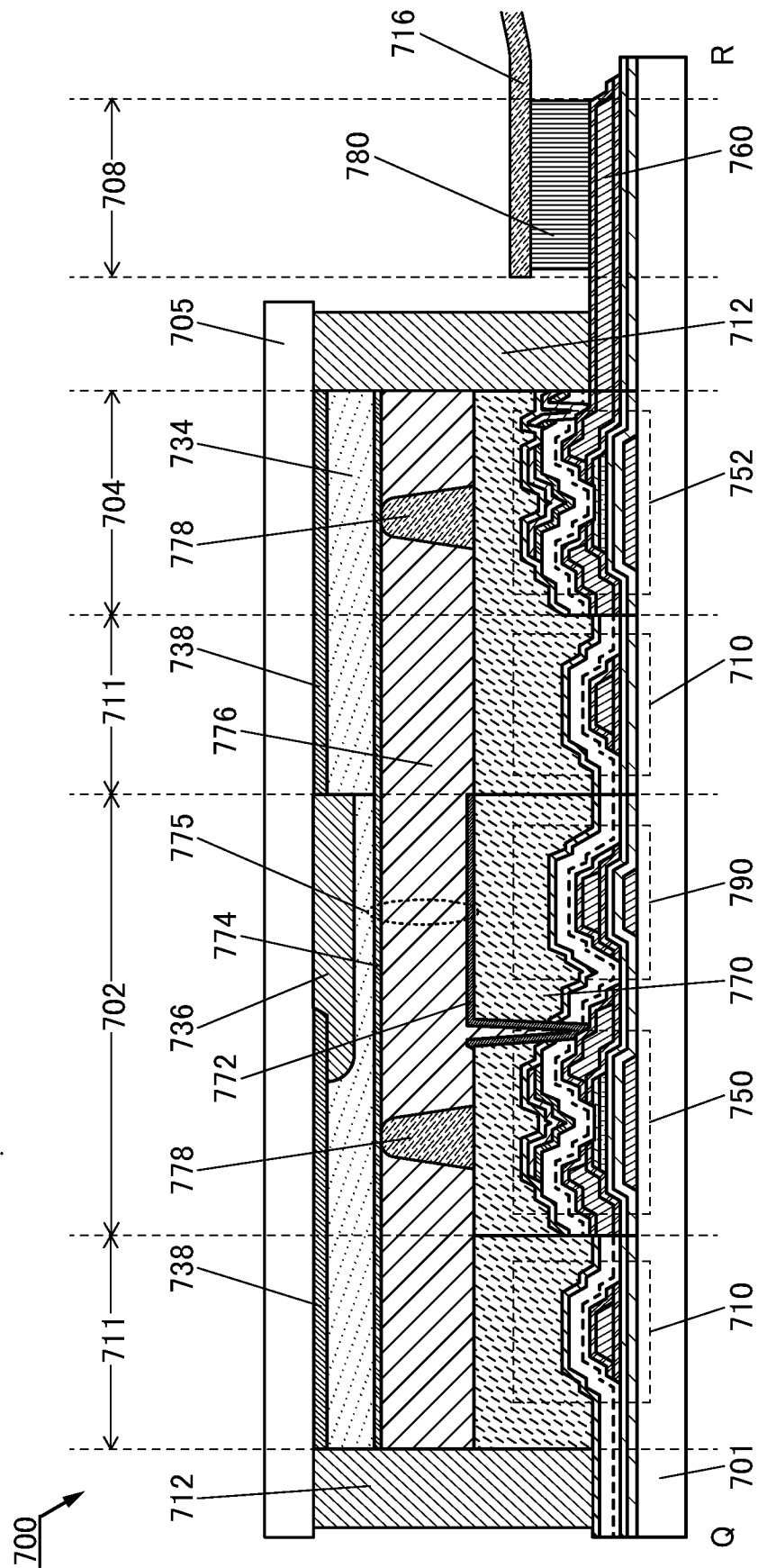
20/40



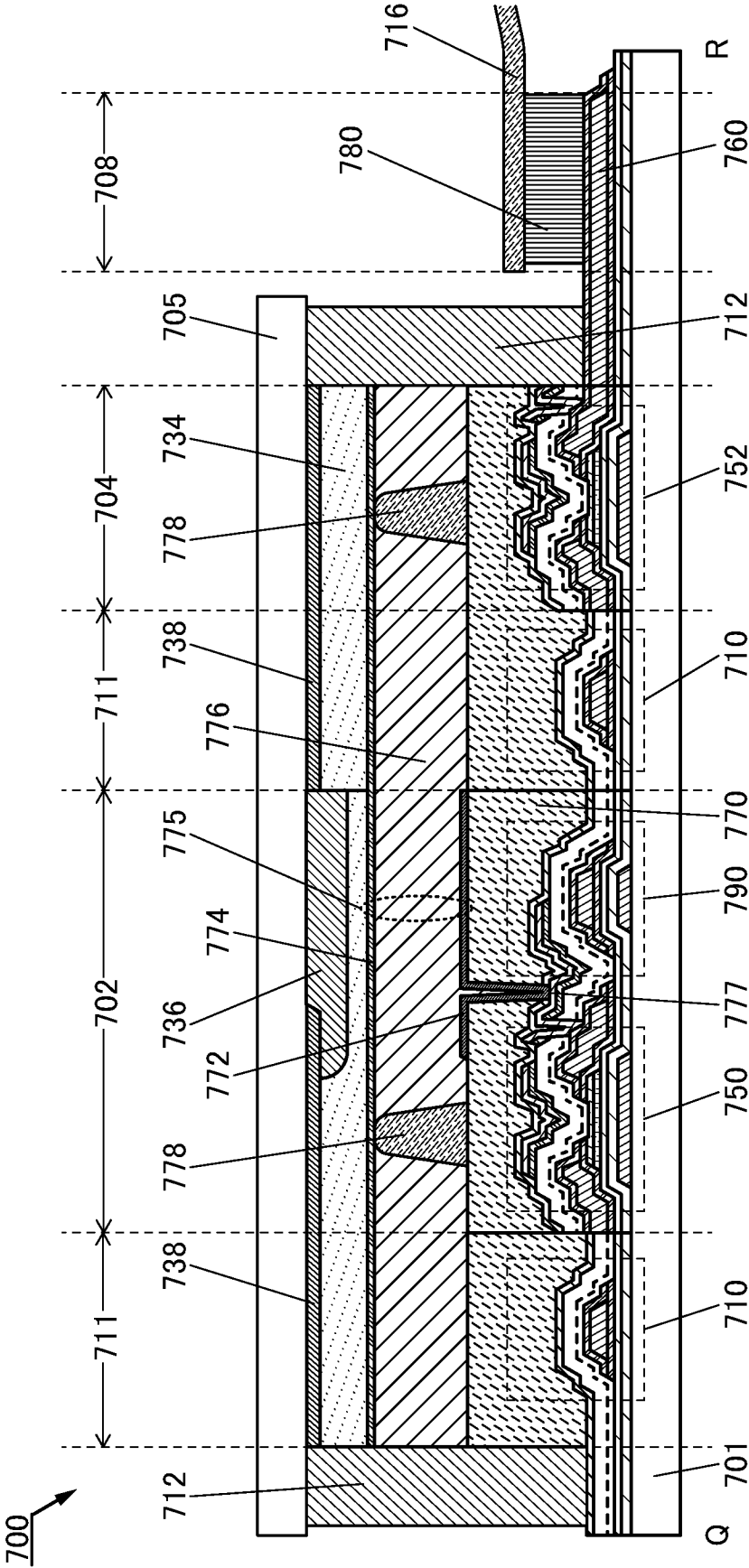
[図21]

21/40

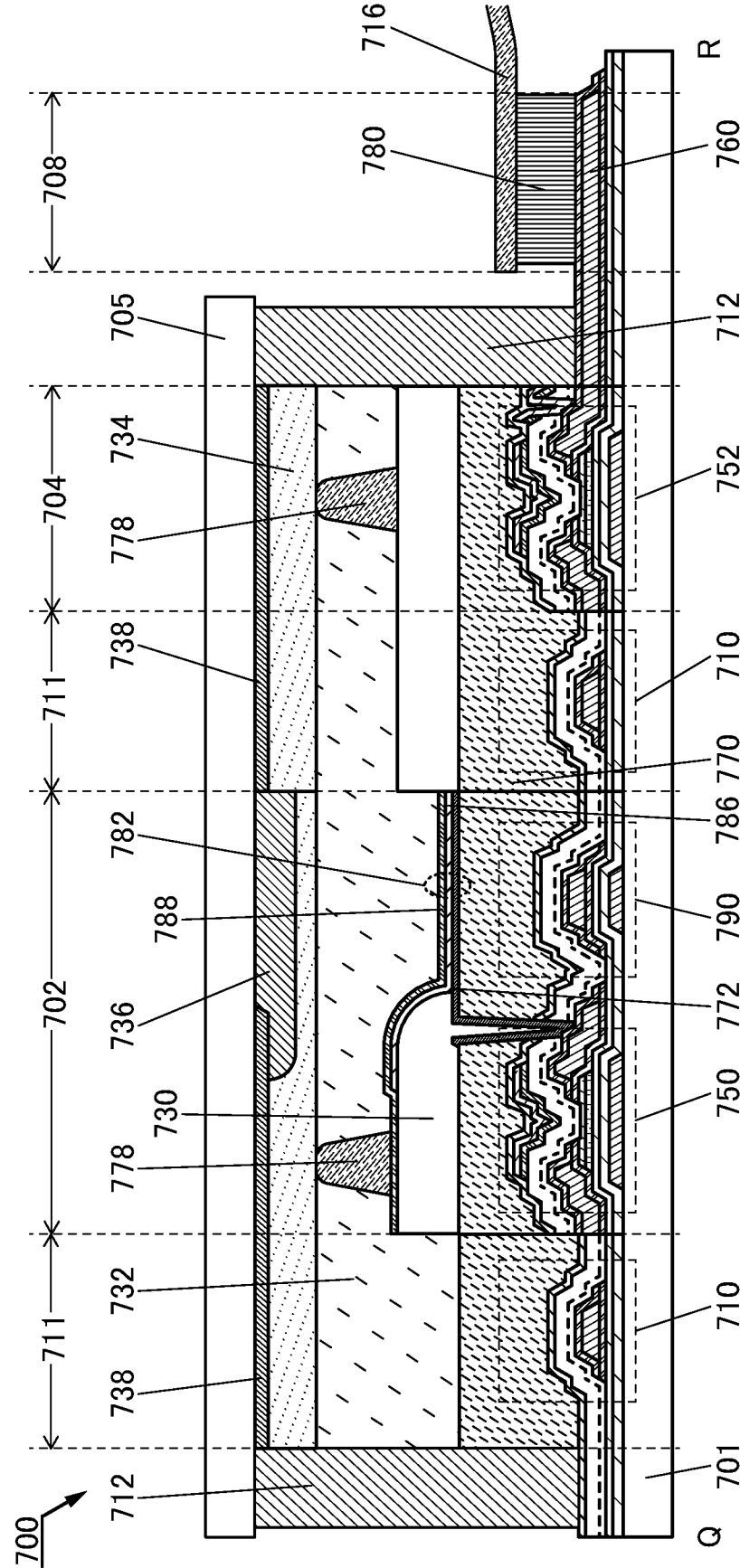


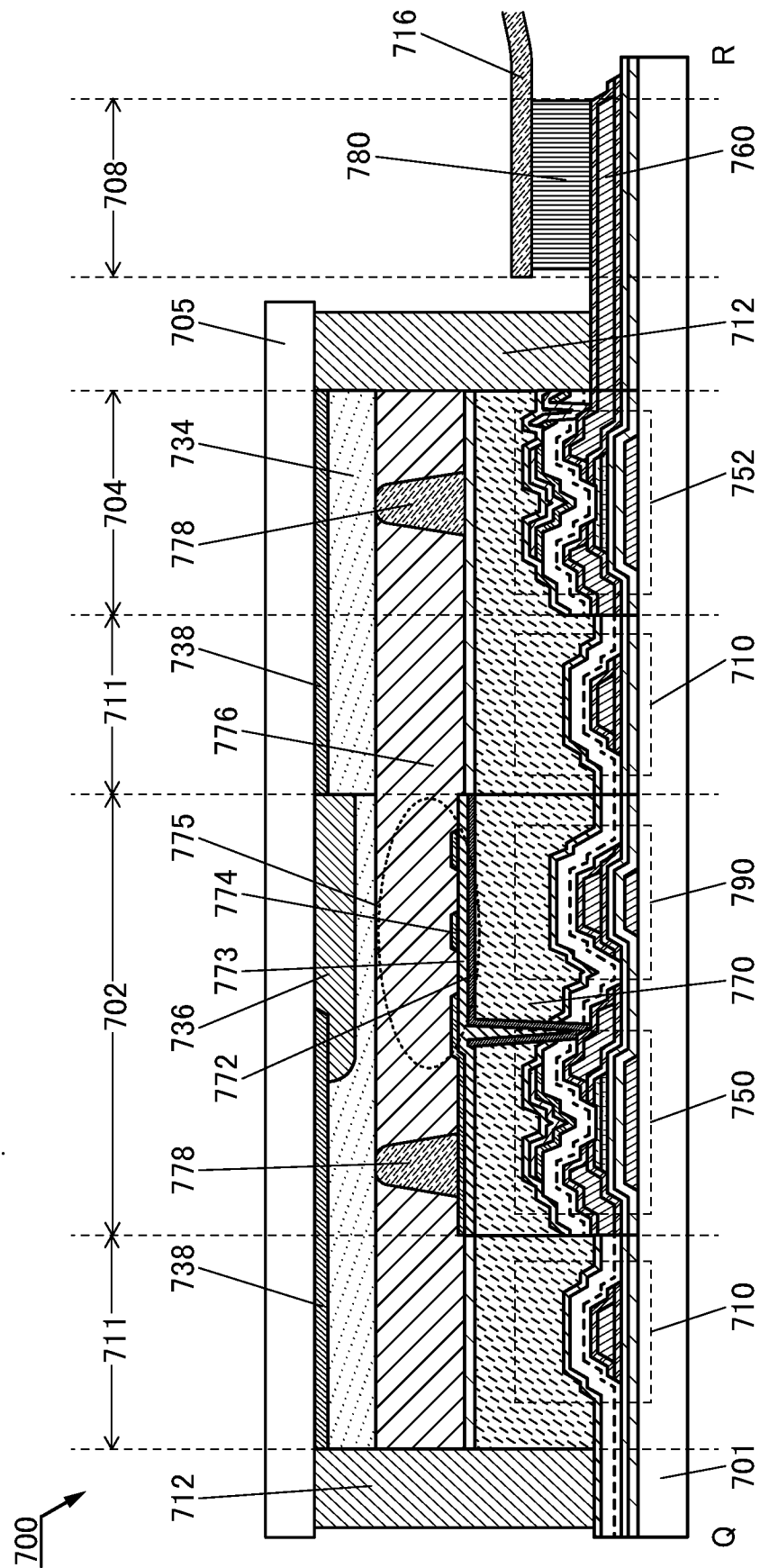


[圖23]

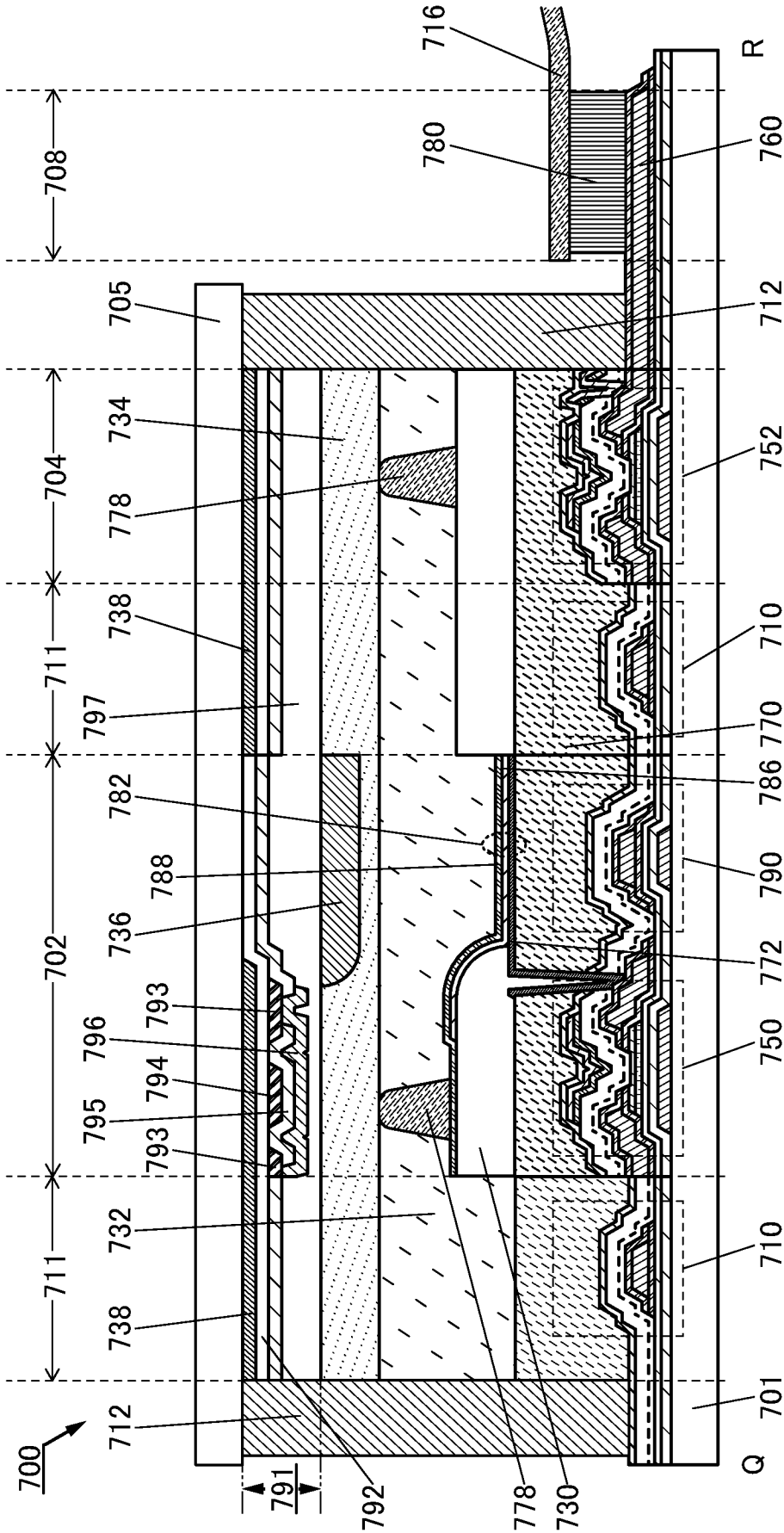


[图24]

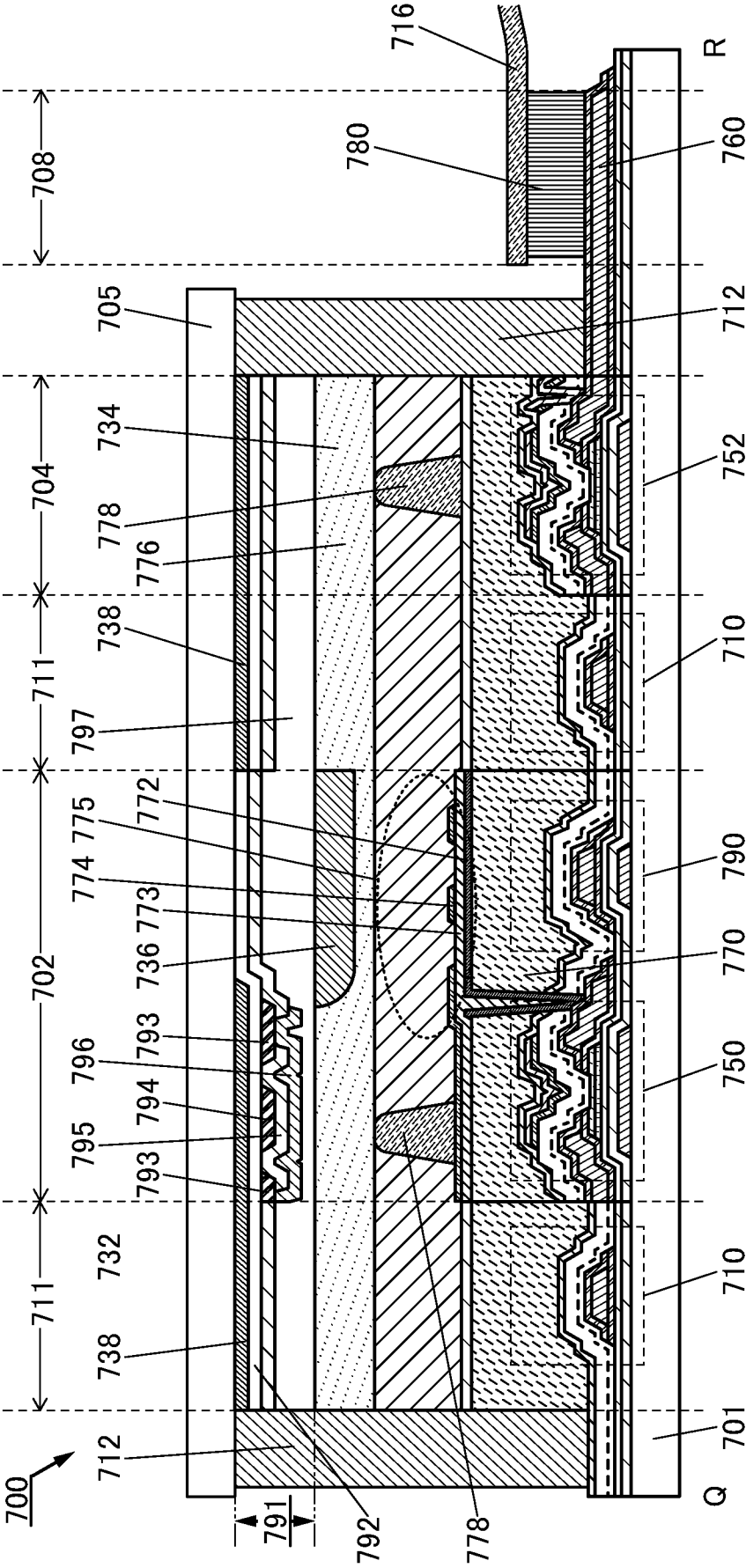




[图26]



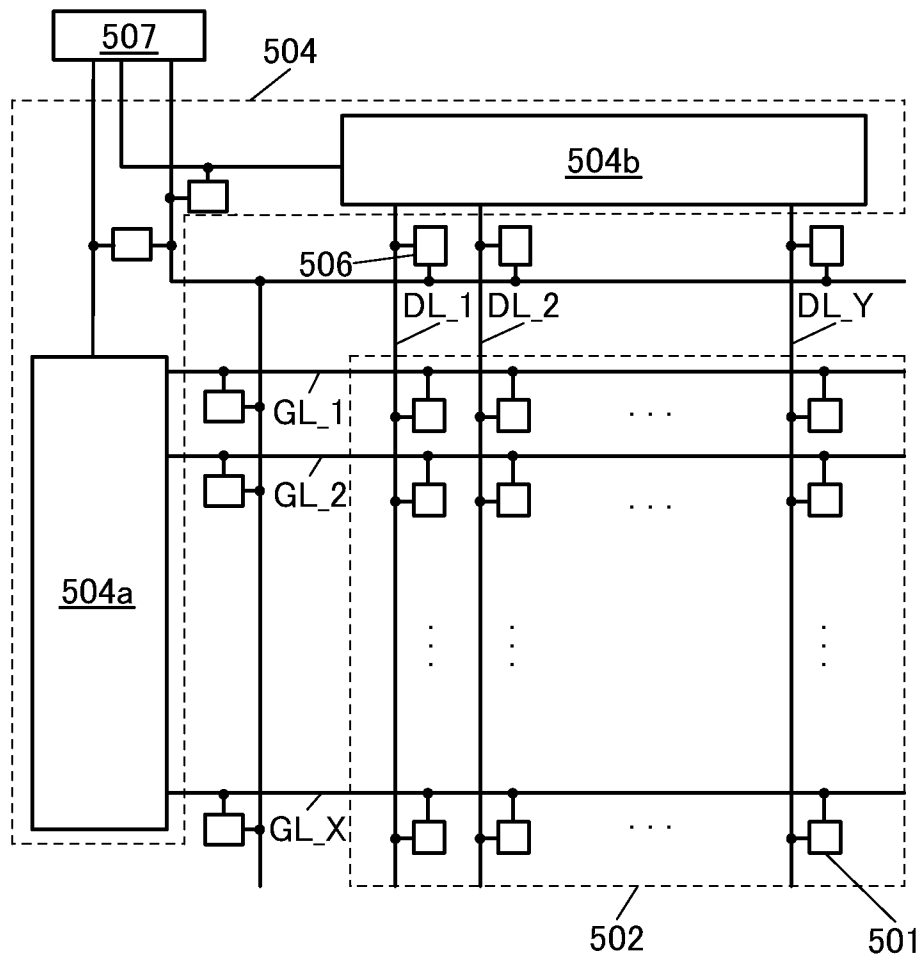
[圖 27]



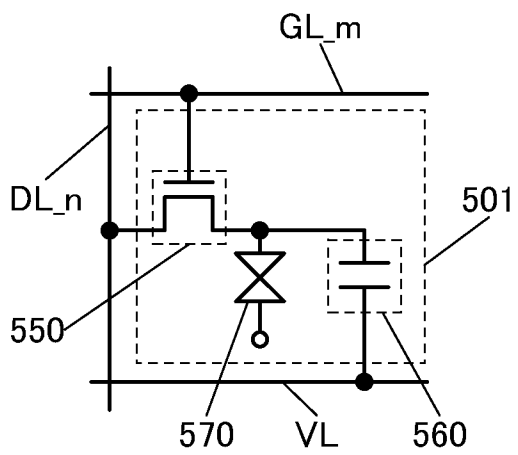
[図28]

28/40

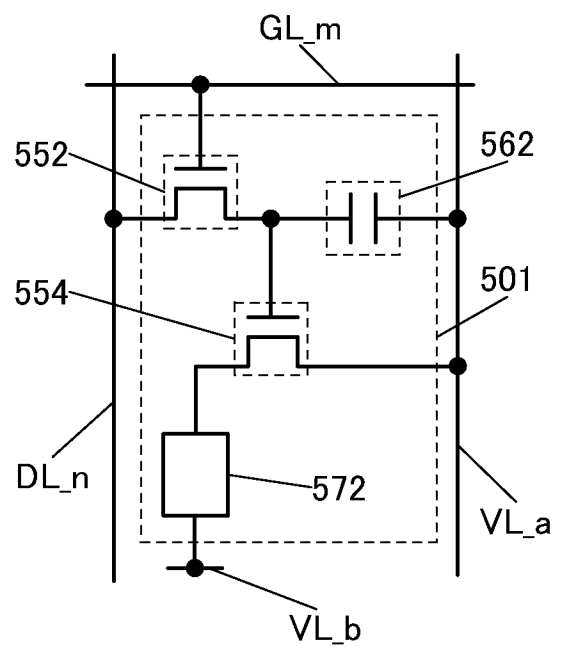
(A)



(B)



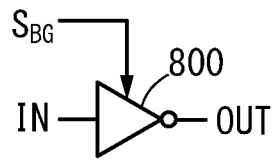
(C)



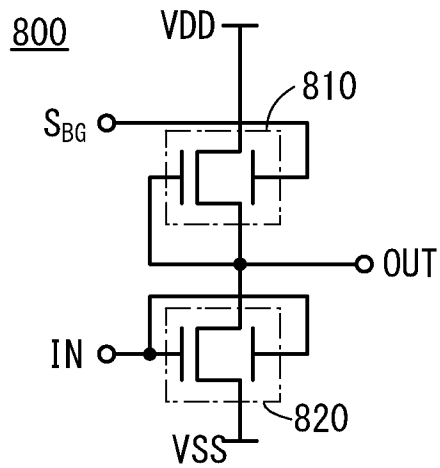
[図 29]

29/40

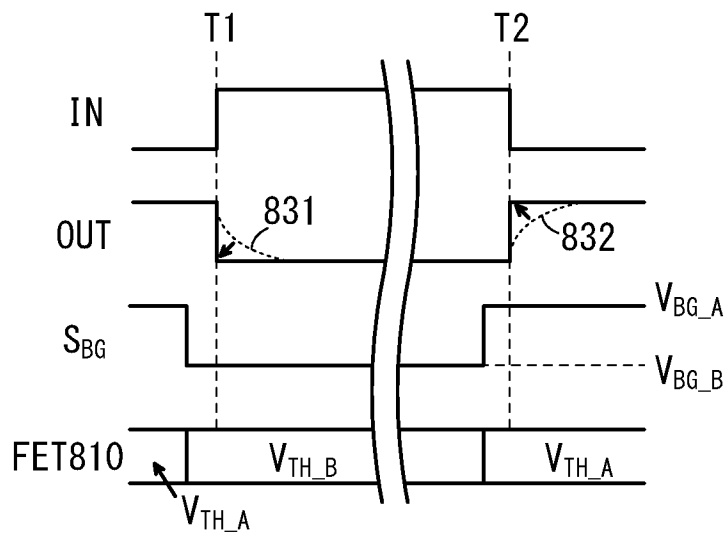
(A)



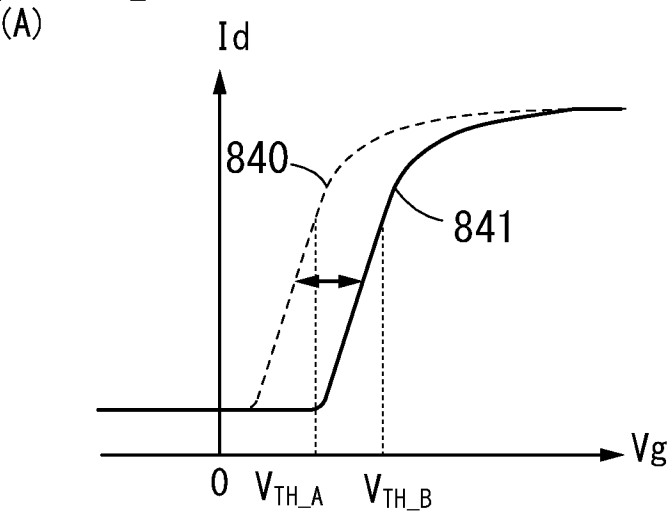
(B)



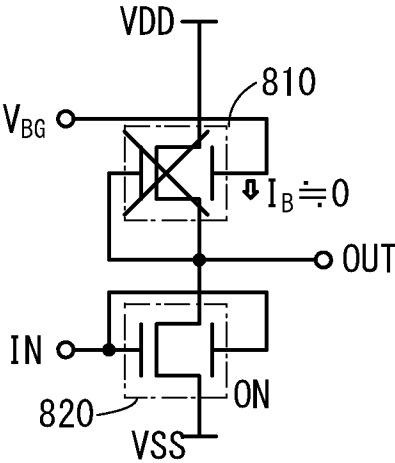
(C)



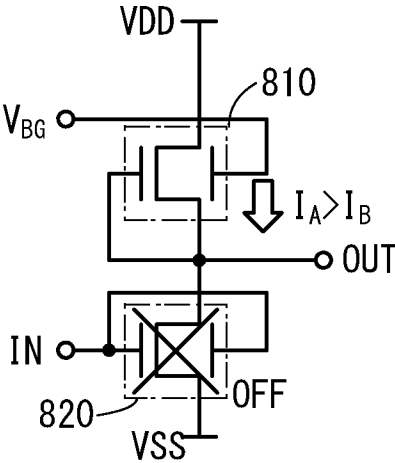
[図30]



(B) V_{BG_B}



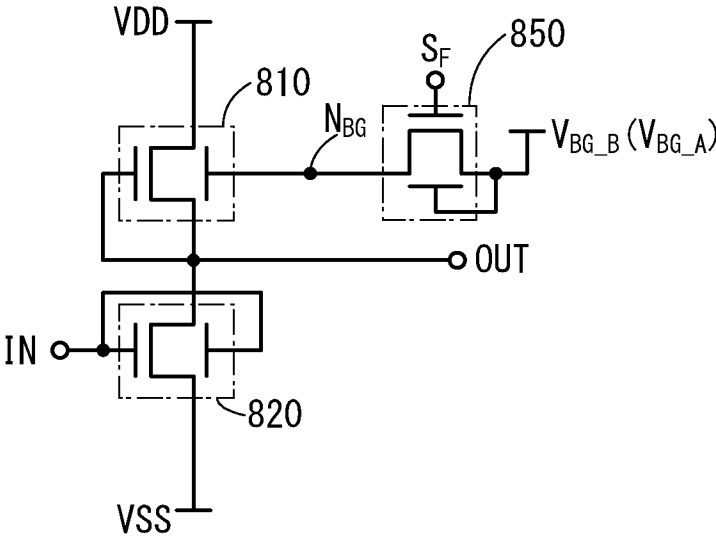
(C) V_{BG_A}



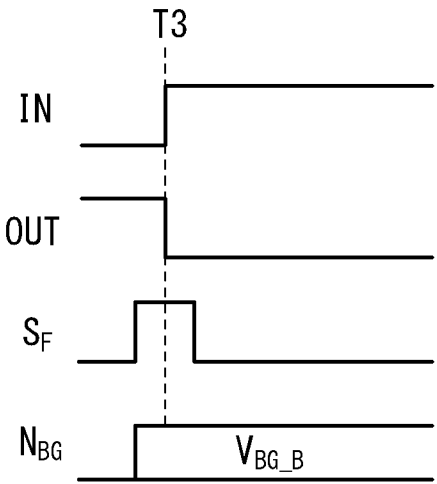
[図31]

31/40

(A)

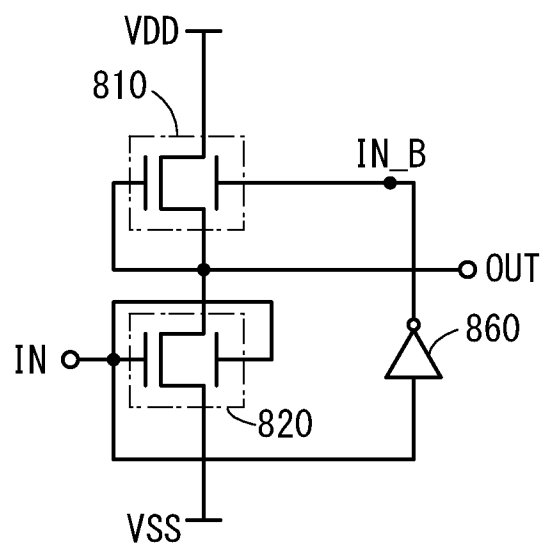


(B)

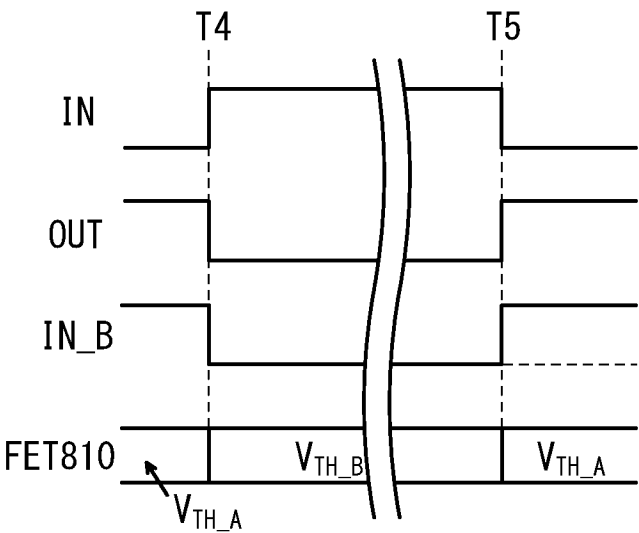


[図32]
(A)

32/40



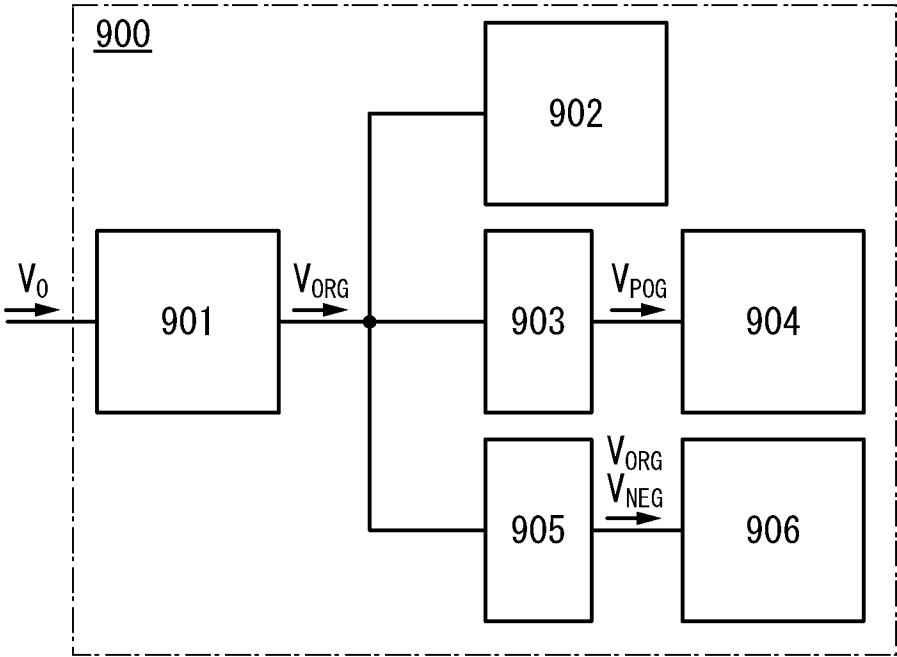
(B)



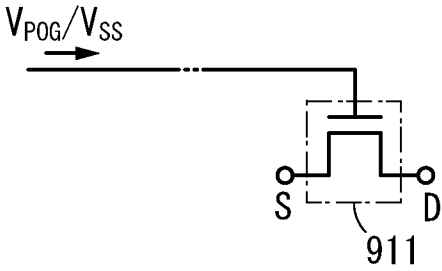
[図33]

33/40

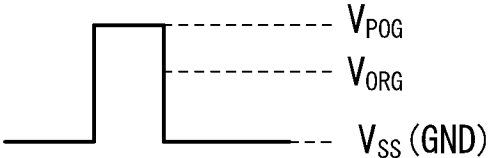
(A)



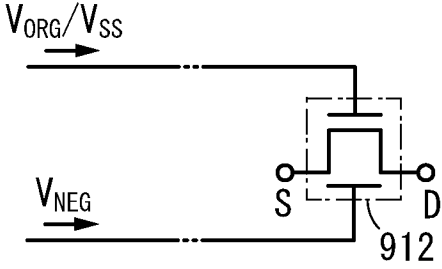
(B)



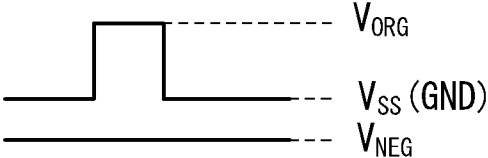
(C)



(D)



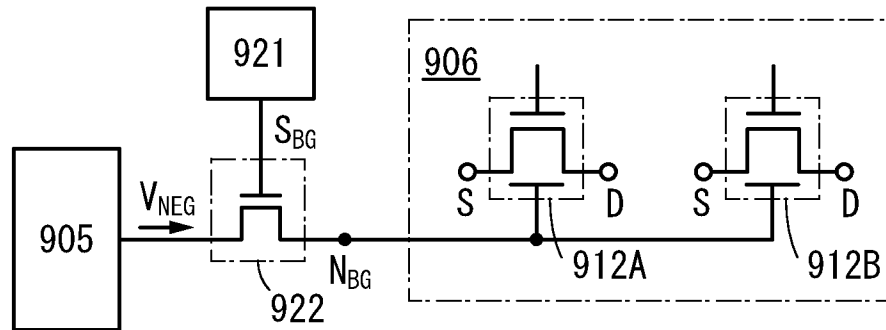
(E)



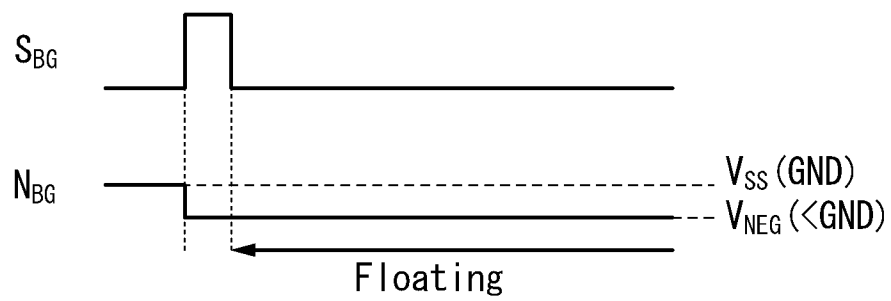
[図34]

34/40

(A)



(B)

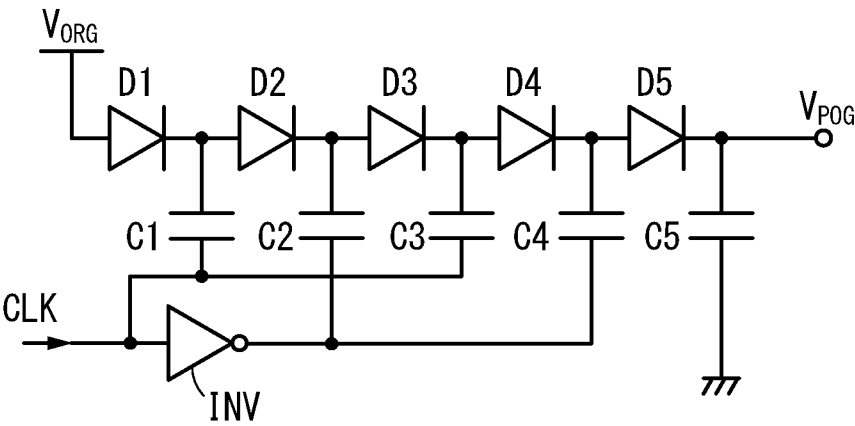


[図35]

35/40

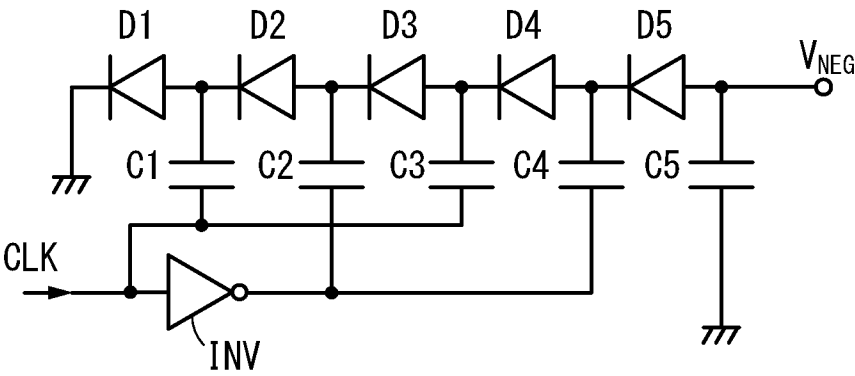
(A)

903



(B)

905

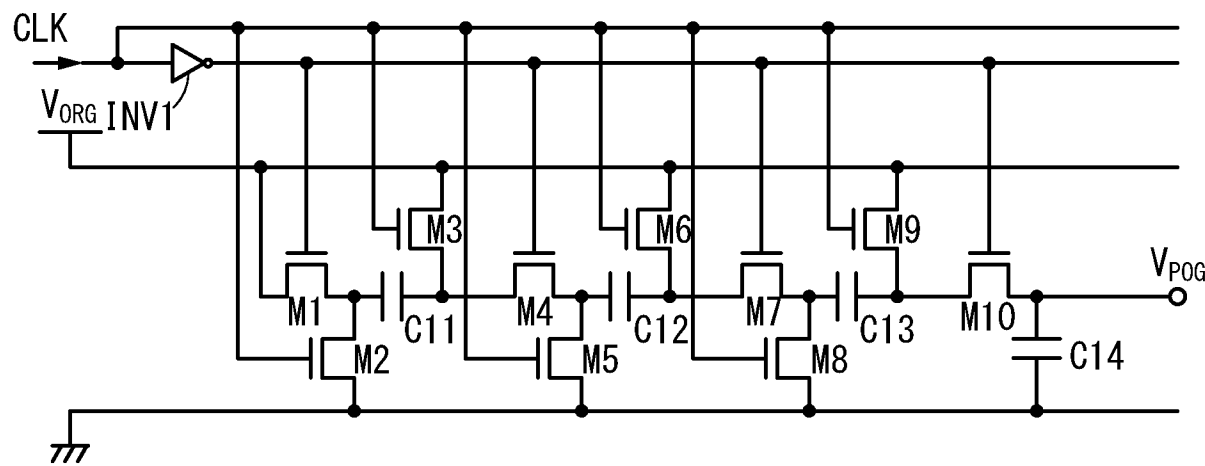


[36]

36/40

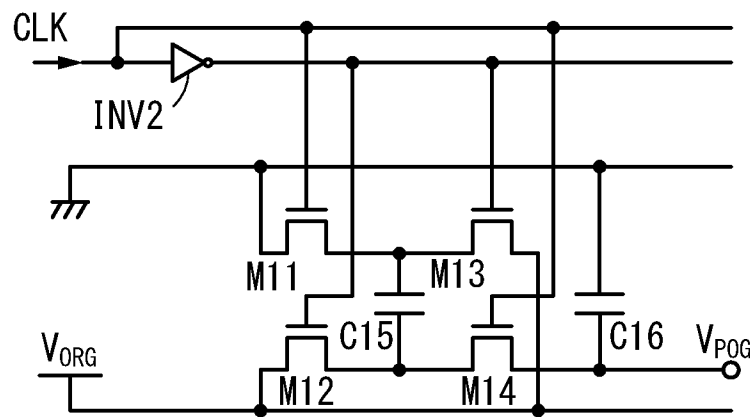
(A)

903A



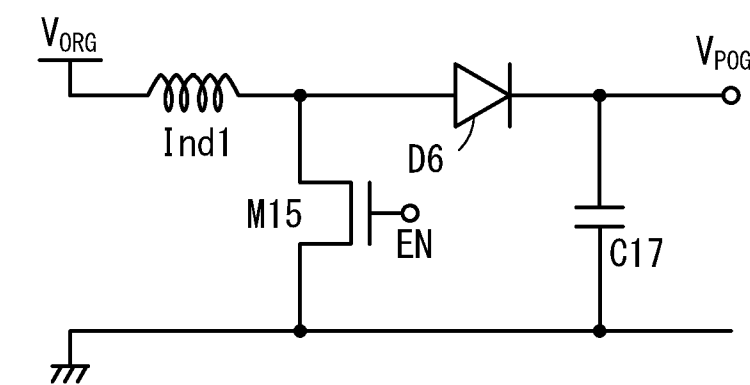
(B)

903B



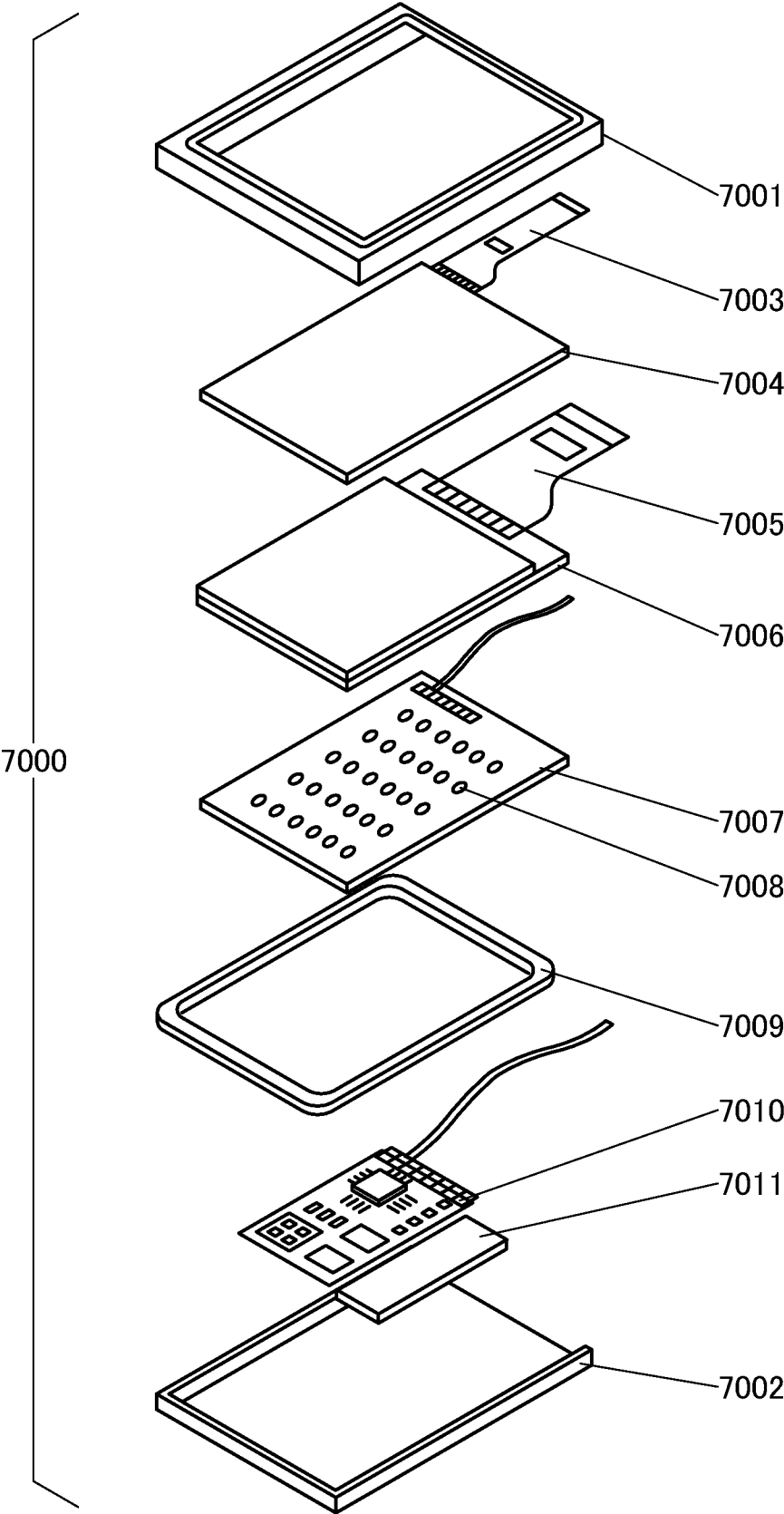
(C)

903C



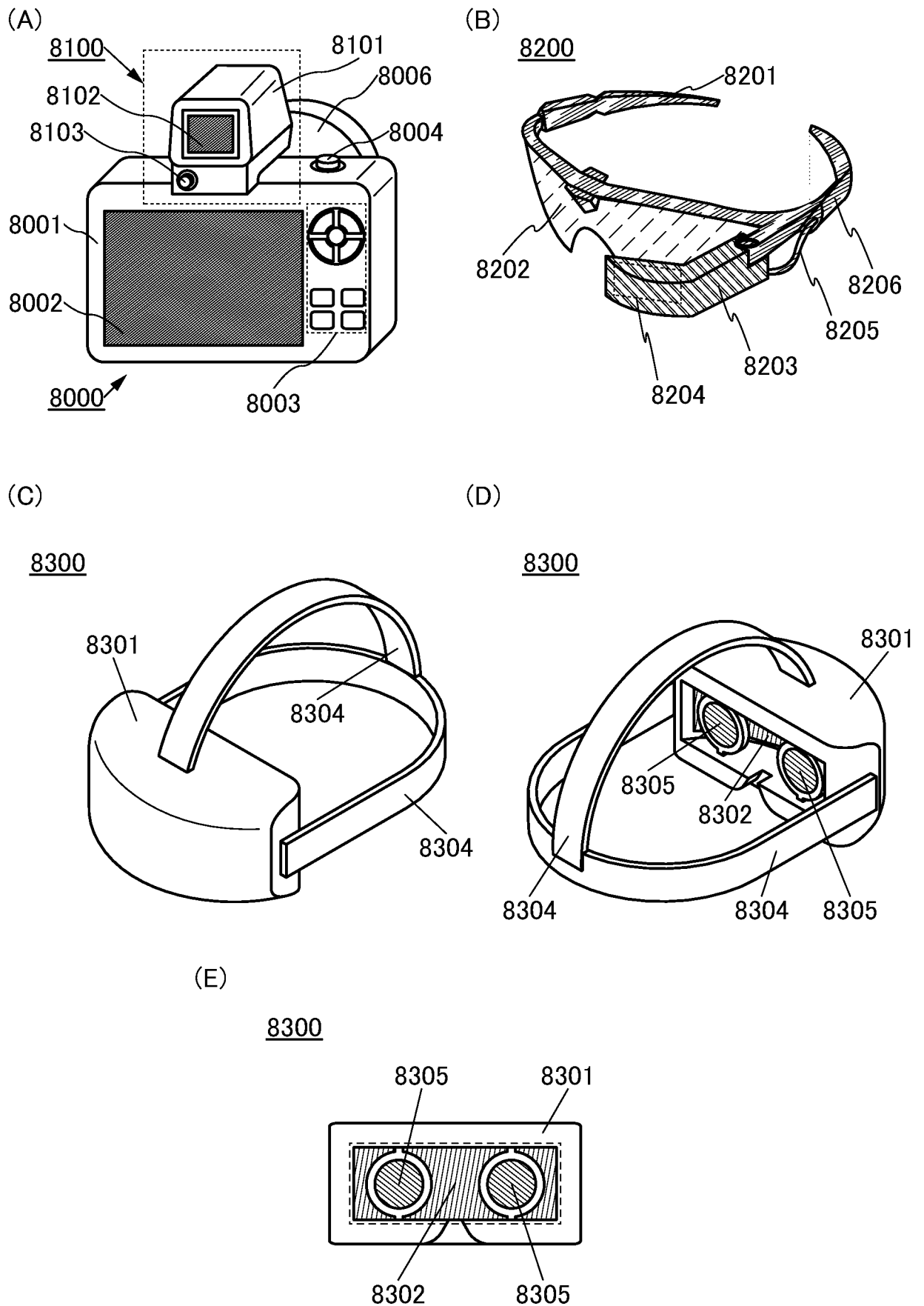
[図37]

37/40



38/40

[図38]

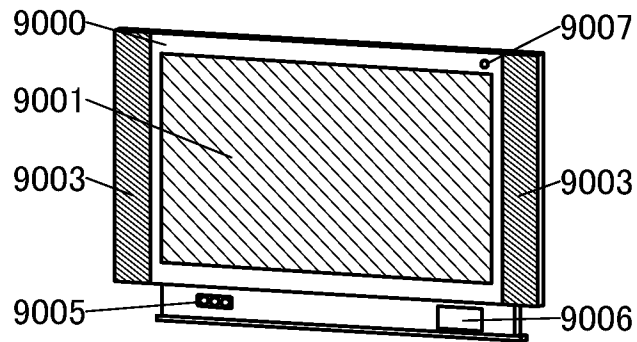


[図39]

39/40

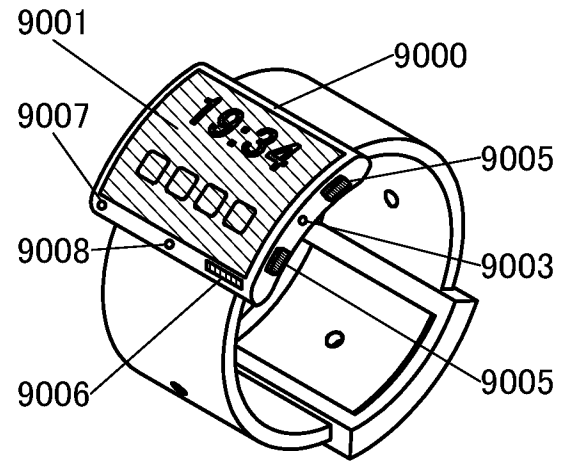
(A)

9100



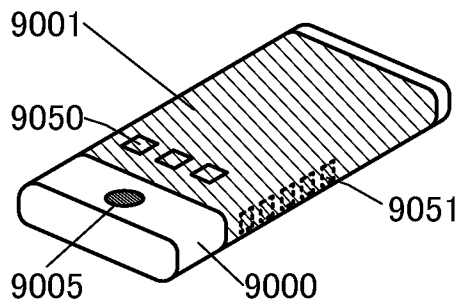
(D)

9200



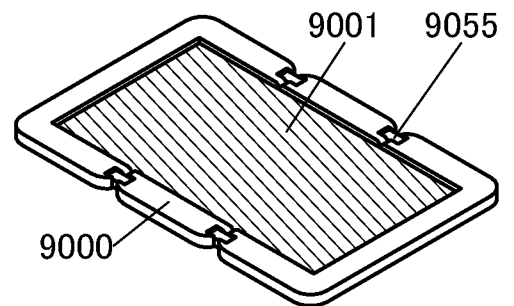
(B)

9101



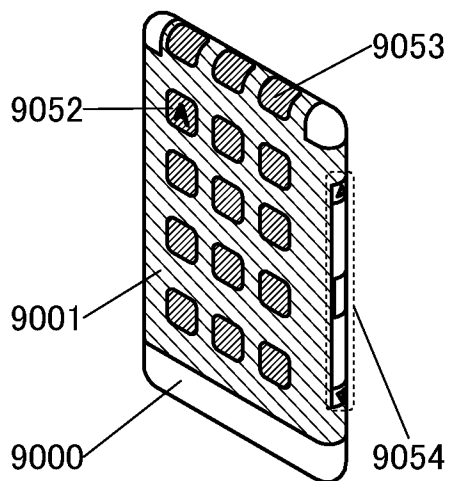
(E)

9201



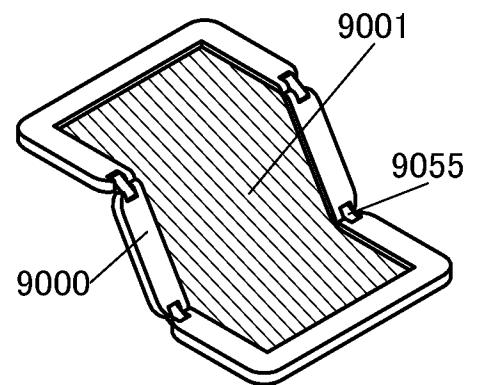
(C)

9102



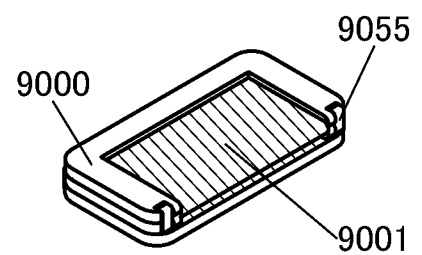
(F)

9201



(G)

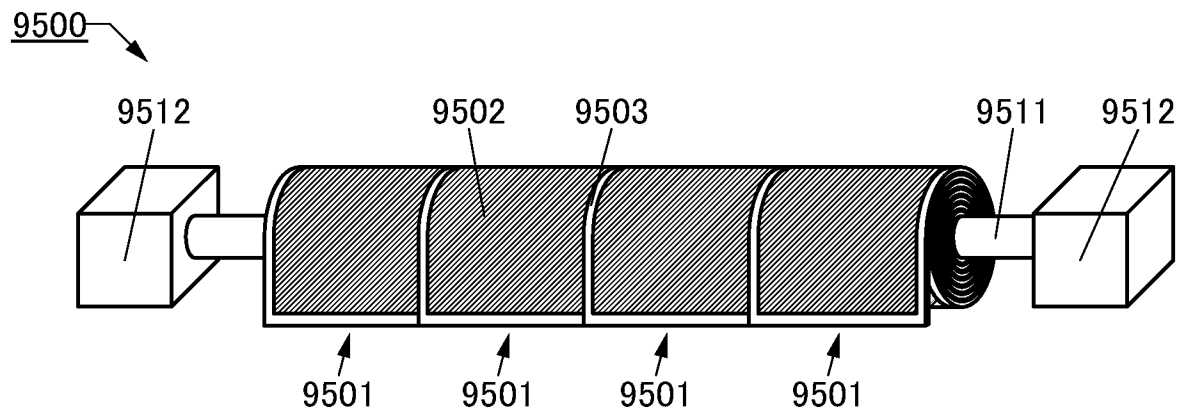
9201



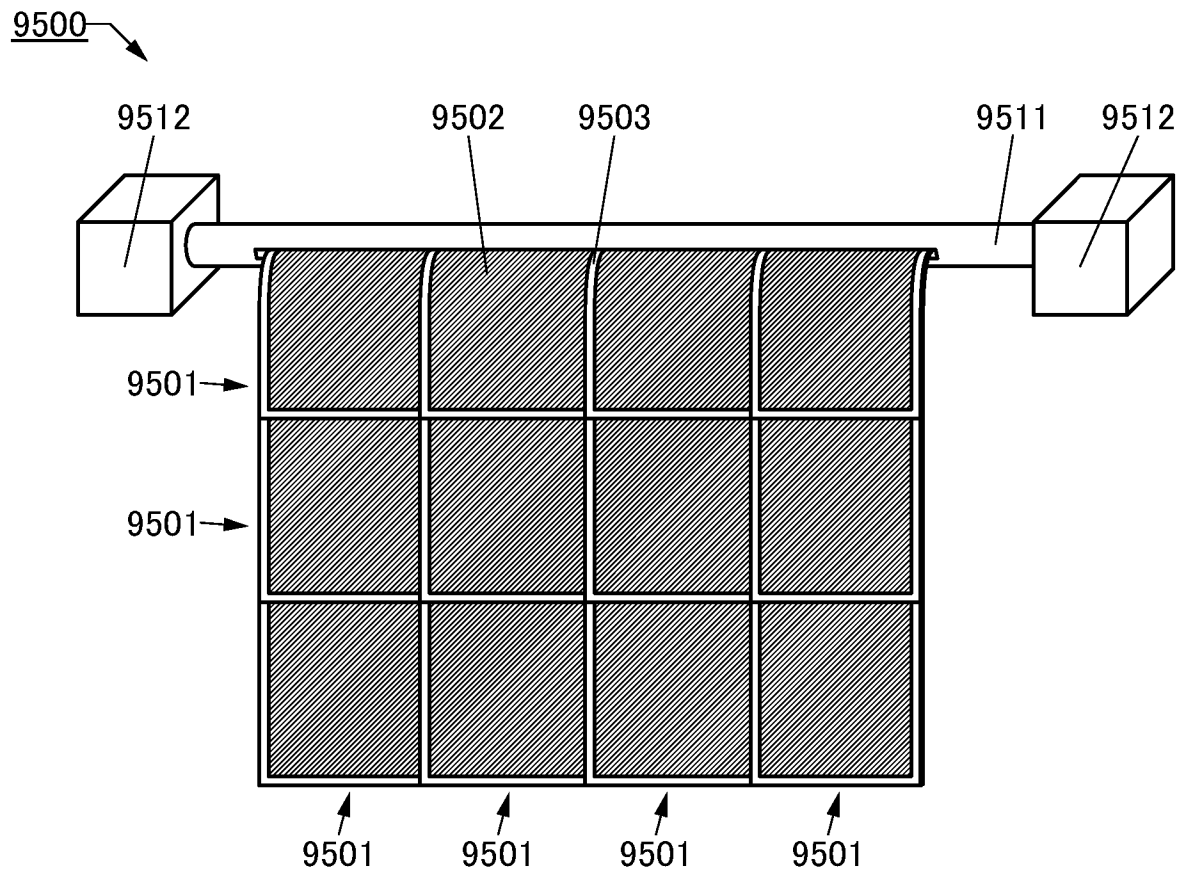
[図40]

40/40

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/056761

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i,
H01L51/50(2006.01)i, H05B33/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G09F9/30, H01L21/28, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-103458 A (Semiconductor Energy Laboratory Co., Ltd.), 26 May 2011 (26.05.2011), paragraphs [0031] to [0111]; fig. 1 to 4 & US 2011/0089414 A1 paragraphs [0050] to [0130]; fig. 1 to 4 & WO 2011/046048 A1 & TW 201123452 A1 & KR 10-2012-0099432 A	1-18
A	JP 2015-195372 A (Semiconductor Energy Laboratory Co., Ltd.), 05 November 2015 (05.11.2015), paragraphs [0031] to [0242]; fig. 1 to 17 & US 2015/0270403 A1 paragraphs [0066] to [0278]; fig. 1 to 17 & KR 10-2015-0110340 A & TW 201539559 A	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 January 2017 (19.01.17)

Date of mailing of the international search report
31 January 2017 (31.01.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/056761

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-195327 A (Semiconductor Energy Laboratory Co., Ltd.), 05 November 2015 (05.11.2015), paragraphs [0021] to [0254]; fig. 1 to 15 & US 2014/0361292 A1 paragraphs [0066] to [0289]; fig. 1 to 15	1-18
A	JP 2015-133482 A (Semiconductor Energy Laboratory Co., Ltd.), 23 July 2015 (23.07.2015), paragraphs [0034] to [0152]; fig. 1 to 15 & US 2015/0171115 A1 paragraphs [0071] to [0189]; fig. 1 to 15	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/786, G09F9/30, H01L21/28, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-103458 A (株式会社半導体エネルギー研究所) 2011.05.26, 段落[0031]-[0111], 図 1-4 & US 2011/0089414 A1, 段落[0050]-[0130], 図 1-4 & WO 2011/046048 A1 & TW 201123452 A1 & KR 10-2012-0099432 A	1-18
A	JP 2015-195372 A (株式会社半導体エネルギー研究所) 2015.11.05, 段落[0031]-[0242], 図 1-17 & US 2015/0270403 A1, 段落[0066]-[0278], 図 1-17 & KR 10-2015-0110340 A & TW 201539559 A	1-18

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19.01.2017

国際調査報告の発送日

31.01.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

竹口 泰裕

5 F

4054

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-195327 A (株式会社半導体エネルギー研究所) 2015.11.05, 段落[0021]-[0254], 図 1-15 & US 2014/0361292 A1, 段落[0066]-[0289], 図 1-15	1-18
A	JP 2015-133482 A (株式会社半導体エネルギー研究所) 2015.07.23, 段落[0034]-[0152], 図 1-15 & US 2015/0171115 A1, 段落[0071]-[0189], 図 1-15	1-18