



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

220232

(11)

(B1)

(51) Int. Cl.³
G 06 F 9/06

[22] Přihlášeno 07 01 82
[21] {PV 136-82}

[40] Zveřejněno 27 08 82

[45] Vydáno 15 11 85

(75)
Autor vynálezu

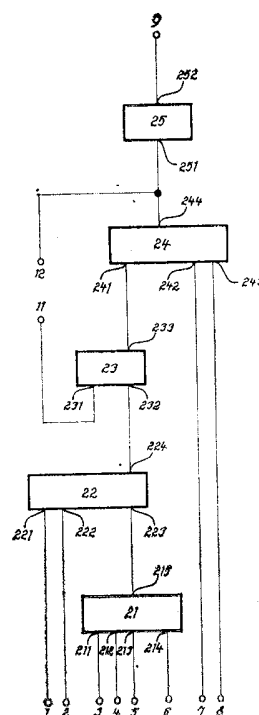
HUDEČ FRANTIŠEK ing., FOLDYNA ANTONÍN ing., PŘÍBRAM,
SCHLEMMER ARNOŠT, PRAHA, CHVÁTAL JOSEF,
NÁPRSTEK VLADIMÍR, PŘÍBRAM

(54) Zapojení logického součinnového obvodu s programovatelnou pamětí, zejména pro řídicí a zabezpečovací systémy technologických zařízení

1

Vynález řeší zapojení logického součinnového obvodu s programovatelnou pamětí, zejména pro zabezpečovací systémy technologických zařízení. Zapojení podle vynálezu zahrnuje dva součinnové členy, dva součtové členy a výstupní reléový člen. Může být doplněno o diodoodporovou síť, čímž se dosahuje rozšíření vstupních podmínek. Zapojení podle vynálezu umožňuje v jediném obvodu realizaci logického součinu až jednoho sta vstupních informací s možností paměťování tohoto součinu ve stejném obvodu. Zapojení má podstatně nižší spotřebu na vstupech než dosud známá zapojení. Umožňuje jednoduché projektování a realizaci libovolných sekvenčních řídicích a zabezpečovacích systémů při jejich vyšší spolehlivosti.

2



Obr. 1

Vynález řeší zapojení logického součinového obvodu s programovatelnou pamětí, zejména pro řídicí a zabezpečovací systémy technologických zařízení.

Dosud známá zapojení sestavená z klasických nebo jazyčkových relé se vyznačují vyšší spotřebou vstupů a omezeným počtem vstupů těchto zapojení. To vede k větší pracnosti při projektování i realizaci a současně k nižší spolehlivosti těchto zapojení.

Uvedené nedostatky do značné míry odstraňuje zapojení logického součinového obvodu s programovatelnou pamětí, zejména pro řídicí a zabezpečovací systémy technologických zařízení podle vynálezu, jehož podstata spočívá v tom, že jeho součtový vstup je spojen s prvním vstupem prvního součtového členu, jehož druhý vstup je spojen s dynamickým součtovým vstupem zapojení. První vstup prvního součinového členu je spojen s prvním součinovým vstupem zapojení. Druhý součinový vstup zapojení je spojen s druhým vstupem prvního součtového členu. Třetí vstup prvního součtového členu je spojen s třetím součinovým vstupem zapojení. Programovací součinový vstup zapojení je připojen ke čtvrtému vstupu prvního součinového členu, jehož výstup je spojen s třetím vstupem prvního součtového členu. Výstup prvního součtového členu je spojen s druhým vstupem druhého součtového členu. První vstup druhého součtového členu je spojen se zpětnovazebním vstupem zapojení. Výstup druhého součtového členu je spojen s prvním vstupem druhého součinového členu. Druhý vstup druhého součinového členu je spojen s napájecím vstupem zapojení. Výstup druhého součinového členu je spojen jednak se zpětnovazebním výstupem zapojení, jednak se vstupem výstupního reléového členu. Výstup výstupního reléového členu je spojen s výstupem zapojení. Blokovací vstup zapojení je spojen s inhibičním vstupem druhého součinového členu. Uvedené zapojení může být dále doplněno tak, že k programovacímu součinovému vstupu zapojení je připojen výstup diodoodporové sítě zapojení. Výstup diodoodporové sítě je spojen s anodou první výstupní diody, s anodou druhé výstupní diody až s anodou n-té výstupní diody. Katoda první výstupní diody je spojena s katodou první vstupní diody a s prvním odporem. Stejně tak katoda druhé výstupní diody je spojena s katodou druhé vstupní diody a s druhým odporem. Rovněž tak katoda n-té výstupní diody je spojena s katodou n-té vstupní diody a s n-tým odporem. První vstup diodoodporové sítě zapojení je spojen s anodou první vstupní diody. Stejně tak druhý vstup diodoodporové sítě zapojení je spojen s anodou druhé vstupní diody. Také n-tý vstup diodoodporové sítě zapojení je spojen s anodou n-té vstupní diody. První odpor, jakož i druhý odpor a stejně tak n-tý odpor jsou připojeny ke zdroji nulového logického signálu zapojení.

Zapojení podle vynálezu umožňuje v jedi-

ném obvodu realizaci logického součinu až jednoho sta vstupních informací s možností pamětování tohoto součinu ve stejném obvodu. Odpadá nutnost řazení několika součinových obvodů pro vytváření rozsáhlejších logických součinů, přičemž pro pamětování těchto součinů není zapotřebí další logický obvod. Zapojení má zároveň podstatně nižší spotřebu na vstupech než dosud známá zapojení. Zapojení umožňuje jednoduché projektování a realizaci libovolných sekvenčních řídicích i zabezpečovacích systémů při jejich vyšší spolehlivosti.

Na výkresech je znázorněno příkladné schéma zapojení. Na obr. 1 je nakresleno schéma zapojení logického součinového obvodu s programovatelnou pamětí. Na obr. 2 je znázorněno schéma diodoodporové sítě zapojení.

Součtový vstup 1 zapojení je připojen k prvnímu vstupu 221 prvního součtového členu 22, k jehož druhému vstupu 222 je připojen dynamický součtový vstup 2 zapojení. První součinový vstup 3 zapojení je připojen k prvnímu vstupu 211 prvního součinového členu 21, k jehož druhému vstupu 212 je připojen druhý součinový vstup 4 zapojení a k jeho třetímu vstupu 213 třetí součinový vstup 5 zapojení. Programovací součinový vstup 6 zapojení je spojen se čtvrtým vstupem 214 prvního součinového členu 21, jehož výstup 215 je spojen se třetím vstupem 223 prvního součtového členu 22, jehož výstup 224 je spojen s druhým vstupem 232 druhého součtového členu 23, k jehož prvnímu vstupu 231 je připojen zpětnovazební vstup 11 zapojení a jehož výstup 233 je spojen s prvním vstupem 241 druhého součinového členu 24. Napájecí vstup 7 zapojení je spojen s druhým vstupem 242 druhého součinového členu 24, k jehož třetímu vstupu 243 je připojen blokovací vstup 8 zapojení. Výstup 244 druhého součinového členu 24 je spojen se zpětnovazebním výstupem 12 zapojení a se vstupem 251 výstupního reléového členu 25, jehož výstup 252 je spojen s výstupem 9 zapojení.

Uvedené zapojení může být dále doplněno tak, že programovací vstup 6 zapojení může být spojen s výstupem 30 diodoodporové sítě zapojení, která může být dále zapojena tak, že k výstupu 30 diodoodporové sítě jsou připojeny anody první výstupní diody 32.1, druhé výstupní diody 32.2 až n-té výstupní diody 32.n. Katoda první výstupní diody 32.1 je spojena s katodou první vstupní diody 31.1 a s prvním odporem 33.1. Katoda druhé výstupní diody 32.2 je spojena s katodou druhé vstupní diody 31.2 a s druhým odporem 33.2. Katoda n-té výstupní diody 32.n je spojena s katodou n-té vstupní diody 31.n a s n-tým odporem 33.n. Druhé vývody prvního odporu 33.1, druhého odporu 33.2 až n-tého odporu 33.n jsou připojeny ke zdroji nulového logického signálu 40 zapojení.

První vstupní součinový člen 21 společně s druhým součinovým členem 24 jsou tvoře-

ny například tranzistorovým zapojením. První součtový člen 22 a druhý součtový člen 23 jsou běžné diodové součty, přičemž druhý vstup 222 prvního součtového členu 22 je tvořen běžným derivačním RC členem. Výstupní reléový člen 25 je například jazýčkové relé.

Při praktickém použití zapojení podle vynálezu se k prvnímu součtinovému vstupu 3 zapojení, k druhému součtinovému vstupu 4 zapojení a k třetímu součtinovému vstupu 5 zapojení připojují vstupní podmínky obvodu. Počet vstupních podmínek může být rozšířen připojením diodoodporové sítě, jejíž výstup 30 se připojí k programovacímu součtinovému vstupu 6 zapojení a ke vstupům 30.1 až 30.n se připojují další vstupní podmínky obvodu až například na celkový počet sto vstupních podmínek. Jsou-li splněny podmínky na všech součtinových vstupech 3, 4, 5 zapojení i na všech připojených vstupech 30.1 až 30.n diodoodporové sítě, je signál na výstupu prvního součtinového členu 21, jenž je přes první součtový člen 22 a druhý součtový člen 23 zaveden na první vstup 241 druhého součtinového členu 24. Na výstupu 244 druhého součtinového členu 24 a přes výstupní reléový člen 25 je na výstu-

pu 9 zapojení signál jen tehdy, je-li současně signál i na napájecím vstupu 7 zapojení a není-li současně signál na blokovacím vstupu 8 zapojení. Přivedením signálu na součtový vstup 1 zapojení, je signál na výstupu 9 zapojení bez ohledu na stav signálů na vstupech 3, 4, 5 a na připojených vstupech 30.1 až 30.n, ale musí být současně signál na vstupu 7 a nesmí být signál na vstupu 8 zapojení. Propojením zpětnovazebního vstupu 11 zapojení se zpětnovazebním výstupem 12 zapojení je výstup obvodu paměťován, to znamená, že signál na výstupu 9 zapojení trvá i po ztrátě signálů na vstupech 3, 4, 5 na připojených vstupech 30.1 až 30.n, eventuálně po ztrátě signálu na vstupu 1. Podmínkou trvání paměťového stavu je přítomnost signálu na vstupu 7 a nepřítomnost signálu na vstupu 8. Paměť výstupu 9 se maže přivedením signálu na vstup 8 nebo ztrátou signálu na vstupu 7. Paměť obvodu, je-li zapojena, je možno aktivovat i přivedením signálu na dynamický součtový vstup 2 zapojení za stejných podmínek jako v předějším případě.

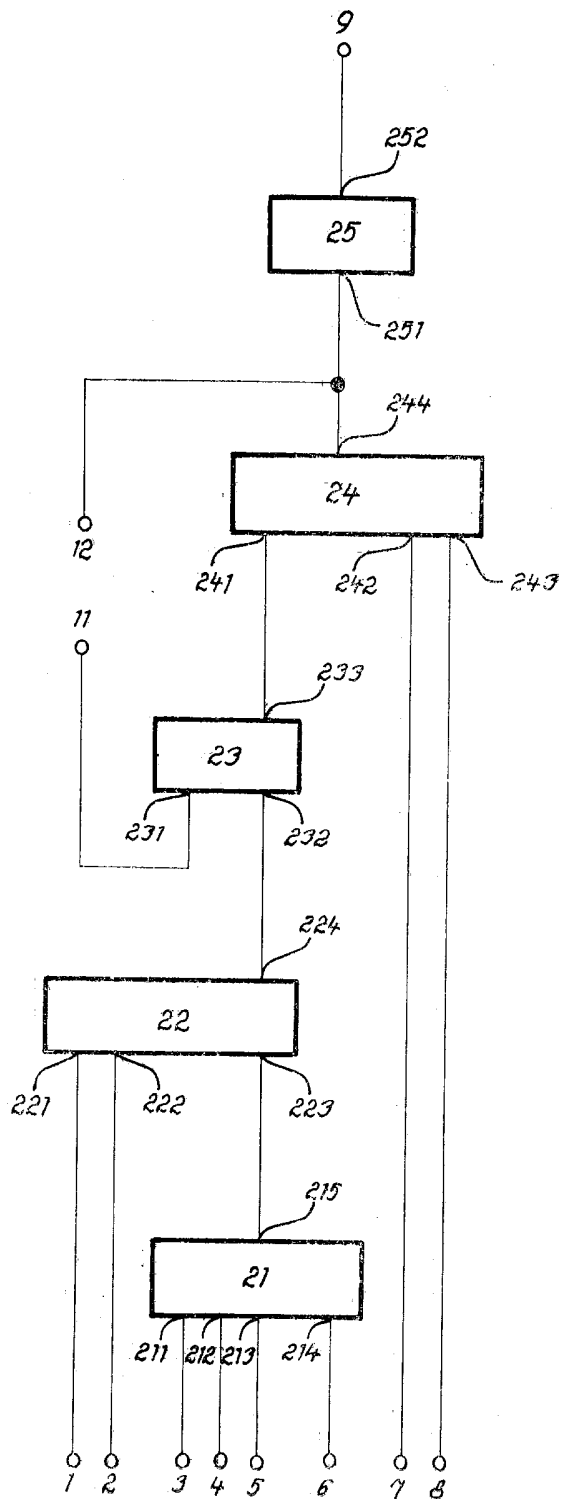
Zapojení podle vynálezu najde uplatnění při realizaci řídicích a zabezpečovacích zařízení technologických celků.

PŘEDMĚT VYNÁLEZU

1. Zapojení logického součtinového obvodu s programovatelnou pamětí, zejména pro řídicí a zabezpečovací systémy technologických zařízení, vyznačené tím, že jeho součtový vstup (1) je spojen s prvním vstupem (221) prvního součtového členu (22), jehož druhý vstup (222) je spojen s dynamickým součtovým vstupem (2) zapojení, přičemž první vstup (211) prvního součtinového členu (21) je spojen s prvním součtinovým vstupem (3) zapojení, přičemž druhý součtinový vstup (4) zapojení je spojen s druhým vstupem (212) prvního součtového členu (21), jehož třetí vstup (213) je spojen s třetím součtinovým vstupem (5), zapojení, přičemž programovací součtinový vstup (6) zapojení je připojen ke čtvrtému vstupu (214) prvního součtinového členu (21), jehož výstup (215) je spojen s třetím vstupem (223) prvního součtového členu (22), jehož výstup (224) je spojen s druhým vstupem (232) druhého součtového členu (23), jehož první vstup (231) je spojen se zpětnovazebním vstupem (11) zapojení a jehož výstup (233) je spojen s prvním vstupem (241) druhého součtinového členu (24), jehož druhý vstup (242) je spojen s napájecím vstupem (7) zapojení a jehož výstup (244) je spojen se zpětnovazebním výstupem (12) zapojení a se vstupem (251) výstupního reléového členu (25), jehož výstup (252) je spojen s vý-

stupem (9) zapojení, přičemž blokovací vstup (8) zapojení je spojen s inhibičním vstupem (243) druhého součtinového členu (24).

2. Zapojení logického součtinového obvodu s programovatelnou pamětí podle bodu 1, vyznačený tím, že k programovacímu součtinovému vstupu (6) zapojení je připojen výstup (30) diodoodporové sítě zapojení, který je spojen s anodou první výstupní diody (32.1), s anodou druhé výstupní diody (32.2) až s anodou n-té výstupní diody (32.n), přičemž katoda první výstupní diody (32.1) je spojena s katodou první vstupní diody (31.1) a s prvním odporem (33.1), katoda druhé výstupní diody (32.2) je spojena s katodou druhé vstupní diody (31.2) a s druhým odporem (33.2), až katoda n-té výstupní diody (32.n) je spojena s katodou n-té vstupní diody (31.n) a s n-tým odporem (33.n), přičemž první vstup (30.1) diodoodporové sítě zapojení je spojen s anodou první vstupní diody (31.1), stejně tak druhý vstup (30.2) diodoodporové sítě zapojení je spojen s anodou druhé vstupní diody (31.2) až n-tý vstup (30.n) diodoodporové sítě zapojení je spojen s anodou n-té vstupní diody (31.n), přičemž první odpor (33.1), druhý odpor (33.2) až n-tý odpor (33.n) jsou připojeny ke zdroji (40) nulového logického signálu zapojení.



Obr. 1

