



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I467703 B

(45)公告日：中華民國 104 (2015) 年 01 月 01 日

(21)申請案號：101111175

(22)申請日：中華民國 101 (2012) 年 03 月 29 日

(51)Int. Cl. : H01L21/8246(2006.01)

H01L27/105 (2006.01)

G11C11/14 (2006.01)

(30)優先權：2011/05/19 日本

2011-112219

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：大森廣之 OHMORI, HIROYUKI (JP)；細見政功 HOSOMI, MASANORI (JP)；別所和宏 BESSHO, KAZUHIRO (JP)；肥後豐 HIGO, YUTAKA (JP)；山根一陽 YAMANE, KAZUTAKA (JP)；內田裕行 UCHIDA, HIROYUKI (JP)；淺山徹哉 ASAYAMA, TETSUYA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200304700A

TW 200828304A

CN 100354973C

US 2009/0180308A1

審查人員：徐雨弘

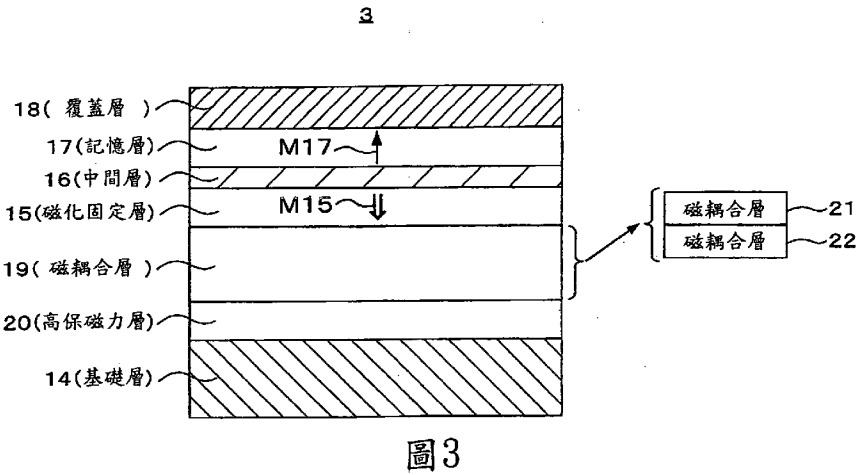
申請專利範圍項數：7 項 圖式數：11 共 44 頁

(54)名稱

記憶元件及記憶裝置

(57)摘要

本發明提供一種不增大寫入電流便具有高保磁力且可改善熱穩定性之記憶元件。該記憶元件包含：記憶層，其藉由磁性體之磁化狀態而保持資訊；磁化固定層，其具有成為記憶層所記憶之資訊之基準之磁化；中間層，其設置於記憶層與磁化固定層之間且由非磁性體所形成；磁耦合層，其鄰接於磁化固定層且設置於中間層之相反側；及高保磁力層，其鄰接於磁耦合層而設置。而且，利用伴隨在包含記憶層、中間層、磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶，並且磁耦合層為 2 層之層疊構造。



- 14 . . . 基礎層
- 15 . . . 磁化固定層
- 16 . . . 中間層
- 17 . . . 記憶層
- 18 . . . 覆蓋層
- 19 . . . 磁耦合層
- 20 . . . 高保磁力層
- 21 . . . 磁耦合層
- 22 . . . 磁耦合層
- M15 . . . 磁化
- M17 . . . 磁化

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：19111175

※申請日：191.3.29

※IPC 分類：H01L 21/8246 (2006.01)

H01L 27/105 (2006.01)

G11C 11/14 (2006.01)

一、發明名稱：(中文/英文)

記憶元件及記憶裝置

二、中文發明摘要：

本發明提供一種不增大寫入電流便具有高保磁力且可改善熱穩定性之記憶元件。該記憶元件包含：記憶層，其藉由磁性體之磁化狀態而保持資訊；磁化固定層，其具有成為記憶層所記憶之資訊之基準之磁化；中間層，其設置於記憶層與磁化固定層之間且由非磁性體所形成；磁耦合層，其鄰接於磁化固定層且設置於中間層之相反側；及高保磁力層，其鄰接於磁耦合層而設置。而且，利用伴隨在包含記憶層、中間層、磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶，並且磁耦合層為2層之層疊構造。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

14	基礎層
15	磁化固定層
16	中間層
17	記憶層
18	覆蓋層
19	磁耦合層
20	高保磁力層
21	磁耦合層
22	磁耦合層
M15	磁化
M17	磁化

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種記憶元件及包括該記憶元件之記憶裝置，該記憶元件包含將鐵磁性層之磁化狀態作為資訊加以記憶之記憶層、及磁化之方向被固定之磁化固定層，且藉由流通電流而改變記憶層之磁化之方向。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2004-193595號公報

[專利文獻2]日本專利特開2009-081215號公報

[非專利文獻]

[非專利文獻1] Nature Materials., Vol 9, p. 721(2010)

【先前技術】

於電腦等中之資訊機器中，作為隨機存取記憶體，廣泛使用有高速動作且高密度之DRAM。然而，由於DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)為若切斷電源則資訊便消失之揮發性記憶體，故而期望有資訊不會消失之非揮發性記憶體。

作為非揮發性記憶體之候補，藉由磁性體之磁化而記憶資訊之磁性隨機存取記憶體(MRAM：Magnetic Random Access Memory)受到注目並已進行開發。

作為進行MRAM之記憶之方法，例如下述專利文獻1般藉由在2個磁性體間流動之自旋力矩而使負責記憶之磁性體之磁化反轉之自旋力矩型MRAM的構造較為簡單，重寫

次數較多，因此受到注目。

自旋力矩磁化反轉之記憶元件與MRAM同樣地多藉由MTJ(Magnetic Tunnel Junction，磁穿隧接面)而構成。該構成係利用通過被固定於某一方向上之磁性層之自旋偏極電子於進入其他自由(方向未被固定)之磁性層時對該磁性層提供力矩(亦將其稱為自旋轉移力矩)者，若流通某閾值以上之電流則自由磁性層會反轉。0/1之重寫係藉由改變電流之極性而進行。

該用於反轉之電流之絕對值於0.1 μm 左右之尺度之元件中為1 mA以下。而且，由於該電流值與元件體積成比例地減少，故而可按比例增減。進而，由於不需要MRAM中原本所需之記憶用電流磁場產生用之字元線，故而亦有單元構造簡單之優勢。

以下，將利用自旋力矩磁化反轉之MRAM稱為「自旋力矩型MRAM」或「ST-MRAM(Spin Torque-Magnetic Random Access Memory)」。自旋力矩磁化反轉亦有時被稱為自旋注入磁化反轉。

作為ST-MRAM，開發有例如下述專利文獻1般使用平面磁化者、及例如上述專利文獻2般使用垂直磁化者。

使用平面磁化者之材料之自由度較高，固定磁化之方法亦比較容易。然而，於使用垂直磁化膜之情形時，限定為具有垂直磁各向異性之材料。

近年來，例如非專利文獻1中之利用Fe與氧化物之結晶界面處所表現出之垂直磁各向異性的界面各向異性型之垂

直磁化膜受到注目。若使用界面各向異性，則可於磁性體使用FeCoB合金、於氧化物使用MgO而獲得垂直磁化膜，且可同時實現高磁阻比(MR比)與垂直磁化，對記憶層與磁化固定層兩者而言皆有希望，因此期待將其應用於垂直磁化型之自旋力矩MRAM。

【發明內容】

[發明所欲解決之問題]

另外，為將界面各向異性型材料用於自旋力矩MRAM，至少需使磁化固定層之磁性體之保磁力較記憶層之保磁力足夠大。為增大磁化固定層之保磁力，只要將結晶磁各向異性較大之高保磁力層與磁化固定層磁耦合，而加強磁化固定層之保磁力即可。又，若將形成強磁耦合之磁耦合層以適當之厚度插入磁化固定層與高保磁力層之間，使磁化固定層與高保磁力層反平行地磁耦合，則來自磁化固定層及高保磁力層之漏磁場相抵消，對記憶層之磁影響變小而較佳。然而，若於磁化固定層上層疊高保磁力層與磁耦合層，則與僅有磁化固定層之情形相比，產生MR比下降及耐熱溫度下降等影響。

因此，本揭示係基於上述認識而完成者，其目的在於：於自旋力矩型MRAM中實現垂直保磁力較大且耐熱性(熱穩定性)優異之垂直磁化固定層，以便可穩定地進行動作。

[解決問題之技術手段]

本發明之記憶元件包含：記憶層，其藉由磁性體之磁化

狀態而保持資訊；磁化固定層，其具有成為上述記憶層所記憶之資訊之基準之磁化；中間層，其設置於上述記憶層與上述磁化固定層之間且由非磁性體所形成；磁耦合層，其鄰接於上述磁化固定層且設置於上述中間層之相反側；及高保磁力層，其鄰接於上述磁耦合層而設置；

利用伴隨在包含上述記憶層、上述中間層、上述磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶，且上述磁耦合層為2層之層疊構造。

本發明之記憶裝置包括：記憶元件，其藉由磁性體之磁化狀態而保持資訊；及相互交叉之2種配線；上述記憶元件包含：記憶層，其藉由磁性體之磁化狀態而保持資訊；磁化固定層，其具有成為該記憶層所記憶之資訊之基準之磁化；中間層，其設置於上述記憶層與上述磁化固定層之間且由非磁性體所形成；磁耦合層，其鄰接於上述磁化固定層且設置於上述中間層之相反側；及高保磁力層，其鄰接於上述磁耦合層而設置；利用伴隨在包含上述記憶層、上述中間層、上述磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶，且上述磁耦合層設為2層之層疊構造；於上述2種配線之間配置有上述記憶元件；通過上述2種配線而於上述記憶元件中流通上述層疊方向之電流，伴隨於此，引起自旋力矩磁化反轉。

於上述本揭示中，記憶元件藉由設為設置鄰接於磁化固

定層且設置於中間層之相反側之磁耦合層、及鄰接於該磁耦合層而設置之高保磁力層的構成，而可成為保磁力增大且熱穩定性優異之元件。

[發明之效果]

根據本發明，可簡便地獲得具有垂直磁各向異性之記憶元件，因此可充分地確保作為資訊保持能力之熱穩定性，從而可構成特性平衡優異之記憶元件。藉此，可消除動作錯誤，可充分地獲得記憶元件之動作容限。

因此，可實現穩定地進行動作且可靠性較高之記憶體。

又，可降低寫入電流，而減少記憶元件中進行寫入時之消耗電力。

因此，可減少記憶裝置整體之消耗電力。

【實施方式】

以下，按照如下順序對本發明之實施形態進行說明。

<1.實施形態之記憶裝置之構成>

<2.實施形態之記憶元件之概要>

<3.實施形態之具體構成>

<4.關於實施形態之實驗>

<1.實施形態之記憶裝置之構成>

首先，對作為本揭示之實施形態之記憶裝置之構成進行說明。

將記憶裝置(ST-MRAM)之模式圖示於圖1及圖2。圖1為立體圖，圖2為剖面圖。

如圖1所示，於矽基板等半導體基體10之藉由元件分離

層2分離出之部分，分別形成有構成用以選擇各記憶元件3之選擇用電晶體之汲極區域8、源極區域7及閘極電極1。其中，閘極電極1兼為於圖1中前後方向上延伸之字元線。

汲極區域8係對圖2中左右之選擇用電晶體共用地形成，該汲極區域8上連接有配線9。

而且，於源極區域7與上方所配置之於圖1中左右方向上延伸之位元線6之間，配置有包含磁化之方向藉由自旋力矩磁化反轉而反轉之記憶層的記憶元件3。該記憶元件3係由例如磁穿隧接合元件(MTJ元件)所構成。

如圖2所示，記憶元件3包含2層磁性層15、17。將該2層磁性層15、17中之一磁性層作為磁化M15之方向被固定之磁化固定層15，將另一磁性層作為磁化M17之方向變化之磁化自由層即記憶層17。

又，記憶元件3係經由上下之接觸層4而分別連接於位元線6與源極區域7。

藉此，可於記憶元件3中流通電流，藉由自旋注入而使記憶層17之磁化M17之方向反轉。

已知此種記憶裝置中，需要以選擇電晶體之飽和電流以下之電流進行寫入，且電晶體之飽和電流伴隨微細化而下降，因此為使記憶裝置微細化，較佳為改善自旋轉移之效率，而降低記憶元件3中流通之電流。

又，為增大讀出信號，需要確保較大之磁阻變化率，為此有效的是採用如上述之MTJ構造，即，設為於2層磁性層15、17之間設中間層為隧道絕緣層(隧道勢壘層)之記憶

元件3之構成。

於如上述般使用隧道絕緣層作為中間層之情形時，為防止隧道絕緣層發生絕緣破壞，對記憶元件3中流通之電流量設限。即，就確保記憶元件3之重複寫入之可靠性之觀點而言，亦較佳為抑制自旋力矩磁化反轉所需之電流。再者，有時將自旋力矩磁化反轉所需之電流稱為反轉電流、記錄電流等。

又，由於記憶裝置為非揮發性記憶體，故而需要藉由電流穩定地記憶所寫入之資訊。即，需要確保對於記憶層之磁化之熱起伏的穩定性(熱穩定性)。

若未確保記憶層之熱穩定性，則存在已反轉之磁化之方向由於熱(動作環境中之溫度)而再反轉之情形，而產生寫入錯誤。

本記憶裝置中之記憶元件3(ST-MRAM)與先前之MRAM相比，於按比例增減方面較為有利，即，可減小體積，但於體積變小時若其他特性相同，則有熱穩定性下降之傾向。

於進行ST-MRAM之大容量化之情形時，記憶元件3之體積會變得更小，因此熱穩定性之確保成為重要之課題。

因此，於ST-MRAM中之記憶元件3中，熱穩定性為非常重要之特性，需要以即使減小體積亦確保該熱穩定性之方式進行設計。

<2.實施形態之記憶元件之概要>

其次，對作為本揭示之實施形態之記憶元件之概要進行

說明。

本揭示之實施形態係藉由上述自旋力矩磁化反轉，使記憶元件之記憶層之磁化之方向反轉，而進行資訊之記錄。

記憶層係由包含鐵磁性層之磁性體所構成，藉由磁性體之磁化狀態(磁化之方向)而保持資訊。

記憶元件3設為例如示於圖3之一例之層構造，至少包含作為2層鐵磁性體層之記憶層17、磁化固定層15，且包含該2層磁性層之間之中間層16。

記憶層17具有垂直於膜面之磁化，且磁化之方向根據資訊而變化。

磁化固定層15具有成為記憶層17所記憶之資訊之基準且垂直於膜面之磁化。

中間層16設為例如由非磁性體所形成之絕緣層，且設置於記憶層17與磁化固定層15之間。

而且，藉由在包含記憶層17、中間層16、磁化固定層15之層構造之層疊方向上注入自旋偏極之電子，而使記憶層17之磁化之方向變化，從而對記憶層17進行資訊之記錄。

此處，對自旋力矩磁化反轉簡單地進行說明。

電子具有2種自旋角動量。將其暫定為向上、向下。於非磁性體內部兩者之數相同，於鐵磁性體內部兩者之數存在差量。對下述情形進行考慮：於構成記憶元件3之2層鐵磁性體即磁化固定層15及記憶層17中，相互之磁矩之方向為反方向狀態時，使電子自磁化固定層15向記憶層17移動。

磁化固定層15為將磁矩之方向固定以具有高保磁力之固定磁性層。

通過磁化固定層15之電子為自旋偏極，即，向上與向下之數產生差量。若作為非磁性層之中間層16之厚度構成為足夠薄，則於藉由通過磁化固定層15所產生之自旋偏極緩和而成為通常之非磁性體中之非偏極(向上與向下之數相同)狀態之前，電子便到達另一磁性體，即記憶層17。

由於記憶層17中自旋偏極化之符號相反，故而為降低系統之能量，一部分之電子發生反轉，即，改變自旋角動量之方向。此時，由於必需保存系統之總角動量，故而亦對記憶層17之磁矩產生與方向改變之電子所引起之角動量變化之合計等價之反作用。

於電流即單位時間內通過之電子數較少之情形時，會改變方向之電子之總數亦較少，因此對記憶層17之磁矩產生之角動量變化亦較小，若電流增加，則可於單位時間內提供較多之角動量變化。

角動量之時間變化為力矩，若力矩超過某閾值，則記憶層17之磁矩開始進動，藉由其單軸各向異性而旋轉180度時成為穩定。即，引起自反方向狀態向同方向狀態之反轉。

於磁化為同方向狀態時，若使電流相反地於自記憶層17向磁化固定層15輸送電子之方向上流動，則此次由磁化固定層15反射時發生自旋反轉之電子於進入記憶層17時提供力矩，從而可使磁矩向反方向狀態反轉。然而此時，引起

反轉所需之電流量較自反方向狀態向同方向狀態反轉之情形變多。

磁矩之自同方向狀態向反方向狀態之反轉雖難以直觀地理解，但亦可認為由於磁化固定層15被固定而磁矩無法反轉，為保存系統整體之角動量而記憶層17反轉。如上所述，0/1之記錄係藉由自磁化固定層15向記憶層17之方向或朝向其反方向流通對應於各自之極性且為某閾值以上之電流之下方式進行。

資訊之讀出係與先前型之MRAM同樣地利用磁阻效應進行。即，與上述記錄之情形同樣地於膜面垂直方向上流通電流。而且，利用元件所呈現之電阻根據記憶層17之磁矩相對於磁化固定層15之磁矩為同方向或反方向而發生變化之現象。

用作磁化固定層15與記憶層17之間之中間層16的材料可為金屬亦可為絕緣體，但使用絕緣體作為中間層之情形可獲得更高之讀出信號(電阻之變化率)，且可藉由更低之電流進行記錄。將此時之元件稱為鐵磁性穿隧接面(Magnetic Tunnel Junction：MTJ)。

於藉由自旋力矩磁化反轉，使磁性層之磁化之方向反轉時，所需之電流之閾值 I_c 根據磁性層之易磁化軸為平面方向或垂直方向而不同。

本實施形態之記憶元件為垂直磁化型，若將先前之平面磁化型之記憶元件之情形時的使磁性層之磁化之方向反轉之反轉電流設為 I_{c_para} ，則

於自同方向反轉至反方向(再者，所謂同方向、反方向係指以磁化固定層之磁化方向為基準而言之記憶層之磁化方向，又，「同方向」「反方向」亦稱為「平行」「反平行」)之情形時，

$$I_{c_para} = (A \cdot \alpha \cdot M_s \cdot V / g(0) / P) (H_k + 2\pi M_s)$$

於自反方向反轉至同方向之情形時，

$$I_{c_para} = -(A \cdot \alpha \cdot M_s \cdot V / g(\pi) / P) (H_k + 2\pi M_s)$$

(將以上設為式(1))。

另一方面，若將如本例之垂直磁化型之記憶元件之反轉電流設為 I_{c_perp} ，則於自同方向反轉至反方向之情形時，

$$I_{c_perp} = (A \cdot \alpha \cdot M_s \cdot V / g(0) / P) (H_k - 4\pi M_s)$$

於自反方向反轉至同方向之情形時，

$$I_{c_perp} = -(A \cdot \alpha \cdot M_s \cdot V / g(\pi) / P) (H_k - 4\pi M_s)$$

(將以上設為式(2))。

其中， A 為常數， α 為阻尼常數， M_s 為飽和磁化， V 為元件體積， P 為自旋極化率， $g(0)$ 、 $g(\pi)$ 分別為與同方向時、反方向時自旋力矩傳遞至對象之磁性層之效率相對應之係數， H_k 為磁各向異性。

於上述各式中，若將垂直磁化型之情形之 $(H_k - 4\pi M_s)$ 與平面磁化型之情形之 $(H_k + 2\pi M_s)$ 相比較，則可認識到垂直磁化型更適合低記錄電流化。

於本實施形態中，構成包含可藉由磁化狀態而保持資訊之磁性層(記憶層17)、及磁化之方向被固定之磁化固定層15的記憶元件3。

為作為記憶體而存在，必需能夠保持所寫入之資訊。作為保持資訊之能力之指標，以熱穩定性之指標 $\Delta(=KV/k_B T)$ 之值而判斷。該 Δ 藉由下述式(3)表示。

$$\Delta = K \cdot V / k_B \cdot T = M_s \cdot V \cdot H_k \cdot (1/2k_B \cdot T) \quad \text{式(3)}$$

此處， H_k ：有效之各向異性磁場， k_B ：波茲曼常數 (Boltzmann constant)， T ：溫度， M_s ：飽和磁化量， V ：記憶層 17 之體積， K ：各向異性能量。

有效之各向異性磁場 H_k 受到形狀磁各向異性、感應磁各向異性、結晶磁各向異性等之影響，於假定為單磁區之同時旋轉模型之情形時，其與保磁力相等。

熱穩定性之指標 Δ 與電流之閾值 I_c 多為折衷關係。因此，為維持記憶體特性，該等之並存多成為課題。

關於使記憶層 17 之磁化狀態變化之電流之閾值，實際上例如於記憶層 17 之厚度為 2 nm，平面圖案為 100 nm×150 nm 之大致橢圓形之 TMR 元件中，+側之閾值 $+I_c = +0.5$ mA，-側之閾值 $-I_c = -0.3$ mA，此時之電流密度為約 3.5×10^6 A/cm²。該等與上述式(1)基本一致。

與此相對，於藉由電流磁場進行磁化反轉之通常之 MRAM 中，寫入電流必需為數 mA 以上。

因此，可知於 ST-MRAM 之情形時，由於如上述般寫入電流之閾值變得足夠小，故而於降低積體電路之消耗電力方面較為有效。

又，由於不需要通常之 MRAM 所必需之電流磁場產生用之配線，故而於集成度方面亦較通常之 MRAM 有利。

而且，於進行自旋力矩磁化反轉之情形時，由於在記憶元件3中直接流通電流而進行資訊寫入(記錄)，故而為選擇進行寫入之記憶元件3，將記憶元件3與選擇電晶體連接而構成記憶裝置。

於此情形時，記憶元件3中流通之電流受到可於選擇電晶體中流通之電流(選擇電晶體之飽和電流)之大小之限制。

為減少記錄電流，較理想為如上述般應用垂直磁化型。又，由於垂直磁化膜一般可具有較平面磁化膜高之磁各向異性。故而於保持上述 Δ 較大之方面亦較佳。

具有垂直各向異性之磁性材料中，有稀土-過渡金屬合金(TbCoFe等)、金屬多層膜(Co/Pd多層膜等)、規則合金(FePt等)、利用氧化物與磁性金屬之間之界面各向異性者(Co/MgO等)等若干種，但稀土-過渡金屬合金若藉由加熱而擴散、結晶化，則會失去垂直磁各向異性，故而作為ST-MRAM用材料不佳。又，已知金屬多層膜亦藉由加熱而擴散，使垂直磁各向異性劣化，進而由於成為面心立方之(111)配向時顯現出垂直磁各向異性，故而難以實現MgO及鄰接於其而配置之Fe、CoFe、CoFeB等高極化率層所需要之(001)配向。由於L10規則合金於高溫下亦穩定，且於(001)配向時顯現出垂直磁各向異性，故而不會引起如上所述之問題，但需要藉由在製造時以500°C以上之足夠高之溫度下進行加熱，或於製造後以500°C以上之高溫下進行熱處理而使原子規則排列，並有可能引起隧道勢壘等層疊

膜之其他部分中之不佳之擴散或界面粗糙度之增大。

與此相對，利用界面磁各向異性之材料，即，於作為隧道勢壘之MgO上層疊Co系或Fe系材料者難以引起上述任一問題，因此作為ST-MRAM之記憶層材料認為其較為理想。

進而，考慮到選擇電晶體之飽和電流值，作為記憶層17與磁化固定層15之間之非磁性之中間層16，使用包含絕緣體之隧道絕緣層構成磁穿隧接合(MTJ)元件。

藉由使用隧道絕緣層構成磁穿隧接合(MTJ)元件，與使用非磁性導電層構成巨磁阻效應(GMR)元件之情形相比，可增大磁阻變化率(MR比)，而可增大讀出信號強度。

而且，尤其藉由使用氧化鎂(MgO)作為該隧道絕緣層之中間層16之材料，可增大磁阻變化率(MR比)。

又，一般而言，自旋轉移之效率依存於MR比，MR比越大，則自旋轉移之效率越升高，而可降低磁化反轉電流密度。

因而，藉由使用氧化鎂作為隧道絕緣層之材料，同時使用上述記憶層17，可減少自旋力矩磁化反轉之寫入閾值電流，而可以較少之電流進行資訊之寫入(記錄)。又，可增大讀出信號強度。

藉此，可確保MR比(TMR比)，減少自旋力矩磁化反轉之寫入閾值電流，而可以較少之電流進行資訊之寫入(記錄)。又，可增大讀出信號強度。

於如上述般由氧化鎂(MgO)膜形成隧道絕緣層之情形

時，更理想為MgO膜結晶化，並於001方向上維持結晶配向性。

關於隧道絕緣層之面積電阻值，就獲得藉由自旋力矩磁化反轉而使記憶層17之磁化之方向反轉所需之電流密度的觀點而言，需要限制為數十 $\Omega\mu\text{m}^2$ 左右以下。

而且，於包含MgO膜之隧道絕緣層中，為將面積電阻值設為上述範圍，需要將MgO膜之膜厚設定為1.5 nm以下。

又，較理想為以能以較小之電流容易地反轉記憶層17之磁化之方向之方式將記憶元件3變小。

因此，較佳為將記憶元件3之面積設為 $0.01\ \mu\text{m}^2$ 以下。

<3.實施形態之具體構成>

其次，對本發明之實施形態之具體構成進行說明。

記憶裝置之構成係如先前於圖1所述，於正交之2種定址配線1、6(例如字元線與位元線)之交點附近，配置有可以磁化狀態保持資訊之記憶元件3。

而且，通過2種定址配線1、6，於記憶元件3中流通上下方向之電流，藉由自旋力矩磁化反轉可使記憶層17之磁化之方向反轉。

汲極區域8係對圖中左右之選擇用電晶體共用地形成，該汲極區域8上連接有配線9。

而且，於源極區域7與上方所配置之於圖中左右方向上延伸之另一定址配線(例如位元線)6之間，配置有記憶元件3。該記憶元件3包含藉由自旋注入而使磁化之方向反轉且包含鐵磁性層之記憶層17。

又，該記憶元件3配置於2種定址配線1、6之交點附近。

該記憶元件3係經由上下之接觸層4而分別連接於位元線6與源極區域7。

藉此，通過2種定址配線1、6，於記憶元件3中流通上下方向之電流，藉由自旋力矩磁化反轉可使記憶層17之磁化之方向反轉。

圖3係表示本發明之實施形態之記憶元件3之詳細構造。

如圖3所示，記憶元件3係對於藉由自旋力矩磁化反轉而使磁化M17之方向反轉之記憶層17，於其下層設置有磁化固定層15。

於ST-MRAM中，藉由記憶層17之磁化M17與磁化固定層15之磁化M15之相對角度而規定資訊之0、1。於此情形時，開發有使用平面磁化者與使用垂直磁化者，使用平面磁化者之材料之自由度較高，固定磁化之方法亦比較容易。

於記憶層17與磁化固定層15之間設置有作為隧道勢壘層(隧道絕緣層)之中間層16，藉由記憶層17與磁化固定層15而構成MTJ元件。

另一方面，於使用垂直磁化膜之情形時，限制為具有垂直磁各向異性之材料。近年來，應用有利用Fe與氧化物之結晶界面處所表現出之垂直磁各向異性的界面各向異性型之垂直磁化膜。若使用界面各向異性，則可於磁性體使用FeCoB合金、於氧化物使用MgO而獲得垂直磁化膜，可同時實現高磁阻比(MR比)與垂直磁化，且可用作記憶層17與

磁化固定層15之材料。

又，作為磁化固定層15及記憶層17，較佳為含有Fe、Co、Ni中之至少一種與B、C中之至少一種之合金，B、C之含量較佳為5原子%以上且30原子%以下。

於記憶層17與磁化固定層15之間，設置有作為隧道勢壘層(隧道絕緣層)之中間層16，藉由記憶層17與磁化固定層15而構成MTJ元件。中間層16使用例如MgO。

又，於磁化固定層15下形成有磁耦合層19、高保磁力層20、基礎層14，於記憶層17上形成有覆蓋層18。

設置高保磁力層20係為將磁化固定層15之保磁力設為較記憶層17之保磁力大。即，其係加強磁化固定層15之保磁力者。

高保磁力層20與磁化固定層15之間之磁耦合層19係使磁化固定層15與高保磁力層20反平行地磁耦合者，藉此來自磁化固定層15及高保磁力層20之漏磁場相抵消，對記憶層17之磁影響變小而較佳。

該磁耦合層19係由Ru等材料構成。

再者，如圖3之右方所示，磁耦合層19係磁耦合層22與磁耦合層21之2層。

磁耦合層22可由Ru等材料構成。磁耦合層21可由Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo、Cr中之任一種或複數種材料構成。藉此，可抑制MR比及耐熱溫度之降低，從而可實現能穩定地進行動作且使用垂直磁化之記憶元件3。

記憶元件3係使適當之基礎層14成膜後形成高保磁力層20，並使Ru等磁耦合層19、Ta等磁耦合層19、磁化固定層15、中間層16、記憶層17、覆蓋層18依序成膜而形成層疊構造。作為基礎層14可使用Ta等。

作為層疊本揭示中所使用之材料之方法，可使用濺鍍方法、真空蒸鍍法、或化學氣相沈積法(CVD, Chemical Vapor Deposition)等。又，進而為控制結晶配向等，亦可形成Ru、Cr等金屬膜或TiN等導電性氮化膜作為基礎層14。

作為高保磁力層20，可利用CoPt或FePt等合金膜、Co與Pt或Co與Pd之連續層疊膜或者TbFeCo等合金膜等，但適合為無需高溫熱處理且具有優異之耐熱性之CoPt合金。

作為磁耦合層22，較佳為Ru、Re、Os等發揮強磁耦合作用之非磁性金屬，作為磁耦合層21，較佳為Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo、Cr中之任一種或複數種之組合。

關於磁耦合層21之厚度，於Ta、Zr、Nb、Hf、W、Mo、Cr之情形時較佳為0.05 nm以上且0.3 nm以下，於Cu、Ag、Au之情形時較佳為0.1 nm以上且0.5 nm以下。磁耦合層21之厚度於為規定之厚度下限以下時MR比之提高效果較小，於為規定之厚度之上限以上時高保磁力層20與磁化固定層15之磁耦合強度變小而不佳。

於磁耦合層21之厚度為0.5 nm以上且0.9 nm以下時可獲得穩定之反鐵磁性耦合。作為磁化固定層15及記憶層17，

較佳為含有Fe、Co、Ni中之至少一種與B、C中之至少一種之合金，B、C之含量較佳為5原子%以上且30原子%以下。

記憶層17及磁化固定層15較佳為於中間層16之界面附近至少含有30%以上之Fe，於為其以下時無法獲得充分之垂直磁各向異性。

作為中間層16，可利用MgO、Al₂O₃、TiO₂、MgAl₂O₄等，若使用MgO，則MR比較大而較佳。

作為覆蓋層18，可使用Ta、Ti等金屬或TiN等導電性氮化物，或組合較薄之MgO等絕緣層與金屬膜而使用。

為構成為記憶裝置，於矽晶圓上形成CMOS (Complementary Metal-Oxide-Semiconductor Transistor，互補金屬氧化物半導體)邏輯電路，於下部電極上構成上述層疊膜後，藉由反應性離子蝕刻(RIE)、離子研磨、化學蝕刻等方法將其形成為合適之形狀，進而形成上部電極，且以可於上部電極與下部電極之間施加合適之電壓之方式與CMOS電路連接而使用即可。元件之形狀為任意，但由於圓形狀尤其易於製作，且可高密度地進行配置，故而較佳。

若將本揭示之垂直磁化膜應用於記憶裝置，則耐熱性較高，可易於應用於半導體製程，從而可實現磁阻比大且可實現資料之讀出電路之簡化及讀出速度之高速化的非揮發性記憶裝置。

如上所述，藉由增大MR比，而提高自旋注入之效率，

可降低使記憶層 17 之磁化 M1 之方向反轉所需之電流密度。

又，由於可充分地確保作為資訊保持能力之熱穩定性，故而可構成特性平衡優異之記憶元件 3。

藉此，可消除動作錯誤，充分地獲得記憶元件 3 之動作容限，而使記憶元件 3 穩定地進行動作。

即，可實現穩定地進行動作且可靠性較高之記憶裝置。

又，可減少寫入電流，而降低對記憶元件 3 進行寫入時之消耗電力。

根據以上，可實現資訊保持特性優異、穩定地進行動作且可靠性較高之記憶體，並可於包括記憶元件 3 之記憶體中減少消耗電力。

又，包括圖 3 所示之記憶元件 3 且為圖 1 所示之構成之記憶裝置於製造之時具有可應用一般之半導體 MOS 形成製程之優勢。

因此，可將本實施形態之記憶體作為通用記憶體而應用。

<4.關於實施形態之實驗>

此處，為確認本實施形態之記憶元件 3 之保磁力之提高及 MR 比之改善，於記憶元件 3 之構成中，於磁化固定層 15 與基礎層 14 之間設置磁耦合層 19 與高保磁力層 20，並將磁耦合層 19 設為磁耦合層 22 與磁耦合層 21 之 2 層，於此情形時，藉由選定各層之材料，製作圖 4、5 所示之試樣，進行實驗 1~5，研究其磁特性。

本實驗之磁特性評價用之試樣係於附有氧化被覆之矽基板上使用作為基礎層 14 之厚度為 5 nm 之 Ta、厚度為 5 nm 之 Ru、作為高保磁力層 20 之 $\text{Co}_{70}\text{Pt}_{30}$ 之合金膜、磁耦合層 19、磁化固定層 15、作為中間層 16 之 1 nm 之 MgO、作為保護膜之厚度為 1 nm 之 Ru 與厚度為 5 nm 之 Ta 之層疊膜。上述評價用之試樣係僅對磁化固定層 15 側進行評價者，為形成記憶元件 3，需要於上述中間層之 MgO 與保護膜之間插入記憶層 17。

<實驗 1>

圖 4A 示有磁耦合層為 1 層者作為實驗 1 用試樣。

如圖 4A 所示，

- 基礎層 14：膜厚為 5 nm 之 Ta 膜與膜厚為 5 nm 之 Ru 膜之層疊膜
- 高保磁力層 20：膜厚為 3 nm 之 $\text{Co}_{70}\text{Pt}_{30}$ 之合金膜
- 磁耦合層 19：Ru 膜 (膜厚：tRu)
- 磁化固定層 15：膜厚為 0.5 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜、膜厚為 0.1 nm 之 Ta 膜及膜厚為 0.5 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜之層疊膜
- 中間層 16：膜厚為 1.0 nm 之氧化鎂膜
- 保護膜：膜厚為 1 nm 之 Ru 與膜厚為 5 nm 之 Ta 之層疊膜。

該試樣之極化磁光克爾效應所引起之垂直磁化狀態之測定結果示於圖 5。分別示有 300℃ 熱處理後之結果與 350℃ 熱處理後之結果。

圖5示有使Ru之厚度 t_{Ru} 改變之試樣之結果。圖中HC所示之位置為於磁化固定層15與高保磁力層20反平行地磁耦合之狀態下引起磁化反轉之磁場， H_{SF} 為破壞磁化固定層15與高保磁力層20之磁耦合之磁場。於300°C熱處理下， H_{SF} 點處之變化為急遽，其表示於此處反轉之磁化固定層15為有效之垂直磁化膜。

與此相對，350°C熱處理後之試樣中例如 t_{Ru} 為0.5 nm者之變化較為平緩。於此情形時，由於磁化固定層15之垂直磁化並不充分，故而反轉之變化較為平緩，若將磁化固定層15之磁化反轉開始之磁場設為 H_{SF} ，則於 H_{SF} 以下時磁化固定層15為垂直磁化。

圖4B示有磁耦合層為2層者作為實驗1用試樣。

如圖4B所示，

- 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜
- 高保磁力層20：膜厚為3 nm之 $Co_{70}Pt_{30}$ 之合金膜
- 磁耦合層22：Ru膜(膜厚： t_{Ru})
- 磁耦合層21：膜厚為0.05 nm之Ta膜
- 磁化固定層15：膜厚為0.5 nm之 $Fe_{64}Co_{16}B_{20}$ 合金膜、膜厚為0.1 nm之Ta膜及膜厚為0.5 nm之 $Fe_{64}Co_{16}B_{20}$ 合金膜之層疊膜
- 中間層16：膜厚為1.0 nm之氧化鎂膜
- 保護膜：膜厚為1 nm之Ru與膜厚為5 nm之Ta之層疊膜。

該試樣之極化磁光克爾效應所引起之垂直磁化狀態之測定結果示於圖6。分別示有300°C熱處理後之結果與350°C熱處理後之結果。

若對磁耦合層19附加Ta，則與上述未附加之情形之試樣相比， H_{SF} 相對於磁耦合層22之Ru之厚度之變化如圖6所示變小，於任意溫度下可維持反平行之範圍均有擴大。

<實驗2>

圖4C示有磁耦合層為2層者作為實驗2用試樣。

如圖4C所示，

- 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜
- 高保磁力層20：膜厚為3 nm之 $Co_{70}Pt_{30}$ 之合金膜
- 磁耦合層22：Ru膜(膜厚： t_{Ru})
- 磁耦合層21：Ta膜(膜厚： t_{Ta})
- 磁化固定層15：膜厚為0.8 nm之 $Fe_{64}Co_{16}B_{20}$ 合金膜
- 中間層16：膜厚為1.0 nm之氧化鎂膜
- 保護膜：膜厚為1 nm之Ru與膜厚為5 nm之Ta之層疊膜。

耦合磁場強度 H_{SF} 相對於該試樣之磁耦合層22之Ru厚度之變化示於圖7。示有300°C與350°C熱處理後之結果，於將磁耦合層之Ru上附加Ta之情形與磁耦合層為Ru單體之試樣相比較時，雖於300°C之熱處理下耦合磁場強度之提高並不太大，但於350°C之熱處理下附加有Ta之情形之耦合磁場強度較大，可確認到Ta之附加對耐熱性之改善較為

有效。

又，於Ru之厚度為0.5 nm~0.9 nm時磁耦合難以被破壞，從而Ru之厚度宜為0.5 nm~0.9 nm。

<實驗3>

實驗3用之試樣係磁耦合層為2層，如圖4D所示，

- 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜

- 高保磁力層20：膜厚為3 nm之 $\text{Co}_{70}\text{Pt}_{30}$ 之合金膜

- 磁耦合層22：膜厚為0.6 nm之Ru膜

- 磁耦合層21：附加特定之元素

- 磁化固定層15：膜厚為0.5 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜、膜厚為0.1 nm之Ta膜及膜厚為0.5 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜之層疊膜

- 中間層16：膜厚為1.0 nm之氧化鎂膜

- 保護膜：膜厚為1 nm之Ru與膜厚為5 nm之Ta之層疊膜。

該試樣係研究於磁耦合層之Ru上附加Ta之情形與附加Ta以外之元素之情形之特性差異。

圖8示有將本試樣以300°C熱處理後之耦合磁場強度 H_{SF} 之附加層厚度依存性。作為附加元素，示有Ta、Cr、Mg、Si、W、Nb、Zr、Hf、Mo。同樣地於圖9示有350°C熱處理後之結果。於附加元素為Ta、Cr、W、Nb、Zr、Hf、Mo之情形時，觀察到耦合磁場強度之提高，尤其是Ta於350°C熱處理後之改善效果較大。

可觀察到改善之膜厚為0.05 nm以上且0.3 nm以下。

<實驗4>

實驗4用試樣係磁耦合層為2層，如圖4E所示，

- 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜
- 高保磁力層20：膜厚為3 nm之 $\text{Co}_{70}\text{Pt}_{30}$ 之合金膜
- 磁耦合層22：膜厚為0.8 nm之Ru膜
- 磁耦合層21：附加特定之元素
- 磁化固定層15：膜厚為0.8 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜、膜厚為0.3 nm之Ta膜及膜厚為0.8 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜之層疊膜
- 中間層16：膜厚為1.0 nm之氧化鎂膜
- 保護膜：膜厚為1 nm之Ru與膜厚為5 nm之Ta之層疊膜。

該試樣係研究於磁耦合層之Ru上附加有Cu、Ag、Au之元素之情形時之特性差異。

圖10示有將本試樣於300°C及350°C下熱處理後之試樣之耦合磁場強度 H_{SF} 之附加層厚度依存性。與實驗3之結果相同，於Cu、Ag、Au之任一情形時均可觀察到耦合磁場強度之提高效果。該等元素中，可觀察到耦合磁場強度之改善之厚度為0.1 nm以上且0.5 nm以下。

<實驗5>

實驗5係製作包括記憶層之記憶元件並測定磁阻比(MR比)。

實驗5用試樣示於圖11。如圖11所示，準備有5種試樣。

(1)磁耦合層為1層之試樣

• 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜

- 高保磁力層20：膜厚為2 nm之CoPt之合金膜
- 磁耦合層19：膜厚為0.8 nm之Ru膜
- 磁化固定層15：膜厚為0.8 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 中間層16：膜厚為1.0 nm之氧化鎂膜
- 記憶層17：膜厚為1.4 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 保護膜：膜厚為5 nm之Ta膜

(2)磁耦合層為2層之試樣1

• 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜

- 高保磁力層20：膜厚為2 nm之CoPt之合金膜
- 磁耦合層22：膜厚為0.6 nm之Ru膜
- 磁耦合層21：膜厚為0.1 nm之Ta膜
- 磁化固定層15：膜厚為0.8 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 中間層16：膜厚為1.0 nm之氧化鎂膜
- 記憶層17：膜厚為1.4 nm之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 保護膜：膜厚為5 nm之Ta膜

(3)磁耦合層為2層之試樣2

• 基礎層14：膜厚為5 nm之Ta膜與膜厚為5 nm之Ru膜之層疊膜

- 高保磁力層20：膜厚為2 nm之CoPt之合金膜

- 磁耦合層 22：膜厚為 0.6 nm 之 Ru 膜
- 磁耦合層 21：膜厚為 0.1 nm 之 Ta 膜
- 磁化固定層 15：膜厚為 1.2 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 中間層 16：膜厚為 1.0 nm 之氧化鎂膜
- 記憶層 17：膜厚為 1.4 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 保護膜：膜厚為 5 nm 之 Ta 膜

(4) 磁耦合層為 2 層之試樣 3

• 基礎層 14：膜厚為 5 nm 之 Ta 膜與膜厚為 5 nm 之 Ru 膜之層疊膜

- 高保磁力層 20：膜厚為 2 nm 之 CoPt 之合金膜
- 磁耦合層 22：膜厚為 0.7 nm 之 Re 膜
- 磁耦合層 21：膜厚為 0.1 nm 之 Ta 膜
- 磁化固定層 15：膜厚為 0.8 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 中間層 16：膜厚為 1.0 nm 之氧化鎂膜
- 記憶層 17：膜厚為 1.2 nm 之 $\text{Fe}_{60}\text{Ni}_{30}\text{C}_{10}$ 合金膜
- 保護膜：膜厚為 5 nm 之 Ta 膜

(5) 磁耦合層為 2 層之試樣 4

• 基礎層 14：膜厚為 5 nm 之 Ta 膜與膜厚 5 nm 之 TiN 膜之層疊膜

- 高保磁力層 20：膜厚為 2 nm 之 FePt 之合金膜
- 磁耦合層 22：膜厚為 0.8 nm 之 Os 膜
- 磁耦合層 21：膜厚為 0.05 nm 之 Ta 膜
- 磁化固定層 15：膜厚為 1.0 nm 之 $\text{Fe}_{50}\text{Co}_{10}\text{Cr}_{20}\text{B}_{20}$ 合金膜
- 中間層 16：膜厚為 1.0 nm 之氧化鎂膜

- 記憶層 17：膜厚為 1.5 nm 之 $\text{Fe}_{64}\text{Co}_{16}\text{B}_{20}$ 合金膜
- 保護膜：膜厚為 5 nm 之 Ta 膜

表 1 示有對上述試樣於 300°C 與 350°C 下進行有熱處理者之 MR 比之測定結果。本實施形態之記憶元件中，尤其於 350°C 之熱處理下 MR 比之改善較大，從而可知本揭示之技術對耐熱性與 MR 比之改善有較大之效果。

[表 1]

	300°C 熱處理後之 MR 比	350°C 熱處理後之 MR 比
磁耦合層為 1 層之試樣	76%	54%
試樣 1	87%	90%
試樣 2	80%	93%
試樣 3	77%	83%
試樣 4	72%	80%

以上對實施形態進行有說明，但本揭示並不限於上述各實施形態所示之記憶元件 3 之膜構成，而可採用各種膜構成。

例如實施形態中將磁化固定層 15 設為 CoFeB ，但並不限定於實施形態，在不脫離本揭示之主旨之範圍內可採用其他各種構成。

又，實施形態中僅示有單一之基礎層等，但並不限定於該等，在不脫離本揭示之主旨之範圍內可採用其他各種構成。

又，實施形態中，磁化固定層 15 係使用包含 2 層鐵磁性

層與非磁性層之層疊亞鐵磁性構造，但亦可為於層疊亞鐵磁性構造膜上附有反鐵磁性膜之構造。

當然亦可為單層。

又，記憶元件3之膜構可為記憶層17配置於磁化固定層16之上側之構成，亦可為配置於下側之構成。

再者，本技術亦可採用如下之構成。

(1)一種記憶元件，其包含：

記憶層，其藉由磁性體之磁化狀態而保持資訊；

磁化固定層，其具有成為上述記憶層所記憶之資訊之基準之磁化；

中間層，其設置於上述記憶層與上述磁化固定層之間且由非磁性體所形成；

磁耦合層，其鄰接於上述磁化固定層且設置於上述中間層之相反側；及

高保磁力層，其鄰接於上述磁耦合層而設置；

利用伴隨在包含上述記憶層、上述中間層、上述磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶；且

上述磁耦合層為2層之層疊構造。

(2)如上述(1)之記憶元件，其中上述記憶層及上述磁化固定層將Fe、Co、Ni中之至少一種作為主成分，並含有5原子%以上且30原子%以下之B、C中之任一種。

(3)如上述(1)或(2)之記憶元件，其中上述磁耦合層之2層

之中，

高保磁力層側之層包含Ru、Re、Os中之至少一種。

(4)如上述(1)至(3)中任一項之記憶元件，其中上述磁耦合層之2層之中，

磁化固定層側之層包含Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo、Cr中之至少一種。

(5)如上述(1)至(3)中任一項之記憶元件，其中上述磁耦合層之2層之中，

磁化固定層側之層包含Ta、Zr、Nb、Hf、W、Mo、Cr中之至少一種，且該層厚度為0.05 nm至0.3 nm。

(6)如上述(1)至(3)中任一項之記憶元件，其中上述磁耦合層之2層之中，

磁化固定層側之層包含Cu、Ag、Au中之至少一種，且該層厚度為0.1 nm至0.5 nm。

(7)如上述(1)至(6)中任一項之記憶元件，其中高保磁力層側之層厚度為0.5 nm至0.9 nm。

【圖式簡單說明】

圖1係實施形態之記憶裝置之概略構成之立體圖。

圖2係實施形態之記憶裝置之剖面圖。

圖3係表示實施形態之記憶元件之層構造之剖面圖。

圖4係實驗中所使用之試樣之層構造之說明圖。

圖5係表示磁耦合層(Ru)之厚度與磁化反轉之變化大小之關係的圖。

圖6係表示於為磁耦合層(Ru)與磁耦合層(Ta)之2層時磁

耦合層(Ru)之厚度與磁化反轉之變化大小之關係的圖。

圖7係表示磁耦合層(Ru)之厚度、與改變該厚度及磁耦合層(Ta)之厚度時之磁化反轉之磁場大小之關係的圖。

圖8係表示將磁耦合層(Ta)之材料設為Ta以外之元素，例如Cr等時，其厚度與改變該厚度及磁耦合層(Ru)之厚度時之300℃熱處理後之磁化反轉之磁場大小之關係的圖。

圖9係表示將磁耦合層(Ta)之材料設為Ta以外之元素，例如Cr等時，其厚度與改變該厚度及磁耦合層(Ru)之厚度時之350℃熱處理後之磁化反轉之磁場大小之關係的圖。

圖10係表示將磁耦合層(Ta)之材料設為Ta以外之元素，例如Cu等時，其厚度與改變該厚度及磁耦合層(Ru)之厚度時之磁化反轉之磁場大小之關係的圖。

圖11係磁阻比(MR比)之測定用試樣之層構造之圖。

【主要元件符號說明】

1	閘極電極
2	元件分離層
3	記憶元件
4	接觸層
6	位元線
7	源極區域
8	汲極區域
9	配線
10	半導體基體
14	基礎層

15	磁化固定層
16	中間層
17	記憶層
18	覆蓋層
19	磁耦合層
20	高保磁力層
21	磁耦合層
22	磁耦合層

七、申請專利範圍：

1. 一種記憶元件，其包含：

記憶層，其藉由磁性體之磁化狀態而保持資訊；

磁化固定層，其具有成為上述記憶層所記憶之資訊之基準之磁化；

中間層，其設置於上述記憶層與上述磁化固定層之間且由非磁性體所形成；

磁耦合層，其鄰接於上述磁化固定層且設置於上述中間層之相反側；及

高保磁力層，其鄰接於上述磁耦合層而設置；

利用伴隨在包含上述記憶層、上述中間層、上述磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶；

上述磁耦合層為2層之層疊構造；且

上述磁耦合層之2層之中，高保磁力層側之層包含Ru、Re、Os中之至少一種。

2. 如請求項1之記憶元件，其中上述記憶層及上述磁化固定層將Fe、Co、Ni中之至少一種作為主成分，並含有5原子%以上且30原子%以下之B、C中之任一種。

3. 如請求項1之記憶元件，其中上述磁耦合層之2層之中，磁化固定層側之層包含Cu、Ag、Au、Ta、Zr、Nb、Hf、W、Mo、Cr中之至少一種。

4. 如請求項1之記憶元件，其中上述磁耦合層之2層之中，

磁化固定層側之層包含Ta、Zr、Nb、Hf、W、Mo、Cr中之至少一種，且該層厚度為0.05 nm至0.3 nm。

5. 如請求項1之記憶元件，其中上述磁耦合層之2層之中，磁化固定層側之層包含Cu、Ag、Au中之至少一種，且該層厚度為0.1 nm至0.5 nm。
6. 如請求項1之記憶元件，其中上述磁耦合層之2層之中，高保磁力層側之層厚度為0.5 nm至0.9 nm。
7. 一種記憶裝置，其包括：

記憶元件，其藉由磁性體之磁化狀態而保持資訊；及相互交叉之2種配線；

上述記憶元件包含：記憶層，其藉由磁性體之磁化狀態而保持資訊；磁化固定層，其具有成為該記憶層所記憶之資訊之基準之磁化；中間層，其設置於上述記憶層與上述磁化固定層之間且由非磁性體所形成；磁耦合層，其鄰接於上述磁化固定層且設置於上述中間層之相反側；及高保磁力層，其鄰接於上述磁耦合層而設置；利用伴隨在包含上述記憶層、上述中間層、上述磁化固定層之層構造之層疊方向上流動之電流而產生之自旋力矩磁化反轉，使上述記憶層之磁化反轉，藉此進行資訊之記憶，上述磁耦合層設為2層之層疊構造，且上述磁耦合層之2層之中，高保磁力層側之層包含Ru、Re、Os中之至少一種；

於上述2種配線之間配置有上述記憶元件；

通過上述2種配線而於上述記憶元件中流通上述層疊方向之電流，伴隨於此，引起自旋力矩磁化反轉。

八、圖式：

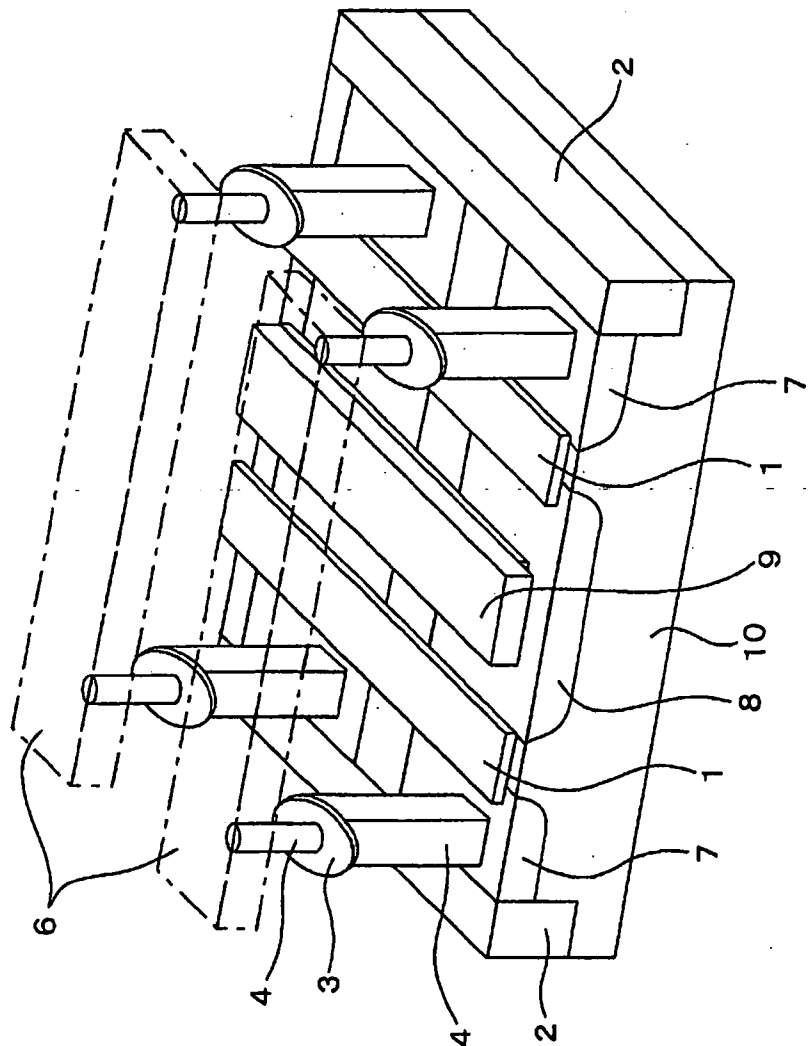


圖1

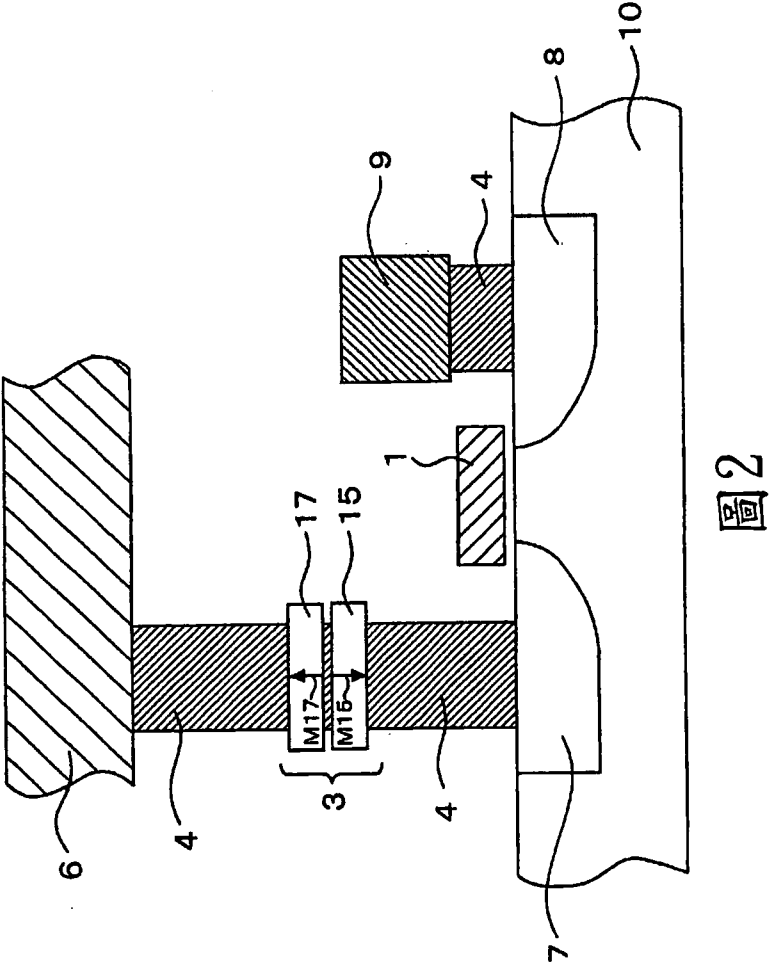


圖2

3

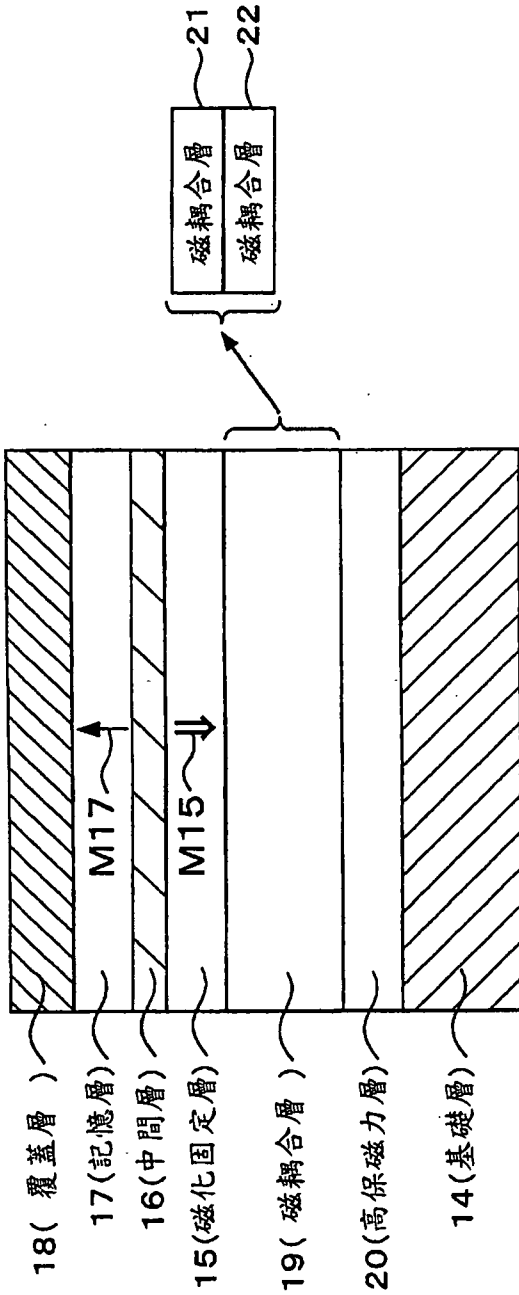


圖3

磁耦合層為2層

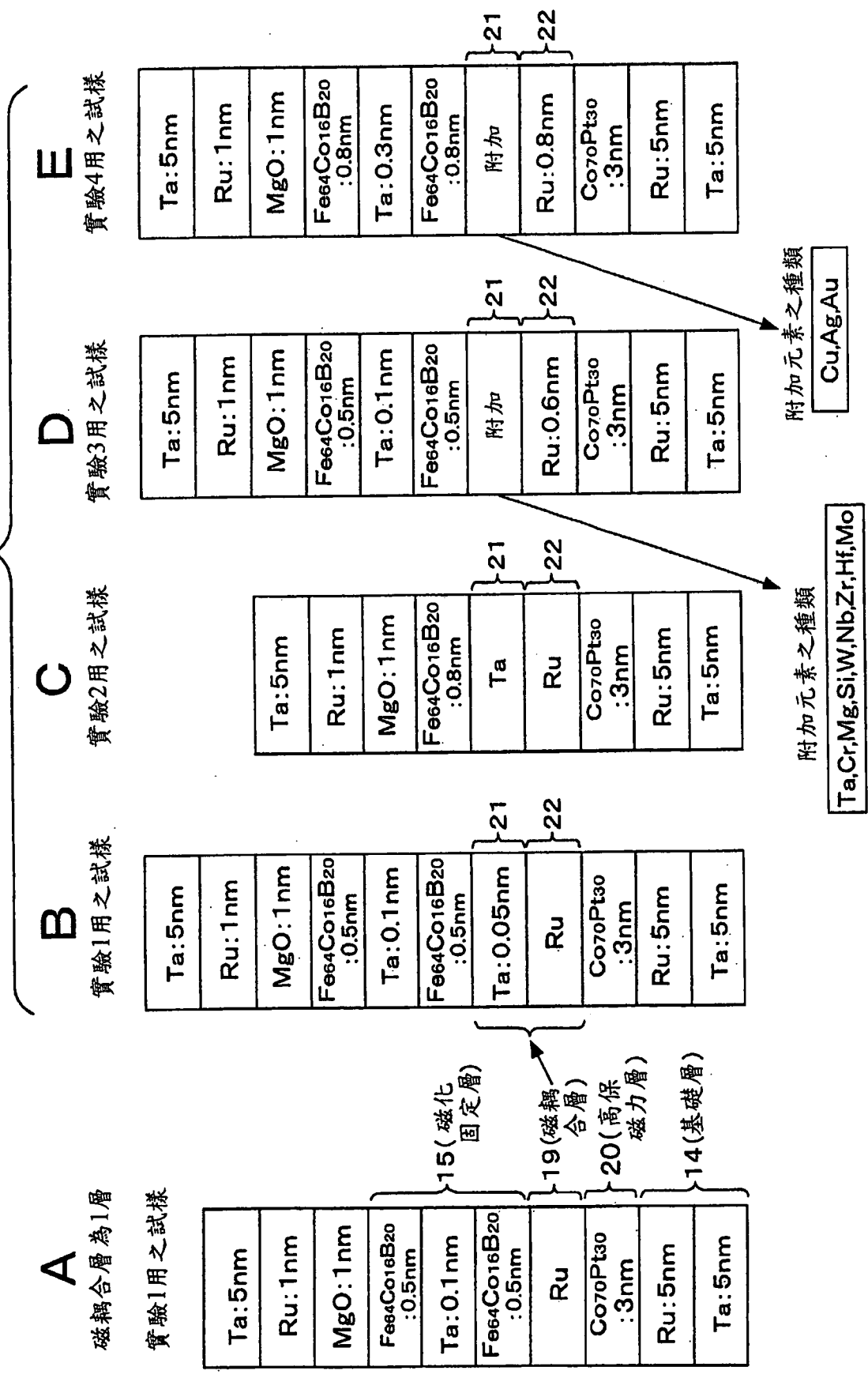


圖4

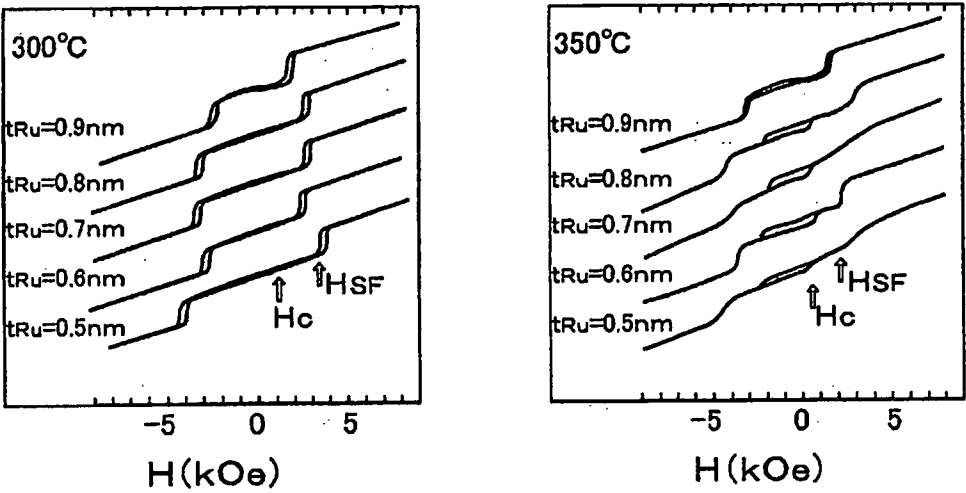


圖5

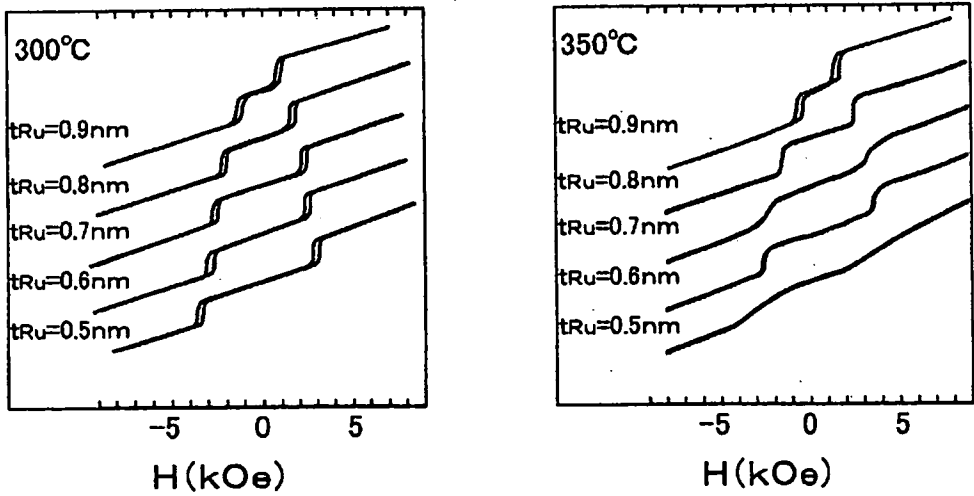


圖6

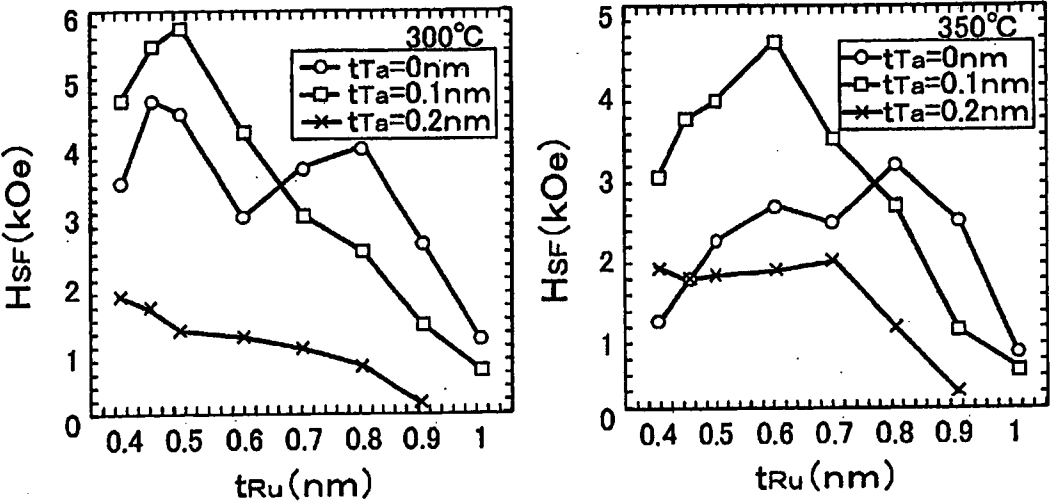


圖 7

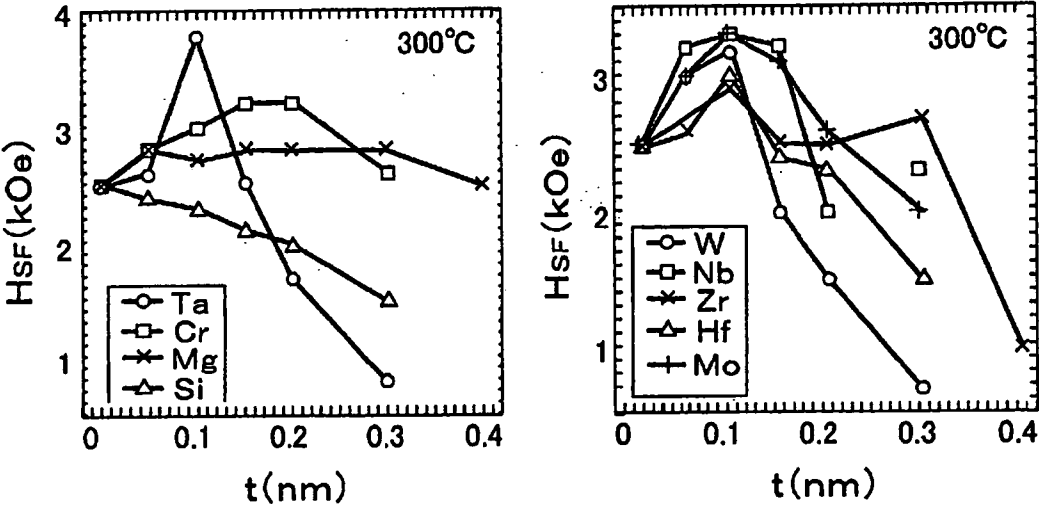


圖 8

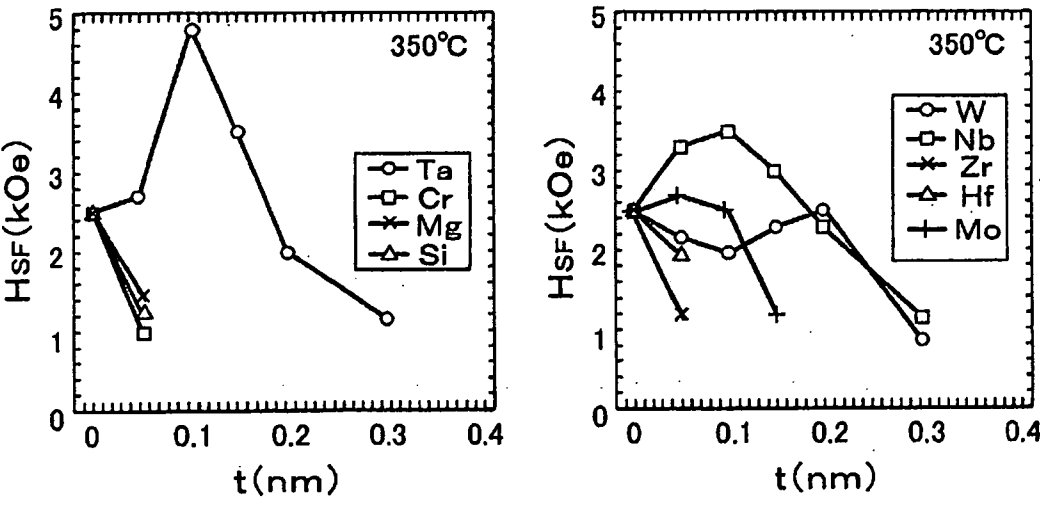


圖 9

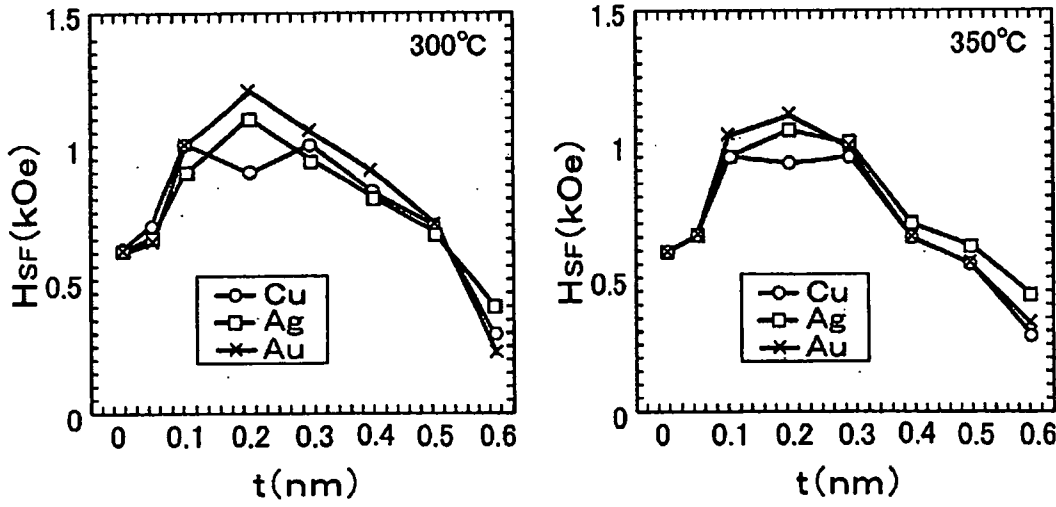


圖 10

磁耦合層為 1層之試樣	將磁耦合層設為2層之情形時之試樣			
	1	2	3	4
Ta:5nm	Ta:5nm	Ta:5nm	Ta:5nm	Ta:5nm
Fe ₆₄ Co ₁₆ B ₂₀ :1.4nm	Fe ₆₄ Co ₁₆ B ₂₀ :1.4nm	Fe ₆₄ Co ₁₆ B ₂₀ :1.4nm	Fe ₆₀ Ni ₃₀ C ₁₀ :1.2nm	Fe ₆₄ Co ₁₆ B ₂₀ :1.5nm
MgO:1nm	MgO:1nm	MgO:1nm	MgO:1nm	MgO:1nm
Fe ₆₄ Co ₁₆ B ₂₀ :0.8nm	Fe ₆₄ Co ₁₆ B ₂₀ :0.8nm	Fe ₆₄ Co ₁₆ B ₂₀ :1.2nm	Fe ₆₄ Co ₁₆ B ₂₀ :0.8nm	Fe ₅₀ Co ₁₀ Cr ₂₀ B ₂₀ :0.8nm
Ru:0.8nm	Ta:0.1nm	Ta:0.1nm	Ta:0.1nm	Ta:0.05nm
	Ru:0.6nm	Ru:0.6nm	Re:0.7nm	Os:0.8nm
CoPt:2nm	CoPt:2nm	CoPt:2nm	CoPt:2nm	FePt:2nm
Ru:5nm	Ru:5nm	Ru:5nm	Ru:5nm	TiN:5nm
Ta:5nm	Ta:5nm	Ta:5nm	Ta:5nm	Ta:5nm

17(記憶層)

16(中間層)

15(磁化固定層)

19(磁耦合層)

20(高保磁力層)

14(基礎層)

21(磁耦合層)

22(磁耦合層)

圖11