

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-182978  
(P2005-182978A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl.<sup>7</sup>

G11C 11/22

F I

G11C 11/22 501A

G11C 11/22 501K

テーマコード (参考)

審査請求 未請求 請求項の数 27 O L (全 23 頁)

(21) 出願番号 特願2004-186459 (P2004-186459)  
 (22) 出願日 平成16年6月24日 (2004.6.24)  
 (31) 優先権主張番号 2003-094383  
 (32) 優先日 平成15年12月22日 (2003.12.22)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 大韓民国京畿道水原市靈通区梅灘洞416  
 (74) 代理人 100076428  
 弁理士 大塚 康德  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (72) 発明者 田炳吉  
 大韓民国京畿道水原市勸善区勸善洞130  
 6番地現代アパート312-705号

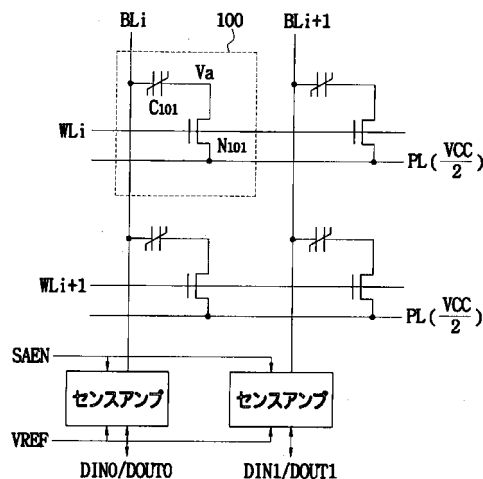
(54) 【発明の名称】 強誘電体メモリ装置及びその駆動方法

(57) 【要約】

【課題】 高集積化に適合するように構成されたセルアレイまたはワードラインドライバを備えた強誘電体メモリ装置と、前記セルアレイから構成された半導体メモリ装置においてワードラインドライバ駆動方法及びデータのリード/ライトを行うための駆動方法を提供することにある。

【解決手段】 強誘電体メモリ装置において、ワードラインインネーブル信号により動作される一つのアクセストランジスタ、及び、ビットラインと前記アクセストランジスタとの間に連結される一つの強誘電体キャパシタからなるメモリセルを少なくとも一つ具備する。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

強誘電体メモリ装置において、

ワードラインイネーブル信号により制御される一つのアクセストランジスタ、及び、ビットラインと前記アクセストランジスタとの間に連結された一つの強誘電体キャパシタを含む少なくとも一つのメモリセルを具備することを特徴とする強誘電体メモリ装置。

## 【請求項 2】

前記アクセストランジスタは、第1端子、第2端子及びゲートを有し、前記第1端子は前記ビットラインに第1電極が連結された強誘電体キャパシタの第2電極に連結され、前記第2端子はプレートラインに連結され、前記ゲートはワードラインに連結されていることを特徴とする請求項1に記載の強誘電体メモリ装置。

10

## 【請求項 3】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項2に記載の強誘電体メモリ装置。

## 【請求項 4】

複数の前記メモリセルが一つの共通プレートラインを共有することを特徴とする請求項3に記載の強誘電体メモリ装置。

## 【請求項 5】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体装置において、

20

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、第1ビットラインと前記第1アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

第2ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、を具備することを特徴とする強誘電体メモリ装置。

## 【請求項 6】

前記第1メモリセル及び前記第2メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項5に記載の強誘電体メモリ装置。

30

## 【請求項 7】

前記第1アクセストランジスタの第1端子は、前記第1ビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記第2ビットラインに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されていることを特徴とする請求項6に記載の強誘電体メモリ装置。

## 【請求項 8】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項7に記載の強誘電体メモリ装置。

40

## 【請求項 9】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、一つのビットラインと前記第1アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

第2ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、前記第1メモリセルが連結された前記一つのビットラインと前記第2アクセストランジスタ

50

タとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項10】

前記第1メモリセル及び前記第2メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項9に記載の強誘電体メモリ装置。

【請求項11】

前記第1メモリセル及び前記第2メモリセルは、互いに独立したプレートラインに連結されていることを特徴とする請求項9に記載の強誘電体メモリ装置。

【請求項12】

前記第1アクセストランジスタの第1端子は、前記一つのビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記一つのビットラインに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されていることを特徴とする請求項10に記載の強誘電体メモリ装置。

10

【請求項13】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項11または12に記載の強誘電体メモリ装置。

【請求項14】

複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリックス構造をなすメモリセルアレイを有する強誘電体メモリ装置において、

20

前記アレイユニットは、

第1ワードラインイネーブル信号により制御される第1アクセストランジスタ、及び、第1ビットラインと前記アクセストランジスタとの間に連結された第1強誘電体キャパシタを含む第1メモリセルと、

前記第1ワードラインイネーブル信号により制御される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結された第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、

第2ワードラインイネーブル信号により制御される第3アクセストランジスタ、及び、前記第1ビットラインと前記第3アクセストランジスタとの間に連結された第3強誘電体キャパシタを含み、前記第1メモリセル及び前記第2メモリセルと隣接した第3メモリセルと、

30

前記第2ワードラインイネーブル信号により制御される第4アクセストランジスタ、及び、前記第2ビットラインと前記第4アクセストランジスタとの間に連結された第4強誘電体キャパシタを含み、前記第1メモリセル乃至第3メモリセルと隣接した第4メモリセルと、

を有することを特徴とする強誘電体メモリ装置。

【請求項15】

前記第1メモリセル乃至前記第4メモリセルは、一つのプレートラインに連結されていることを特徴とする請求項14に記載の強誘電体メモリ装置。

40

【請求項16】

前記プレートラインには、電源電圧の1/2倍の固定電圧が印加されることを特徴とする請求項15に記載の強誘電体メモリ装置。

【請求項17】

強誘電体メモリ装置において、

ワードラインにゲートが連結されたアクセストランジスタ、及び、前記アクセストランジスタとビットラインとの間に連結された強誘電体キャパシタを含む少なくとも一つのメモリセルと、

印加されるワードラインイネーブル信号に応答するスイッチング素子を通じてメインワ

50

ードライン電圧を前記ワードラインに伝達することにより前記メモリセルのアクセストランジスタを動作させるワードラインドライバと、

を備えることを特徴とする強誘電体メモリ装置。

【請求項 18】

前記ワードラインには、ワードラインディスエーブル信号に応じて前記ワードラインを放電させてディスエーブルさせるための放電用素子がさらに連結されていることを特徴とする請求項 17 に記載の強誘電体メモリ装置。

【請求項 19】

前記メインワードライン電圧及び前記ワードラインの電圧は、電源電圧VCCレベルを有することを特徴とする請求項 18 に記載の強誘電体メモリ装置。

10

【請求項 20】

前記メモリセルを構成する前記アクセストランジスタは、第1端子及び第2端子を有し、前記第1端子は、前記ビットラインに第1電極が連結された前記強誘電体キャパシタの第2電極に連結され、前記第2端子は、前記プレートラインに連結されていることを特徴とする請求項 19 に記載の強誘電体メモリ装置。

【請求項 21】

前記ワードラインイネーブル信号は、外部電源電圧レベルを有することを特徴とする請求項 20 に記載の強誘電体メモリ装置。

【請求項 22】

複数のメモリセルがマトリクス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置においてデータをライトするための駆動方法であって、

20

ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

前記ビットライン上に印加された電圧をセンスアンプで感知増幅する段階と、

ライトしようとするデータに対応する電圧を前記ビットライン上に印加することによりデータを前記強誘電体キャパシタに保持させる段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、を含むことを特徴とする駆動方法。

30

【請求項 23】

前記固定電圧は、前記アクセストランジスタの第1端子に連結されたプレートラインを通じて印加されることを特徴とする請求項 22 に記載の駆動方法。

【請求項 24】

前記プレートラインに印加される固定電圧は、電源電圧の1/2倍のレベルを有することを特徴とする請求項 23 に記載の駆動方法。

【請求項 25】

複数のメモリセルがマトリクス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置において保持されたデータをリードするための駆動方法であって、

ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、

40

前記ビットライン上に印加された電圧をセンスアンプで感知増幅して出力する段階と、

前記ワードラインをディスエーブルさせてビットラインを接地電圧に設定する段階と、を含むことを特徴とする駆動方法。

【請求項 26】

前記固定電圧は、プレートラインを通じて印加されることを特徴とする請求項 25 に記載の駆動方法。

【請求項 27】

50

前記プレートラインに印加される固定電圧は、電源電圧の1/2倍のレベルを有することを特徴とする請求項25に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリ装置及びその駆動方法に係るもので、詳しくは、高集積化に適合するように構成されたセルアレイまたはワードラインドライバを備えた強誘電体メモリ装置と、前記セルアレイを備えた半導体メモリ装置においてワードラインドライバ駆動方法及びデータのリード/ライトを行うための駆動方法に関する。

【背景技術】

【0002】

最近、強誘電体薄膜をキャパシタの誘電膜に用いることにより、DRAM装置で必要なリフレッシュの限界を克服し、且つ大容量メモリを使用できる装置の開発が進んでいる。このような強誘電体薄膜を用いる強誘電体メモリは、不揮発性メモリ装置の一種で、電源が切られた状態でも情報を保持するとともに高速アクセスが可能で、電力消費が少なく、且つ衝撃に耐えられる強度を有するといった長所がある。そこで、携帯用コンピューター、セルラーフォン、ゲーム機などのようなファイル保存及び検索機能を有する多様な電子機器及び装置において主記憶装置として用いられるか、或いは音声及びイメージを記録するための記録媒体として用いられることが予想されている。

【0003】

強誘電体メモリ装置において、強誘電体キャパシタとアクセストランジスタから構成されたメモリセルは、強誘電体キャパシタの電气的分極状態に従って論理的状态を有するデータの'1'または'0'を保持する。強誘電体キャパシタの両端に電圧が印加されるとき、電界の方向に従って強誘電物質が分極され、その強誘電物質の分極状態が変化するスイッチングしきい電圧を強制電圧という。そして、メモリセルに保持されたデータをリードするため、強誘電体キャパシタの両電極間に電位差が発生するように電圧を印加して、ビットラインに励起される電荷量の変化でメモリセルに保持されたデータの状态が感知される。

【0004】

図10は、一般的な強誘電物質ヒステリシス曲線(hysteresis curve)を示したものである。このヒステリシス曲線において、X軸は強誘電物質に印加される電圧、即ち、強誘電体キャパシタの2個の電極のうちプレートラインに連結される側の電極を正の電極とし、他方の側の電極を負の電極と仮定してキャパシタ両端に印加される電圧を示したもので、Y軸は強誘電物質の自発分極に従ってその表面に誘起される電荷の量、即ち、分極度( $\mu\text{C}/\text{cm}^2$ )を示す。

【0005】

図10に示すように、接地電圧( $V_{ss}$ または0V)が印加されて強誘電物質に電界が印加されな場合には、分極が発生しない。強誘電体キャパシタの両端の電圧が正の方向に増加されるとき、分極度(または電荷量)は0から正の分極領域内の状態点Aまで増加する。状態点Aでは分極が一方向に発生し、状態点Aでの分極度は最大値に至る。ここで、分極度、即ち、強誘電物質が保有する電荷の量は $+Q_s$ で表される。以後、キャパシタの両端の電圧が再び接地電圧 $V_{ss}$ まで落ちて分極度は0までは低くならず状態点Bに残留する。このような残留分極に従って強誘電物質が保有する電荷の量、即ち、残留分極度は $+Q_r$ で表される。次いで、キャパシタの両端の電圧が負の方向に増加すると、分極度は状態点Bから負の電荷分極領域内の状態点Cに変わる。状態点Cでは、強誘電物質は状態点Aにおける分極方向と反対の方向に分極される。このときの分極度は $-Q_s$ で表される。以後、キャパシタ両端の電圧が再度接地電圧 $V_{ss}$ まで落ちて分極度は0までは落ちずに状態点Dに残留する。このときの残留分極度は $-Q_r$ で表される。キャパシタの両端に印加される電圧の大きさがもう一度正の方向に増加すると、強誘電物質の分極度は状態点Dから状態点Aに変わる。

10

20

30

40

50

## 【0006】

上記のように、電界を発生するための電圧が2電極間に強誘電物質が挿入された強誘電体キャパシタに一度だけ印加されると、以後にその電極がフローティング状態に設定されても自発分極に従った分極方向が維持される。自発分極による強誘電物質の表面電荷については、漏洩などに起因する自然的損失は発生しない。分極度が0になるように反対方向に電圧が印加されないと、分極方向はそのまま維持される。

## 【0007】

強誘電体キャパシタに正の方向に電圧が印加されてからそれが除去されると、強誘電体キャパシタを構成する強誘電物質の残留分極は $+Q_r$ の状態となる。また、強誘電体キャパシタに負の方向に電圧が印加されてからそれが除去されると、強誘電物質の残留分極は $-Q_r$ 状態となる。ここで、残留分極が $+Q_r$ の状態であるときにその論理状態がデータ“0”を表すと仮定すると、残留分極が $-Q_r$ の状態であるときの論理状態はデータ“1”を表す。

10

## 【0008】

図11は、従来の一の強誘電体メモリ装置におけるメモリセルアレイを構成するメモリセルを示す。

## 【0009】

図11に示すように、メモリセルは、一つのアクセストランジスタ $N1$ と一つの強誘電体キャパシタ $C1$ とからなる。アクセストランジスタ $N1$ は、強誘電体キャパシタ $C1$ の一つの電極とビットライン $BL$ との間にそれぞれ連結された2個の端子、即ち、ソース端子とドレイン端子を有し、ワードライン $WL$ にゲートが連結される。一つの電極がアクセストランジスタ $N1$ に連結された強誘電体キャパシタ $C1$ の他の電極はプレートライン $PL$ に連結される。

20

## 【0010】

このようなメモリセルが複数の行と列に配列されたセルアレイを具備する強誘電体メモリ装置におけるリード及びライト動作は、上述のような分極反転によりなされる。従って、強誘電体メモリの動作速度は分極反転時間により決定され、分極反転速度はキャパシタの面積、強誘電体薄膜の厚さ、印加電圧などによって決定される。

## 【0011】

図12及び図13は、従来の一の強誘電体メモリにおけるセルアレイの回路図を示す。図12は、開放型ビットライン構造を有する強誘電体メモリセルアレイの回路図を示し、図13は、折畳型ビットライン構造を有する強誘電体メモリセルアレイの回路図である。

30

## 【0012】

図12及び図13に示すように、強誘電体のセルアレイ構造は、強誘電性物質を誘電体として用いるデータ保持用キャパシタを用いることを除いてDRAMのセルアレイ構造と類似である。即ち、メモリセルのデータをセンシングするビットライン構造に従って開放型と折畳型とに分類される。

## 【0013】

図12に示すような開放型ビットライン構造では、ワードライン $WLi$ にゲートが連結されたトランジスタ $N2$ がビットライン $BLi$ と強誘電体キャパシタ $C2$ との間に連結されて構成されたメモリセル10がマトリクス構造で配列される。同一のビットラインに連結されたメモリセルは、互いに異なったプレートライン $PLi$ 、 $PLi+1$ にそれぞれ連結される。これとは異なって、図13に示すような折畳型ビットライン構造では、隣接した2個のビットライン $BLi$ 、 $BLi+1$ にそれぞれ連結されるとともにワードライン $WLi$ 、 $WLi+1$ にそれぞれ連結されたメモリセルから構成され、前記メモリセルを構成する強誘電体キャパシタ $C3$ が一つのプレートラインに共通に連結されるアレイユニット20がマトリクス構造で配列されて、集積度の面で有利である。

40

## 【0014】

このような開放型構造の他の一例がチャールズエム(Charles M. C. Tan)を発明者としてアジレントテクノロジー(株)に付与された米国特許第6,137,711号公報(特

50

許文献 1) に開示されている。また、折畳型構造の一例はキムゼファン (Jaewhan Kim) を発明者として現大 (株) (Hyundai Electronics Inc.) に付与された米国特許第 6, 151, 243 号 (特許文献 1) に開示されている。

【0015】

図 14 は、従来の強誘電体メモリ装置に用いられるワードラインドライバ回路を示す。図 14 に示すように、ワードラインドライバ回路は、4 個のトランジスタと制御信号から構成される。ワードラインデコーディング信号 MWL が電源電圧 VCC により駆動されるトランジスタ N4 を通じてトランジスタ N5 のゲートに伝達されてトランジスタ N5 を動作させる。トランジスタ N5 は、電源電圧 VCC よりも高いレベルを有する外部電源電圧 VPP をワードラインに伝達する。ワードライン WL には、制御信号 WL\_PDB により駆動される放電用トランジスタ N7 が連結される。

10

【0016】

このワードラインドライバ回路が動作する前においては、制御信号 WL\_PDB を除いて、図 14 に示した全ての制御信号は接地電圧  $V_{ss}$  である。動作が開始されると、まず、ワードラインデコーディング信号 MWL は、電源電圧 VCC として印加される。従って、トランジスタ N4 とトランジスタ N5 との間のノード電圧は、電源電圧 VCC からトランジスタ N4 のしきい電圧  $V_{th}$  を引いた電圧  $VCC - V_{th}$  に上昇する。しばらくして、制御信号 WL\_DRV が外部電源電圧レベル VPP になると、トランジスタ N5 のドレインとゲートとの間のキャパシタンスのためにノード電圧は  $VCC - V_{th} + VPP$  に昇圧 (boosted) される。すると、トランジスタ N5 は、十分なゲート電圧  $VCC - V_{th} + VPP$  を有するので、制御信号 WL\_DRV を通じて十分な電流をワードライン WL に供給して、ワードライン WL の電圧が外部電源電圧レベル VPP に到達する。従って、ワードライン WL に連結されたメモリセルのアクセストランジスタを外部電源電圧 VPP のワードラインイネーブル信号により動作させる。

20

【0017】

以下、従来の強誘電体メモリ装置におけるリード及びライト動作を図 10 及び図 11 を参照して説明する。まず、リード動作を説明するため、分極状態が状態点 D にある強誘電体キャパシタ C1 にデータ '1' が保持されていると仮定する。ビットライン BL が接地電圧  $V_{ss}$  に設定された状態でワードラインイネーブル信号がワードラインに印加されると、それに応じてアクセストランジスタ N1 がターンオンされる。そして、強誘電体キャパシタ C1 の正の電極に連結されたプレートライン PL に電源電圧 VCC が印加されると、強誘電体キャパシタ C1 の分極は状態点 D から状態点 A に変更される。この状態遷移に対応する電荷  $dQ1$  は、アクセストランジスタ N1 を通じてビットライン BL に伝達される。電荷伝達は、ビットライン BL に接続された感知回路、例えば、センスアンプなどにより感知増幅されて検出され、それはデータ値 '1' がメモリセルでリードされたことを意味する。センスアンプの増幅作用によりビットライン BL の電圧が電源電圧 VCC に上昇するのにもなって、強誘電体キャパシタ C1 の分極は状態点 A から状態点 B に変化する。

30

【0018】

メモリセルからデータ '1' をリードした後、ビットライン BL 上のデータ '1' は、プレートライン PL に印加された電圧を除去することにより、状態点 B から状態点 C への逆状態遷移を伴う。そして、ビットライン BL 電圧を接地電圧  $V_{ss}$  に設定することにより、状態点 C から状態点 D に変わり、データ '1' を再保持する。

40

【0019】

一方、分極状態が状態点 B にある強誘電体キャパシタ C1 にデータ '0' が保持されている場合、ワードラインイネーブル信号がワードライン WL に印加されると、それに応じてアクセストランジスタ N1 がターンオンされ、強誘電体キャパシタ C1 の正の電極に連結されたプレートラインに電源電圧 VCC が印加されると、強誘電体キャパシタ C1 の分極は状態点 B から状態点 A に変わる。この状態遷移に対応する電荷  $dQ0$  は、アクセストランジスタ N1 を通じてビットライン BL に伝達される。電荷伝達は、ビットライン BL と接続された感知回路、例えば、センスアンプなどにより感知増幅されて検出され、これはデータ値 '0' がメモリセルからリードされることを意味する。

50

## 【0020】

センスアンプの増幅作用によりビットラインBLの電圧が接地電圧Vssに設定され、以後のプレートラインPLの電圧を除去することにより、強誘電体キャパシタC1の分極は状態点Aから状態点Bに変わってデータ‘0’の論理状態が維持される。

## 【0021】

そして、ライト動作は、強誘電体キャパシタC1にデータ‘1’を格納する場合には、電源電圧VCCがビットラインBLを通じて強誘電体キャパシタC1に印加されてから除去されると、強誘電体キャパシタC1の分極は状態点Cから状態点Dに変わる。これにより、状態点Dに分極の形成された状態がデータ‘1’を保持した状態となる。そして、強誘電体キャパシタC1にデータ‘0’を格納する場合、プレートラインPLを通じて強誘電体キャパシタC1に電源電圧VCCが印加されてから除去されると、強誘電体キャパシタC1の分極は状態点Aから状態点Bに変わる。これにより、状態点Bに分極の形成された状態がデータ‘0’を保持した状態となる。

10

## 【0022】

従来強誘電体メモリ装置の一般的な構造及び動作は、S. Sheffield Eaton, Jrを発明者としてRamtron Corporationに付与された米国特許第4,873,664号(特許文献2)、及びWilliam F. Kraus等を発明者としてRamtron International Corporationに付与された米国特許第5,978,251号(特許文献3)などに開示されている。

【特許文献1】米国特許第6,151,243号公報

【特許文献2】米国特許第4,873,664号公報

【特許文献3】米国特許第5,978,251号公報

20

【発明の開示】

【発明が解決しようとする課題】

## 【0023】

上述のような従来強誘電体メモリ装置において、高集積の強誘電体メモリ装置を製造するためには、一つのプレートラインにより多くのメモリセルが連結されることが理想的である。

## 【0024】

然るに、強誘電体キャパシタはキャパシタンスが大きいと、大きなキャパシタンスを有するキャパシタを動作させるためには大きな容量のパルスが必要とされる。このため、大きな容量のパルスに起因してプレートラインに時定数遅延(RC delay)が発生し、これにより一つのプレートラインに連結されるメモリセルの個数に制限が加えられる。これは、高集積強誘電体メモリでより多くのプレートラインドライバが必要な原因となってメモリチップサイズを増大させ、消費電力を増加させるとともに動作時間を長くするという問題点を生じさせる。

30

## 【0025】

また、従来ワードラインドライバは、多くのトランジスタと種々の制御信号により動作するために、高集積化に適しておらず、電力消費が大きくなるとともに消費電力が増加するという問題点があった。

## 【0026】

そして、上述のリード及びライト動作は、プレートライン電圧とビットライン電圧により制御されるため、一つの時間区間でデータ‘1’または‘0’を扱うことができず、動作時間が長くなるという問題点があった。

40

## 【0027】

そこで、本発明の第1の目的は、従来技術の問題点の少なくとも一つを克服できる強誘電体メモリ装置及びその駆動方法を提供することにある。

## 【0028】

本発明の第2の目的は、高集積化に適合した強誘電体メモリ装置及びその駆動方法を提供することにある。

## 【0029】

50



本発明の第3の目的は、動作速度を向上させるとともに消費電力を減少させることができる強誘電体メモリ装置及びその駆動方法を提供することにある。

【0030】

本発明の第4の目的は、安定したリード及びライト動作を行うことができる強誘電体メモリ装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0031】

このような目的を達成するため本発明による強誘電体メモリ装置は、ワードラインイネーブル信号により動作される一つのアクセストランジスタ、及び、ビットラインと前記アクセストランジスタとの間に連結される一つの強誘電体キャパシタを含む、少なくとも一つメモリセルを具備することを特徴とする。

10

【0032】

本発明の好適な実施形態によれば、前記アクセストランジスタは、第1、第2端子、及び、ゲートを有し、前記第1端子は、前記ビットラインに第1電極が連結された強誘電体キャパシタの第2電極に連結され、前記第2端子は、プレートラインに連結され、前記ゲートは、ワードラインに連結され、前記プレートラインには固定電圧またはパルスが印加されることができる。

【0033】

また、本発明の他の側面の強誘電体メモリ装置は、複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリクス構造をなすメモリセルアレイを有する強誘電体半導体メモリ装置において、前記アレイユニットは、第1ワードラインイネーブル信号により動作される第1アクセストランジスタ、及び、第1ビットラインと前記第1アクセストランジスタとの間に連結される第1強誘電体キャパシタを含む第1メモリセルと、第2ワードラインイネーブル信号により動作される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結される第2強誘電体を含み、前記第1メモリセルと隣接する第2メモリセルと、を有することを特徴とする。

20

【0034】

本発明の好適な実施形態によれば、前記第1メモリセル及び前記第2メモリセルは一つのプレートラインに連結され、前記第1アクセストランジスタの第1端子は、前記第1ビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記第2ビットラインに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されることができる。

30

【0035】

また、本発明の他の側面の強誘電体メモリ装置は、複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリクス構造をなすメモリセルアレイを有する強誘電体半導体メモリ装置において、前記アレイユニットは、第1ワードラインイネーブル信号により動作される第1アクセストランジスタ、及び、一つのビットラインと前記第1アクセストランジスタとの間に連結される第1強誘電体キャパシタを含む第1メモリセルと、第2ワードラインイネーブル信号により動作される第2アクセストランジスタ、及び、前記第1メモリセルが連結された前記一つのビットラインと前記第2アクセストランジスタとの間に連結される第2強誘電体キャパシタを含み、前記第1メモリセルと隣接した第2メモリセルと、を有することを特徴とする。

40

【0036】

本発明の好適な実施形態によれば、前記第1メモリセル及び前記第2メモリセルは一つのプレートラインに連結されることができる。また、前記第1アクセストランジスタの第1端子は、前記一つのビットラインに第1電極が連結された第1強誘電体キャパシタの第2電極に連結され、前記第2アクセストランジスタの第1端子は、前記一つのビットライ

50

ンに第1電極が連結された第2強誘電体キャパシタの第2電極に連結され、前記第1アクセストランジスタの第2端子と前記第2アクセストランジスタの第2端子がともに前記プレートラインに連結されることができる。

【0037】

また、本発明他の側面の強誘電体メモリ装置は、複数のアレイユニットを備え、前記複数のアレイユニットが行と列に配列されてマトリクス構造をなすメモリセルアレイを有する強誘電体半導体メモリ装置において、前記アレイユニットは、第1ワードラインイネーブル信号により動作される第1アクセストランジスタ、及び、第1ビットラインと前記第1アクセストランジスタとの間に連結される第1強誘電体キャパシタを含む第1メモリセルと、前記第1ワードラインイネーブル信号により動作される第2アクセストランジスタ、及び、第2ビットラインと前記第2アクセストランジスタとの間に連結される第2強誘電体キャパシタを含み、前記第1メモリセルと隣接する第2メモリセルと、第2ワードラインイネーブル信号により動作される第3アクセストランジスタ、及び、前記第1ビットラインと前記第3アクセストランジスタとの間に連結される第3強誘電体キャパシタを含み、前記第1メモリセル及び前記第2メモリセルと隣接する第3メモリセルと、前記第2ワードラインイネーブル信号により動作される第4アクセストランジスタ、及び、前記第2ビットラインと前記第4アクセストランジスタとの間に連結される第4強誘電体キャパシタを含み、前記第1メモリセル乃至第3メモリセルと隣接する第4メモリセルと、を有することを特徴とする。

【0038】

本発明の好適な実施形態によれば、前記第1メモリセル乃至前記第4メモリセルは一つのプレートラインに連結されることができる。

【0039】

また、本発明の他の側面の強誘電体メモリ装置は、ワードラインにゲートが連結されるアクセストランジスタ、及び、前記アクセストランジスタとビットラインとの間に連結される強誘電体キャパシタを含む少なくとも一つメモリセルと、印加されるワードラインイネーブル信号に応答するスイッチング素子を通じてメインワードライン電圧を前記ワードラインに伝達することにより、前記メモリセルのアクセストランジスタを動作させるワードラインドライバと、を備える。

【0040】

本発明の好適な実施形態によれば、前記ワードラインには、印加されるワードラインディスエーブル信号に応じて前記ワードラインを放電させてディスエーブルさせるための放電素子がさらに連結されることができる。

【0041】

また、本発明の強誘電体メモリ装置の駆動方法は、複数個のメモリセルがマトリクス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置においてデータをライトするための駆動方法は、ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、前記ビットライン上に印加された電圧をセンスアンプで感知増幅する段階と、ライトしようとするデータに対応する電圧を前記ビットライン上に印加することによりデータを前記強誘電体キャパシタに保持させる段階と、前記ワードラインをディスエーブルさせビットラインを接地電圧に設定する段階と、を含む。

【0042】

本発明の好適な実施形態によれば、前記固定電圧はプレートラインを通じて電源電圧の1/2倍のレベルに印加されることができる。

【0043】

また、本発明の強誘電体メモリ装置での駆動方法は、複数個のメモリセルがマトリクス構造で配列されたメモリセルアレイを有する強誘電体メモリ装置において保持されたデ

10

20

30

40

50

ータをリードするための駆動方法は、ワードラインイネーブル信号により選択されたアクセストランジスタの第1端子に印加される固定電圧がビットラインと前記アクセストランジスタの第2端子との間に連結された強誘電体キャパシタに印加されるようにして、前記ビットライン上に前記強誘電体キャパシタに保持されたデータに対応する電圧が印加される段階と、前記ビットライン上に印加された電圧をセンスアンプで感知増幅して出力する段階と、前記ワードラインをディスエーブルさせビットラインを接地電圧に設定する段階と、を含む。

【0044】

本発明の好適な実施形態によれば、前記固定電圧はプレートラインを通じて電源電圧の1/2倍のレベルに印加されることができる。

10

【発明の効果】

【0045】

上述の装置及び方法は、強誘電体メモリの高集積化に有用であり、動作速度を向上させ、消費電力を減少させるとともに安定したリード及びライト動作を行い得るとの効果がある。

【0046】

また、本発明によると、プレートラインにパルスを印加するのではなく固定電圧を印加することにより、強誘電体メモリ装置に連結されるプレートラインの数を減らして高集積に適合した強誘電体メモリ装置を具現することができる。また、速度低下の原因となるパルス形態の信号を減らすことにより動作速度が向上し、ワードラインドライバの構成を簡略化することにより、高集積化に有利で消費電力減少及び動作速度の向上に寄与するという効果がある。

20

【0047】

リード及びライト動作の実行時に安定した動作を行い、一つの時間帯でデータ'1'またはデータ'0'をライトすることにより動作速度が改善され、ワードラインをディスエーブルさせた後にビットラインを接地電圧に設定することにより、強誘電体キャパシタの正の電極に設定される電位差の逆転を防止して安定したリード及びライト動作を行うことができるという効果がある。

【発明を実施するための最良の形態】

【0048】

以下、本発明の実施形態について図面を用いて詳しく説明する。本発明が属する技術分野において通常の知識を有した者に本発明の徹底した理解を提供する意図のほかには別の意図はなく、図1乃至図9を参照して説明される。

30

【0049】

図1は、本発明の一実施形態による強誘電体半導体メモリ装置におけるメモリセルアレイを構成するメモリセル構造を示す。

【0050】

図1に示すように、メモリセルは、一つのアクセストランジスタN101及び一つの強誘電体キャパシタC101を含んで構成される。強誘電体キャパシタC101は、第1電極がビットラインBLに連結され、第2電極がアクセストランジスタN101の第1端子に連結される。また、アクセストランジスタN101は、第1端子が強誘電体キャパシタC101の第2電極に連結され、第2端子がプレートラインPLに連結され、ゲートがワードラインWLに連結される構造である。

40

【0051】

このようなメモリセル構造は、従来技術の強誘電体メモリにおけるセルアレイを構成するメモリセルとは異なり、アクセストランジスタN101は、ワードラインWLを通じて印加されるワードラインイネーブル信号により制御される。プレートラインPLには固定電圧が印加されることが好ましいが、従来のようにパルスが印加されることもできる。この固定電圧は、電源電圧VCCの1/2倍のレベルのものが好ましい。

【0052】

50

以下、プレートラインPLに電源電圧VCCの1/2倍のレベルの固定電圧が印加される場合を想定して説明する。

【0053】

図2は、図1に示したような構造を有するメモリセルが行と列に配列されたメモリセルアレイ構造の一実施形態を示す。

【0054】

図2に示すように、複数のワードライン $WLi$ 、 $WLi+1$ 、複数のビットライン $BLi$ 、 $BLi+1$ 、 $BLi+2$ 、及び複数のメモリセルが行と列に配列されてマトリクス構造をなす形態にセルアレイが構成される。

【0055】

メモリセルアレイを構成するメモリセル200は、図1を参照して説明されたように、一つのアクセストランジスタ $N201$ と一つの強誘電体キャパシタ $C201$ から構成される。強誘電体キャパシタ $C201$ は、その第1電極がビットラインBLに連結され、その第2電極がアクセストランジスタ $N201$ の第1端子に連結される。また、アクセストランジスタ $N201$ は、その第1端子が強誘電体キャパシタ $C201$ の第2電極に連結され、その第2端子がプレートラインPLに連結され、そのゲートがワードラインWLに連結される構造である。

【0056】

このメモリセルアレイは、行方向と列方向に配列された各メモリセルが行方向に配列されたワードライン $WLi$ 、 $WLi+1$ と列方向に配列されたビットライン $BLi$ 、 $BLi+1$ 、 $BLi+2$ に連結されてマトリクス構造をなす。一つのビットラインBLを共有するメモリセルがそれぞれのワードライン $WLi$ 、 $WLi+1$ と独立的に連結された構造となり、一つのワードラインを共有するメモリセルがそれぞれ異なったビットラインと独立的に連結される。ここで、固定電圧が印加されるプレートラインPLは、複数のメモリセルからなったメモリブロックごとにそれぞれ独立的に連結されることができる。また、メモリセルアレイを構成する全てのメモリセルを連結する一つの共通プレートラインを構成して連結されることもできる。また、一つのビットラインBLまたはワードラインWLを共有するメモリセルが一つのプレートラインPLを共有することもできる。プレートラインPLに印加される固定電圧は、電源電圧VCCの1/2倍とすることができる。

【0057】

図3は、本発明の一実施形態としての折畳み型構造を有するメモリセルアレイを示す。

【0058】

図3に示すように、第1メモリセル301及び第2メモリセル302からなるアレイユニット300が複数個の行と列に配列される。

【0059】

メモリセルアレイは、行方向と列方向に配列された複数個のアレイユニット300が、行方向に配列されたワードライン $WLi$ 、 $WLi+1$ 、 $WLi+3$ と列方向に配列されたビットライン $BLi$ 、 $BLi+1$ 、 $BLi+3$ に連結されて配列されるマトリクス構造をなす形態で構成される。

【0060】

アレイユニット300を構成する第1メモリセル301及び第2メモリセル302は互いに隣接して配置され、ワードラインインエーブル信号により動作するアクセストランジスタ $N301$ 、 $N302$ 、及び、ビットラインとアクセストランジスタとの間に連結される強誘電体キャパシタ $C301$ 、 $C302$ とで構成される。

【0061】

第1メモリセル301を構成する第1強誘電体キャパシタ $C301$ は、その第1電極が第1ビットライン $BLi$ に連結され、その第2電極が第1アクセストランジスタ $N301$ の第1端子に連結される。第1アクセストランジスタ $N301$ は、その第1端子が第1強誘電体キャパシタ $C301$ の第2電極に連結され、そのゲートが第1ワードライン $WLi$ に連結される構造となる。

10

20

30

40

50

## 【0062】

第2メモリセル302を構成する第2強誘電体キャパシタC302は、その第1電極が第2ビットラインBL<sub>i+1</sub>に連結され、その第2電極が第2アクセストランジスタN302の第1端子に連結される。また、第2アクセストランジスタN302は、その第1端子が第2強誘電体キャパシタC302の第2電極に連結され、そのゲートが第2ワードラインW<sub>Li+1</sub>に連結される構造となる。

## 【0063】

第1メモリセル301を構成する第1アクセストランジスタN301の第2端子と第2メモリセル302を構成する第2アクセストランジスタN302の第2端子はともに、固定プレート電圧VCC/2が印加されるプレートラインPLに連結される。

10

## 【0064】

プレートラインPLとアレイユニット300との関係は、それぞれのアレイユニットが一つのプレートラインを共有して連結されるものであってもよいし、それぞれのアレイユニットに独立的に連結されるものであってもよいし、そのほかの連結方法によってもよい。

## 【0065】

図4は、本発明の一実施形態としての、2個のセルがソースまたはドレイン領域を共有する開放型構造のメモリセルアレイ構造を示す。

## 【0066】

図4に示すように、第1メモリセル401及び第2メモリセル402からなるアレイユニット400が複数の行と列に配列される。

20

## 【0067】

メモリセルアレイは、行方向と列方向に配列されたそれぞれのアレイユニット400が、行方向に配列されたワードラインW<sub>Li</sub>、W<sub>Li+1</sub>、W<sub>Li+2</sub>、W<sub>Li+3</sub>と列方向に配列されたビットラインB<sub>Li</sub>、B<sub>Li+1</sub>、B<sub>Li+2</sub>に連結されてマトリックス構成をなす形態で構成される。

## 【0068】

アレイユニット400を構成する第1メモリセル401及び第2メモリセル402は互いに隣接して配置され、ワードラインイネーブル信号により制御されるアクセストランジスタN401、N402、及び、ビットラインとそれぞれのアクセストランジスタとの間に連結される強誘電体キャパシタC401、C402とで構成される。

30

## 【0069】

第1メモリセル401を構成する第1強誘電体キャパシタC401は、その第1電極が一つのビットラインB<sub>Li</sub>に連結され、その第2電極が第1アクセストランジスタN401の第1端子に連結される。第1アクセストランジスタN401は、その第1端子が第1強誘電体キャパシタC401の第2電極に連結され、そのゲートが第1ワードラインW<sub>Li</sub>に連結される構造となる。

## 【0070】

第2メモリセル402を構成する第2強誘電体キャパシタC402は、その第1電極がビットラインB<sub>Li</sub>に連結され、その第2電極が第2アクセストランジスタN402の第1端子に連結される。第2アクセストランジスタN402は、その第1端子が第2強誘電体キャパシタC402の第2電極に連結され、そのゲートが第2ワードラインW<sub>Li+1</sub>に連結される構造となる。

40

## 【0071】

第1メモリセル401を構成する第1アクセストランジスタN401の第2端子と第2メモリセル402を構成する第2アクセストランジスタN402の第2端子はともに固定プレート電圧VCC/2が印加されるプレートラインP<sub>Li</sub>に連結される。

## 【0072】

プレートラインPLとアレイユニット400との関係は、それぞれのアレイユニットが一つのプレートラインに共有されて連結されるものであってもよいし、それぞれのアレイユニットに独立的に連結されるものであってもよいし、そのほかの連結方法によってもよい。

50

## 【0073】

図5は、本発明の一実施形態としての、4個のメモリセルがソースまたはドレイン領域を共有する開放型構造のメモリセルアレイ構造を示す。

## 【0074】

図5に示すように、第1メモリセル501、第2メモリセル502、第3メモリセル503及び第4メモリセル504からなるアレイユニット500が複数の行と列に配列される。

## 【0075】

メモリセルアレイは、行方向と列方向に配列されたそれぞれのアレイユニット500が、行方向に配列されたワードライン $WLi$ 、 $WLi+1$ 、 $WLi+2$ 、 $WLi+3$ と列方向に配列されたビットライン $BLi$ 、 $BLi+1$ 、 $BLi+2$ 、 $BLi+3$ に連結されてマトリックス構造をなす形態で構成される。

## 【0076】

アレイユニット500を構成する第1メモリセル501、第2メモリセル502、第3メモリセル503及び第4メモリセル504は互いに隣接して配置され、ワードラインイネーブル信号により制御されるアクセストランジスタ $N501$ 、 $N502$ 、 $N503$ 、 $N504$ 、及び、ビットラインとそれぞれのアクセストランジスタとの間に連結される強誘電体キャパシタ $C501$ 、 $C502$ 、 $C503$ 、 $C504$ から構成される。

## 【0077】

第1メモリセル501を構成する第1強誘電体キャパシタ $C501$ は、その第1電極が第1ビットライン $BLi$ に連結され、その第2電極が第1アクセストランジスタ $N501$ の第1端子に連結される。第1アクセストランジスタ $N501$ は、その第1端子が第1強誘電体キャパシタ $C501$ の第2電極に連結され、そのゲートが第1ワードライン $WLi$ に連結される構造となる。

## 【0078】

第2メモリセル502を構成する第2強誘電体キャパシタ $C502$ は、その第1電極が第2ビットライン $BLi+1$ に連結され、その第2電極が第2アクセストランジスタ $N502$ の第1端子に連結される。第2アクセストランジスタ $N502$ は、その第1端子が第2強誘電体キャパシタ $C502$ の第2電極に連結され、そのゲートが第1ワードライン $WLi$ に連結される構造となる。

## 【0079】

第3メモリセル503を構成する第3強誘電体キャパシタ $C503$ は、その第1電極が第1ビットライン $BLi$ に連結され、その第2電極が第3アクセストランジスタ $N503$ の第1端子に連結される。第3アクセストランジスタ $N503$ は、その第1端子が第3強誘電体キャパシタ $C503$ の第2電極に連結され、そのゲートが第2ワードライン $WLi+1$ に連結される構造となる。

## 【0080】

第4メモリセル504を構成する第4強誘電体キャパシタ $C504$ は、その第1電極が第2ビットライン $BLi+1$ に連結され、その第2電極が第4アクセストランジスタ $N504$ の第1端子に連結される。第4アクセストランジスタ $N504$ は、その第1端子が第4強誘電体キャパシタ $C504$ の第2電極に連結され、そのゲートが第2ワードライン $WLi+1$ に連結される構造となる。

## 【0081】

第1メモリセル501を構成する第1アクセストランジスタ $N501$ の第2端子と第3メモリセル503を構成する第3アクセストランジスタ $N503$ の第2端子は互いに連結される。また、前記第2メモリセル502を構成する第2アクセストランジスタ $N502$ の第2端子と第4メモリセル504を構成する第4アクセストランジスタ $N504$ の第2端子は互いに連結されて、第1メモリセル501及び第3メモリセル503を構成する第1アクセストランジスタ $N501$ 及び第3アクセストランジスタ $N503$ の第2端子と連結されるとともに、プレート電圧 $VCC/2$ が印加されるプレートラインに連結される。

10

20

30

40

50

## 【0082】

プレートラインとアレイユニット500との関係は、それぞれのアレイユニットが一つのプレートラインに共有されて連結されるものであってもよいし、それぞれのアレイユニットに独立的に連結されたものであってもよいし、そのほかの連結方法によってもよい。

## 【0083】

図6は、本発明の一実施形態としての強誘電体メモリ装置を構成するワードラインドライバの回路図である。

## 【0084】

図6に示すように、ワードラインドライバ回路は、ワードラインデコーディング回路(図示せず)と連結されたメインワードラインMWLとワードラインWLとの間に連結されてワードラインイネーブル信号WL\_PDにより制御されるスイッチング素子のトランジスタN601と、ワードラインWLに連結されワードラインディスエーブル信号WL\_PDBにより制御される放電用トランジスタN602と、から構成される。ワードラインWLには、図1に示すような構造のメモリセルが連結されてもよいし、図11に示したような構造のメモリセルが連結されてもよい。メモリセルに連結されたプレートラインには、固定電圧VCC/2またはパルスが印加されうる。

## 【0085】

このようなワードラインドライバを駆動する電圧としては、外部電源電圧VPPと内部電源電圧の電源電圧VCCが用いられ、外部電源電圧VPPは電源電圧VCCよりも高いレベルを有する。ここで、外部電源電圧VPPは、電源電圧VCCの1.5倍程度の高いレベルを有することが好ましい。

## 【0086】

メモリセルを構成する強誘電体キャパシタの強誘電物質は、完全分極されるに必要な電圧が電源電圧VCCよりも低い電圧、好ましくは、電源電圧VCCの1/2倍(すなわちVCC/2)とされる。

## 【0087】

ワードラインドライバが待機状態である場合において、メインワードラインMWL電圧及びワードラインイネーブル信号WL\_PDは接地電圧V<sub>ss</sub>に設定され、ワードラインディスエーブル信号WL\_PDBが電源電圧VCCに設定されて、放電用トランジスタN602を動作させることによりワードラインWLをディスエーブルさせる。リードまたはライトなどの動作を行う場合には、まず、ワードラインデコーディング回路において、電源電圧VCCのレベルを有するワードラインデコーディング信号がメインワードラインMWLに印加される。同時に、ワードラインディスエーブル信号WL\_PDBが接地電圧V<sub>ss</sub>に設定されることにより、ワードラインWLの放電が中断される。そして、ワードラインイネーブル信号WL\_PDが外部電源電圧レベルVPPに印加されると、スイッチングトランジスタN601がターンオンされて、ワードラインWLに電源電圧VCCレベルを有するメインワードラインMWLの電圧が伝達される。ワードラインWLに伝達される電圧は、ワードラインに連結されたメモリセルを構成するアクセストランジスタを動作させる。次いで、要求される動作の全てが行われると、全ての信号は再度接地電圧V<sub>ss</sub>に設定され、ワードラインディスエーブル信号WL\_PDBのみが電源電圧VCCに設定されて、ワードラインWLを放電させる過程を通じて前記ワードラインをディスエーブルさせる。

## 【0088】

このようなワードラインドライバでは、メモリセルを構成するアクセストランジスタを通じて強誘電体キャパシタに印加される電圧が電源電圧VCCレベルを有する必要がないため、ワードラインの電圧が外部電源電圧VPPレベルを有する必要がない。従って、本発明の一実施形態によるワードラインドライバは、従来と異なって2個のトランジスタで簡単に構成することができて高集積化に有利であり、動作速度も速くて且つ消費電力が少ないという特長を有する。

## 【0089】

図7は、図2に示すセルアレイ構造を一例として、本発明におけるセンスアンプが連結

10

20

30

40

50

されたメモリセルアレイを有する強誘電体メモリ装置によるリードまたはライト動作を説明するための回路図を概略的に示した図で、図8は、図7に示す回路構成におけるライト動作時の動作タイミング図を示した図で、図9は、図7のリード動作時の動作タイミング図を示した図である。強誘電体メモリ装置のセルアレイ構造としては、図2乃至図5に示したセルアレイ構造とともに多様な形態のセルアレイ構造が用いられることができる。

【0090】

図7に示したように、概略的なセルアレイは、複数のワードライン $WL_i$ 、 $WL_{i+1}$ 、プレート電圧 $PL$ 及び複数のビットライン $BL_i$ 、 $BL_{i+1}$ を有する。

【0091】

セルアレイを構成するメモリセル100は、一つのアクセストランジスタ $N101$ と1個の強誘電体キャパシタ $C101$ を直列接続して構成される。強誘電体キャパシタ $C101$ と連結されないアクセストランジスタの他側の導電型領域は、固定電圧 $VCC/2$ が印加されるプレートラインまたはパルス発生器と連結され、ゲートはワードライン $WL_i$ と連結される。また、アクセストランジスタ $N101$ と連結されない強誘電体キャパシタ $C101$ の他側の電極はビットライン $BL_i$ と連結される。

【0092】

センスアンプは、ビットラインに連結されてセンスアンプイネーブル信号 $SAEN$ により制御されてビットラインの電圧レベルを感知増幅する動作を行う。

【0093】

メモリセルを構成する強誘電体キャパシタの強誘電物質は、完全分極されるに必要な電圧が電源電圧 $VCC$ よりも低い電圧、好ましくは、電源電圧の $1/2$ 倍レベル（すなわち電圧 $VCC/2$ ）とされる。以下、強誘電体キャパシタ $C101$ を構成する強誘電物質が完全に分極されるようにする電圧が電源電圧 $VCC$ の $1/2$ 倍の電圧 $VCC/2$ と仮定する。

【0094】

まず、メモリセルアレイ内の複数のメモリセルのうち一つのメモリセル100にデータ‘1’または‘0’をライトしようとする場合におけるメモリ装置のライト動作を図7及び図8の動作タイミング図を参照して説明する。

【0095】

図7及び図8に示すように、ライト動作の初期にはビットラインプリチャージ回路（図示せず）によりビットライン電圧 $BL$ が接地電圧 $V_{ss}$ または $0V$ に設定されるようにする。また、プレートラインの電圧 $PL$ は、固定電圧、例えば、電源電圧 $VCC$ の $1/2$ 倍に設定される（区間‘I’）。

【0096】

ワードラインドライバから印加されるワードライン電圧 $WL$ が電源電圧 $VCC$ にイネーブルされると、ワードライン電圧 $WL$ によりメモリセル100を構成するアクセストランジスタ $N101$ がターンオンされ、ノード $V_a$ がプレート電圧 $PL$ と同一レベルの電圧である固定電圧 $VCC/2$ に上昇する。そして、メモリセル100に保持されたデータの感知が行われる（区間‘II’）。この区間‘II’の間は、選択されたワードライン $WL_i$ に対応する強誘電体キャパシタ $C101$ の強誘電物質が完全に分極されるようにする $VCC/2$ レベルの電圧の固定電圧 $VCC/2$ が強誘電体キャパシタ $C101$ に印加される。メモリセル100にデータ‘0’が保持されていると、図10のヒステリシス曲線において強誘電体キャパシタ $C101$ の分極度は状態点Bから状態点Aに変化する。このような状態遷移に対応する電荷 $dQ_0$ に相当する電圧 $VD_0$ が強誘電体キャパシタ $C101$ からビットライン $BL_i$ 上に励起される。データ‘0’に対応する電圧 $VD_0$ は、接地電圧 $V_{ss}$ に近接したレベルを有する。一方、メモリセル100にデータ‘1’が保持されていると、強誘電体キャパシタ $C101$ の分極度は状態点Dから状態点Aに変化する。従って、強誘電体キャパシタ $C101$ からビットライン $BL_i$ 上にこの状態遷移に対応する電荷 $dQ_1$ が励起される。つまり、データ‘1’が保持されていると、ビットライン $BL_i$ 上の電圧 $BL$ は、接地電圧 $V_{ss}$ より状態遷移に対応する電荷 $dQ_1$ に起因する電圧 $VD_1$ 、例えば、約 $100mV$ だけ上昇する。

10

20

30

40

50



## 【0097】

区間‘III’の間は、センスアンブイネーブル信号SAENによりセンスアンブが駆動されてビットラインBLiレベルVD0、VD1を感知増幅する。即ち、上記のような強誘電物質の分極のためにビットラインBLi上の変化した電圧は、接地電圧Vssよりも高い所定の基準電圧VREF（例えば、50mV）と比較される。このとき、ビットラインBLi上の前記変化した電圧VD0が基準電圧VREFよりも低いと、ビットライン電圧BLは接地電圧Vssに設定されて強誘電体キャパシタC101に基準電圧VREFよりも低い接地電圧Vssレベルの電圧が印加される一方、ビットラインBLi上の前記変化した電圧VD1が基準電圧VREFよりも高いと、強誘電体キャパシタC101に強誘電体キャパシタC101の分極を変化させながら基準電圧VREFより高い所定の電圧（例えば、VCC）が印加される。

10

## 【0098】

つまり、データ‘0’が保持されていると、図10に示したヒステリシス曲線において強誘電体キャパシタC101の分極度は状態点Aをそのまま維持し、データ‘1’が保持されていると、強誘電体キャパシタC101の分極度は状態点Aから状態点Cに変化する。

## 【0099】

区間‘IV’では、実質的なライト動作が行われる。この区間では、外部からデータ入出力回路（図示せず）を通じてデータDIN0、DIN1が入力される。ここで、入力されたデータDIN0、DIN1に対応する電圧として、例えば、データ‘0’に対応する電圧はVssで、データ‘1’に対応する電圧はVCCと仮定する。これと同時に、データ‘0’に対応する電圧Vssまたはデータ‘1’に対応する電圧VCCが選択されたビットラインBLi上に伝達される。ここで、メモリセル100にデータ‘0’をライトする場合には、選択されたビットライン上にデータ‘0’に対応する電圧Vssが印加され、データ‘1’をライトする場合には、選択されたビットライン上に‘1’に対応する電圧VCCが印加される。従って、区間‘IV’では、メモリセル100にデータ‘1’がライトされる場合には、強誘電体キャパシタC101の分極度は状態点Cに位置し、データ‘0’がライトされる場合には、状態点Aに位置する。

20

## 【0100】

上記のような本発明の一実施形態のライト動作は、従来と異なり、ビットラインの電圧BLのレベルを有し、強誘電体キャパシタの分極度を制御できるため、一つの時間区間‘IV’でデータ‘1’またはデータ‘0’をライトすることにより動作速度の向上を図ることができる。

30

## 【0101】

次いで、区間‘V’では、ワードラインWLiをディスエーブルさせた後にセンスアンブをディスエーブルさせ、ビットライン電圧BLを接地電圧Vssに設定する。即ち、データ‘1’をライトした場合には、メモリセル100で固定電圧VCC/2にチャージングされたノードVaは、ワードラインWLiをディスエーブルさせることによりフローティングされる。次いで、ビットライン電圧BLを接地電圧に設定すると、ビットライン電圧がデータ‘1’に対応する電圧VCCから接地電圧に遷移するとき、強誘電体キャパシタに起因してカップリングが発生して、強誘電体キャパシタC101の両端に印加された電位差の逆転を防止することができる。従って、データのライト動作を安定して行い得る。

40

## 【0102】

前述の区間‘III’において、強誘電体キャパシタC101が連結されたノードVaの電圧VCC/2によりデータ‘0’を保持した強誘電体キャパシタC101の分極度は状態点Bから状態点Aに変化し、データ‘1’を保持した強誘電体キャパシタC101の分極度は状態点Dから状態点Aに変化する。これは選択された一つのワードラインを共有する全てのメモリセルで発生する。その結果、データ‘1’を保持した非選択の強誘電体キャパシタのデータがもとの状態に復元されるようにする再保持動作が必要とされる。このようなメモリセルは、図8の区間‘III’‘IV’‘V’の時間区間で再保持動作がなされる。

50

## 【0103】

以上のようなライト動作を行った後に、全ての信号は待機状態に設定される（区間‘VI’）。そして、区間‘VI’の以後に、データ‘1’がライトされた場合の強誘電体キャパシタの分極度は状態点Dに位置し、データ‘0’がライトされた場合には状態点Bに位置することにより、データのライト動作が完了する。

## 【0104】

次いで、メモリセルアレイ内の複数個のメモリセルのうち一つのメモリセル100に保持されたデータ‘1’または‘0’をリードする場合のメモリ装置のリード動作を図7及び図9の動作タイミング図を参照して説明する。

## 【0105】

図7及び図9に示すように、リード動作の初期には、ビットラインプリチャージ回路からビットラインBLiが接地電圧Vssまたは0Vに設定される。また、プレート電圧は、固定電圧、例えば、電源電圧VCCの1/2倍に設定される（区間‘I’）。

## 【0106】

区間‘II’の間は、選択されたワードラインWLiに対応する強誘電体キャパシタC101の強誘電物質が完全に分極されるようにするVCC/2レベルの電圧の固定電圧VCC/2が強誘電体キャパシタC101に印加される。メモリセル100にデータ‘0’が保持されていると、図10のヒステリシス曲線において強誘電体キャパシタC101の分極度は状態点Bから状態点Aに変化する。このような状態遷移に対応する電荷dQ0に相当する電圧VD0が強誘電体キャパシタC101からビットラインBLi上に励起される。データ‘0’に対応する電圧VD0は接地電圧Vssに近接したレベルを有する。一方、メモリセル100にデータ‘1’が保持されていると、強誘電体キャパシタC101の分極度は状態点Dから状態点Aに変化する。従って、強誘電体キャパシタC101からビットラインBLi上に前記状態遷移に対応する電荷dQ1が励起される。つまり、データ‘1’が保持されていると、ビットラインBLi上の電圧BLは、接地電圧Vssよりも状態遷移に対応する電荷dQ1に起因する電圧VD1（例えば、約100mV）だけ上昇する。

## 【0107】

区間‘III’の間は、センスアンプイネーブル信号SAENによりセンスアンプが駆動されてビットラインBLiレベルVD0、VD1を感知増幅する。即ち、上記のような強誘電物質の分極によりビットラインBLi上の変化した電圧は、接地電圧Vssよりも高い所定の基準電圧VREF（例えば、50mV）と比較される。このとき、ビットラインBLi上の前記変化した電圧VD0が基準電圧VREFよりも低いと、ビットライン電圧BLは接地電圧Vssに設定されて、強誘電体キャパシタC101に基準電圧VREFよりも低い接地電圧Vssレベルの電圧が印加される一方、ビットラインBLi上の前記変化した電圧VD1が基準電圧VREFよりも高いと、強誘電体キャパシタC101に強誘電体キャパシタC101の分極を変化させながら基準電圧VREFより高い所定の電圧（例えばVCC）が印加される。

## 【0108】

つまり、データ‘0’が保持されていると、図10に示したヒステリシス曲線において強誘電体キャパシタC101の分極度は状態点Aをそのまま維持し、データ‘1’が保持されていると、強誘電体キャパシタC101の分極度は状態点Aから状態点Cに変化する。

## 【0109】

区間‘VI’では、センスアンプで増幅されたデータ‘1’に対応する電圧VCCまたはデータ‘0’に対応する電圧Vssに対応するデータDOUT0、DOUT1がデータ入出力回路を通じて外部に出力される。

## 【0110】

区間‘V’では、ワードラインWLiをディスエーブルさせた後にセンスアンプをディスエーブルさせ、続いてビットライン電圧BLを接地電圧Vssに設定する。データ‘1’をリードする場合、メモリセル100で固定電圧VCC/2にチャージングされたノー

10

20

30

40

50

ドVaは、ワードライン $WL_i$ をディスエーブルさせることによりフローティングされる。ついで、ビットライン電圧 $V_{BL}$ を接地電圧に設定すると、ビットライン電圧 $BL$ がデータ'1'に対応する電圧 $V_{CC}$ から接地電圧 $V_{SS}$ に遷移するときに強誘電体キャパシタによりカップリングが発生して、強誘電体キャパシタ $C_{101}$ の両端に印加された電位差の逆転を防止することができる。

【0111】

上述した区間'II'では、強誘電体キャパシタ $C_{101}$ が連結されたノードVaの電圧 $V_{CC}/2$ によりデータ'0'を保持している強誘電体キャパシタ $C_{101}$ の分極度は状態点Bから状態点Aに変化し、データ'1'を保持する強誘電体キャパシタ $C_{101}$ の分極度は状態点Dから状態点Aに変化する。これは選択された一つのワードラインを共有する全てのメモリセルで発生する。その結果、データ'1'を保持している非選択の強誘電体キャパシタのデータがもとの状態に復元されるようにする再保持動作が必要とされる。このようなメモリセルは、図9の'III' 'IV' 'V'の時間区間で再保持動作が行われる。

【0112】

上記のようなリード動作を行った後に、全ての信号は待機状態に設定される(区間'VI')。そして、区間'VI'の以後には、データ'1'がリードされた場合の強誘電体キャパシタの分極度は状態点Dに位置し、データ'0'がリードされた場合には状態点Bに位置することにより、データリード動作が完了される。

【0113】

本発明の一実施形態では、図10に示すヒステリシスループの状態点Bにデータ'0'が対応し、状態点Dにデータ'1'が対応する場合を説明したが、本発明が属する技術分野において通常の知識を有した者であれば、容易に状態点Bにデータ'1'を対応させ、状態点Dにデータ'0'が対応させることができる。

【0114】

上記の実施形態の説明は本発明の徹底した理解を助けるために図面を参照して例示したものに過ぎないため、本発明を限定する意味として解釈されるべきではない。また、本発明が属する技術分野において通常の知識を有する者であれば、本発明の基本的原理を逸脱しない範囲内で多様な変形、変更ができるのは明らかである。例えば、思案の異なった回路の内部構成を変更するかまたは回路の内部構成素子を他の等価的素子で置換できるのは明らかである。

【図面の簡単な説明】

【0115】

【図1】本発明の実施形態による強誘電体メモリ装置におけるメモリセルアレイを構成するメモリセルアレイ構造を示した回路図である。

【図2】本発明の一実施形態によるメモリセルアレイ構造を示した回路図である。

【図3】本発明の一実施形態による折畳型構造のメモリセルアレイの回路図である。

【図4】本発明の一実施形態による2個のセルがソースまたはドレイン領域を共有する開放型構造のメモリセルアレイの回路図である。

【図5】本発明の一実施形態による4個のメモリセルがソースまたはドレイン領域を共有する開放型構造のメモリセルアレイの回路図である。

【図6】本発明の一実施形態による強誘電体メモリ装置のワードラインドライバを示した回路図である。

【図7】本発明の一実施形態によるリード及びライト動作を行う強誘電体メモリ装置の概略的回路図である。

【図8】図7に示す回路におけるライト動作時の動作タイミング図である。

【図9】図7に示す回路におけるリード動作時の動作タイミング図である。

【図10】一般の強誘電物質のヒステリシス曲線である。

【図11】従来の一一般の強誘電体メモリセルアレイを構成するメモリセルを示した回路図である。

10

20

30

40

50

【図12】従来の開放型ビットライン構造を有する強誘電体メモリセルアレイの回路図である。

【図13】従来の折畳型ビットライン構造を有する強誘電体メモリセルアレイの回路図である。

【図14】従来の強誘電体メモリ装置でのワードラインドライバを示した回路図である。

【符号の説明】

【0116】

100：メモリセル

C101：強誘電体キャパシタ

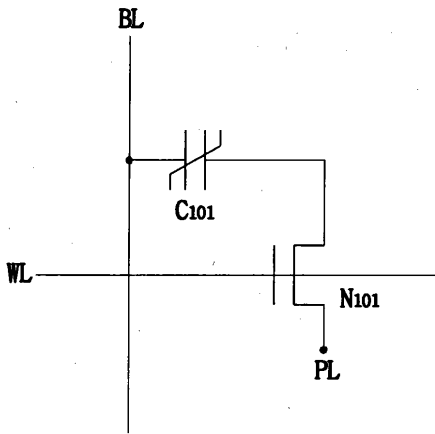
N101：アクセストランジスタ

BLi、BLi+1：ビットライン

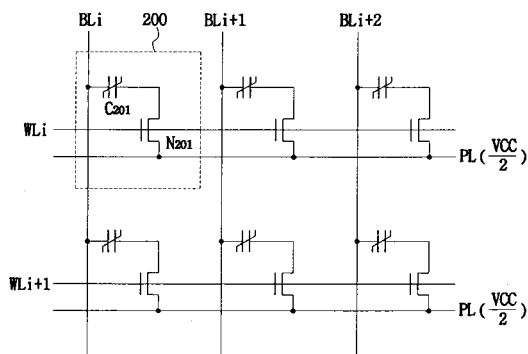
WLi、WLi+1：ワードライン

SAEN：センスアンパイネーブル信号

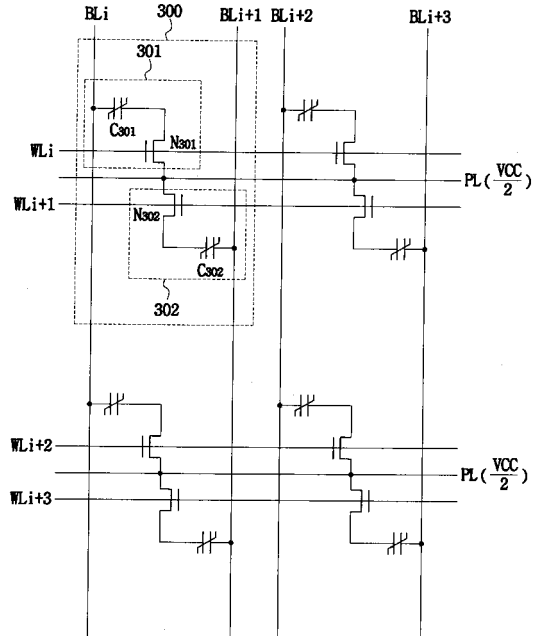
【図1】



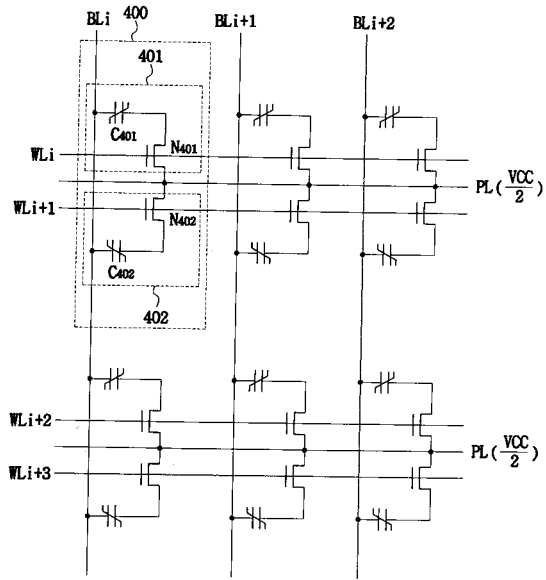
【図2】



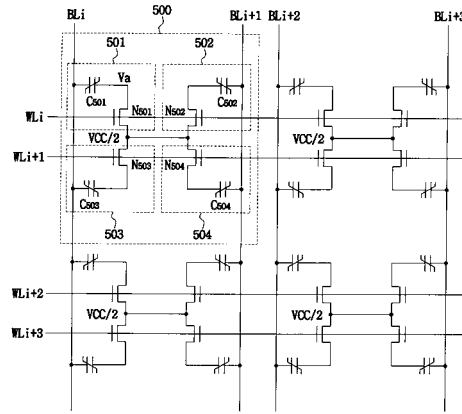
【図3】



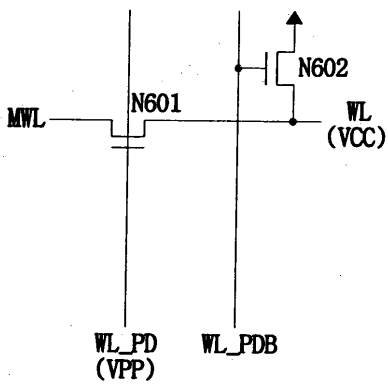
【 図 4 】



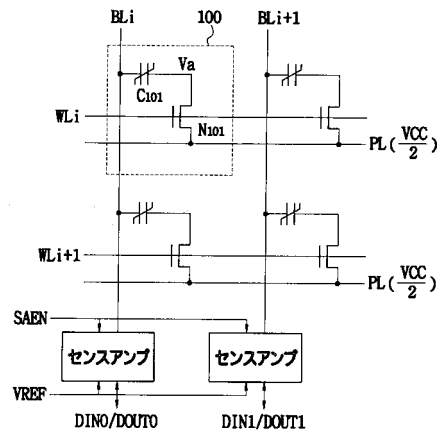
【 図 5 】



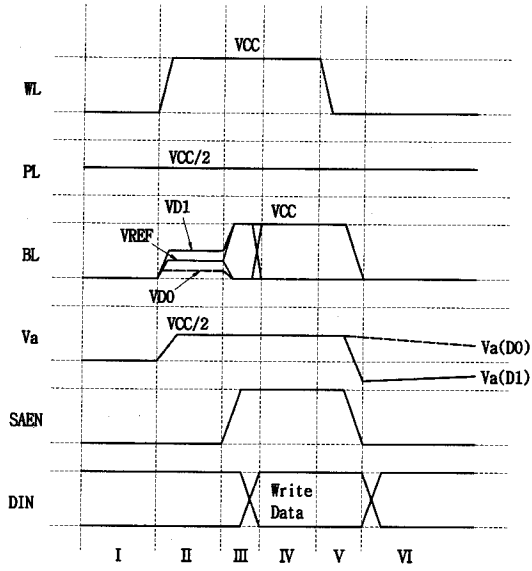
【 図 6 】



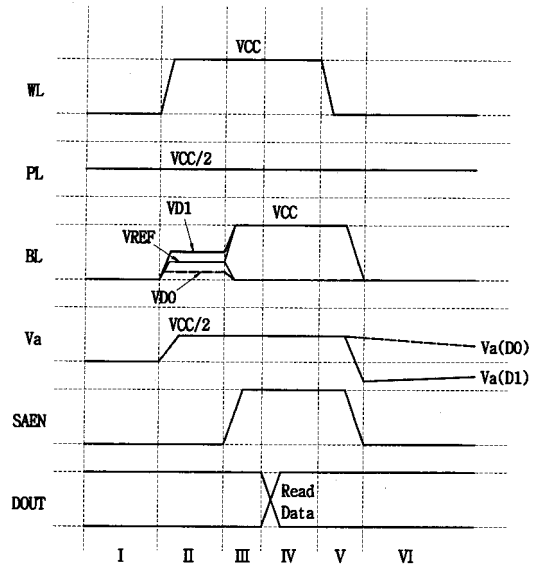
【 図 7 】



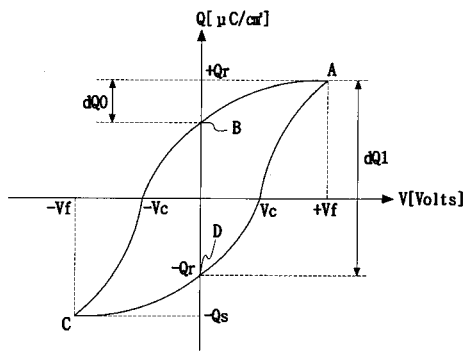
【 図 8 】



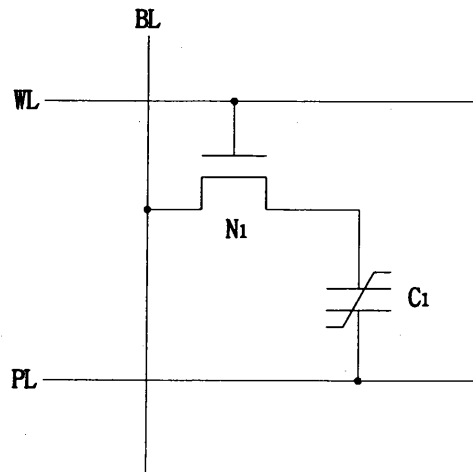
【 図 9 】



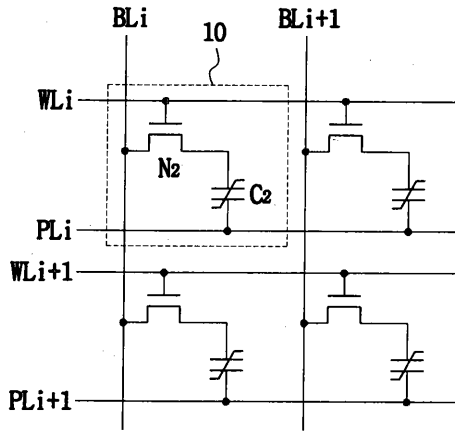
【 図 10 】



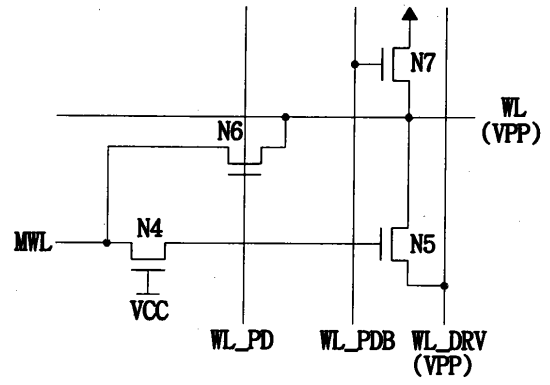
【 図 11 】



【 図 1 2 】



【 図 1 4 】



【 図 1 3 】

