

(52) CPC특허분류

H01L 23/488 (2013.01)

H01L 23/522 (2013.01)

(72) 발명자

이기용

서울특별시 성북구 장위로15길 91-8 (장위동)

김중현

서울특별시 동대문구 외대역동로 22길 10

명세서

청구범위

청구항 1

기관 상에 배치된 반도체 칩;

상기 기관과 상기 반도체 칩을 전기적으로 연결하는 상호 접속 부재; 및

상기 기관 및 반도체 칩 상에 서로 다른 물리적인 유연도(flexibility)를 가지는 제1 몰딩 부재 및 제2 몰딩 부재들이 교번하여 배치된 몰딩부를 포함하는 반도체 패키지.

청구항 2

제1항에 있어서, 상기 기관은,

전면부 및 상기 전면부와 대향하는 후면부를 포함하는 바디부;

상기 바디부의 전면부 상에 배치된 제1 외부 배선 패턴;

상기 바디부의 후면부 상에 배치된 제2 외부 배선 패턴;

상기 제1 또는 제2 외부 배선 패턴을 각각 덮는 제1 외부 절연층;

상기 바디부 내부에 다층 구조로 배치된 내부 배선 패턴; 및

상기 제1 외부 배선 패턴 또는 제2 외부 배선 패턴과 상기 내부 배선 패턴을 연결하는 비아 전극을 포함하는 반도체 패키지.

청구항 3

제2항에 있어서,

상기 바디부는 휘어질 수 있는 절연 재료 또는 유기 재료를 포함하여 구성된 반도체 패키지.

청구항 4

제2항에 있어서,

상기 외부 절연층은 상기 제1 외부 배선 패턴 및 상기 상호 접속 부재를 전기적으로 연결시키는 기관 패드부를 더 포함하는 반도체 패키지.

청구항 5

제1항에 있어서,

상기 상호 접속 부재는 금속 와이어 또는 금속 범프를 포함하는 반도체 패키지.

청구항 6

제1항에 있어서, 상기 몰딩부는,

상기 제1 몰딩 부재는 상기 기관의 수직 방향으로 연장된 직선 라인 형상을 가지고 상기 기관의 수평 방향으로 소정 간격만큼 상호 이격하여 배열되고,

상기 제2 몰딩 부재는 인접하는 상기 제1 몰딩 부재들 사이에 직선 라인 형상으로 배열된 반도체 패키지.

청구항 7

제6항에 있어서,

상기 제1 몰딩 부재 및 상기 제2 몰딩 부재는 상호 교번하여 배치된 스트라이프(stripe) 형상으로 배치된 반도체

체 패키지.

청구항 8

제1항에 있어서, 상기 몰딩부는,

상기 제1 몰딩 부재는 제1 인장 탄성 계수(Young's modulus)를 가지는 절연 물질을 포함하여 형성되고, 상기 제2 몰딩 부재는 상기 제1 몰딩 부재보다 상대적으로 낮은 인장 탄성 계수를 가지는 절연 물질을 포함하는 반도체 패키지.

청구항 9

제8항에 있어서,

상기 제1 몰딩 부재는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 물질을 포함하는 반도체 패키지.

청구항 10

제9항에 있어서,

상기 제1 몰딩 부재는 에폭시 몰딩 화합물(EMC: Epoxy molding compound)을 포함하는 반도체 패키지.

청구항 11

제8항에 있어서,

상기 제2 몰딩 부재는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함하는 반도체 패키지.

청구항 12

제11항에 있어서,

상기 제2 몰딩 부재는 실리콘 수지(silicone resin) 또는 실리콘 고무(silicone rubber)를 포함하는 반도체 패키지.

청구항 13

제8항에 있어서,

상기 몰딩부는 상기 몰딩부의 외곽 형상을 지지하는 지지대 역할을 하게 상기 제1 몰딩 부재를 최외곽부에 배치하는 반도체 패키지.

청구항 14

제1항에 있어서,

상기 몰딩부는 상기 반도체 칩이 배치된 부분에서 상기 제1 몰딩 부재 및 제2 몰딩 부재가 상기 반도체 칩의 일 측면면으로부터 상부면을 통해 타 측면면으로 가로지르게 배치하는 반도체 패키지.

청구항 15

제1항에 있어서,

상기 제1 몰딩 부재는 상기 기관의 수직 방향으로 연장된 직선 라인 형상을 가지고 상기 기관의 수평 방향으로 소정 간격만큼 상호 이격하여 배열된 제1 패턴 및 상기 반도체 칩의 일 측면면으로부터 소정 간격의 갭을 두고 배치된 제2 패턴을 포함하고,

상기 제2 몰딩 부재는 인접하는 상기 제1 몰딩 부재들 사이에 배치된 반도체 패키지.

청구항 16

제15항에 있어서,

상기 제1 패턴 및 상기 제2 패턴은 상기 반도체 칩의 각 변으로부터 소정 간격의 겹을 두고 배치된 반도체 패키지.

청구항 17

제15항에 있어서,

상기 제2 몰딩 부재는 상기 반도체 칩의 각 변을 둘러싸게 형성된 반도체 패키지.

청구항 18

제1항에 있어서,

상기 제1 몰딩 부재는 상기 기관의 수직 방향으로 연장된 직선 라인 형상을 가지고 상기 기관의 수평 방향으로 소정 간격만큼 상호 이격하여 배열된 제1 패턴 및 상기 반도체 칩의 일 측면면까지 연장하여 형성된 제2 패턴을 포함하고,

상기 제2 몰딩 부재는 인접하는 상기 제1 몰딩 부재들 사이에 배치된 반도체 패키지.

청구항 19

제18항에 있어서,

상기 제1 몰딩 부재의 제1 패턴들 및 제2 패턴들은 상기 반도체 칩의 상부면보다 높은 위치에 표면이 위치하는 높이로 형성되고, 상기 제2 몰딩 부재는 상기 제1 몰딩 부재의 전면을 덮도록 형성된 반도체 패키지.

청구항 20

제19항에 있어서,

상기 제2 몰딩 부재는 실리콘 수지 또는 실리콘 고무를 포함하는 물질을 포함하는 반도체 패키지.

청구항 21

기관 상에 배치된 반도체 칩;

상기 기관과 상기 반도체 칩을 전기적으로 연결하는 상호 접속 부재;

상기 기관의 수직 방향으로 상호 이격하여 배치된 제1 패턴들 및 상기 제1 패턴들과 상호 엇갈리게 배치된 제2 패턴들을 포함하는 제1 몰딩 부재; 및

상기 제1 몰딩 부재, 반도체 칩 및 상기 기관을 덮으면서 상기 제1 몰딩 부재보다 낮은 인장 탄성 계수를 가지는 제2 몰딩 부재를 포함하는 반도체 패키지.

청구항 22

제21항에 있어서,

상기 제1 몰딩 부재의 제1 패턴들은, 상기 기관의 수직 방향으로 소정 간격만큼 이격하여 두 개의 패턴이 배치된 제1 부분 및 상기 기관의 수직 방향으로 연장하면서 상기 반도체 칩의 일 측면면으로부터 상기 반도체 칩의 상부면의 표면 일부까지 연장하게 배치된 제2 부분을 포함하는 반도체 패키지.

청구항 23

제21항에 있어서,

상기 제1 몰딩 부재의 제2 패턴들은 상기 반도체 칩의 상부면의 표면 상에 배치된 제1 부분 및 상기 반도체 칩의 일 측면면에 접촉하게 배치된 제2 부분 및 상기 인접하는 제1 패턴들 사이의 공간에 배치된 제3 부분을 포함하는 제2 패턴을 포함하는 반도체 패키지.

청구항 24

제21항에 있어서,

상기 제1 몰딩 부재의 제1 패턴들 및 제2 패턴들은 상기 반도체 칩의 상부면보다 높은 위치에 표면이 위치하는 높이로 형성된 반도체 패키지.

청구항 25

제21항에 있어서,

상기 제2 몰딩 부재는 상기 제1 몰딩 부재의 높이보다 두꺼운 두께로 형성된 반도체 패키지.

청구항 26

제21항에 있어서,

상기 제2 몰딩 부재는 실리콘 수지 또는 실리콘 고무를 포함하는 물질을 포함하는 반도체 패키지.

청구항 27

기관 상에 반도체 칩을 부착하는 단계; 및

상기 기관 및 반도체 칩 상에 서로 다른 물리적인 유연도(flexibility)를 가지는 제1 몰딩 부재 및 제2 몰딩 부재들을 교번하여 배치하여 몰딩부를 형성하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 28

제27항에 있어서, 상기 기관은,

전면부 및 상기 전면부와 대향하는 후면부를 포함하는 바디부;

상기 바디부의 전면부 상에 배치된 제1 외부 배선 패턴;

상기 바디부의 후면부 상에 배치된 제2 외부 배선 패턴;

상기 제1 또는 제2 외부 배선 패턴을 각각 덮는 제1 외부 절연층;

상기 바디부 내부에 다층 구조로 배치된 내부 배선 패턴; 및

상기 제1 외부 배선 패턴 또는 제2 외부 배선 패턴과 상기 내부 배선 패턴을 연결하는 비아 전극을 포함하는 반도체 패키지 제조방법.

청구항 29

제28항에 있어서,

상기 바디부는 휘어질 수 있는 절연 재료 또는 유기 재료를 포함하여 구성된 반도체 패키지 제조방법.

청구항 30

제27항에 있어서, 상기 몰딩부를 형성하는 단계는,

제1 몰딩 부재 및 제2 몰딩 부재가 상호 교번하여 배치된 몰딩 부재를 준비하는 단계;

상기 몰딩 부재를 상기 반도체 칩이 배치된 기관 상에 압착시키는 단계; 및

상기 몰딩 부재를 경화시키는 단계를 포함하는 반도체 패키지 제조방법.

청구항 31

제30항에 있어서,

상기 제1 몰딩 부재는 상기 기관의 수직 방향으로 연장된 직선 라인 형상을 가지고 상기 기관의 수평 방향으로 소정 간격만큼 상호 이격하여 배열하고,

상기 제2 몰딩 부재는 인접하는 상기 제1 몰딩 부재들 사이에 직선 라인 형상으로 배열하는 반도체 패키지 제조방법.

청구항 32

제31항에 있어서,

상기 제1 몰딩 부재 및 제2 몰딩 부재는 상기 반도체 칩의 일 측벽면으로부터 상부면을 통해 타 측벽면으로 가로지르게 배치하는 반도체 패키지 제조방법.

청구항 33

제30항에 있어서,

상기 제1 몰딩 부재 및 상기 제2 몰딩 부재는 상호 교번하여 배치된 스트라이프(stripe) 형상으로 형성하는 반도체 패키지 제조방법.

청구항 34

제27항에 있어서,

상기 제1 몰딩 부재 또는 제2 몰딩 부재는 각각 시트 타입(sheet type)으로 상기 캐리어 상에 배치된 반도체 패키지 제조방법.

청구항 35

제27항에 있어서,

상기 제1 몰딩 부재는 제1 인장 탄성 계수(Young's modulus)를 가지는 절연 물질을 포함하여 형성되고, 상기 제2 몰딩 부재는 상기 제1 몰딩 부재보다 상대적으로 낮은 인장 탄성 계수를 가지는 절연 물질을 포함하는 반도체 패키지 제조방법.

청구항 36

제35항에 있어서,

상기 제1 몰딩 부재는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 물질을 포함하는 반도체 패키지 제조방법.

청구항 37

제36항에 있어서,

상기 제1 몰딩 부재는 에폭시 몰딩 화합물(EMC)을 포함하는 반도체 패키지 제조방법.

청구항 38

제35항에 있어서,

상기 제2 몰딩 부재는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함하는 반도체 패키지 제조방법.

청구항 39

제38항에 있어서,

상기 제2 몰딩 부재는 실리콘 수지(silicone resin) 또는 실리콘 고무(silicone rubber)를 포함하는 반도체 패키지 제조방법.

청구항 40

제27항에 있어서,

상기 몰딩부는 상기 몰딩부의 외곽 형상을 지지하는 지지대 역할을 하게 상기 제1 몰딩 부재를 최외곽부에 배치하는 반도체 패키지 제조방법.

청구항 41

제27항에 있어서,

상기 제1 몰딩 부재는 상기 기관의 수직 방향으로 연장된 직선 라인 형상을 가지고 상기 기관의 수평 방향으로 소정 간격만큼 상호 이격하여 배열된 제1 패턴 및 상기 반도체 칩의 일 측면면으로부터 소정 간격의 갭을 두고 배치된 제2 패턴을 포함하고, 상기 제2 몰딩 부재는 인접하는 상기 제1 몰딩 부재들 사이에 배치하게 형성하는 반도체 패키지 제조방법.

청구항 42

제41항에 있어서,

상기 상기 제1 패턴 및 상기 제2 패턴은 상기 반도체 칩의 각 변으로부터 소정 간격의 갭을 두게 배치하는 반도체 패키지 제조방법.

청구항 43

제41항에 있어서,

상기 제2 몰딩 부재는 상기 반도체 칩의 네 면을 둘러싸게 형성된 반도체 패키지 제조방법.

청구항 44

제27항에 있어서, 상기 몰딩부를 형성하는 단계는,

상기 기관 상에 반도체 칩을 부착하는 단계 이후에,

상기 기관 상에 상기 기관의 최외곽부에 배치된 제1 부분 및 상기 반도체 칩의 제1 측면면으로부터 상부면의 표면 일부까지 연장하여 덮는 제2 부분을 포함하는 제1 패턴들과, 상기 반도체 칩의 상부면에 배치된 제1 부분, 상기 반도체 칩의 제2 측면면과 접촉하게 배치된 제2 부분 및 인접하는 상기 제1 패턴들 사이의 공간에 배치된 제3 부분을 포함하는 제2 패턴들로 구성된 제1 몰딩 부재를 형성하는 단계; 및

상기 제1 몰딩 부재, 반도체 칩 및 기관을 덮는 제2 몰딩 부재를 형성하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 45

제44항에 있어서,

상기 제1 몰딩 부재의 제1 패턴들 및 제2 패턴들은 상기 반도체 칩의 상부면보다 높은 위치에 표면이 위치하는 높이를 가지게 형성하는 반도체 패키지 제조방법.

청구항 46

제44항에 있어서,

상기 제2 몰딩 부재는 상기 제1 몰딩 부재의 높이보다 두꺼운 두께로 형성하는 반도체 패키지 제조방법.

청구항 47

제44항에 있어서, 상기 제2 몰딩 부재를 형성하는 단계는,

상기 제1 몰딩 부재 상에 액상 또는 반 경화 상태의 프리 몰딩 물질을 공급하는 단계; 및

상기 프리 몰딩 물질을 경화시켜 제2 몰딩 부재를 형성하는 큐어링을 수행하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 48

제44항에 있어서,

상기 제2 몰딩 부재는 실리콘 수지 또는 실리콘 고무를 포함하는 물질을 포함하는 반도체 패키지 제조방법.

발명의 설명

기술 분야

[0001] 본 출원은 패키지 기술에 관한 것으로, 보다 상세하게는 몰딩 부재를 도입한 반도체 패키지 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 전자 제품이 소형화 및 고성능화되고, 휴대용 전자제품이 증가하면서 반도체 소자가 실장될 공간은 더욱 줄어들어, 전자 제품에 요구되는 기능은 다양해지고 있다. 이에 따라 초소형 대용량의 반도체 메모리에 대한 요구가 증대되고 있다. 또한, 이동성이 요구되는 장착 가능한 전자 제품(wearable electronics)에 대한 관심이 증대됨에 따라, 전자 제품에 휘어질 수 있는 플렉서블(flexible) 특성, 이를테면 휘거나 접을 수 있는 기능이 요구되고 있다.

[0003] 기관 또는 기관 상에 배치되는 반도체 칩(chip)은 휘어질 수 있는 수준으로 얇은 두께를 가지게 구현될 수 있으나, 반도체 칩과 기관을 물리적 또는 화학적으로 보호하는 몰딩 부재는 플렉서블한 특성을 얻기가 어려운 점이 있다. 패키지가 휘어지거나 뒤틀릴 때 몰딩 부재에 인장 응력 또는 압축 응력이 인가될 수 있으며, 이러한 응력들에 의해 몰딩 부재 상에 크랙(crack)이 발생할 수 있다. 그 결과, 크랙에 의해 반도체 칩 동작에 문제가 발생할 수 있고, 나아가 패키지 신뢰성에 손상이 발생할 수 있다. 이에 따라, 반도체 칩 및 기관을 구부리거나 휘어지는 경우에도 몰딩 부재에 크랙과 같은 손상을 방지할 수 있는 패키지 구조가 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 출원이 해결하고자 하는 과제는, 반도체 칩 또는 기관을 구부리거나 휘는 경우에도 몰딩 부재가 물리적으로 유연하게 움직일 수 있는 반도체 패키지 및 제조 방법을 제시하는 데 있다.

과제의 해결 수단

[0005] 본 출원의 일 관점에 따른 반도체 패키지는, 기관 상에 배치된 반도체 칩; 상기 기관과 상기 반도체 칩을 전기적으로 연결하는 상호 접속 부재; 및 상기 기관 및 반도체 칩의 노출면 상에 서로 다른 물리적인 유연도(flexibility)를 가지는 제1 몰딩 부재 및 제2 몰딩 부재들이 교번하여 배치된 몰딩부를 포함한다.

[0006] 본 출원의 다른 관점에 따른 반도체 패키지는, 기관 상에 배치된 반도체 칩; 상기 기관과 상기 반도체 칩을 전기적으로 연결하는 상호 접속 부재; 상기 기관의 수직 방향으로 상호 이격하여 배치된 제1 패턴들 및 상기 제1 패턴들과 상호 엇갈리게 배치된 제2 패턴들을 포함하는 제1 몰딩 부재; 및 상기 제1 몰딩 부재, 반도체 칩 및 상기 기관의 노출면을 덮으면서 상기 제1 몰딩 부재보다 낮은 인장 탄성 계수를 가지는 제2 몰딩 부재를 포함한다.

[0007] 본 출원의 일 관점에 따른 반도체 패키지 제조방법은, 기관 상에 반도체 칩을 부착하는 단계; 및 상기 기관 및 반도체 칩의 노출면 상에 서로 다른 물리적인 유연도(flexibility)를 가지는 제1 몰딩 부재 및 제2 몰딩 부재들을 교번하여 배치하여 몰딩부를 형성하는 단계를 포함한다.

발명의 효과

[0008] 본 출원의 실시예들에 따르면, 몰딩 부재를 물리적인 유연도가 서로 상이한 몰딩 부재들을 교번하여 배치함으로써 반도체 패키지 상에 기계적 스트레스가 인가되는 경우에도 유연하게 휘어지거나 구부러질 수 있는 패키지 구조를 도입할 수 있다.

도면의 간단한 설명

[0009] 도 1 및 도 2는 일 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다.

도 3은 본 출원의 일 실시예에 따른 반도체 패키지의 스트레스 완화 작용을 설명하기 위해 나타내보인 도면이다.

도 4 및 도 5는 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다.

도 6 및 도 7은 또 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다.

도 8 및 도 9는 또 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다.

도 10 내지 도 15는 본 출원의 일 실시예에 따른 반도체 패키지의 제조방법을 설명하기 위해 나타내보인 도면들이다.

도 16 내지 도 20은 본 출원의 다른 실시예에 따른 반도체 패키지의 제조방법을 설명하기 위해 나타내보인 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 출원의 실시 형태들을 도면들을 예시하며 설명하지만, 이는 본 출원에서 제시하고자 하는 바를 설명하기 위한 것이며, 세밀하게 제시된 형상으로 본 출원에서 제시하고자 하는 바를 한정하고자 한 것은 아니다.
- [0011] 명세서 전문에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0012] 도 1 및 도 2는 일 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다. 여기서 도 2는 도 1의 I-I' 절단선을 따르는 단면을 보여준다. 그리고 도 3은 본 출원의 일 실시예에 따른 반도체 패키지의 스트레스 완화 작용을 설명하기 위해 나타내보인 도면들이다.
- [0013] 도 1 및 도 2를 참조하면, 본 출원의 일 실시예에 따른 반도체 패키지(10)는 기판(100)과, 기판(100) 상에 배치된 반도체 칩(120)과, 기판(100) 및 반도체 칩(120)의 노출면 상에 서로 다른 물리적인 유연도(flexibility)를 가지는 몰딩 부재(130, 132)들이 번갈아 배치된 몰딩부(134)를 포함하여 구성될 수 있다.
- [0014] 기판(100)은 바디부(body, 102), 외부 배선 패턴(104, 105), 외부 절연층(106, 108), 내부 배선 패턴(103a) 및 비아 전극(103b)을 포함하는 판형 부재로 구비될 수 있다. 기판(100)은 인쇄회로기판(PCB; Printed circuit board), 유기 기판(organic substrate) 또는 절연 기판을 포함하여 구성될 수 있다. 기판(100)을 인쇄회로기판(PCB)으로 형성하는 경우, 용이하게 휘어질 수 있는 연성(flexible) 타입의 인쇄회로기판을 사용할 수 있다. 기판(100)을 절연 기판으로 형성하는 경우, 바디부(102)는 휘어질 수 있는 절연 재료를 포함하여 구성될 수 있다. 또한, 기판(100)을 유기 기판으로 형성하는 경우, 바디부(102)는 휘어질 수 있는 유기 재료를 포함하여 구성될 수 있다. 일 예에서 유기 재료는 폴리머 레진, 에폭시 레진, 또는 플라스틱으로 이루어진 그룹에서 하나 이상의 물질을 포함하여 구성될 수 있다.
- [0015] 기판(100)의 바디부(102)는 반도체 칩(120)이 배치될 제1 방향에 배치된 전면부(front-side, 102a) 및 전면부(102a)와 대향하는 제2 방향에 배치된 후면부(back-side, 102b)를 포함한다. 바디부(102)의 전면부(102a) 상에는 제1 외부 배선 패턴(104)이 배치될 수 있고, 전면부(102a)와 대향하는 후면부(102b) 상에는 제2 외부 배선 패턴(105)이 배치될 수 있다. 제1 외부 배선 패턴(104) 또는 제2 외부 배선 패턴(105)은 구리(Cu)를 포함하여 구성될 수 있다.
- [0016] 바디부(102)의 내부에는 내부 배선 패턴(103a) 및 내부 배선 패턴(103a)을 외부 배선 패턴(104, 105)과 전기적으로 연결시키는 비아 전극(103b)이 배치될 수 있다. 내부 배선 패턴(103a) 또는 비아 전극(103b)은 구리(Cu)를 포함하여 구성될 수 있다. 일 실시예에서, 내부 배선 패턴(103a)은 다층 구조로 배치될 수 있다. 비아 전극(103b)은 내부 배선 패턴(103a)을 제1 외부 배선 패턴(104)으로 연결시키거나 또는 제2 외부 배선 패턴(105)으로 연결시키는 신호 경로 역할을 할 수 있다.
- [0017] 바디부(102)의 양면에 배치된 제1 외부 배선 패턴(104) 또는 제2 외부 배선 패턴(105)은 외부 절연층(106, 108)에 의해 각각 덮여 있다. 외부 절연층(106, 108)은 바디부(102)의 전면부(102a) 상에 배치되는 제1 외부 절연층(106) 및 후면부(102b) 상에 배치되는 제2 외부 절연층(108)을 포함한다. 제1 또는 제2 외부 절연층(106, 108)은 솔더 레지스트 물질을 포함하여 구성될 수 있다.
- [0018] 제1 외부 절연층(106)은 제1 외부 배선 패턴(104)의 일부분을 노출시키는 제1개구부(110a)를 포함한다. 제1 개구부(110a)로 노출된 제1 외부 배선 패턴(104)의 일 부분은 기판 패드부(110)가 될 수 있다.
- [0019] 바디부(102)의 후면부(102b) 상에 배치된 제2 외부 절연층(108)은 제2 외부 배선 패턴(105)의 일부 표면을 노출

시키는 제2 개구부(109)를 포함한다. 제2 개구부(109)에 의해 노출된 제2 외부 배선 패턴(105)의 표면 일부는 외부 접속 단자(111)가 배치되는 볼 랜드 패드부 역할을 할 수 있다. 일 예에서 외부 접속 단자(111)는 솔더 볼(solder ball)일 수 있다.

[0020] 기판(100)의 제1 외부 절연층(106) 상에 반도체 칩(120)이 배치된다. 반도체 칩(120)은 접착 부재(122)를 매개로 통해 제1 외부 절연층(106) 상에 고정될 수 있으나 이에 한정되는 것은 아니다. 접착 부재(122)는 접착제 또는 접착테이프, 예를 들어, 다이 어태치 필름(DAF; Die Attach Film)으로 이루어질 수 있다.

[0021] 반도체 칩(120) 내에는 트랜지스터와 같은 액티브 소자(active device)들이 형성되어 있으며, 경우에 따라서는 커패시터, 레지스터 등과 같은 패시브 소자들도 형성될 수 있다. 반도체 칩(120)은 액티브 소자들이 형성되어 있는 활성층일 수 있는 제1 면(120a) 및 제1 면(120a)와 대향하는 제2 면(120b)을 포함할 수 있다. 반도체 칩(120)의 제1 면(120a) 상에는 복수 개의 칩 패드부(124)가 배치된다. 칩 패드부(124)은 본 출원의 실시예에서는 반도체 칩(120)의 가장자리부에 배치되어 있는 것으로 도시하고는 있으나, 이에 한정되는 것은 아니다. 칩 패드부(124)는 알루미늄(Al)이나 구리(Cu)를 포함하여 형성될 수 있다.

[0022] 반도체 칩(120)과 기판(100)은 상호 접속 부재(126)를 통해 전기적으로 연결될 수 있다. 상호 접속 부재(126)는 본 출원의 실시예에서는 금속 와이어를 도시하여 설명하였지만 이에 한정되는 것은 아니다. 예를 들어, 반도체 칩(120)과 기판(100)은 금속 범프를 이용한 플립 칩(flip chip) 방식으로 연결될 수도 있다. 상호 접속 부재(126)를 금속 와이어로 이용하는 경우, 금속 와이어의 일 단부는 반도체 칩(120)의 칩 패드부(124)에 부착되고 타 단부는 기판(100) 상의 기판 패드부(110)에 부착되어 반도체 칩(120)과 기판(100)을 전기적으로 상호 연결할 수 있다.

[0023] 반도체 칩(120) 및 기판(100)은 몰딩부(134)로 덮여 있다. 몰딩부(134)는 제1 몰딩 부재(130) 및 제1 몰딩 부재(130)보다 상대적으로 낮은 인장 탄성 계수(Young's modulus)를 가지는 제2 몰딩 부재(132)를 포함하여 구성된다. 제1 몰딩 부재(130)는 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 제1 몰딩 부재(130)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC: Epoxy molding compound)을 포함할 수 있다. 제2 몰딩 부재(132)는 플렉서블한 소재로서, 제1 몰딩 부재(130)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 절연물질을 포함할 수 있다. 구체적으로, 제2 몰딩 부재(132)는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함할 수 있다. 일 예에서, 제2 인장 탄성 계수를 가지는 절연 물질은 실리콘 수지(silicone resin) 또는 실리콘 고무(silicone rubber)를 포함하여 구성될 수 있다.

[0024] 도 2를 상부에서 나타내보인 평면도인 도 1을 참조하면, 제1 몰딩 부재(130) 및 제2 몰딩 부재(132)는 기판(100) 및 반도체 칩(120) 상에 형성되며 상호 번갈아 배치될 수 있다. 구체적으로, 제1 몰딩 부재(130)는 기판(100)의 제1 방향으로 연장된 직선 라인 형상으로 소정 간격만큼 상호 이격하여 배열될 수 있다. 또한, 제2 몰딩 부재(132)는 인접하는 제1 몰딩 부재(130)들 사이에 직선 라인 형상으로 배열될 수 있다. 이에 따라, 제1 몰딩 부재(130) 및 제2 몰딩 부재(132)는 상호 교번하여 배치된 스트라이프(stripe) 형상으로 형성될 수 있다. 여기서 제1 몰딩 부재(130)는 제2 몰딩 부재(132)보다 높은 인장 탄성 계수를 가짐에 따라 상대적으로 단단한 성질을 가지고 있다. 이에 따라, 몰딩부(134)의 최외곽부에는 제1 몰딩 부재(130)를 배치하여 몰딩부(134)의 외곽 형상을 지지하는 지지대 역할을 하도록 한다. 또한, 반도체 칩(120)이 배치된 부분에서 제1 몰딩 부재(130) 및 제2 몰딩 부재(132)는 반도체 칩(120)의 일 측면면(120c)으로부터 상부면인 제1 면(120a)을 통해 타 측면면(120d)으로 연장하도록 배치될 수 있다.

[0025] 기판(100) 및 반도체 칩(120) 상에, 제1 인장 탄성 계수를 가지는 부분 및 제1 몰딩 부재(130)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 제2 몰딩 부재(132)들이 서로 접하면서 번갈아 배치됨에 따라, 몰딩부(134)는 제1 물리적인 유연도(flexibility)를 가지는 제1 영역(140) 및 제2 물리적인 유연도를 가지는 제2 영역(150)으로 구분될 수 있다. 여기서 제1 물리적인 유연도를 가지는 제1 영역(140)은 제1 몰딩 부재(130)가 배치된 부분이고, 제2 물리적인 유연도를 가지는 제2 영역(150)은 제2 몰딩 부재(132)가 배치된 부분이다. 제2 영역(150)은 제1 몰딩 부재(130)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 제2 몰딩 부재(132)가 배치됨에 따라, 휘어지거나 구부러질 수 있는 물리적인 유연도가 제1 영역(140)보다 상대적으로 높다.

[0026] 물리적인 유연도가 높은 제2 영역(150)이 제1 영역(140)들 사이사이에 배치됨에 따라, 외부 힘이 인가되는 경우 반도체 패키지(10)에 국부적으로 응력이 집중되는 것을 억제할 수 있다. 도 3에 제시한 바와 같이, 기판(100) 상에 외부 힘(F1)이 인가되면 반도체 패키지(100)가 휘어지게 된다. 구체적으로, 제1 몰딩 부재(130)들 사이사이에 배치된 제2 몰딩 부재(132)는 제1 몰딩 부재(130)보다 상대적으로 낮은 인장 탄성 계수를 가짐에 따라 물

리적인 유연하게 인장되거나 압축될 수 있다. 예를 들어, 제2 몰딩 부재(132)의 하부면은 제1 화살표(a1)로 표시한 바와 같이, 양측 방향으로 인장될 수 있고, 상부면은 제2 화살표(b1)로 표시한 바와 같이, 반대 방향으로 압축될 수 있다. 반도체 패키지(10)가 휘어지는 현상은 반도체 패키지(10)의 전면에 걸쳐 배치된 제2 몰딩 부재(132)가 인장 또는 압축됨에 따라, 제1 몰딩 부재(130)의 위치가 변화하면서 나타나는 것이므로 실질적으로 기판(100) 및 반도체 칩(120)에 걸리는 인장 응력이 분산되는 효과가 유도될 수 있다. 이에 따라, 기판(100) 및 반도체 칩(120)이 인장 응력 또는 압축 응력에 의해 손상되지 않으면서 반도체 패키지(100)를 휘어지게 하는 것이 가능해진다.

- [0027] 도 4 및 도 5는 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다. 여기서 도 5는 도 4의 II-II' 절단선을 따르는 단면을 보여준다.
- [0028] 도 4 및 도 5를 참조하면, 본 출원의 일 실시예에 따른 반도체 패키지(20)는 기판(200)과, 반도체 칩(220)과, 반도체 칩(220)을 포함하는 기판(200) 상에 서로 다른 물리적인 유연도를 가지는 몰딩 부재(230, 232)들이 배치된 몰딩부(234)를 포함하여 구성될 수 있다.
- [0029] 기판(200)은 바디부(202), 외부 배선 패턴(204, 205), 외부 절연층(206, 208), 내부 배선 패턴(203a) 및 비아 전극(203b)을 포함하는 판형 부재로 구비될 수 있다. 기판(200)은 인쇄회로기판(PCB), 유기 기판 또는 절연 기판을 포함하여 구성될 수 있다. 기판(200)의 바디부(202)는 전면부(202a) 및 전면부(202a)와 대향하는 후면부(202b)를 포함한다. 바디부(202)의 전면부(202a) 상에는 제1 외부 배선 패턴(204)이 배치될 수 있고, 후면부(202b) 상에는 제2 외부 배선 패턴(205)이 배치될 수 있다. 제1 외부 배선 패턴(204) 또는 제2 외부 배선 패턴(205)은 구리(Cu)를 포함하여 구성될 수 있다.
- [0030] 바디부(202)의 내부에는 내부 배선 패턴(203a) 및 비아 전극(203b)이 배치될 수 있다. 비아 전극(203b)은 내부 배선 패턴(203a)을 제1 외부 배선 패턴(204) 또는 제2 외부 배선 패턴(205)과 전기적으로 연결시키는 역할을 한다. 내부 배선 패턴(203a) 또는 비아 전극(203b)은 구리(Cu)를 포함하여 구성될 수 있다. 바디부(202)의 전면부(202a)에 배치된 제1 외부 배선 패턴(204)은 제1 외부 절연층(206)으로 덮여 있다. 또한 바디부(202)의 후면부(202b)에 배치된 제2 외부 배선 패턴(205)은 제2 외부 절연층(208)에 의해 덮여 있다. 제1 또는 제2 외부 절연층(206, 208)은 솔더 레지스트 물질을 포함하여 구성될 수 있다.
- [0031] 제1 외부 절연층(206)은 제1 외부 배선 패턴(204)과 연결되는 기판 패드부(210)를 포함할 수 있다. 또한, 제2 외부 절연층(208)은 제2 외부 배선 패턴(205)의 일부 표면을 노출시키는 개구부(209)를 포함한다. 개구부(209)에 의해 노출된 제2 외부 배선 패턴(205)의 표면 일부는 솔더 볼과 같은 외부 접속 단자(211)가 배치되는 볼 랜드 패드부 역할을 할 수 있다.
- [0032] 기판(200)의 제1 외부 절연층(206) 상에는 반도체 칩(220)이 배치될 수 있다. 반도체 칩(220)은 접착 부재(222)를 매개로 통해 제1 외부 절연층(206) 상에 고정될 수 있다. 반도체 칩(220)은 트랜지스터와 같은 액티브 소자들이 형성되어 있는 활성층일 수 있는 제1 면(220a) 및 제1 면(220a)와 대향하는 제2 면(220b)를 포함한다. 반도체 칩(220)의 제1 면(220a) 상에는 복수 개의 칩 패드부(224)가 배치된다. 칩 패드부(224)는 알루미늄(Al)이나 구리(Cu)를 포함하여 형성될 수 있다.
- [0033] 반도체 칩(220)과 기판(200)은 상호 접속 부재(226)를 통해 전기적으로 연결될 수 있다. 상호 접속 부재(226)는 본 출원의 실시예에서는 금속 와이어를 도시하여 설명하였지만, 금속 범프를 이용한 플립 칩 방식으로 연결될 수도 있다. 상호 접속 부재(226)를 금속 와이어로 이용하는 경우, 금속 와이어의 일 단부는 칩 패드부(224)에 연결되고 타 단부는 기판 패드부(210)에 연결된다.
- [0034] 반도체 칩(220)을 포함하는 기판(200)은 몰딩부(234)로 덮여 있다. 몰딩부(234)는 제1 몰딩 부재(230) 및 제2 몰딩 부재(232)를 포함하여 구성된다. 여기서 제1 몰딩 부재(230)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC)을 포함할 수 있다. 제2 몰딩 부재(232)는 플렉서블한 소재로서, 제1 몰딩 부재(230)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 절연물질을 포함할 수 있다. 구체적으로, 제2 몰딩 부재(232)는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함할 수 있다. 일 예에서, 제2 인장 탄성 계수를 가지는 절연 물질은 실리콘 수지 또는 실리콘 고무를 포함하여 구성될 수 있다.
- [0035] 도 5를 상부에서 나타내보인 평면도인 도 4를 참조하면, 제1 몰딩 부재(230)는 제1 패턴(230a)과 제2 패턴(230b)을 포함하여 구성될 수 있다. 제1 몰딩 부재(230)의 제1 패턴(230a)은 기판(200)의 수직 방향인 제1 방향으로 연장된 직선 라인 형상으로 기판(200)의 수평 방향인 제2 방향으로 소정 간격만큼 상호 이격하여 배열될

수 있다. 여기서 제1 패턴(230a)은 반도체 칩(220)의 제1 측벽면(220c)으로부터 소정 간격의 제1 갭(d1)을 두어 배치된다. 제1 몰딩 부재(230)의 제2 패턴(230b)은 기판(200)의 제1 방향으로 연장되면서 반도체 칩(220)의 제2 측벽면(220d)으로부터 소정 간격의 제2 갭(d2)을 두고 배치된다. 이에 따라, 제1 몰딩 부재(230)의 제1 패턴(230a) 및 제2 패턴(230b)은 반도체 칩(220)의 각 변으로부터 제1 갭(d1) 및 제2 갭(d2)을 두면서 배치될 수 있다. 이에 따라 제2 패턴(230b)은 제1 패턴(230a)보다 상대적으로 짧은 길이를 가지게 형성된다. 제2 패턴(230b)은 기판(200)의 수평 방향인 제2 방향으로 소정 간격만큼 상호 이격하여 배열될 수 있다. 몰딩부(234)의 최외곽부에는 제1 몰딩 부재(230)의 제1 패턴(230a) 부분을 배치하여 몰딩부(234)의 외곽 형상을 지지하는 지지대 역할을 하게 한다.

[0036] 제2 몰딩 부재(232)는 인접하는 제1 몰딩 부재(230)들 사이에 배치될 수 있다. 여기서 제2 몰딩 부재(232)는 제1 몰딩 부재(230)의 제1 패턴(230a)들 사이에 배치된 제1 패턴(232a) 및 제2 패턴(232b) 및 반도체 칩(220)을 둘러싸게 배치된 제2 패턴(232b)을 포함한다. 여기서 제2 몰딩 부재(232)는 반도체 칩(220)의 각 변을 둘러싸게 배치된 제1 갭(d1) 및 제2 갭(d2)을 모두 채우도록 배치된다. 이에 따라, 반도체 칩(220)은 상대적으로 물리적인 유연도가 높은 제2 몰딩 부재(232)로 둘러싸여 있어 외부 힘을 인가할 때 휘어지거나 구부러질 수 있다.

[0037] 도 6 및 도 7은 또 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다. 여기서 도 7은 도 6의 III-III' 절단선을 따르는 단면을 보여준다.

[0038] 도 6 및 도 7을 참조하면, 본 출원의 또 다른 실시예에 따른 반도체 패키지(30)는 기판(300)과, 반도체 칩(320)과, 기판(300) 상에 서로 다른 물리적인 유연도를 가지는 제1 몰딩 부재(330) 및 제2 몰딩 부재(332)를 포함하는 몰딩부(334)를 포함하여 구성될 수 있다.

[0039] 기판(300)은 바디부(302), 외부 배선 패턴(304, 305), 외부 절연층(306, 308), 내부 배선 패턴(303a) 및 비아 전극(303b)을 포함하는 판형 부재로 구비될 수 있다. 기판(300)은 인쇄회로기판(PCB), 유기 기판 또는 절연 기판을 포함하여 구성될 수 있다. 기판(300)의 바디부(302)는 전면부(302a) 및 전면부(302a)와 대향하는 후면부(302b)를 포함한다. 바디부(302)의 전면부(302a) 상에는 제1 외부 배선 패턴(304)이 배치되고, 후면부(302b)에는 제2 외부 배선 패턴(305)이 배치될 수 있다. 바디부(302)의 내부에 배치된 내부 배선 패턴(303a) 또는 비아 전극(303b)은 구리(Cu)를 포함할 수 있다. 바디부(302)의 전면부(302a)에 배치된 제1 외부 배선 패턴(304)은 제1 외부 절연층(306)으로 덮여 있고, 후면부(302b)에 배치된 제2 외부 배선 패턴(305)은 제2 외부 절연층(308)에 의해 덮여 있다. 제1 또는 제2 외부 절연층(306, 308)은 솔더 레지스트 물질을 포함하여 구성될 수 있다. 여기서 제1 외부 절연층(306)은 제1 외부 배선 패턴(304)과 연결되는 기판 패드부(310)를 포함할 수 있다. 또한, 제2 외부 절연층(308)은 제2 외부 배선 패턴(305)의 일부 표면을 노출시키는 개구부(309)를 포함한다. 개구부(309)에 의해 노출된 제2 외부 배선 패턴(305)의 표면 일부는 솔더 볼과 같은 외부 접속 단자(311)가 배치되는 볼 랜드 패드부 역할을 할 수 있다.

[0040] 기판(300)의 제1 외부 절연층(306) 상에는 반도체 칩(320)이 배치된다. 반도체 칩(320)은 접촉 부재(322)를 매개로 통해 제1 외부 절연층(306) 상에 고정될 수 있다. 반도체 칩(320)은 액티브 소자들이 형성되어 있는 활성층일 수 있는 제1 면(320a) 및 제1 면(320a)와 대향하는 제2 면(320b)을 포함한다. 반도체 칩(320)의 제1 면(320a) 상에는 복수 개의 칩 패드부(324)가 배치된다. 칩 패드부(324)는 알루미늄(Al)이나 구리(Cu)를 포함하여 형성될 수 있다. 반도체 칩(320)과 기판(300)은 상호 접속 부재(326)를 통해 전기적으로 연결될 수 있다. 상호 접속 부재(326)는 본 출원의 실시예에서는 금속 와이어를 도시하여 설명하였지만, 금속 범프를 이용한 플립 칩 방식으로 연결될 수도 있다. 상호 접속 부재(326)를 금속 와이어로 이용하는 경우, 금속 와이어의 일 단부는 칩 패드부(324)에 연결되고 타 단부는 기판 패드부(310)에 연결된다.

[0041] 반도체 칩(320) 및 기판(300)은 몰딩부(334)에 의해 덮여 있다. 몰딩부(334)는 제1 몰딩 부재(330) 및 제2 몰딩 부재(332)를 포함하여 구성된다. 다시 도 6을 참조하면, 제1 몰딩 부재(330)는 제1 패턴들(330a, 330b) 및 제2 패턴들(330c, 330d, 330e)을 포함할 수 있다. 제1 몰딩 부재(330)의 제1 패턴들(330a, 330b)은 기판(300)의 수직 방향인 제1 방향 및 수평 방향인 제2 방향으로 소정 간격만큼 상호 이격하여 배열될 수 있다. 여기서 제1 패턴들(330a, 330b)은 기판(300)의 수직 방향인 제1 방향으로 소정 간격만큼 이격하여 배열된 제1 부분(330a)과, 기판(300)의 수직 방향인 제1 방향으로 연장하면서 반도체 칩(320)의 제1 측벽면(320d)으로부터 전면부(320a)의 표면 일부까지 연장하게 형성된 제2 부분(330b)을 포함하여 구성할 수 있다. 여기서 몰딩부(334)의 최외곽부에는 제1 몰딩 부재(330)의 제1 패턴(330a) 부분을 배치하여 몰딩부(334)의 외곽 형상을 지지하는 지지대 역할을 하게 한다.

[0042] 제2 패턴들(330c, 330d, 330e)은 반도체 칩(300)의 전면부(320a) 표면 상에 배치된 제1 부분(330c)과, 반도체

칩(320)의 제2 측벽면(320c)에 접촉하게 배치된 제2 부분(330d) 및 인접하는 제1 패턴들(330a) 사이의 공간에 배치된 제3 부분(330e)을 포함하여 구성할 수 있다. 제2 패턴들(330c, 330d, 330e)은 기관(300)의 수평 방향인 제2 방향으로 소정 간격만큼 상호 이격하여 배열될 수 있다. 이에 따라, 제1 패턴들(330a, 330b) 및 제2 패턴들(330c, 330d, 330e)은 격자 형상을 가지게 배치될 수 있다. 몰딩부(334)의 제1 몰딩 부재(330)는 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 제1 몰딩 부재(330)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC)을 포함할 수 있다.

[0043] 몰딩부(334)의 제2 몰딩 부재(332)는 제1 몰딩 부재(330)가 형성된 부분을 제외한 나머지 부분, 예를 들어, 제1 몰딩 부재(330)의 제1 패턴들(330a, 330b) 및 제2 패턴들(330c, 330d, 330e) 사이의 공간을 모두 덮도록 형성된다. 구체적으로, 제2 몰딩 부재(332)는 제1 몰딩 부재(330)의 상부면으로부터 소정 두께만큼 더 덮도록 형성할 수 있다. 제2 몰딩 부재(332)는 플렉서블한 소재로서, 제1 몰딩 부재(330)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 절연물질을 포함할 수 있다. 구체적으로, 제2 몰딩 부재(332)는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함할 수 있다. 일 예에서, 제2 몰딩 부재(332)는 실리콘 수지 또는 실리콘 고무를 포함하는 물질을 도입할 수 있다.

[0044] 도 8 및 도 9는 또 다른 실시예에 따른 반도체 패키지를 설명하기 위해 나타내보인 도면들이다. 여기서 도 9는 도 8의 IV-IV' 절단선을 따르는 단면을 보여준다. 도 9를 참조하면, 다른 실시예에 따른 반도체 패키지(40)는 도 6 및 도 7에 보여진 반도체 패키지(30)와 비교할 때, 몰딩부(234)를 제외한 나머지는 동일하게 구성된다. 이에 도 6 및 도 7의 반도체 패키지(30)와 동일한 구성요소는 다른 실시예에 따른 반도체 패키지(40)에서도 동일한 도면부호로 표기하며, 간단히 설명하거나 설명을 생략하기로 한다.

[0045] 도 8 및 도 9를 참조하면, 본 출원의 또 다른 실시예에 따른 반도체 패키지(40)는 기관(300)과, 반도체 칩(320)과, 기관(300) 상에 서로 다른 물리적인 유연도를 가지는 제1 몰딩 부재(430) 및 제2 몰딩 부재(432)를 포함하는 몰딩부(440)를 포함하여 구성될 수 있다. 기관(300)의 제1 외부 절연층(306) 상에 반도체 칩(320)이 배치된다. 반도체 칩(320)은 접착 부재(322)를 매개로 통해 제1 외부 절연층(306) 상에 고정될 수 있다. 반도체 칩(320)과 기관(300)은 금속 와이어와 같은 상호 접속 부재(326)를 통해 전기적으로 연결될 수 있다.

[0046] 반도체 칩(320)을 포함하는 기관(300)은 몰딩부(440)에 의해 덮여 있다. 몰딩부(440)는 제1 몰딩 부재(430a, 430b) 및 제2 몰딩 부재(432)를 포함하여 구성된다. 다시 도 8을 참조하면, 제1 몰딩 부재(430a, 430b)는 제1 패턴(430a) 및 제2 패턴(430b)을 포함할 수 있다. 제1 패턴(430a)은 기관(300)의 수직 방향인 제1 방향으로 연장된 직선 라인 형상으로 형성되며, 기관(300)의 수평 방향인 제2 방향으로 소정 간격만큼 상호 이격하여 배열될 수 있다. 제1 패턴(430a)의 일부는 반도체 칩(320)의 양 측벽면에 각각 접촉하여 배치될 수 있다. 또한, 몰딩부(440)의 최외곽부에는 제1 몰딩 부재(430)의 제1 패턴(430a) 부분을 배치하여 몰딩부(440)의 외곽 형상을 지지하는 지지대 역할을 하게 한다. 반도체 칩(320)의 제1 측벽면(320c)에 접촉하여 배치된 제1 패턴(430a)은 반도체 칩(320)을 양 측면에서 지지하는 역할을 한다. 제2 패턴(430b)은 기관(300)의 수직 방향인 제1 방향으로 연장된 직선 라인 형상으로 배치되면서 반도체 칩(320) 상부면을 제외한 제2 측벽면(320d)과 접촉하는 지점까지 연장하도록 형성된다.

[0047] 몰딩부(440)는 제1 몰딩 부재(430a, 430b)는 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 몰딩 부재(430a, 430b)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC)을 포함할 수 있다. 몰딩부(440)의 제2 몰딩 부재(432)는 제1 몰딩 부재(430a, 430b), 기관(300) 및 반도체 칩(320)을 덮도록 형성된다. 일 예에서, 제2 몰딩 부재(432)는 최외곽부에 배치된 제1 몰딩 부재(430)의 제1 패턴(430a)의 외 측벽면과 일렬로 정렬하게 배치된다. 제2 몰딩 부재(432)는 플렉서블한 소재로서, 제1 몰딩 부재(430a, 430b)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 절연물질을 포함할 수 있다. 구체적으로, 제2 몰딩 부재(432)는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함할 수 있다. 일 예에서, 제2 몰딩 부재(432)는 상술한 제2 인장 탄성 계수를 가지는 절연 물질로써 실리콘 수지 또는 실리콘 고무를 포함하는 물질을 도입할 수 있다.

[0048] 도 10 내지 도 15는 본 출원의 일 실시예에 따른 반도체 패키지의 제조방법을 설명하기 위해 나타내보인 도면들이다.

[0049] 도 10을 참조하면, 기관(1000)을 준비한다. 기관(1000)은 베이스(bas) 부재 역할을 하는 바디부(1002)와, 바디부(1002)의 양면에 형성된 외부 배선 패턴(1004, 1005)과, 외부 절연층(1006, 1008)을 포함한다.

- [0050] 기판(1000)은 휘어질 수 있는 재질을 포함하여 바디부(1002)를 구성할 수 있다. 일 예에서, 기판(1000)은 연성 타입의 인쇄회로기판, 절연 기판 또는 유기 기판으로 형성될 수 있다. 기판(1000)을 유기 기판으로 형성하는 경우, 바디부(1002)는 휘어질 수 있는 유기 재료를 포함하여 구성될 수 있다. 일 예에서 유기 재료는 폴리머 레진, 에폭시 레진, 또는 플라스틱으로 이루어진 그룹에서 하나 이상의 물질을 포함하여 구성될 수 있다. 바디부(1002)는 전면부(1002a) 및 전면부(1002a)와 대향하는 후면부(1002b)를 포함한다.
- [0051] 외부 배선 패턴(1004)은 바디부(1002)의 전면부(1002a) 상에 배치된 제1 외부 배선 패턴(1004) 및 바디부(1002)의 후면부(1002b) 상에 배치된 제2 외부 배선 패턴(1005)을 포함한다. 제1 외부 배선 패턴(1004) 또는 제2 외부 배선 패턴(1005)은 기판(1000)의 바디부(1002) 상에 동박층(Copper foil)을 배치하고, 동박층 상에 회로 패턴이 형성되는 부분을 제외한 나머지 부분을 식각하여 회로 패턴을 형성하는 서브트랙티브(subtractive)법으로 형성하거나 또는 바디부(1002)의 전면부(1002a) 또는 후면부(1002b) 위에 도금 등의 방법으로 필요한 회로를 직접 형성하는 어디티브(additive)법 등에 의해 제조될 수 있다.
- [0052] 바디부(1002)의 내부에는 내부 배선 패턴(1003a) 및 내부 배선 패턴(1003a)을 제1 또는 제2 외부 배선 패턴(1004, 1005)과 전기적으로 연결시키는 비아 전극(1003b)이 배치될 수 있다. 일 실시예에서, 내부 배선 패턴(1003a)은 다층 구조로 형성될 수 있다.
- [0053] 외부 절연층(1006, 1008)은 제1 외부 배선 패턴(1004) 또는 제2 외부 배선 패턴(1005)의 노출면을 덮도록 형성할 수 있다. 외부 절연층(1006, 1008)은 제1 외부 절연층(1006) 및 제2 외부 절연층(1008)을 포함한다. 제1 외부 절연층(1006)은 바디부(1002)의 전면부(1002a) 상에 배치되어 제1 외부 배선 패턴(1004)을 덮고, 제2 외부 절연층(1008)은 바디부(1002)의 후면부(1002b) 상에 배치되어 제2 외부 배선 패턴(1005)을 덮는다. 이러한 제1 또는 제2 외부 절연층(1006, 1008)은 솔더 레지스트 물질을 포함하여 형성할 수 있다. 제1 외부 절연층(1006)은 제1 외부 배선 패턴(1004)의 일부분을 노출시키는 제1 개구부(1010)를 포함한다. 제1 개구부(1010)로 노출된 제1 외부 배선 패턴(1004)의 일 부분은 기판 패드부(1010a)가 될 수 있다. 또한, 제2 외부 절연층(1008)은 제2 외부 배선 패턴(1005)의 표면 일부를 노출시키는 제2 개구부(1043)를 포함한다. 제2 개구부(1043)에 의해 노출된 제2 외부 배선 패턴(1005)의 표면 일부는 볼 랜드 패드부(1044)가 될 수 있다.
- [0054] 도 11을 참조하면, 기판(1000) 상에 반도체 칩(1020)을 실장한다. 반도체 칩(1020)은 접착 부재(1022)를 매개로 제1 외부 절연층(1006) 상에 고정될 수 있으나, 이에 한정되는 것은 아니다. 접착 부재(1022)는 접착제 또는 접착 테이프, 예를 들어, 다이 어태치 필름(DAF : Die attach film)으로 이루어질 수 있다. 반도체 칩(1020) 내에는 트랜지스터와 같은 액티브 소자들이 형성되어 있으며, 경우에 따라서는 커패시터, 레지스터 등과 같은 패시브 소자들도 형성되어 있을 수 있다. 반도체 칩(1020)은 전면부(1020a) 및 전면부(1020a)와 대향하는 후면부(1020b)를 포함할 수 있다. 일 예에 따른 반도체 칩(1020)의 전면부(1020a)는 활성영역이 존재하는 부분이고, 후면부(1020b)는 전면부(1020a)에 반대되는 부분으로 이해될 수 있다. 반도체 칩(1020)의 전면부(1020a)상에는 기판(1000)과의 전기적 연결을 위해 도전성 재질, 예컨대 알루미늄(Al)이나 구리(Cu)로 이루어진 복수 개의 칩 패드부(1024)가 배치될 수 있다. 반도체 칩(1020)과 기판(1000)은 상호 접속 부재(1026)를 통해 전기적으로 서로 연결된다. 본 출원의 실시예에서는 상호 접속 부재(1026)로서 금속 와이어를 도시하여 설명하였지만 이에 한정되는 것은 아니다. 예를 들어, 반도체 칩(1020)과 기판(1000)은 금속 범프를 이용한 플립 칩(flip chip) 방식으로 연결될 수도 있다. 상호 접속 부재(1026)를 금속 와이어로 이용하는 경우, 금속 와이어의 일 단부는 반도체 칩(1020)의 칩 패드부(1024)에 부착되고 타 단부는 기판(1000) 상의 기판 패드부(1010)에 부착될 수 있다.
- [0055] 도 12 및 도 13을 참조하면, 반도체 칩(1020)이 배치된 기판(1000) 상에 프리 몰딩 부재(pre-molding, 1034a)를 배치한다. 프리 몰딩 부재(1034a)는 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)를 포함하여 구성될 수 있다. 일 예에서, 몰딩 부재(1034)는 캐리어(1027) 상에 배치되어 제공될 수 있다. 도 12를 상부에서 나타내 보인 평면도인 도 13을 참조하면, 프리 몰딩 부재(1034a)의 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)는 수직 방향인 제1 방향으로 연장되는 직선 라인이 상호 교번하는 스트라이프(stripe) 형상으로 형성될 수 있다. 여기서 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)는 각각 시트 타입(sheet type)으로 합지(lamination)되어 캐리어(1027) 상에 배치될 수 있다. 캐리어(1027)는 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)의 위치를 고정하는 역할을 하며 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)의 표면으로부터 탈착이 가능한 접착 필름으로 이루어질 수 있다. 제1 프리 몰딩부(1030a) 및 제2 프리 몰딩부(1032a)를 포함하는 프리 몰딩 부재(1034a)는 큐어링(curing)을 하지 않아 경화되지 않은 상태이다.
- [0056] 다음에 도 14 및 도 15에 도시한 바와 같이, 반도체 칩(1020) 및 기판(1000)을 덮는 몰딩부(1034)를 형성한다. 여기서 도 14는 도 15의 V-V' 절단선을 따르는 단면을 보여준다. 이를 위해 먼저, 프리 몰딩 부재(1034a)가

배치된 캐리어(1027)를 도 13에서 화살표로 나타낸 바와 같이, 반도체 칩(1020) 방향으로 이동하여 반도체 칩(1020) 상에 압착시킨다. 다음에 캐리어(1027)만 선택적으로 제거하고, 큐어링으로 프리 몰딩 부재(1034a)를 경화시켜 몰딩부(1034)를 형성할 수 있다. 여기서 제1 몰딩 부재(1030)는 기관(1000)의 제1 방향으로 연장된 직선 라인 형상으로 소정 간격만큼 갭(gap)을 두어 배열되고, 제2 몰딩 부재(1032)는 인접하는 제1 몰딩 부재(1030)들 사이의 갭을 채우는 직선 라인 형상으로 배열될 수 있다. 이에 따라, 몰딩부(1034)는 제1 몰딩 부재(1030) 및 제2 몰딩 부재(1032)가 상호 교번하여 배치된 스트라이프 형상을 가진다.

[0057] 제1 몰딩 부재(1030)는 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 제1 몰딩 부재(1030)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC)을 포함할 수 있다. 제2 몰딩 부재(1032)는 플렉서블한 소재로서, 제1 몰딩 부재(1030)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 절연물질을 포함할 수 있다. 구체적으로, 제2 몰딩 부재(1032)는 0.01GPa 내지 0.1GPa 범위의 제2 인장 탄성 계수를 가지는 물질을 포함할 수 있다. 일 예에서, 제2 인장 탄성 계수를 가지는 절연 물질은 실리콘 수지 또는 실리콘 고무를 포함하여 구성될 수 있다. 제2 몰딩 부재(1032)는 제1 몰딩 부재(1030)보다 상대적으로 낮은 제2 인장 탄성 계수를 가지는 물질로 구성됨에 따라, 외부 힘이 가해질 때 휘어지거나 구부러질 수 있는 물리적인 유연도(flexibility)가 제1 몰딩 부재(1032)보다 상대적으로 더 높다.

[0058] 제1 몰딩 부재(1030)는 상대적으로 제2 몰딩 부재(1032)보다 물리적으로 단단한 성질을 가진다. 이에 따라, 몰딩부(1034)의 최외곽부에 제1 몰딩 부재(1030) 부분을 배치하여 몰딩부(1034)의 외곽 형상을 유지하는 지지대 역할을 하도록 한다. 또한, 제1 몰딩 부재(1030)는 반도체 칩(1020)의 제1 측벽면(1020c)으로부터 소정 거리(d3)만큼 이격하여 갭을 두면서 배치되고, 이 갭 부분이 제2 몰딩 부재(1032)에 의해 매립된다. 아울러, 반도체 칩(1020)이 배치된 부분에서 제1 몰딩 부재(1030) 및 제2 몰딩 부재(1032)는 반도체 칩(1020)의 제2 측벽면(1020d)으로부터 반도체 칩(1020)의 전면부(1020a)를 통해 반대편의 제2 측벽면(1020d)까지 연장하도록 배치될 수 있다. 그리고 제2 외부 절연층(1008) 상에 배치된 볼랜드 패드부(1040) 상에 외부 접속 단자(1042)를 배치한다. 외부 접속 단자(1042)는 솔더 볼을 포함할 수 있다.

[0059] 한편, 본 출원의 실시에서는 프리 몰딩 부재(1034a)를 시트 타입(sheet type)으로 제공하여 몰딩부(1034)를 설명하는 방법을 설명하였으나, 이에 한정되는 것은 아니다. 예를 들어, 몰딩 부재(1034)는 트랜스퍼 몰딩(transfer molding) 방식 또는 핀 게이트 몰딩(pin gate molding) 방식을 이용하여 형성할 수 있다.

[0060] 도 16 내지 도 20은 본 출원의 다른 실시예에 따른 반도체 패키지의 제조방법을 설명하기 위해 나타내보인 도면들이다.

[0061] 도 16을 참조하면, 기관(2000)을 준비한다. 기관(2000)은 바디부(2002)와, 바디부(2002)의 양면에 형성된 외부 배선 패턴(2004, 2005) 및 외부 절연층(2006, 2008)을 포함한다. 기관(2000)은 휘어질 수 있는 재질을 포함하여 바디부(2002)를 구성할 수 있다. 일 예에서, 기관(2000)은 연성 타입의 인쇄회로기판, 절연 기판 또는 유기 기판으로 형성할 수 있다. 바디부(2002)는 전면부(2002a) 및 전면부(2002a)와 대향하는 후면부(2002b)를 포함한다.

[0062] 외부 배선 패턴(2004, 2005)은 제1 외부 배선 패턴(2004) 및 제2 외부 배선 패턴(2005)을 포함한다. 여기서 제1 외부 배선 패턴(2004)은 바디부(2002)의 전면부(2002a) 상에 형성되고, 제2 외부 배선 패턴(2005)은 바디부(2002)의 후면부(2002b) 상에 형성될 수 있다. 제1 외부 배선 패턴(2004) 또는 제2 외부 배선 패턴(2005)은 서브트랙티브(subtractive)법으로 형성하거나 또는 어디티브(additive)법 등에 의해 형성할 수 있다. 바디부(2002)의 내부에는 내부 배선 패턴(2003a) 및 비아 전극(2003b)이 배치될 수 있다. 비아 전극(2003b)은 내부 배선 패턴(2003a)을 제1 또는 제2 외부 배선 패턴(2004, 2005)과 전기적으로 연결시키는 역할을 한다.

[0063] 제1 외부 배선 패턴(2004) 상에는 제1 외부 절연층(2006)이 배치될 수 있다. 제1 외부 절연층(2006)은 제1 외부 배선 패턴(2004)의 노출면을 덮고 솔더 레지스트 물질을 포함하여 형성할 수 있다. 제2 외부 배선 패턴(2005) 상에는 제2 외부 절연층(2008)이 배치될 수 있다. 제2 외부 절연층(2008)은 제2 외부 배선 패턴(2004)의 노출면을 덮고 솔더 레지스트 물질을 포함하여 형성할 수 있다. 제1 외부 절연층(2006)은 제1 외부 배선 패턴(2004)의 일부분을 노출시키는 제1 개구부(2010)를 포함한다. 제1 개구부(2010)로 노출된 제1 외부 배선 패턴(2004)의 일부분은 기판 패드부(2010a)가 될 수 있다. 또한, 제2 외부 절연층(2008)은 제2 외부 배선 패턴(2005)의 표면 일부를 노출시키는 제2 개구부(2043)를 포함한다. 제2 개구부(2043)에 의해 노출된 제2 외부 배선 패턴(2005)의 표면 일부는 볼 랜드 패드부(2044)가 될 수 있다.

- [0064] 도 17을 참조하면, 기판(2000) 상에 반도체 칩(2020)을 실장한다. 반도체 칩(2020)은 접착 부재(2022)를 매개로 제1 외부 절연층(2006) 상에 고정될 수 있으나, 이에 한정되는 것은 아니다. 접착 부재(2022)는 접착제 또는 접착 테이프, 예를 들어, 다이 어태치 필름(DAF)으로 이루어질 수 있다. 반도체 칩(2020)은 전면부(2020a) 및 전면부(2020a)와 대향하는 후면부(2020b)를 포함할 수 있다. 일 예에 따른 반도체 칩(2020)의 전면부(2020a)는 활성영역이 존재하는 부분이고, 후면부(2020b)는 전면부(2020a)에 반대되는 부분으로 이해될 수 있다. 반도체 칩(2020)의 전면부(2020a)상에는 기판(2000)과의 전기적 연결을 위해 도전성 재질, 예컨대 알루미늄(Al)이나 구리(Cu)로 이루어진 복수 개의 칩 패드부(2024)가 배치될 수 있다.
- [0065] 기판(2000)과 반도체 칩(2020)은 상호 접속 부재(2026)를 통해 전기적으로 서로 연결된다. 상호 접속 부재(2026)는 금속 와이어 또는 금속 범프를 이용할 수 있다. 본 출원의 실시예에서는 금속 와이어를 이용하여 연결하는 방식을 설명하고자 한다. 금속 와이어를 상호 접속 부재(2026)로 적용하는 경우, 금속 와이어의 일 단부는 반도체 칩(2020)의 칩 패드부(2024)에 연결되고 타 단부는 기판(2000) 상의 기판 패드부(2010)에 연결될 수 있다.
- [0066] 도 18을 참조하면, 반도체 칩(2020)이 배치된 기판(2000) 전면에 제1 몰딩 부재(2042)를 형성한다. 제1 몰딩 부재(2042)는 격자 형태의 금형을 이용하여 컴프레션 몰딩(compression molding) 또는 핀 포인트 게이트 몰딩(pin point gate molding)으로 형성할 수 있다. 제1 몰딩 부재(2042)는 제1 인장 탄성 계수를 가지는 절연 물질을 포함하여 구성할 수 있다. 일 예에서, 제1 몰딩 부재(2040)는 20GPa 내지 30GPa의 제1 인장 탄성 계수를 가지는 절연 물질을 포함할 수 있다. 일 예에서, 제1 인장 탄성 계수를 가지는 절연 물질은 에폭시 몰딩 화합물(EMC)을 포함할 수 있다. 제1 몰딩 부재(2042)는 반도체 칩(2020)의 전면부(2020a)의 표면보다 높은 위치에 상부면이 위치하도록 형성한다.
- [0067] 도 18을 상부에서 나타내보인 평면도인 도 19를 참조하면, 제1 몰딩 부재(2042)는 제1 패턴들(2042a, 2042b)과, 제2 패턴들(2042c, 2042d, 2042e)을 포함할 수 있다. 도 18은 도 19의 VI-VI' 절단선을 따르는 단면을 보여준다. 여기서 제1 패턴들(2042a, 2042b)은 제2 패턴들(2042c, 2042d, 2042e)의 제2 길이(ℓ_2)보다 상대적으로 긴 제1 길이(ℓ_1)를 가지게 형성할 수 있으나 이에 한정되는 것은 아니다. 다른 예에서, 제1 패턴들(2042a, 2042b) 및 제2 패턴들(2042c, 2042d, 2042e)은 동일한 길이를 가지게 형성할 수 있다.
- [0068] 제1 패턴들(2042a, 2042b)은 기판(2000)의 최외곽부에 배치된 제1 부분(2042a)과, 기판(2000)으로부터 반도체 칩(2020)으로 연장되고 반도체 칩(2020)의 제1 측벽면(2020d)으로부터 전면부(2020a)의 표면 일부까지 연장하게 형성된 제2 부분(2042b)을 포함하여 구성할 수 있다. 제1 패턴들(2042a, 2042b)은 기판(2000)의 수평 방향인 제2 방향으로 제1 간격(g_1)을 두면서 상호 이격하여 배열되고, 기판(2000)의 수직 방향인 제1 방향으로 제2 간격(g_2)을 두면서 상호 이격하여 배열될 수 있다.
- [0069] 제1 몰딩 부재(2042)의 제2 패턴들(2042c, 2042d, 2042e)은 반도체 칩(2020)의 전면부(2020a) 표면 상에 배치된 제1 부분(2042c)과, 반도체 칩(2020)의 제2 측벽면(2020d)에 접촉하게 배치된 제2 부분(2042d) 및 인접하는 제1 패턴들(2042a, 2042b) 사이의 공간에 배치된 제3 부분(2042e)을 포함하여 구성할 수 있다. 제2 패턴들(2042c, 2042d, 2042e)은 기판(2000)의 수평 방향인 제2 방향으로 제3 간격(g_3)을 두면서 상호 이격하여 배열될 수 있다. 이에 따라, 다시 도 19를 참조하면, 제1 패턴들(2042a, 2042b) 및 제2 패턴들(2042c, 2042d, 2042e)은 격자 형상을 가지게 배치될 수 있다.
- [0070] 도 20을 참조하면, 제1 몰딩 부재(2042)를 포함하는 기판(2000) 상에 제2 몰딩 부재(2050)를 형성한다. 이를 위해, 격자 형상을 가지게 배치된 제1 몰딩 부재(2042)를 포함하는 기판(2000) 상에 액상 또는 반 경화 상태의 프리 몰딩 물질(pre-molding material)를 주입하거나 라미네이션(lamination)한다. 그러면 제1 몰딩 부재(2042) 사이의 빈 공간은 액상 또는 반 경화 상태의 프리 몰딩 물질로 채워진다. 프리 몰딩 물질은 제1 몰딩 부재(2042)의 상부면이 모두 덮일 때까지 주입한다. 다음에, 큐어링(curing)을 진행하여 프리 몰딩 물질을 경화시켜 경화 상태의 제2 몰딩 부재(2050)를 형성한다. 큐어링을 진행함에 따라, 프리 몰딩 물질의 물성이 변화되면서 안정적인 상태로 변화하여 반도체 패키지의 외력 흡수재 역할을 하는 제2 몰딩 부재(2050)로 형성될 수 있다. 큐어링을 진행하지 않는 경우 액상 또는 반 경화 상태의 프리 몰딩 물질은 기판(2000) 및 제1 몰딩 부재(2042)와 접촉하는 부분에서 분리될 수 있다.
- [0071] 제2 몰딩 부재(2050)는 제1 몰딩 부재(2042)보다 상대적으로 낮은 인장 탄성 계수를 가지는 물질을 포함한다. 예를 들어, 제1 몰딩 부재(2042)로 적용하고 있는 에폭시 몰딩 화합물(EMC)은 20GPa 내지 30GPa의 인장 탄성 계수를 가진다. 이에 따라, 제2 몰딩 부재(2050)는 제1 몰딩 부재(2042)보다 상대적으로 물리적으로 유연한 특성을 가지기 위해 제1 몰딩 부재(2042)보다 낮은 0.01GPa 내지 0.1GPa 범위의 인장 탄성 계수를 가지는 물질을 포

함한다. 제2 몰딩 부재(2050)는 상대적으로 제1 몰딩 부재(2042)보다 물리적으로 유연함에 따라 외부 힘을 인가할 때 휘어지거나 구부러질 수 있다. 다음에 볼 랜드 패드부(2044) 상에 외부 접속 단자(2046)를 형성하여 패키지 구조를 완성한다. 외부 접속 단자(2046)는 솔더 볼을 포함할 수 있다.

부호의 설명

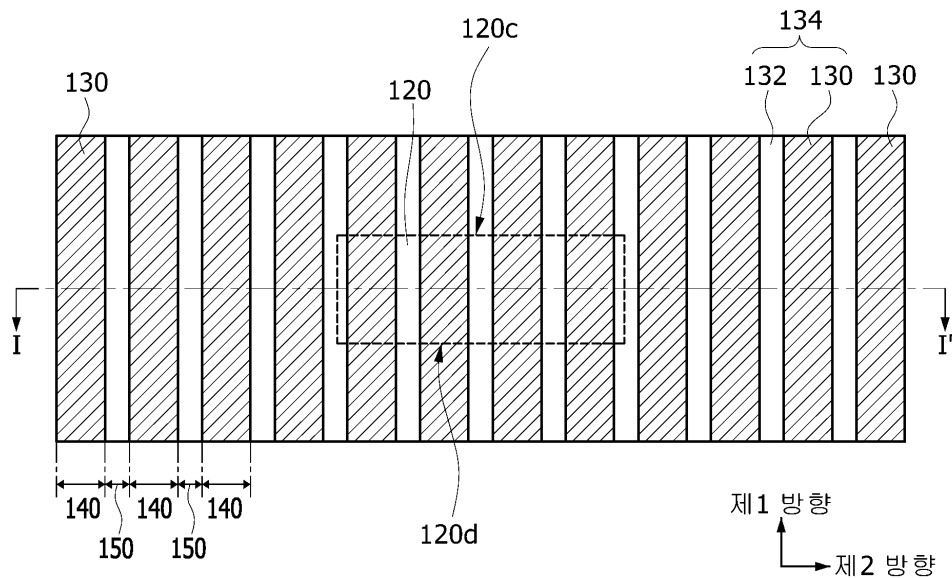
[0072]

100, 200, 300, 1000 : 기판 102, 202, 302, 1002 : 바디부
 104, 105, 204, 205, 304, 305, 1004, 1005 : 외부 배선 패턴
 106, 108, 206, 208, 306, 308, 1006, 1008 : 외부 절연층
 120, 220, 320, 1020 : 반도체 칩
 130, 230, 330, 1030 : 제1 몰딩 부재
 132, 232, 332, 1032 : 제2 몰딩 부재
 134, 234, 334, 1034 : 몰딩부

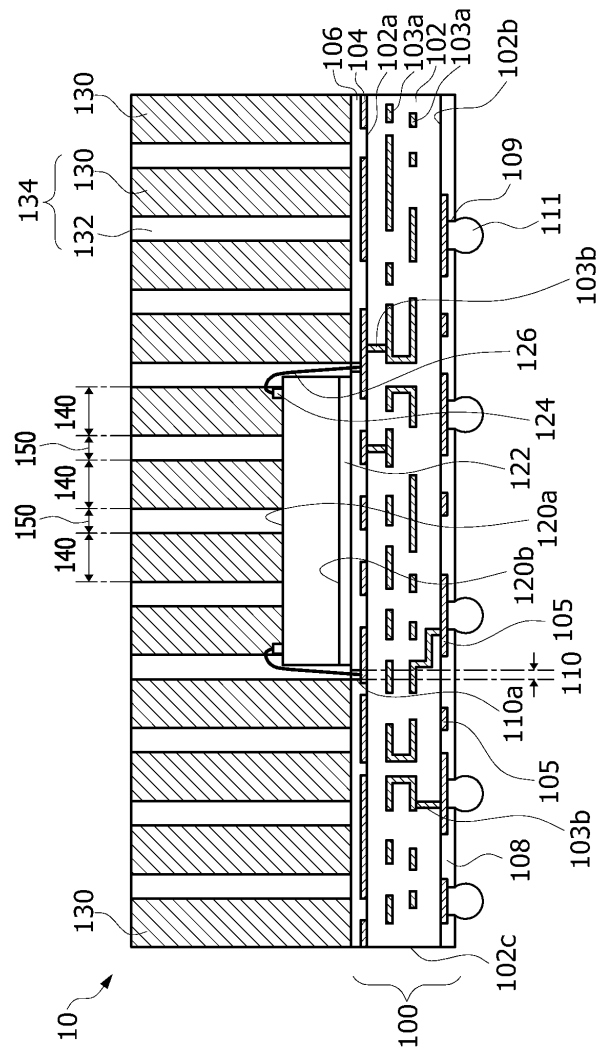
도면

도면1

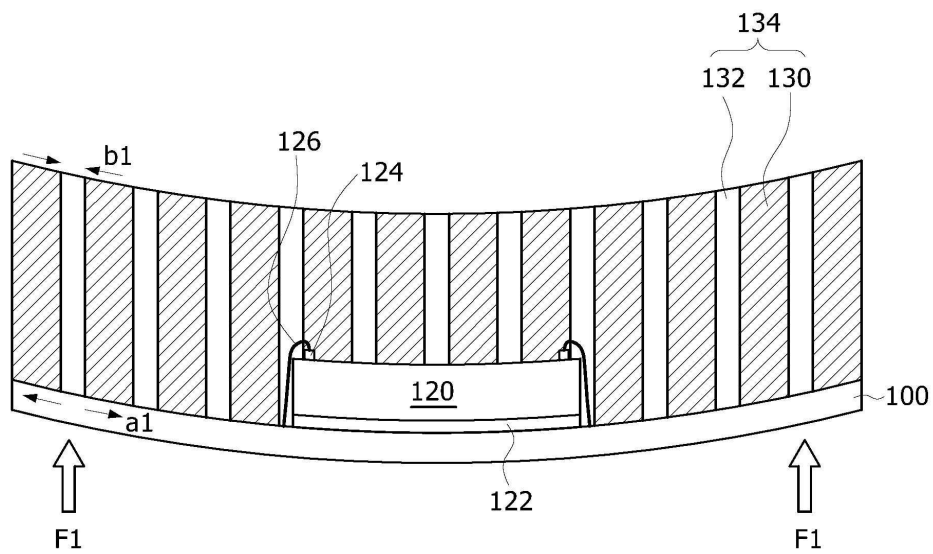
10



도면2

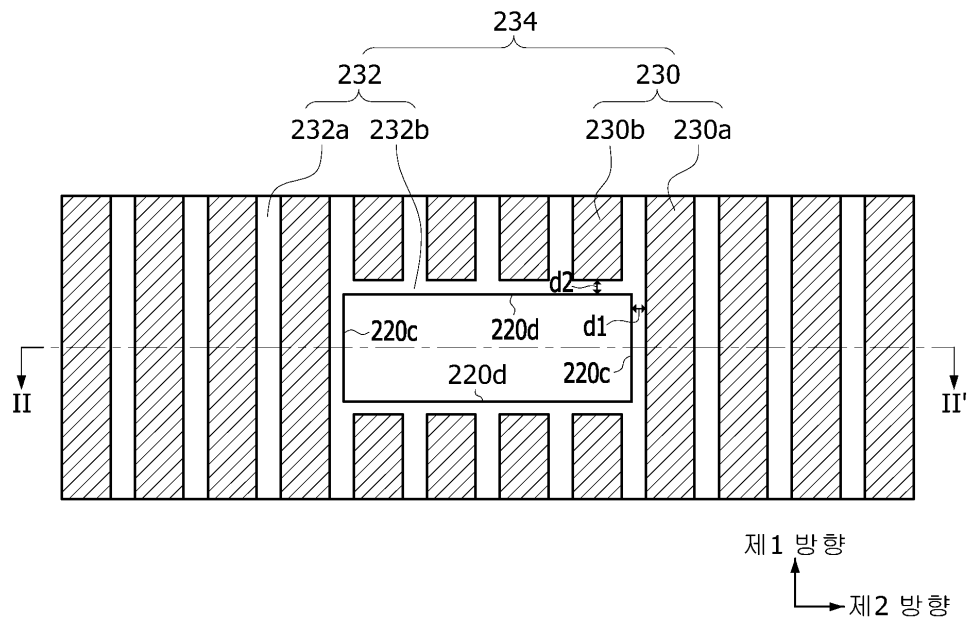


도면3

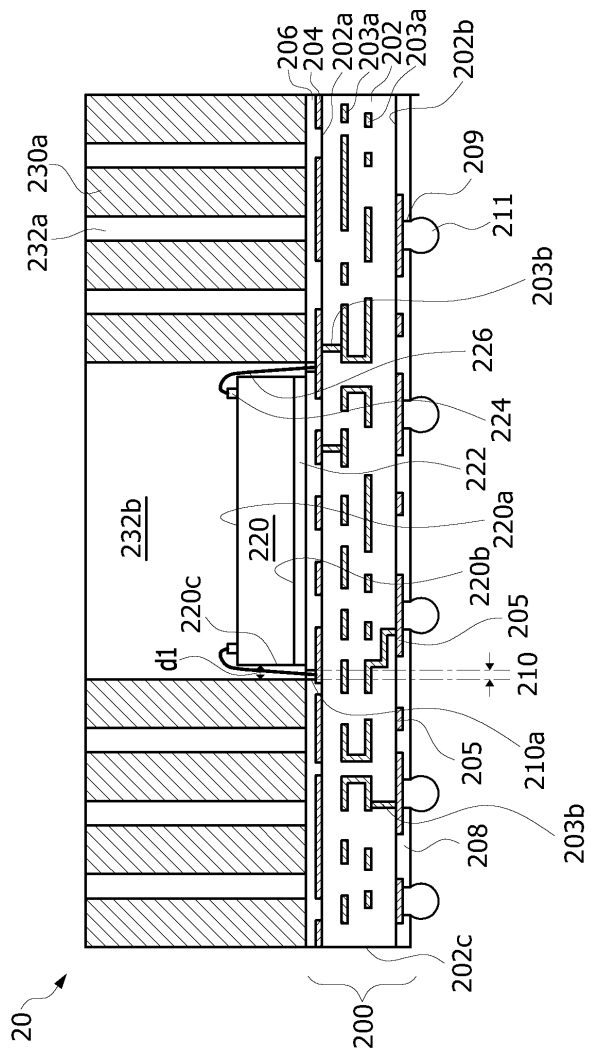


도면4

20

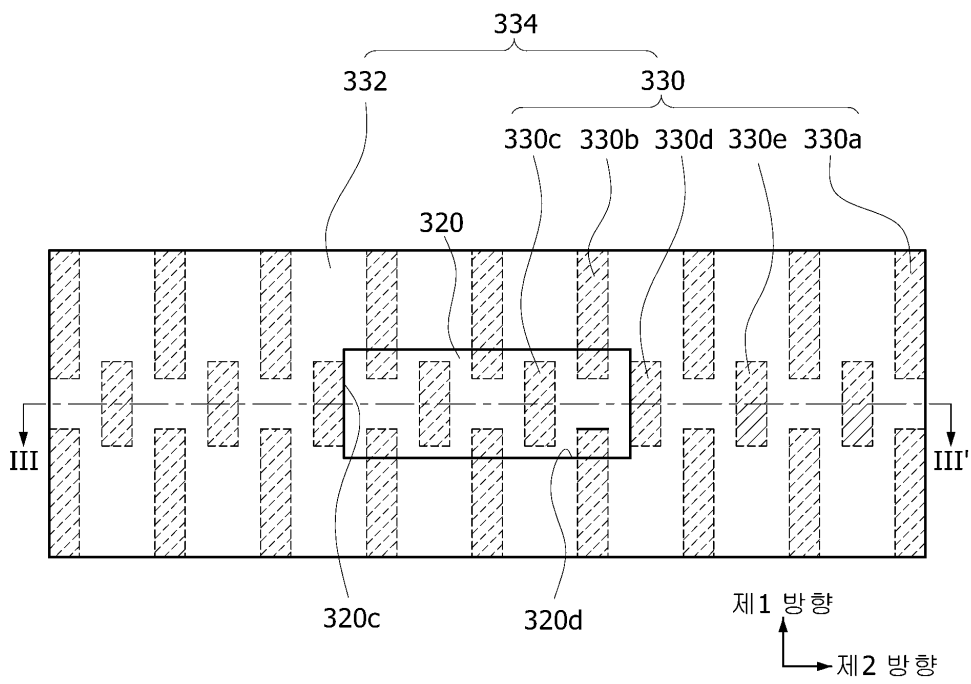


도면5

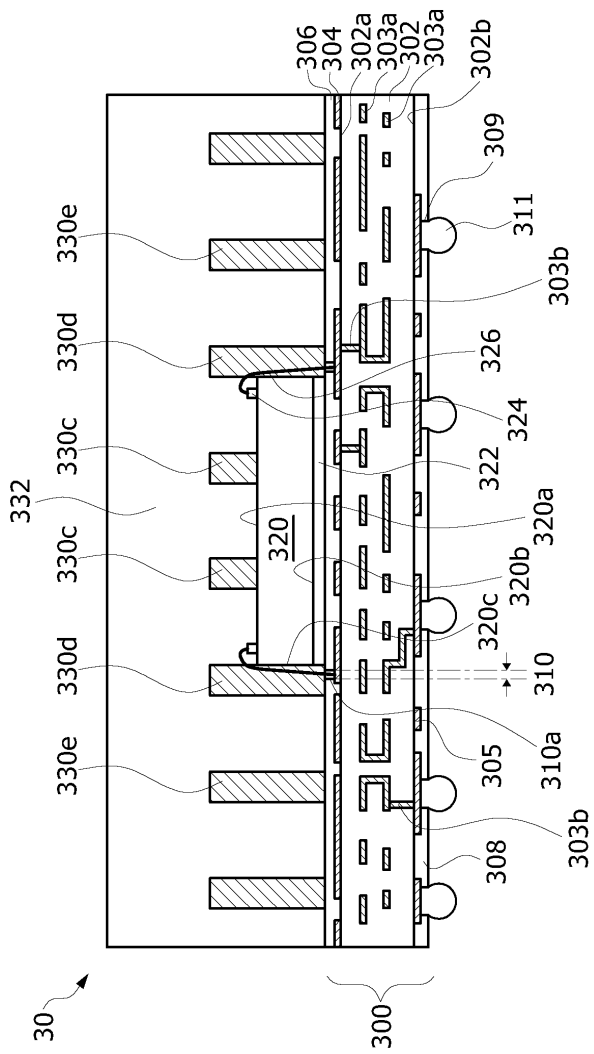


도면6

30

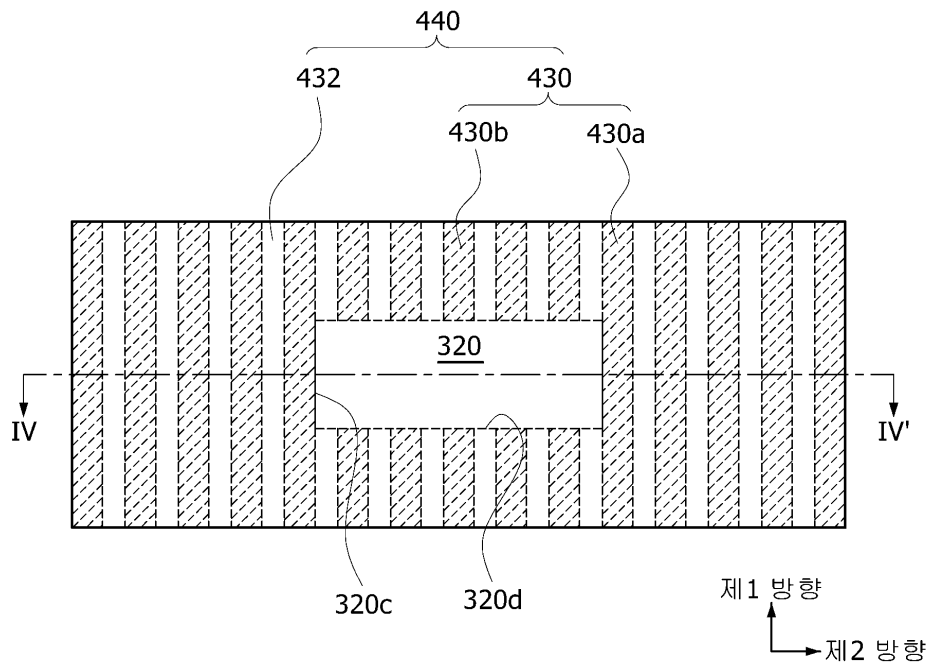


도면7

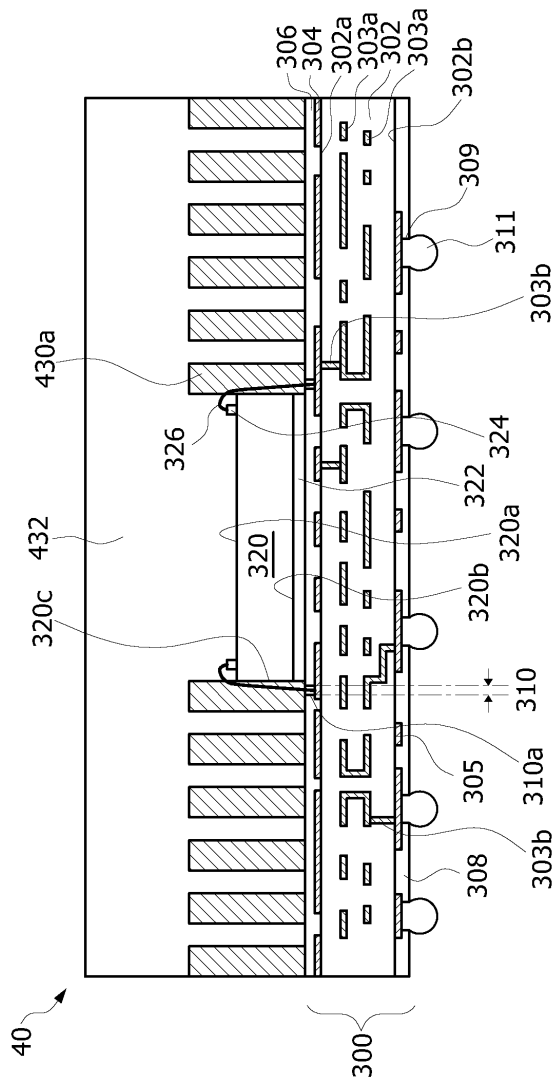


도면8

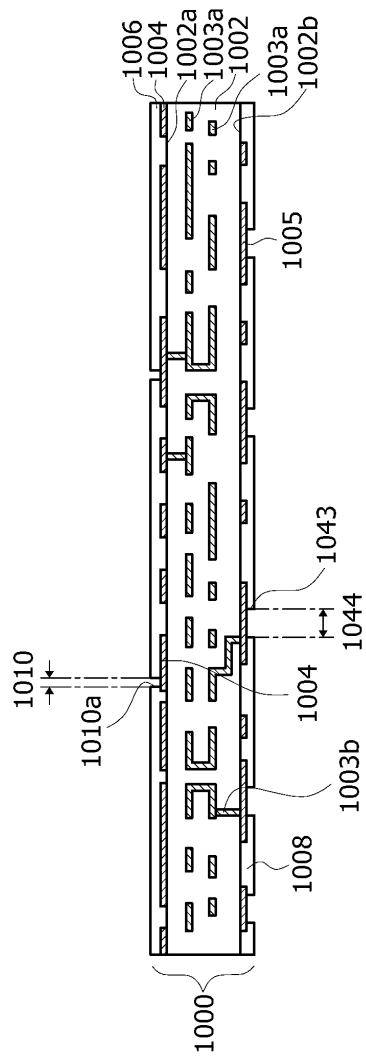
40



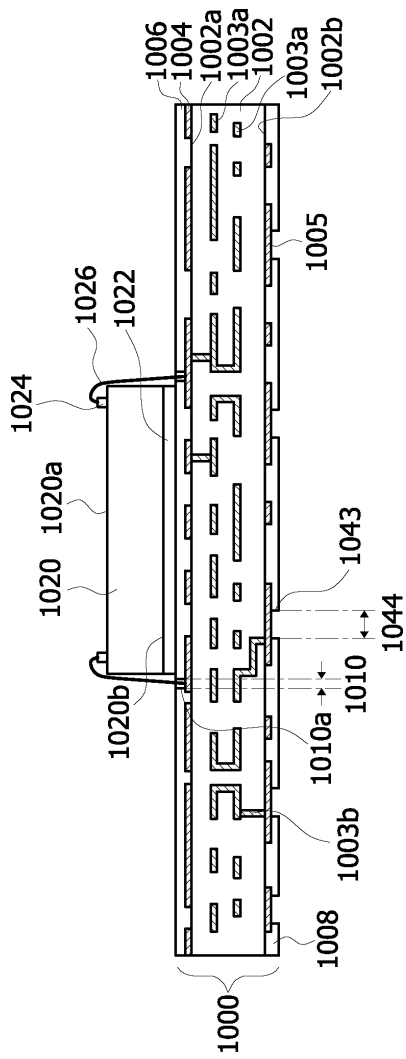
도면9



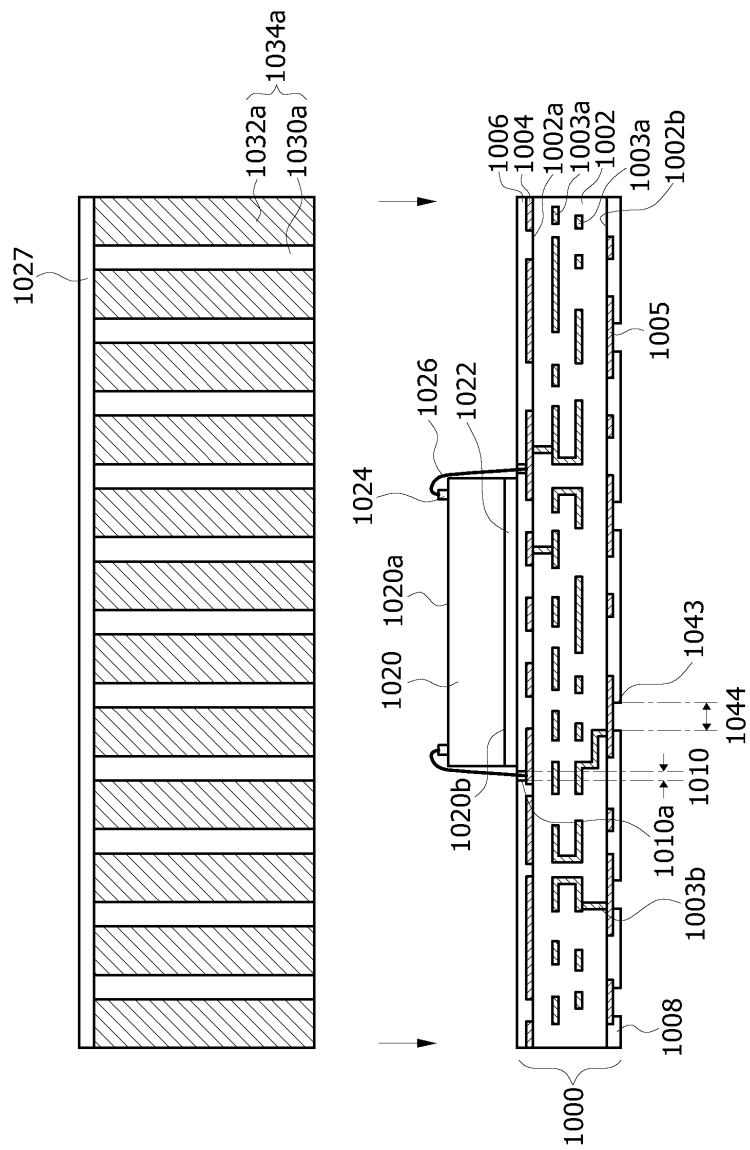
도면10



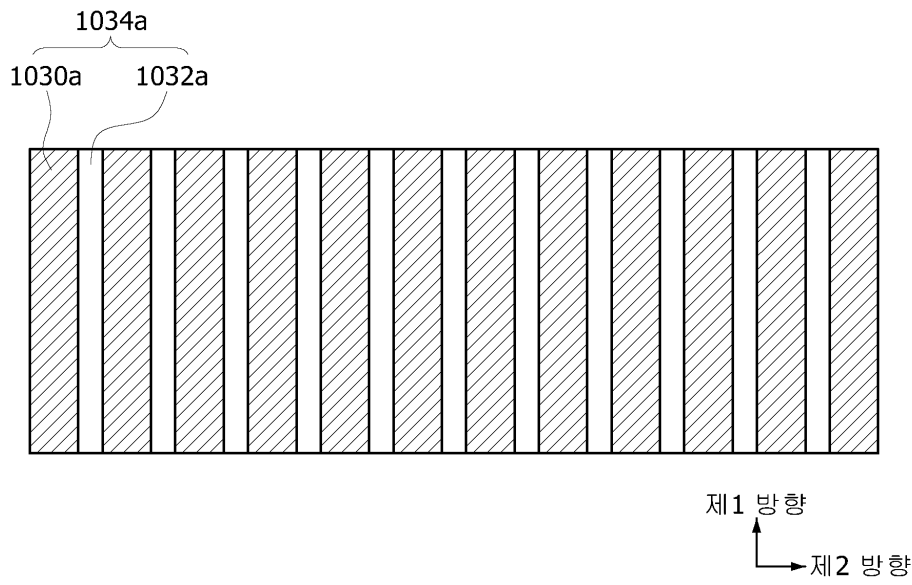
도면11



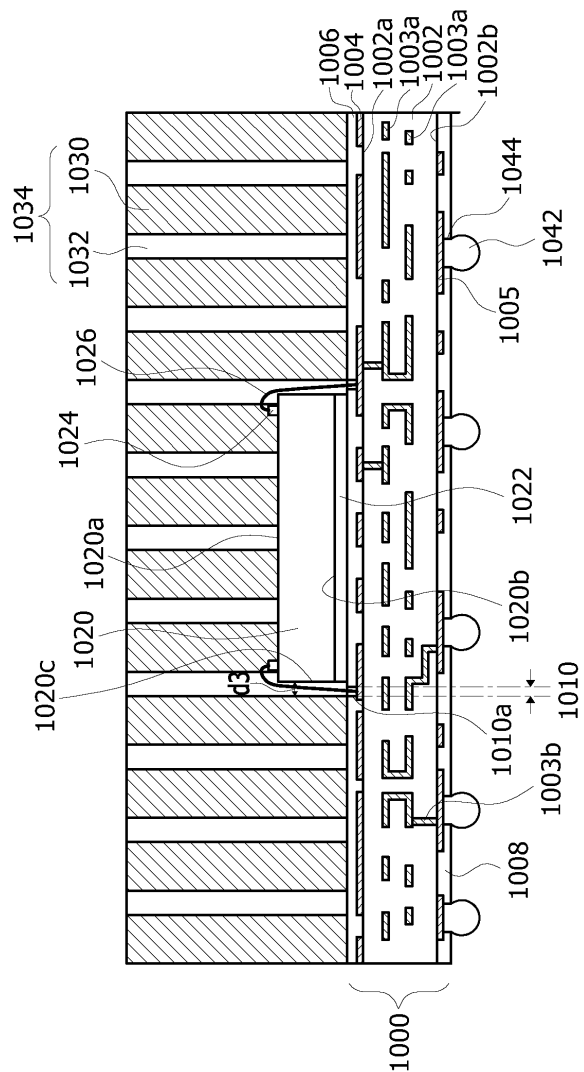
도면12



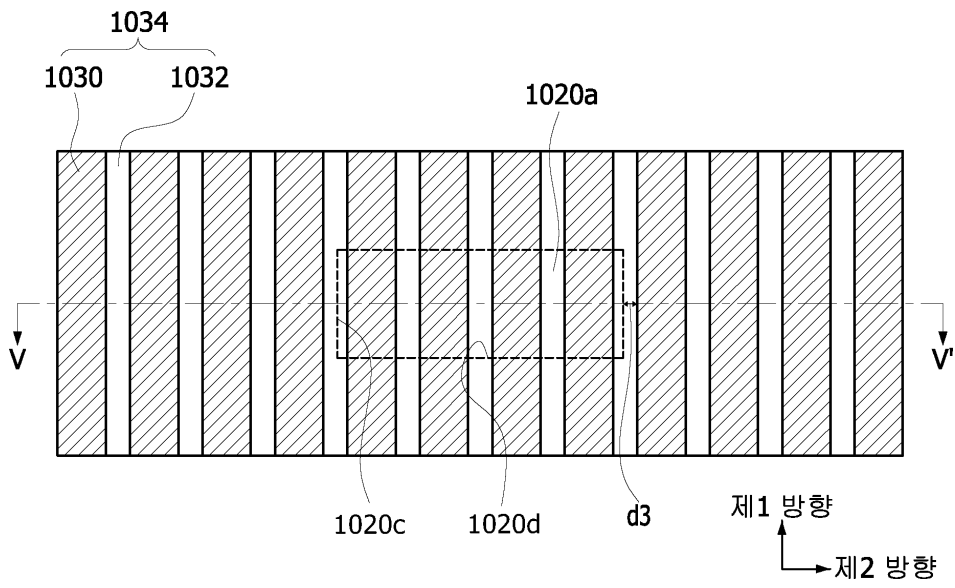
도면13



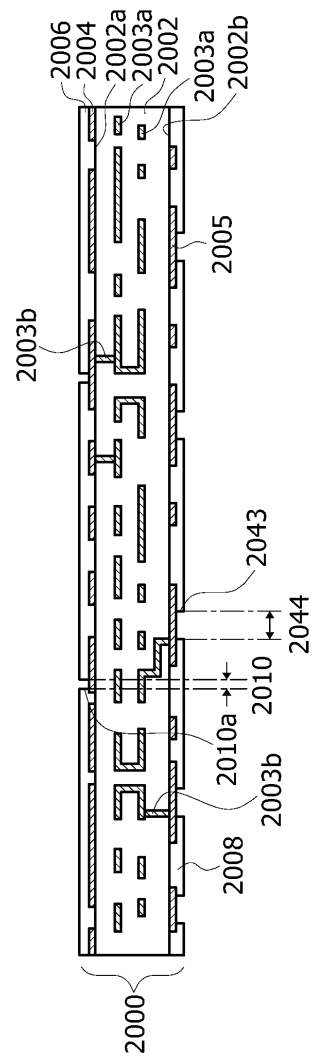
도면14



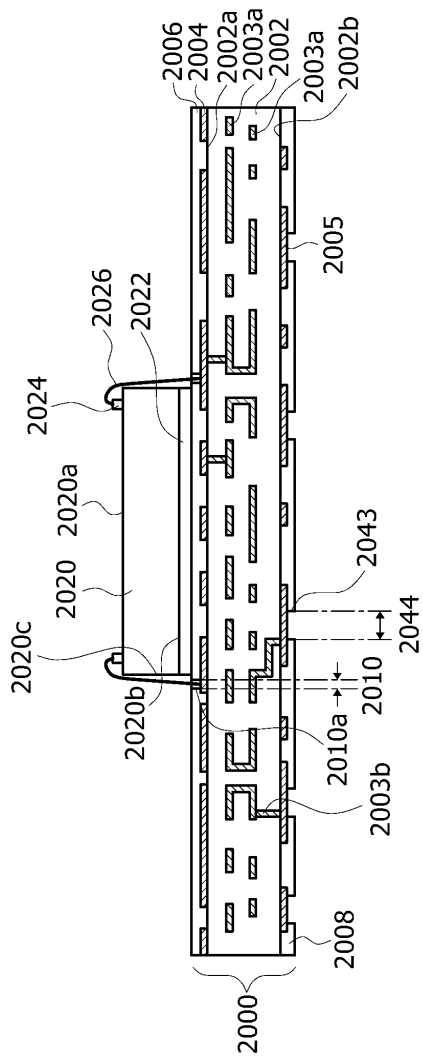
도면15



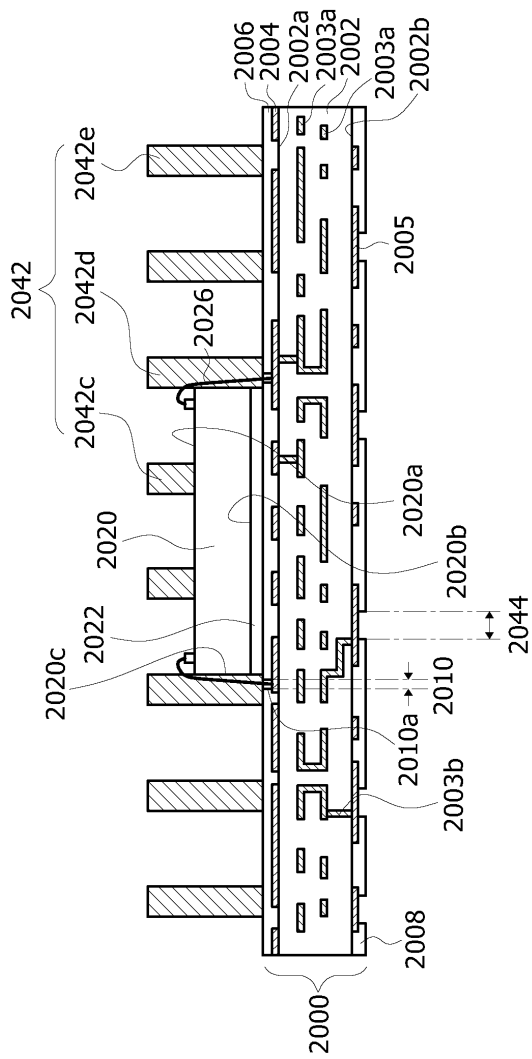
도면16



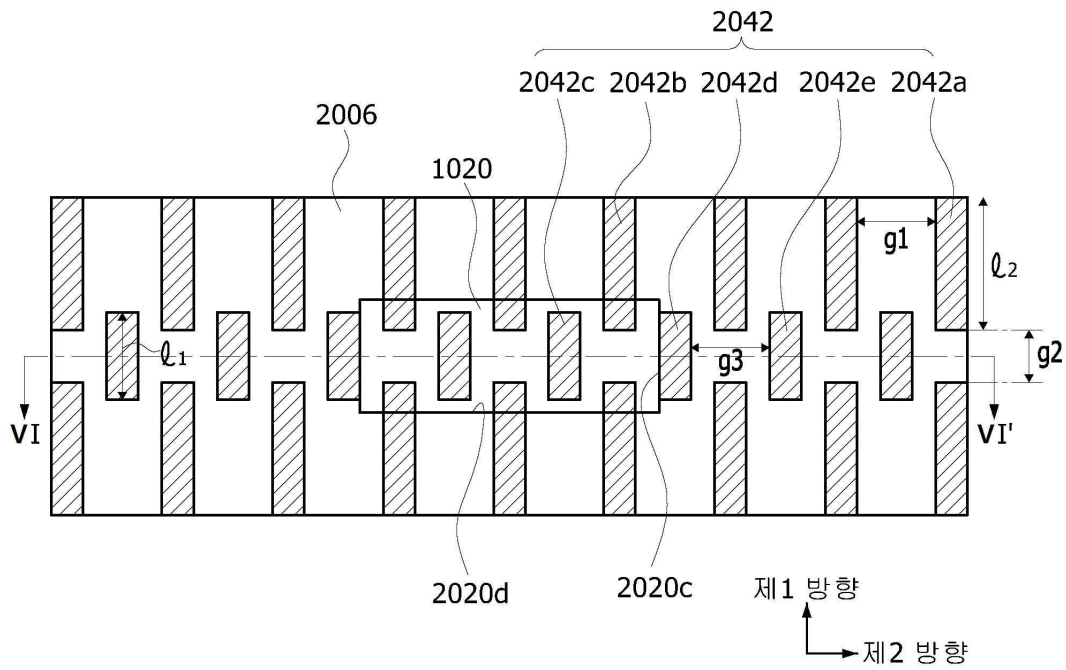
도면17



도면18



도면19



도면20

