

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 13/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월10일 10-0576486 2006년04월26일
---	-------------------------------------	--

(21) 출원번호	10-2004-0005632	(65) 공개번호	10-2005-0077940
(22) 출원일자	2004년01월29일	(43) 공개일자	2005년08월04일

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	강희복 대전광역시서구도마2동경남아파트109-203
(74) 대리인	황의인 이정훈

심사관 : 조명관

(54) 상 변화 저항 셀을 이용한 불휘발성 메모리 장치

요약

본 발명은 상 변화 저항 셀을 이용한 불휘발성 메모리 장치에 관한 것으로, 저항 기억 소자와 직렬 PN 다이오드 체인을 포함하는 크로스 포인트 셀 어레이를 효율적으로 배치하여 전체적인 메모리의 사이즈를 줄일 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 전류값에 따라 저항 상태가 변화되는 불휘발성 저항 기억 소자와 별도의 게이트 제어 신호가 불필요한 직렬 다이오드 스위치로 이루어진 상 변화 저항 셀 어레이를 워드라인 구동부, 센스앰프, 데이터 버스, 메인 앰프, 데이터 버퍼 및 입/출력 포트 등을 포함하는 회로 소자 영역의 상부에 배치하고, 층간 절연막을 기준으로 셀 어레이 영역과 회로 소자 영역을 분리함으로써 전체적인 칩 사이즈를 줄일 수 있도록 한다.

대표도

도 13

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 상 변화 저항 소자를 설명하기 위한 도면.

도 2는 본 발명에 따른 상 변화 저항 셀의 구성도.

도 3은 도 2의 상 변화 저항 셀의 단면도.

도 4는 도 3의 직렬 다이오드 스위치에 관한 평면도.

도 5는 도 2의 상 변화 저항 셀의 평면도.

도 6은 도 2의 직렬 다이오드 스위치의 동작을 설명하기 위한 도면.

도 7은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 구성도.

도 8은 도 7의 상 변화 저항 셀 어레이에 관한 레이아웃도.

도 9는 도 7의 상 변화 저항 셀 어레이에 관한 상세 회로도.

도 10은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 리드 모드시 동작 타이밍도.

도 11은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 라이트 모드시 동작 타이밍도.

도 12는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 라이트 모드시 상 변화 저항 셀의 온도 특성을 설명하기 위한 도면.

도 13은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 평면 구성도.

도 14는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 다른 실시예.

도 15는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 단면 구성도.

도 16은 본 발명의 제 1 실시예에 따른 패드 어레이의 평면 구성도.

도 17은 도 16의 실시예에 따른 단면 구성도.

도 18은 본 발명의 제 2 실시예에 따른 패드 어레이의 평면 구성도.

도 19는 도 18의 실시예에 따른 단면 구성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상 변화 저항 셀을 이용한 불휘발성 메모리 장치에 관한 것으로, 저항 기억 소자와 직렬 다이오드 스위치를 포함하는 크로스 포인트 셀 어레이를 효율적으로 배치하여 전체적인 메모리의 사이즈를 줄일 수 있도록 하는 기술이다.

일반적으로 마그네틱 메모리(Magnetic memory) 및 위상 변화 메모리(Phase Change Memory : PCM) 등의 비휘발성 메모리는 휘발성 램(RAM; Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성을 갖는다.

도 1a 내지 도 1d는 종래의 상 변화 저항(PCR : Phase Change Resistor) 소자(4)를 설명하기 위한 도면이다.

상 변화 저항 소자(4)는 탑(Top)전극(1)과 버텀(Bottom)전극(3) 사이에 위상 변화층(PCM; Phase Change Material; 2)을 삽입하여 전압과 전류를 인가하면, 위상 변화층(2)에 고온이 유기되어 저항에 변화에 따른 전기 전도 상태가 변하게 된다. 여기서, 위상 변화층(2)의 재료로는 AgInSbTe가 주로 사용된다.

즉, 도 1c에서와 같이 상 변화 저항 소자(4)에 임계값 이하의 저전류가 흐르면 위상 변화층(2)이 결정화가 되기에 적당한 온도가 된다. 이에 따라, 위상 변화층(2)이 결정 상태(Crystalline phase)가 되어 저저항 상태의 물질이 된다.

반면에, 도 1d에서와 같이 상 변화 저항 소자(4)에 임계값 이상의 고전류가 흐르면 위상 변화층(2)이 녹는 점(Melting Point) 이상의 온도가 된다. 이에 따라, 위상 변화층(2)이 비결정 상태(Amorphous phase) 되어 고저항 상태의 물질이 된다.

이와 같이 상 변화 저항 소자(4)는 두 저항의 상태에 대응하는 데이터를 불휘발성으로 저장할 수 있게 된다. 즉, 상 변화 저항 소자(4)가 저저항 상태일 경우를 데이터 "1"이라 하고, 고저항 상태일 경우를 데이터 "0"이라 하면 두 데이터의 로직 상태를 저장할 수 있다.

한편, 종래의 메모리 장치는 하나의 스위칭 소자와 데이터를 저장하기 위한 하나의 메모리 소자를 구비하여 이루어진다. 여기서, 종래의 메모리 장치의 스위칭 소자는 게이트 제어 신호에 의해 스위칭 동작이 제어되는 NMOS트랜지스터를 주로 사용한다.

그런데, 이러한 NMOS트랜지스터를 스위칭 소자로 사용하여 셀 어레이를 구현할 경우 전체적인 칩 사이즈가 증가하게 되는 문제점이 있다.

이에 따라, 상술한 바와 같이 불휘발성 특성을 갖는 상 변화 저항 소자와 별도의 게이트 제어 신호가 필요없는 직렬 다이오드 스위치를 이용하여 크로스 포인트 셀을 구현하고, 크로스 포인트 셀과 이를 제어하기 위한 회로 소자 영역을 효율적으로 배치함으로써 전체적인 칩의 사이즈를 줄일 수 있도록 하는 본 발명의 필요성이 대두되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로 다음과 같은 목적을 갖는다.

첫째, 중간 절연막을 기준으로 상부에 상 변화 저항 셀 어레이를 배치하고, 하부에 회로 소자 영역을 배치하여 불휘발성 메모리의 전체적인 사이즈를 줄일 수 있도록 하는데 그 목적이 있다.

둘째, 상술된 상 변화 저항 셀 어레이의 상부에 패드 어레이를 효율적으로 배치하여 불휘발성 메모리의 셀 사이즈를 줄일 수 있도록 하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 상 변화 저항 셀을 이용한 불휘발성 메모리 장치는, 로오와 컬럼 방향으로 복수개 배열된 단위 상 변화 저항 셀을 포함하는 복수개의 상 변화 저항 셀 어레이; 복수개의 상 변화 저항 셀 어레이의 하부에 구비된 실리콘 기판에 형성되어 복수개의 상 변화 저항 셀 어레이를 구동 및 증폭 제어하기 위한 회로 소자 영역; 및 복수개의 상 변화 저항 셀 어레이와 회로 소자 영역 사이에 형성되어 복수개의 상 변화 저항 셀 어레이와 회로 소자 영역을 상호 절연시키는 절연층을 구비하고, 단위 상 변화 저항 셀은 워드라인으로부터 인가되는 전류의 크기에 따라 변화되는 결정화 상태를 감지하여 저항의 변화에 대응하는 데이터를 저장하는 상 변화 저항 소자; 및 연속적으로 직렬 연결되어 공통 연결 노드가 상 변화 저항 소자의 일단과 연결되는 적어도 두개 이상의 다이오드 스위치를 구비하여, 워드라인과 비트라인에 인가되는 전압의 크기에 따라 선택적으로 스위칭되는 직렬 다이오드 스위치를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

삭제

도 2는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 상 변화 저항 셀의 구성도이다.

단위 상 변화 저항(PCR : Phase Change Resistor) 셀은 하나의 상 변화 저항 소자 PCR와 하나의 직렬 다이오드 스위치(10)를 구비한다. 여기서, 직렬 다이오드 스위치(10)는 PNP 다이오드 스위치(11)와 PN 다이오드 스위치(12)를 포함한다. PNP 다이오드 스위치(11)와 PN 다이오드 스위치(12)는 상 변화 저항 소자 PCR의 버텀전극과 비트라인 BL 사이에 병렬 연결된다.

PNP 다이오드 스위치(11)는 상 변화 저항 소자 PCR의 한쪽 전극과 비트라인 BL 사이에 역방향으로 연결되고, PN 다이오드 스위치(12)는 상 변화 저항 소자 PCR의 한쪽 전극과 비트라인 BL 사이에 순방향으로 연결된다. 상 변화 저항 소자 PCR의 다른 한쪽 전극은 워드라인 WL과 연결된다.

도 3은 도 2의 상 변화 저항 셀의 단면 구성도이다.

직렬 다이오드 스위치(10)는 실리콘 기판(30)의 상부에 형성된 절연층(31)과, 절연층(31)의 상부에 실리콘층(32)을 구비하여 SOI(Silicon On Insulator) 구조를 이룬다. 여기서, 실리콘 기판(30)의 상부에 SiO₂로 이루어진 절연층(31)이 적층되고, 절연층(31)의 상부에는 실리콘층(32)이 형성된다. 실리콘층(32)은 성장 실리콘 또는 폴리 실리콘으로 이루어진 PNPN 다이오드 스위치(11)와 PN 다이오드 스위치(12)가 적층되어 직렬 연결된 다이오드 체인을 형성한다.

PNPN 다이오드 스위치(11)는 P형 영역과 N형 영역이 교번적으로 직렬 연결되며, PN 다이오드 스위치(12)는 PNPN 다이오드 스위치(11)와 인접한 N형 영역에 P형 영역과 N형 영역이 직렬 연결된 구조를 갖는다.

그리고, PN 다이오드 스위치(12)의 N형 영역과 PNPN 다이오드 스위치(11)의 P형 영역 상부에는 비트라인 콘택노드 BLCN를 통해 비트라인 BL이 형성된다. 또한, PN 다이오드 스위치(12)의 P형 영역과 PNPN 다이오드 스위치(11)의 N형 영역은 공통 콘택노드 CN를 통해 상 변화 저항 소자 PCR의 버팀전극(22)과 연결된다.

여기서, 상 변화 저항 소자 PCR는 탑 전극(20), 위상 변화층(PCM; Phase Change Material; 21) 및 버팀 전극(22)을 구비한다. 그리고, 상 변화 저항 소자 PCR의 탑 전극(20)은 워드라인 WL과 연결된다.

도 4는 도 3의 직렬 다이오드 스위치(10)에 관한 평면도이다.

직렬 다이오드 스위치(10)는 실리콘층(32)으로 이루어진 PNPN 다이오드 스위치(11)와 PN 다이오드 스위치(12)가 직렬 체인 형태로 연속적으로 연결된다. 즉, 하나의 상 변화 저항 셀은 직렬 연결된 PN 다이오드 스위치(12)와 PNPN 다이오드 스위치(11)를 구비한다. 그리고, 하나의 상 변화 저항 셀과 동일한 방향에 인접한 상 변화 저항 셀은 PN 다이오드 스위치(12), PNPN 다이오드 스위치(11)가 서로 직렬 연결된다.

그리고, 직렬 다이오드 스위치(10)는 복수개의 층으로 배열되는데, 상부 직렬 다이오드 스위치(10)와 하부 직렬 다이오드 스위치(10) 각각은 절연층(31)을 통해 분리되어 있다.

이에 따라, 직렬 연결된 다이오드 소자 중에서 한개의 PN 다이오드 스위치(12)와 한개의 PNPN 다이오드 스위치(11)를 연속적으로 선택하여 하나의 상 변화 저항 셀 영역을 형성할 수 있도록 한다.

도 5는 도 2의 상 변화 저항 셀(10)의 평면도이다.

성장 실리콘이나 폴리 실리콘으로 이루어진 실리콘층(32)은 직렬 연결된 PNPN 다이오드 스위치(11)와 PN 다이오드 스위치(12)를 형성한다. 그리고, 각각의 실리콘층(32)은 절연층(31)을 통해 상부 및 하부가 절연된다. 직렬 다이오드 스위치(10)에서 PN 다이오드 스위치(12)의 P형 영역과 PNPN 다이오드 스위치(11)의 N형 영역은 상 변화 저항 소자 PCR의 콘택노드 CN와 공통으로 연결될 수 있도록 인접하여 형성된다.

또한, PN 다이오드 스위치(12)의 N형 영역과 PNPN 다이오드 스위치(11)의 P형 영역은 비트라인 콘택노드 BLCN를 통해 비트라인 BL에 연결된다. 비트라인 콘택노드 BLCN는 이웃하는 상 변화 저항 셀의 비트라인 콘택노드 BLCN와 공통 연결된다. 즉, 동일한 비트라인 콘택노드 BLCN는 PNPN 다이오드 스위치(11)의 P형 영역과 이웃하는 셀의 PN 다이오드 스위치(12)의 N형 영역과 공통 연결된다.

또한, 상 변화 저항 소자 PCR의 상부에는 워드라인 WL이 형성된다.

도 6은 도 2의 직렬 다이오드 스위치(10)의 동작을 설명하기 위한 도면이다.

상 변화 저항 소자 PCR을 기준으로 볼때 비트라인 BL의 인가 전압이 양의 방향으로 증가하면, PNPN 다이오드 스위치(11)의 동작 특성에 의해 동작전압 V_o에서는 직렬 다이오드 스위치(10)가 오프 상태를 유지하여 전류가 흐르지 않는다.

이후에, 비트라인 BL의 인가 전압이 더욱 증가되어 임계전압 V_c가 되면, 다이오드의 순방향 동작 특성에 따라 PNPN 다이오드 스위치(11)가 턴온되어 직렬 다이오드 스위치(10)가 턴온됨으로써 전류가 급격히 증가하게 된다. 이때, 비트라인 BL의 인가전압이 임계전압 V_c 이상이 될 경우 소모되는 전류 I의 값은 비트라인 BL에 연결되어 로드로 작용하는 저항(미도시)의 값에 기인한다.

PNPN 다이오드 스위치(11)가 턴온된 이후에는 비트라인 BL에 아주 작은 전압 V_s 만 인가되어도 많은 전류가 흐를 수 있게 된다. 이때, PN 다이오드 스위치(10)는 역방향 동작 특성에 의해 오프 상태를 유지하게 된다.

반면에, 상 변화 저항 소자 PCR를 기준으로 볼때 비트라인 BL의 인가 전압이 음의 방향으로 증가하면, 즉, 워드라인 WL에 일정 전압이 인가될 경우, PN 다이오드 스위치(10)의 순방향 동작 특성에 의해 직렬 다이오드 스위치(10)가 턴온되어 임의의 동작 전압에서 전류가 흐르게 된다. 이때, PNPN 다이오드 스위치(11)는 역방향 동작 특성에 의해 오프 상태를 유지한다.

도 7은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 구성도이다.

본 발명은 복수개의 PCR 셀 어레이(40), 복수개의 워드라인 구동부(50), 복수개의 센스앰프(60), 데이터 버스(70), 메인 앰프(80), 데이터 버퍼(90) 및 입/출력 포트(100)를 구비한다.

각각의 PCR 셀 어레이(40)는 도 2에서와 같은 구조의 단위 상 변화 저항 셀들이 로오와 컬럼 방향으로 복수개 배열된다. 로오 방향으로 배열된 복수개의 워드라인 WL 들은 워드라인 구동부(50)에 연결된다. 그리고, 컬럼 방향으로 배열된 복수개의 비트라인 BL들은 센스앰프(60)에 연결된다.

여기서, 하나의 PCR 셀 어레이(40)는 하나의 워드라인 구동부(50)와 하나의 센스앰프(60)와 대응하여 연결된다.

그리고, 복수개의 센스앰프(60)는 하나의 데이터 버스(70)를 공유한다. 데이터 버스(70)는 메인 앰프(80)와 연결되며, 메인 앰프(80)는 데이터 버스(70)를 통해 각각의 센스앰프(60)로부터 인가되는 데이터를 증폭한다.

데이터 버퍼(90)는 메인앰프(80)로부터 인가되는 증폭된 데이터를 버퍼링하여 출력한다. 입/출력 포트(100)는 데이터 버퍼(90)로부터 인가되는 출력 데이터를 외부로 출력하거나, 외부로부터 인가되는 입력 데이터를 데이터 버퍼(90)에 인가한다.

도 8은 도 7의 PCR 셀 어레이(40)에 관한 레이아웃도이다.

PCR 셀 어레이(40)는 복수개의 워드라인 WL이 각각 로오 방향으로 배열되고, 복수개의 비트라인 BL이 각각 컬럼 방향으로 배열된다. 그리고, 워드라인 WL과 비트라인 BL이 교차되는 영역에만 단위 셀 C이 위치하게 되므로 추가적인 면적이 불필요한 크로스 포인트 셀(Cross point cell)을 구현할 수 있도록 한다.

여기서, 크로스 포인트 셀이란 별도의 워드라인 WL 게이트 제어 신호를 이용하는 NMOS트랜지스터 소자를 구비하지 않는다. 그리고, 두개의 연결 전극 노드를 구비한 직렬 다이오드 스위치(10)를 이용하여 상 변화 저항 소자 PCR를 비트라인 BL과 워드라인 WL의 교차점에 바로 위치시킬 수 있도록 하는 구조를 말한다.

도 9는 도 7의 PCR 셀 어레이(40)에 관한 상세 회로도이다.

PCR 셀 어레이(40)는 복수개의 워드라인 $WL<0>\sim WL<n>$ 이 각각 로오 방향으로 배열되고, 복수개의 비트라인 $BL<0>\sim BL<m>$ 이 각각 컬럼 방향으로 배열된다. 그리고, 워드라인 WL과 비트라인 BL이 교차되는 영역에만 단위 셀 C이 위치하게 된다. 여기서, 하나의 단위 셀 C은 상 변화 저항 소자 PCR와 직렬 다이오드 스위치(10)를 구비한다.

그리고, 각각의 비트라인 BL에는 복수개의 센스앰프(60)가 일대일 대응하여 연결된다. 각각의 센스앰프(60)는 센스앰프 인에이블 신호 SEN의 활성화시 기설정된 기준전압 REF과 비트라인 BL으로부터 인가되는 전압을 비교하여 그 결과를 증폭하게 된다.

또한, 비트라인 $BL<0>$ 에는 비트라인 풀다운 소자 $N1$ 가 연결되고, 비트라인 $BL<m>$ 에는 비트라인 풀다운 소자 $N2$ 가 연결된다. 이에 따라, 비트라인 풀다운 신호 BLPD의 활성화시 접지전압을 비트라인 BL에 인가하여 비트라인 BL을 그라운드 레벨로 풀다운시킨다.

이러한 구조의 PCR 셀 어레이(40)는 각각의 상 변화 저항 소자 PCR들이 한개의 데이터를 저장할 수 있도록 한다.

도 10은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 리드 모드시 동작 타이밍도이다.

먼저, t0 구간에서는 비트라인 풀다운 신호 BLPD가 활성화되어 NMOS트랜지스터 N1,N2를 턴온시킴으로써 비트라인 BL이 그라운드 레벨로 프리차지된다.

이어서, t1구간의 진입시 워드라인 WL이 하이로 천이하여 워드라인 WL에 일정 전압이 인가되면, 직렬 다이오드 스위치(10)의 PN다이오드 스위치(12)가 턴온된다. 이에 따라, PCR 셀의 데이터가 비트라인 BL에 전달된다. 이때, 비트라인 풀다운 신호 BLPD는 로우로 천이한다.

다음에, t2구간에서 센스앰프 인에이블 신호 SEN가 하이로 천이하면 센스앰프(60)가 동작하여 비트라인 BL에 실린 데이터를 증폭한다. 그리고, 컬럼 선택신호 CS가 하이로 천이하면 컬럼 선택 스위칭부(미도시)가 턴온되어 비트라인 BL에 실린 데이터 D/D가 데이터 버스(70)에 출력되어 PCR 셀 C에 저장된 데이터를 리드할 수 있게 된다.

이후에, t3구간의 진입시 워드라인 WL이 로우로 천이하면 비트라인 BL과의 연결이 차단되어 리드 동작을 완료하게 된다. 이때, 직렬 다이오드 스위치(10)의 PN 다이오드 스위치(12)와 PNPN 다이오드 스위치(11)가 모두 턴오프 상태를 유지한다.

도 11은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 라이트 모드시 동작 타이밍도이다.

본 발명의 라이트 모드시에는 센스앰프 인에이블 신호 SEN가 로우 상태를 유지한다.

먼저, t0 구간에서는 비트라인 풀다운 신호 BLPD가 활성화되어 NMOS트랜지스터 N1,N2를 턴온시킴으로써 비트라인 BL이 그라운드 레벨로 프리차지된다.

이후에, t1 구간의 진입시 비트라인 풀다운 신호 BLPD는 로우로 천이한다. 그리고, 컬럼 선택신호 CS가 하이로 천이하면 컬럼 선택 스위칭부(미도시)가 턴온되어 데이터 버스(70)를 통해 라이트할 새로운 데이터 D/D가 비트라인 BL에 입력된다. 여기서, 라이트 모드시에 비트라인 BL에 인가된 데이터가 "하이" 또는 "로우"라고 가정한다.

이 상태에서 워드라인 WL의 전압이 임계전압 V_c 이하의 값인 네가티브(Negative) 전압으로 천이한다. 즉, 비트라인 BL의 로우 전압 레벨과 워드라인 WL의 네가티브 전압 레벨의 차이는 직렬 다이오드 스위치(10)의 PNPN 다이오드 스위치(11)를 턴온시키기 위한 임계전압 V_c 의 상태에 도달하지 못한다.

하지만, 비트라인 BL의 하이 증폭 전압과 워드라인 WL의 네가티브 전압 차이에 따라 PNPN 다이오드 스위치(11)를 턴온시키기 위한 임계전압 V_c 이상의 전압이 가해지게 된다. 이에 따라, PNPN 다이오드 스위치(11)가 턴온 상태가 되어 상 변화 저항 소자 PCR에 데이터를 라이트할 수 있게 된다.

이때, PNPN 다이오드 스위치(11)가 턴온된 이후에는 도 6의 동작 특성에서 보는 바와 같이 상 변화 저항 소자 PCR에 작은 전압 V_s 를 인가하여도 많은 전류 I 가 흐를 수 있게 된다. 따라서, t1구간 이후에 워드라인 WL의 전압이 네가티브 전압에서 다시 로우 상태로 상승하여도 전류는 충분히 흐를 수 있게 된다.

이후에, t2~tn 구간 동안에는 비트라인 BL에 인가된 데이터의 패턴에 따라 전압 강하 레벨이 상이하게 나타난다.

즉, 비트라인 BL에 데이터 하이의 값을 전압 레벨이 인가될 경우에는 t2~tn 구간 동안에 비트라인 BL의 전압 레벨을 단계적으로 떨어지도록 제어한다. 반면에, 비트라인 BL에 데이터 로우의 값을 갖는 전압 레벨이 인가될 경우에는 t2~tn 구간 동안에 비트라인 BL의 전압 레벨을 계속해서 하이 상태로 제어한다.

즉, 도 12에 도시된 바와 같이, 비트라인 BL에 실린 데이터가 "하이"일 경우 결정화 상태를 유지하는 상 변화 저항 소자 PCR의 멜팅(Melting) 온도를 낮은 온도로 일정하게 유지하기 위하여 비트라인 BL에 인가되는 전압의 레벨을 단계적으로 전압강하시킨다. 이에 따라, t1구간에서는 데이터 "하이"의 온도 특성이 피크치를 나타낸 후 서서히 감소하는 형태이며 저 저항 특성을 나타낸다.

여기서, 비트라인 BL에 인가되는 전압의 레벨을 전압강하시키지 않고 일정하게 유지할 경우 상 변화 저항 소자 PCR의 온도가 상승되어 결정화 상태에 있는 상 변화 저항 소자 PCR가 비결정화 상태로 변화된다. 이에 따라, 본 발명에서는 결정화 온도를 유지하기 위하여 비트라인 BL에 인가되는 전압의 레벨을 단계적으로 전압 강하시킨다.

반면에, 비트라인 BL에 실린 데이터가 "로우"일 경우 비결정화 상태를 유지하는 상 변화 저항 소자 PCR의 멜팅 온도를 상승시키기 위하여 비트라인 BL에 인가되는 전압의 레벨을 일정하게 유지시킨다. 즉, 멜팅 온도가 높을수록 고저항 특성을 나타내며 비결정화 상태에 있는 상 변화 저항 소자 PCR의 특성이 향상된다. 이에 따라, 비트라인 BL에 일정 전압을 인가시킬 경우 온도가 상승되어 계속해서 비결정화 상태를 유지할 수 있게 된다.

여기서, 본 발명은 불휘발성 특성을 갖는 상 변화 저항 소자 PCR에 데이터가 저장되므로 재저장을 위한 동작 과정이 필요 없게 된다.

도 13은 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 평면 구성도이다.

본 발명은 절연층(31)을 기준으로 볼때 상부에 PCR 셀 어레이(40)가 배치되고, 하부에는 PCR 셀 어레이(40)를 구동하기 위한 워드라인 구동부(50), 비트라인을 구동하기 위한 센스앰프(60), 데이터 버스(70), 메인 앰프(80), 데이터 버퍼(90), 입/출력 포트(100) 및 기타 회로(110)를 포함하는 회로 소자 영역(150)이 배치된다.

여기서, 회로 소자 영역(150)은 실리콘 기판(30)에 형성되고, PCR 셀 어레이(40)는 폴리 실리콘이나 성장 실리콘으로 이루어진 실리콘층(32)에 형성된다. 그리고, PCR 셀 어레이(40)와 회로 소자 영역(150)은 절연층(31)을 통해 서로 분리된다.

이에 따라, 본 발명은 절연층(31)을 기준으로 PCR 셀 어레이(40)와 회로 소자 영역(150)을 서로 다른 층으로 배치함으로써 별도의 확장 영역이 필요없이 셀 사이즈를 줄일 수 있도록 한다.

도 14는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 다른 실시예이다.

도 14의 실시예는 본 발명의 PCR 셀 어레이(40) 영역이 복수개의 셀 어레이 블록으로 나누어졌을 경우를 나타낸다. 각각의 셀 어레이 블록은 셀 어레이 구동에 필요한 워드라인 구동부(50)와, 센스앰프(60) 및 데이터 버스(70)가 별도로 구비된다. 그리고, 메인 앰프(80), 데이터 버퍼(90), 입/출력 포트(100) 및 기타 회로(110)는 서로 다른 셀 어레이 블록에 분산하여 위치한다.

도 15는 본 발명에 따른 상 변화 저항 셀을 이용한 불휘발성 메모리 장치의 단면 구성도이다.

본 발명은 절연층(31)을 기준으로 볼때 상부에 PCR 셀 어레이(40)가 배치된다. 여기서, PCR 셀 어레이(40)는 직렬 연결된 복수개의 단위 셀 C을 구비한다. 단위 셀 C은 PN 다이오드 스위치(12)와 PNPN 다이오드 스위치(11)를 포함하는 직렬 다이오드 스위치(10)와, 워드라인 WL, 비트라인 BL, 상 변화 저항 소자 PCR를 구비한다.

그리고, 절연층(31)을 기준으로 볼때 하부의 실리콘기판(30)에는 PCR 셀 어레이(40)를 구동하기 위한 복수개의 회로 소자 영역(150)이 배치된다.

도 16은 본 발명의 제 1 실시예에 따른 패드 어레이(160)의 평면 구성도이다.

도 16의 실시예에서 패드 어레이(160)는 어드레스 핀과 데이터 핀을 구비하여 PCR 셀 어레이(40)로부터 리드/라이트된 데이터를 칩의 외부 제어부와 상호 교환한다. 패드 어레이(160)는 PCR 셀 어레이(40)와 회로 소자 영역(150)과는 별도의 외부 영역에 배치된다.

이러한 본 발명은 패드 어레이(160)에 필요한 메탈 층을 회로 소자 영역(160)에 사용하는 메탈 층과 연결하여 동시에 사용할 수 있도록 한다. 이에 따라, 별도의 패드 어레이(160)를 형성하기 위한 공간이 불필요하게 되어 마스크 층을 줄일 수 있게 된다.

도 17은 도 16의 실시예에 따른 본 발명의 단면 구성도이다.

도 17의 구성을 살펴보면, 패드 어레이(160)는 PCR 셀 어레이(40)의 하측에 형성되고, 절연층(31)과 동일한 위치에 배치된다. 그리고, 패드 어레이(160)는 회로 소자 영역(150)과 연결되어 동일한 메탈 층을 사용하게 된다.

도 18은 본 발명의 제 2 실시예에 따른 패드 어레이(160)의 평면 구성도이다.

패드 어레이(160)는 PCR 셀 어레이(40) 및 회로 소자 영역(150)과 동일한 영역에 배치된다.

이러한 본 발명은 패드 어레이(160)에 필요한 메탈 층을 회로 소자 영역(160)에 사용하는 메탈 층과 연결하여 사용하지 않고 패드 어레이(160)를 위한 별도의 마스크 층을 구비한다. 이에 따라, 패드 어레이(160)를 형성하기 위한 별도의 공간이 불필요하게 되어 칩의 사이즈를 줄일 수 있게 된다.

도 19는 도 18의 실시예에 따른 본 발명의 단면 구성도이다.

도 19의 구성을 살펴보면, 패드 어레이(160)는 PCR 셀 어레이(40)의 상측에 형성되어 별도의 메탈 층을 사용하게 된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

첫째, 상 변화 저항 셀 어레이와 회로 소자 영역을 효율적으로 배치하여 불휘발성 메모리의 전체적인 사이즈를 줄일 수 있도록 한다.

둘째, 상술된 구성에서 패드 어레이를 효율적으로 배치하여 불휘발성 메모리의 셀 사이즈를 줄일 수 있도록 한다.

(57) 청구의 범위

청구항 1.

로오와 컬럼 방향으로 복수개 배열된 단위 상 변화 저항 셀을 포함하는 복수개의 상 변화 저항 셀 어레이;

상기 복수개의 상 변화 저항 셀 어레이의 하부에 구비된 실리콘 기판에 형성되어 상기 복수개의 상 변화 저항 셀 어레이를 구동 및 증폭 제어하기 위한 회로 소자 영역; 및

상기 복수개의 상 변화 저항 셀 어레이와 상기 회로 소자 영역 사이에 형성되어 상기 복수개의 상 변화 저항 셀 어레이와 상기 회로 소자 영역을 상호 절연시키는 절연층을 구비하고,

상기 단위 상 변화 저항 셀은

워드라인으로부터 인가되는 전류의 크기에 따라 변화되는 결정화 상태를 감지하여 저항의 변화에 대응하는 데이터를 저장하는 상 변화 저항 소자; 및

연속적으로 직렬 연결되어 공통 연결노드가 상기 상 변화 저항 소자의 일단과 연결되는 적어도 두개 이상의 다이오드 스위치를 구비하여, 상기 워드라인과 비트라인에 인가되는 전압의 크기에 따라 선택적으로 스위칭되는 직렬 다이오드 스위치를 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 2.

제 1항에 있어서, 상기 단위 상 변화 저항 셀은

상기 직렬 다이오드 스위치의 양단 노드에 비트라인 콘택노드를 통해 연결된 비트라인;

상기 두개 이상의 다이오드 소자가 연결되는 공통 노드와 상기 상 변화 저항 소자의 버팀전극 사이를 연결하는 콘택노드; 및

상기 상 변화 저항 소자의 탑 전극의 상부에 형성되는 워드라인을 더 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 3.

제 1항에 있어서, 상기 직렬 다이오드 스위치는 폴리 실리콘, 성장 실리콘 중 적어도 어느 하나의 실리콘층에 형성됨을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 4.

제 1항 또는 제 2항에 있어서, 상기 직렬 다이오드 스위치는

상기 상 변화 저항 소자의 버텀 전극과 상기 비트라인 사이에 순방향으로 연결된 PN 다이오드 스위치; 및

상기 상 변화 저항 소자의 버텀전극과 상기 비트라인 사이에 역방향으로 연결된 PNPN 다이오드 스위치를 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 5.

제 4항에 있어서, 상기 PN 다이오드 스위치의 P형 영역은 상기 버텀 전극과 연결되고, N형 영역은 상기 비트라인과 연결됨을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 6.

제 4항에 있어서, 상기 PNPN 다이오드 스위치의 상부 N형 영역은 상기 버텀 전극과 연결되고, 하부 P형 영역은 상기 비트라인과 연결됨을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 7.

제 1항에 있어서, 상기 복수개의 상 변화 저항 셀 어레이 각각은,

로오 및 컬럼 방향으로 각각 배열된 복수개의 워드라인과 복수개의 비트라인 사이의 교차 영역에 위치하는 복수개의 단위 상 변화 저항 셀; 및

상기 복수개의 비트라인에 각각 일대일 대응하여 연결된 복수개의 비트라인 풀다운 소자를 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 8.

제 1항에 있어서, 상기 회로 소자 영역은

상기 복수개의 상 변화 저항 셀 어레이의 워드라인을 선택적으로 구동하는 복수개의 워드라인 구동부;

상기 복수개의 상 변화 저항 셀 어레이로부터 인가되는 데이터를 센싱하여 증폭하는 복수개의 센스앰프;

상기 복수개의 센스앰프에 의해 공유되는 데이터 버스;

상기 데이터 버스로부터 인가되는 데이터를 증폭하는 메인 앰프;

상기 메인 앰프로부터 인가되는 증폭 데이터를 버퍼링하는 데이터 버퍼; 및

상기 데이터 버퍼로부터 인가되는 출력 데이터를 외부로 출력하거나, 외부로부터 인가되는 입력 데이터를 상기 데이터 버퍼에 인가하는 입/출력 포트를 더 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 9.

제 8항에 있어서, 상기 복수개의 센스앰프는 복수개의 비트라인에 각각 일대일 대응하여 연결되며, 센스앰프 인에이블 신호의 활성화시 기준전압과 상기 비트라인의 전압을 비교 및 증폭함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 10.

제 8항에 있어서, 상기 복수개의 상 변화 저항 셀 어레이는 복수개의 셀 어레이 블록으로 구분되며, 상기 메인 앰프, 상기 데이터 버퍼 및 상기 입/출력 포트는 별도의 셀 어레이 블록에 각각 구분되어 배치됨을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 11.

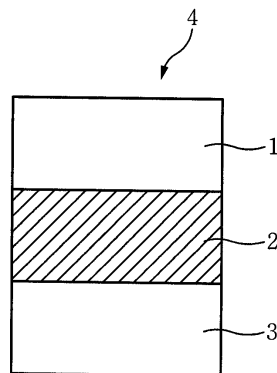
제 1항에 있어서, 상기 복수개의 상 변화 저항 셀 어레이, 상기 회로 소자 영역과는 별도의 외부 영역에 배치되고, 상기 회로 소자 영역과 동일한 메탈 층을 사용하는 패드 어레이를 더 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

청구항 12.

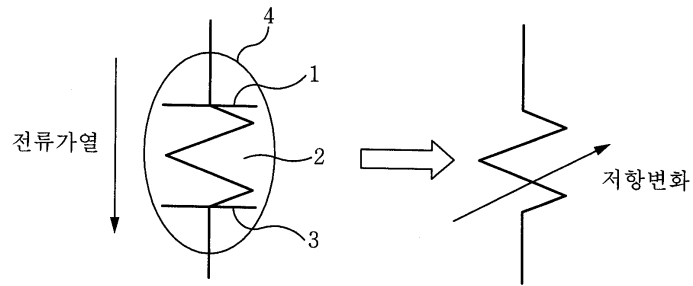
제 1항에 있어서, 상기 복수개의 상 변화 저항 셀 어레이 상부에 형성된 메탈 층에 형성되며, 외부와 어드레스 및 데이터를 상호 교환하기 위한 패드 어레이를 더 구비함을 특징으로 하는 상 변화 저항 셀을 이용한 불휘발성 메모리 장치.

도면

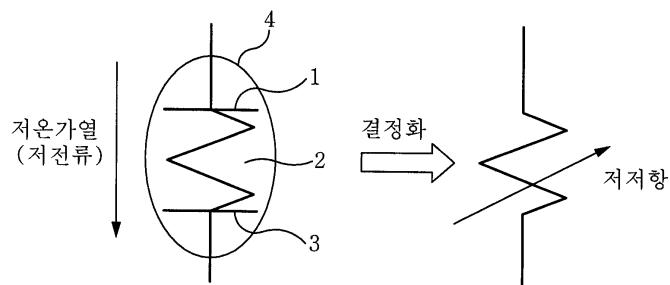
도면1a



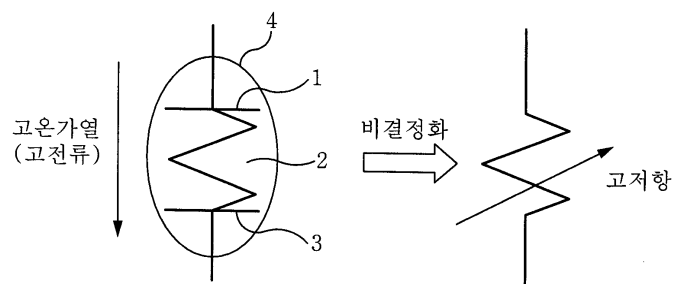
도면1b



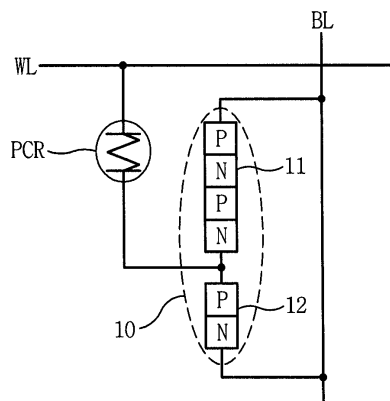
도면1c



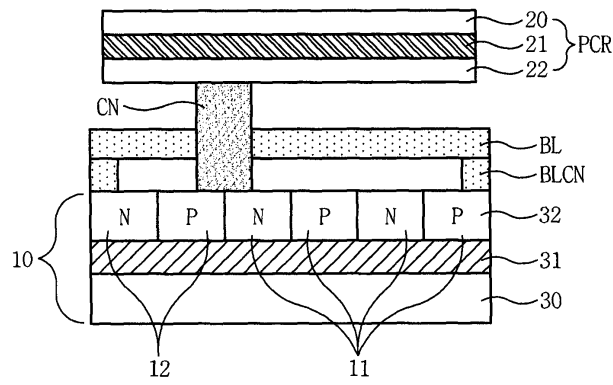
도면1d



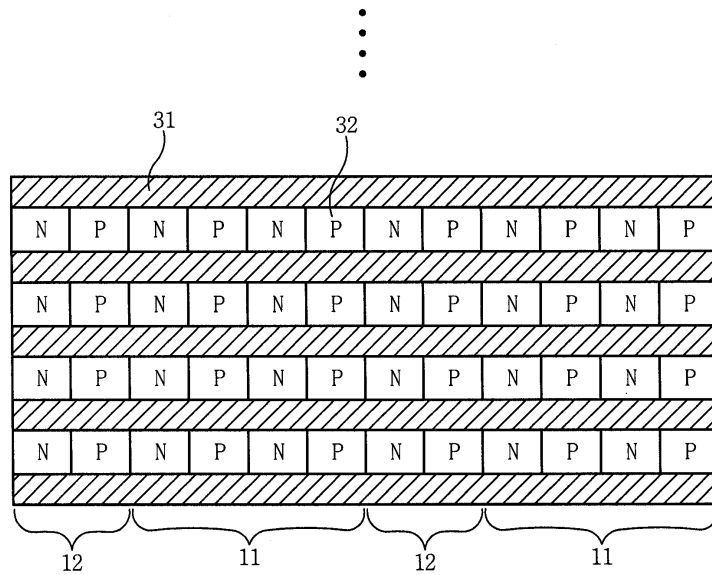
도면2



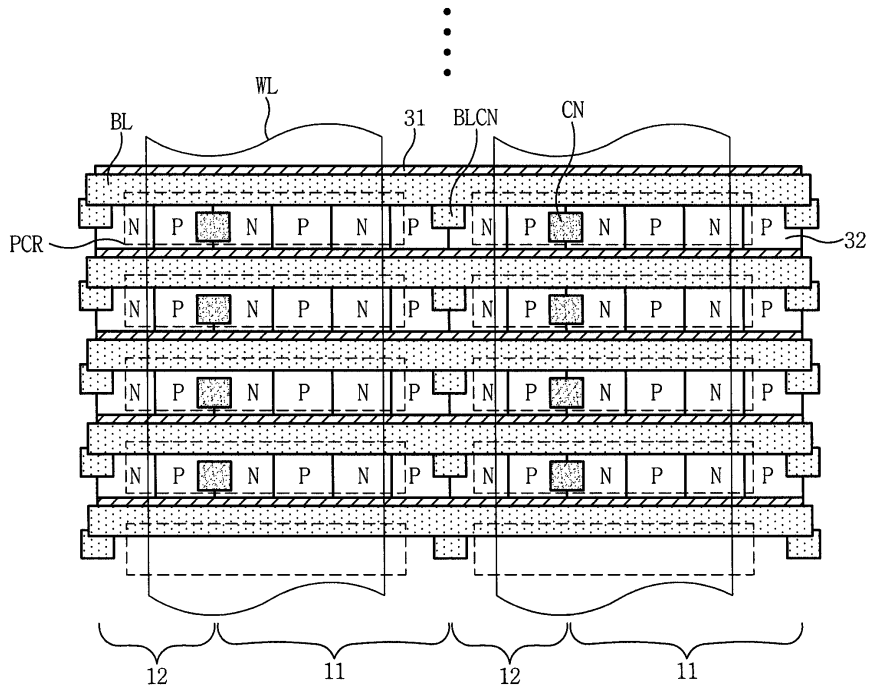
도면3



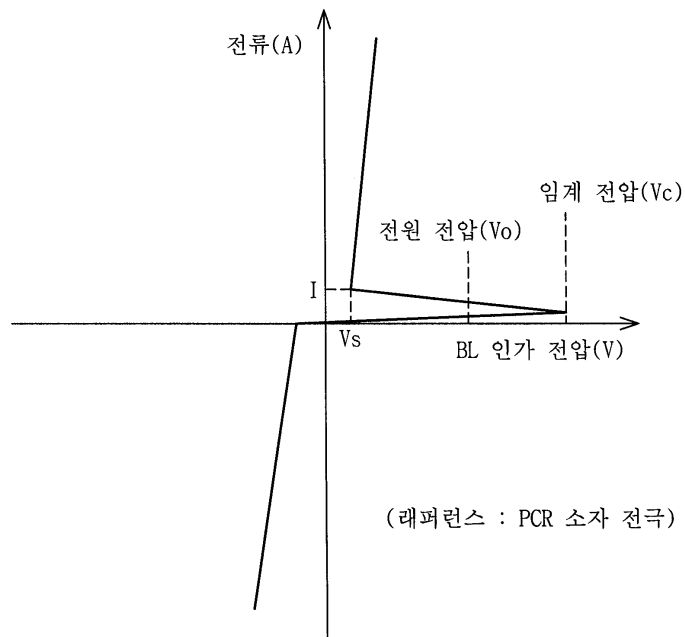
도면4



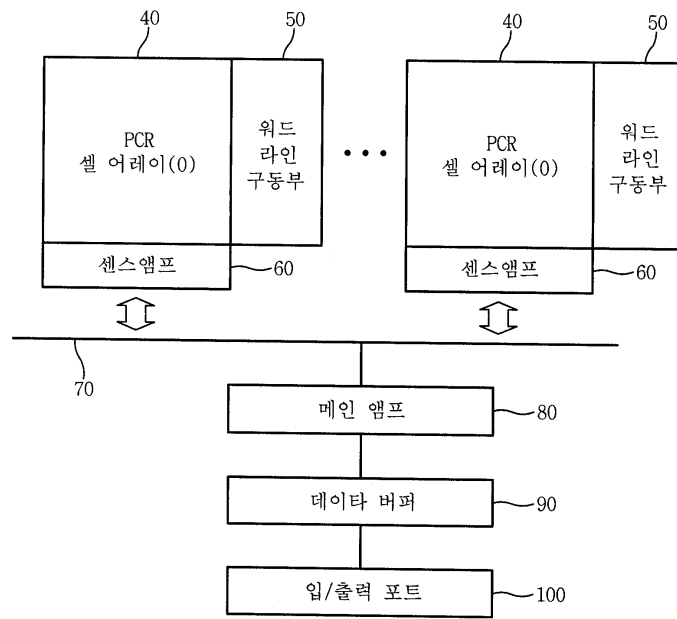
도면5



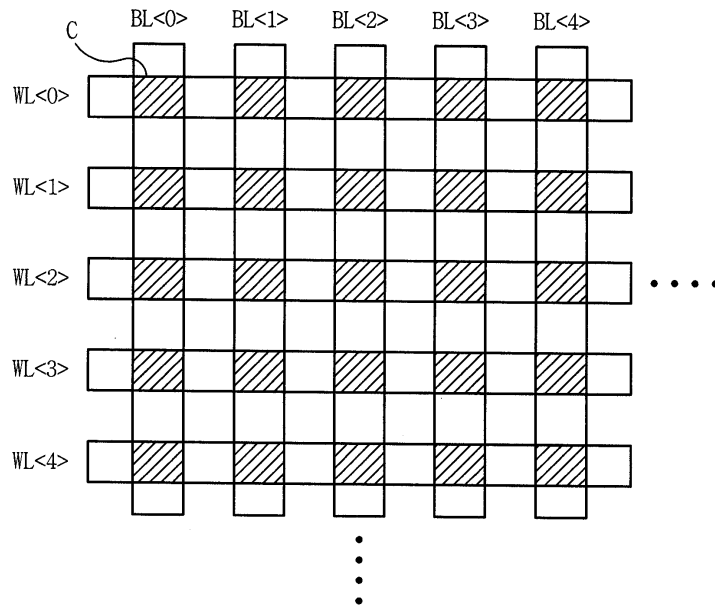
도면6



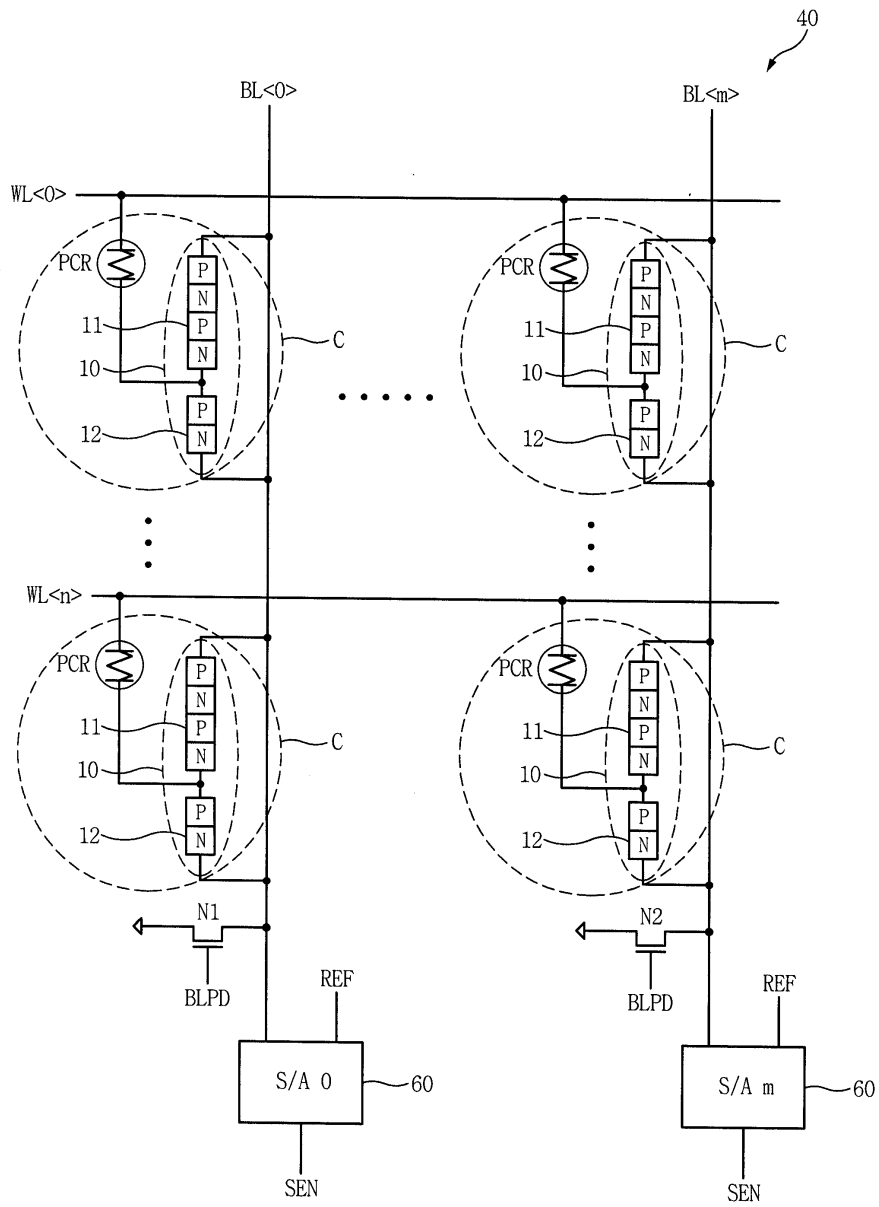
도면7



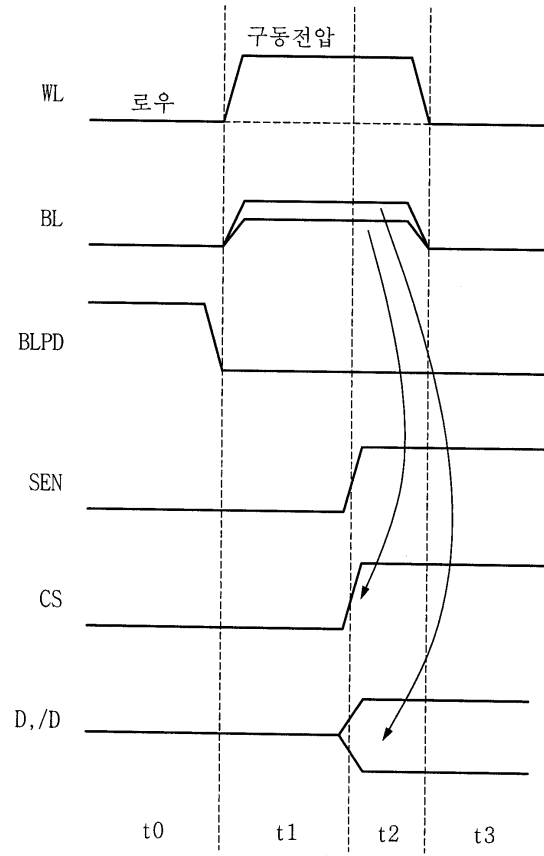
도면8



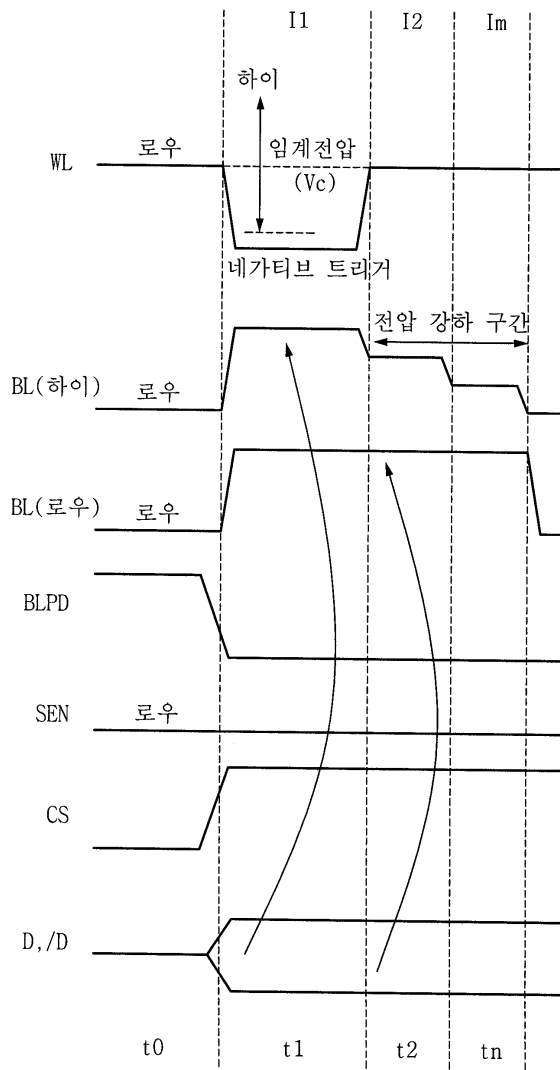
도면9



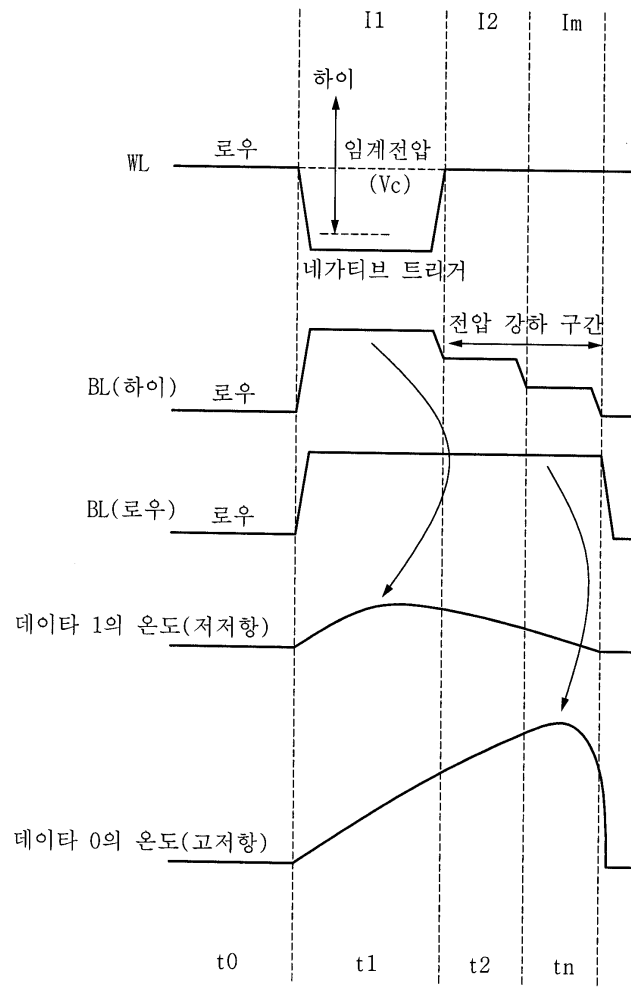
도면10



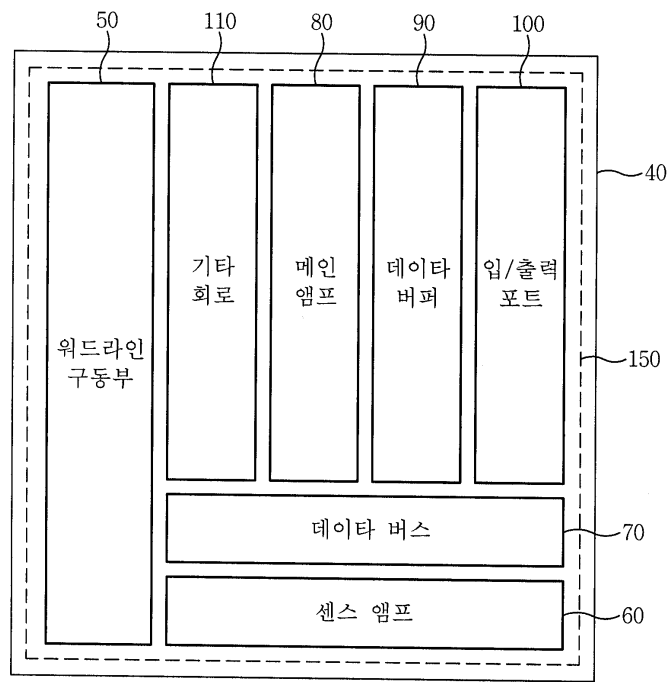
도면11



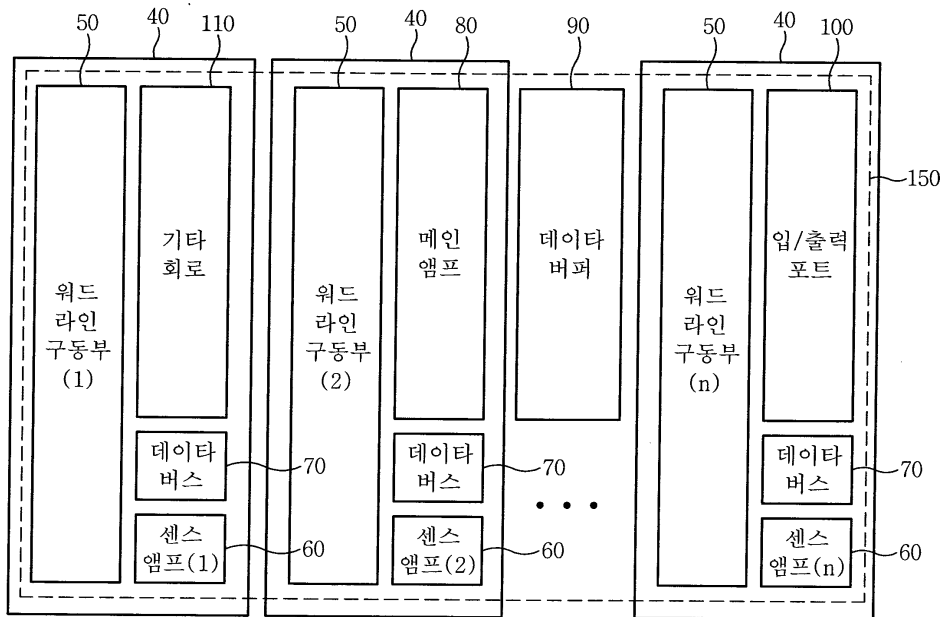
도면12



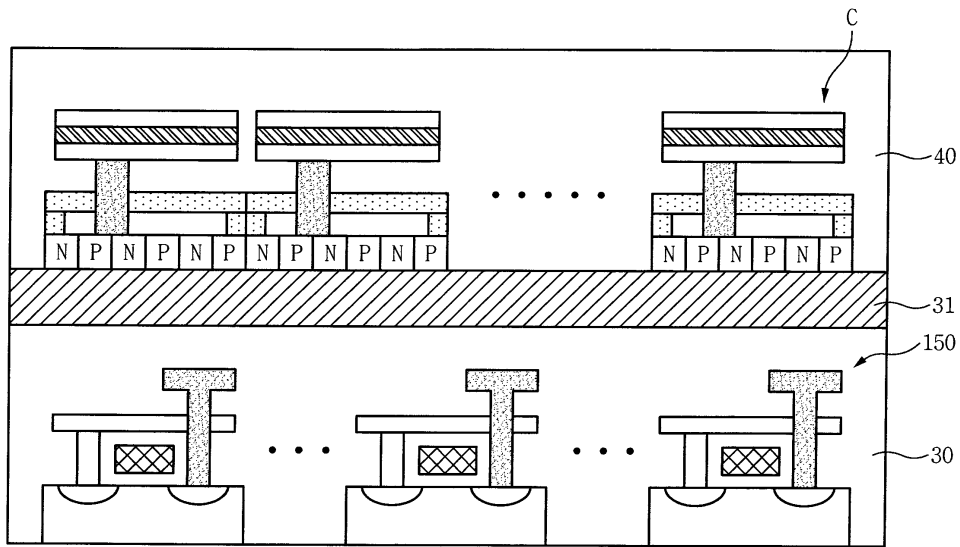
도면13



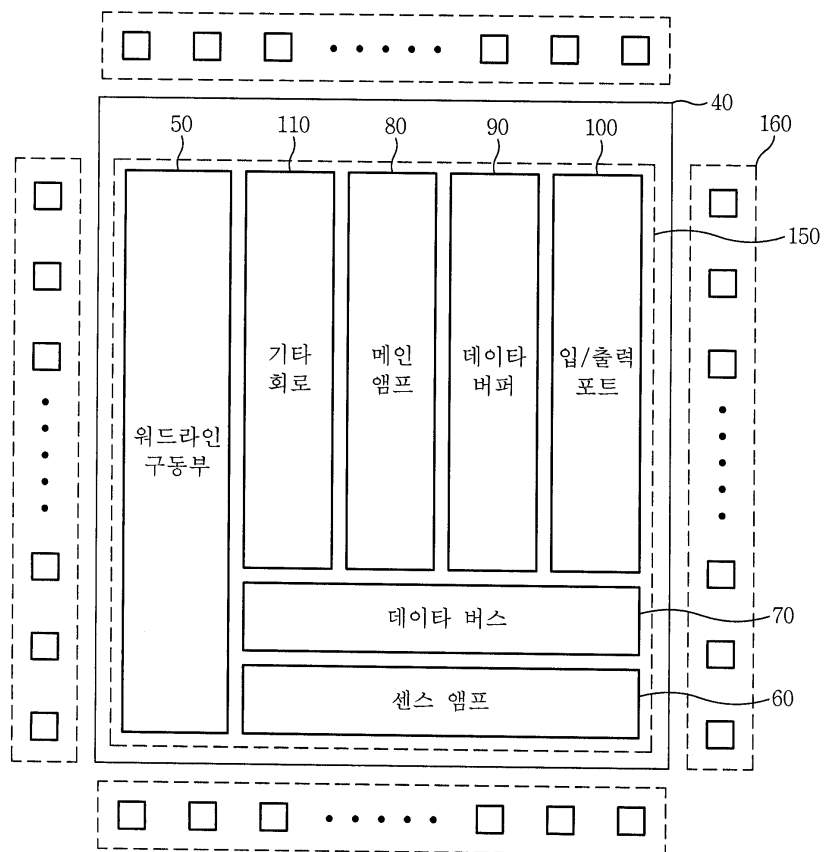
도면14



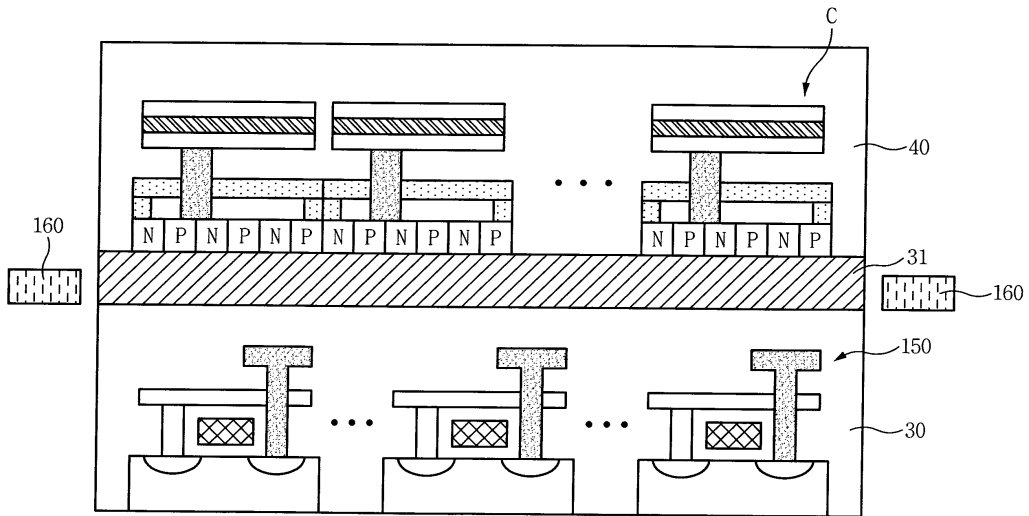
도면15



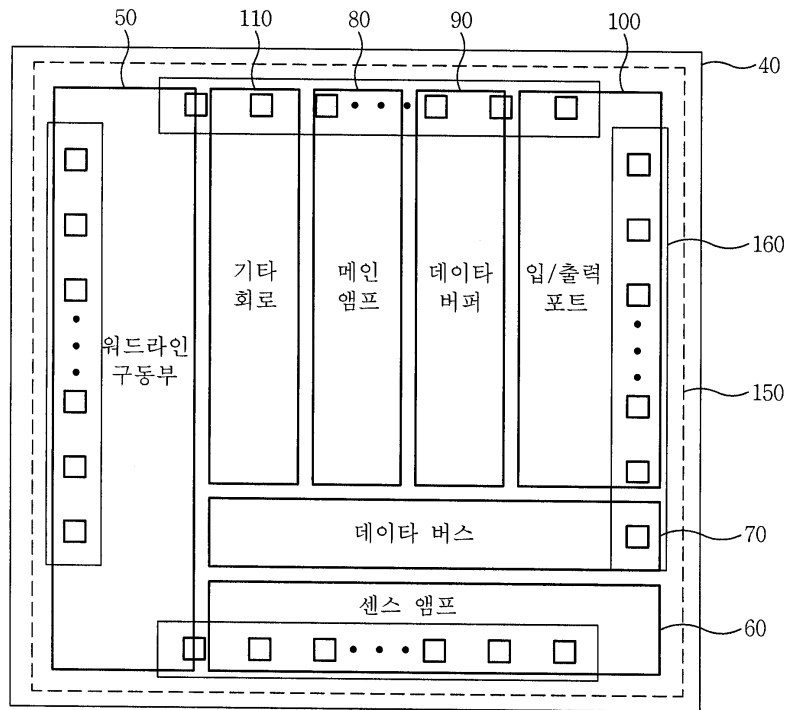
도면16



도면17



도면18



도면19

