



(12)发明专利

(10)授权公告号 CN 103180957 B

(45)授权公告日 2016.12.21

(21)申请号 201180050624.9

(22)申请日 2011.07.31

(65)同一申请的已公布的文献号
申请公布号 CN 103180957 A

(43)申请公布日 2013.06.26

(30)优先权数据
12/908,514 2010.10.20 US

(85)PCT国际申请进入国家阶段日
2013.04.19

(86)PCT国际申请的申请数据
PCT/US2011/046066 2011.07.31

(87)PCT国际申请的公布数据
W02012/054123 EN 2012.04.26

(73)专利权人 美国国家半导体公司
地址 美国加利福尼亚州

(72)发明人 S·巴尔 C·布鲁卡

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.
H01L 29/778(2006.01)
H01L 21/335(2006.01)

(56)对比文件
US 2006/0261356 A1,2006.11.23,
US 6020603 A,2000.02.01,
CN 1941405 A,2007.04.04,
US 2006/0261356 A1,2006.11.23,

审查员 李水丽

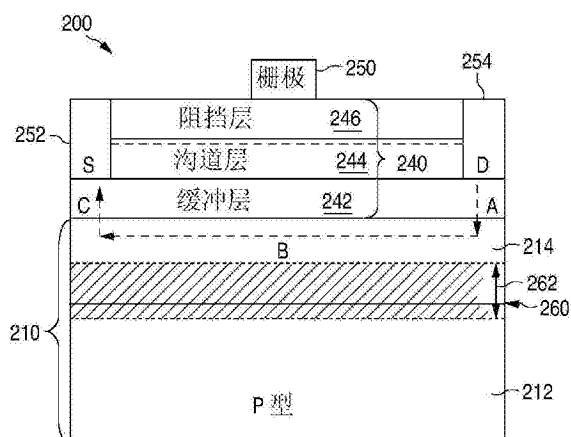
权利要求书2页 说明书10页 附图15页

(54)发明名称

具有浮动和接地的衬底区域的HEMT

(57)摘要

本发明涉及一种以层形式形成的III-N族HEMT(200,800,1400)的Si衬底(210,810,1410),其限定将Si衬底(210,810,1410)的上区域(214,816,1414)与Si衬底(210,810,1410)的下区域(212,812,1412)电隔离的p-n结。因此,Si衬底(210,810,1410)的上区域(214,816,1414)可进行电浮动,从而获得全缓冲击穿电压,同时通过导电环氧树脂的方式将Si衬底(210,810,1410)的下区域(212,812,1412)连至封装体,从而显著地提高III-N族HEMT(200,800,1400)的导热性并使不希望的浮动电压区最小。



1. 一种晶体管,其包括:

多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层,所述多层衬底结构具有顶面;

与所述多层衬底结构的所述顶面接触的缓冲层,所述缓冲层没有与所述第一层接触的部分,所述缓冲层具有顶面且包括III族氮化物;

与所述缓冲层的所述顶面接触的沟道层,所述沟道层包括III族氮化物且具有顶面;

与所述沟道层的所述顶面接触的阻挡层,所述阻挡层包括III族氮化物;以及

与所述沟道层接触的间隔开的金属源区和漏区,其中所述多层衬底进一步包括与所述第二层的顶面接触的、所述第一导电类型的第三层。

2. 根据权利要求1中所述的晶体管,其中所述金属漏区与所述第二层间隔开。

3. 根据权利要求1中所述的晶体管,其中所述多层衬底结构的宽度随深度变化。

4. 根据权利要求1中所述的晶体管,其中所述第一层厚于所述第二层。

5. 根据权利要求1中所述的晶体管,其中所述第一层薄于所述第二层。

6. 根据权利要求1中所述的晶体管,其中所述缓冲层接触所述第三层的顶面。

7. 根据权利要求6中所述的晶体管,其中所述缓冲层没有与所述第二层接触的部分。

8. 根据权利要求7中所述的晶体管,其中所述第一层为p型,所述第二层为n型,且所述第三层为p型。

9. 根据权利要求5中所述的晶体管,其中所述第一层为p型且所述第二层为n型,所述缓冲层接触所述第二层的顶面。

10. 一种形成晶体管的方法,包括:

形成多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层,所述多层衬底结构具有顶面;

形成与所述多层衬底结构的所述顶面接触的缓冲层,所述缓冲层没有与所述第一层接触的部分,所述缓冲层具有顶面且包括III族氮化物;

形成与所述缓冲层的所述顶面接触的沟道层,所述沟道层包括III族氮化物且具有顶面;

形成与所述沟道层的所述顶面接触的阻挡层,所述阻挡层包括III族氮化物;以及

形成与所述沟道层接触的间隔开的金属源区和漏区,其中所述多层衬底进一步包括与所述第二层的顶面接触的、所述第一导电类型的第三层。

11. 根据权利要求10中所述的方法,其中所述金属漏区与所述第二层间隔开。

12. 根据权利要求10中所述的方法,其进一步包括用磨料喷施所述多层衬底结构的边缘,使得所述多层衬底结构的宽度随着深度变化。

13. 根据权利要求10中所述的方法,其中所述第一层厚于所述第二层。

14. 根据权利要求10中所述的方法,其中所述第一层薄于所述第二层。

15. 根据权利要求10中所述的方法,其中所述缓冲层接触所述第三层的顶面。

16. 根据权利要求15中所述的方法,其中所述缓冲层没有与所述第二层接触的部分。

17. 根据权利要求16中所述的方法,其中所述第一层为p型,所述第二层为n型,且所述第三层为p型。

18. 根据权利要求14中所述的方法,其中所述第一层为p型且所述第二层为n型,所述缓

冲层接触所述第二层的顶面。

具有浮动和接地的衬底区域的HEMT

技术领域

[0001] 本发明涉及III-N族高电子迁移率晶体管(HEMT)且,更具体地,涉及具有浮动的衬底区域和接地的衬底区域的III-N族HEMT。

背景技术

[0002] 由于其较宽的带隙和较好的电子运输特性,已显示出III-N族高电子迁移率晶体管(HEMT)具有潜在的用于电力电子学的优势。这些材料特性转化成高的击穿电压、低的导通电阻以及快速切换。相比硅基晶体管,III-N族HEMT还可在较高的温度下工作。这些特性使III-N族HEMT良好地适用于高效率的功率调节应用,例如照明和车辆控制。

[0003] 图1示出图解说明常规III-N族HEMT 100的横截面图。如图1中所示,III-N族HEMT 100包括衬底110,以及形成于所述衬底110的顶表面的分层区域112。所述分层区域112进而包括顶部的阻挡层114、中间的沟道层116,以及位于所述衬底110和所述沟道层116之间的底部的缓冲层118。通常,所述的阻挡层114、沟道层116和缓冲层118各自利用一个或更多个连续的III族氮化层实现,所述的III族包括In、Ga和Al中的一个或更多个。所述的阻挡层114通常形成自AlGaN,且所述的沟道层116通常形成自GaN。

[0004] 如Mishra等人的文章“AlGaN/GaN HEMTs-An Overview of Device Operation and Applications”Proceedings of the IEEE, Vol.90, No.6, 2002年6月, pp.1022-1031中所讨论的,HEMT的沟道层和阻挡层具有不同的极化特性和带隙,其诱导在所述沟道层的顶部形成二维电子气(2DEG)。所述的2DEG(具有高浓度的电子)类似于常规场效应晶体管(FET)中的沟道。由于材料的特有高迁移率并且不存在与掺杂杂质的不希望的碰撞,所以相比硅MOSFET中的电子,这些电子在相对较高的速度下移动。

[0005] 由于天然的III-N族衬底不容易获得,所以常规利用外延沉积技术,例如金属有机化学气相沉积(MOCVD)和分子束外延(MBE),使分层区域112在所述的衬底110上生长。所述的缓冲层118在所述的衬底110和所述的沟道层116之间提供过渡层,从而处理晶格常数的差异并提供最小错位的生长表面。

[0006] 由于SiC具有合理低的晶格失配($\sim 3\%$)以及高导热性,所以所述的衬底110通常利用SiC实现。然而,SiC衬底昂贵并具有尺寸限制。由于Si的低成本且可进入Si加工的基础设施,所以所述的衬底110还通常利用Si实现。但是,由于晶片的应力以及随后的弯曲,Si衬底使得6英寸的衬底上缓冲层118的厚度限制于2至3微米(μm)。

[0007] 2至3微米的缓冲层厚度的局限之一在于薄的缓冲层限制了器件的击穿电压,例如,2微米厚度的缓冲层在300V下击穿。提高缓冲击穿电压的一个途径是使衬底浮动。通过使衬底浮动,由于通过两个缓冲层厚度支撑电压,所以漏极到源极的缓冲击穿电压被加倍至600V。

[0008] 例如,如图1中所示,当Si衬底被浮动且漏极至源极击穿时,击穿电流沿着漏极至源极的路径流动,所述路径包括击穿路径段A、B和C。所述的击穿路径段A和C各自具有大约300V的击穿电压,但是所述的击穿路径段B为欧姆性的。因此,为了达到完全的击穿电压

(600V),衬底100必须能浮动达到一半的击穿电压(300V)。

[0009] 但是,对浮动衬底的需要导致主要的包装问题。如果利用常规的封装体,那么利用非导电性的环氧树脂连接III-N族HEMT。但是,相比导电性的环氧树脂,非导电性的环氧树脂具有较差的导热性。由于III-N族器件旨在用于功率应用且需要具有好的热沉,所以这将导致严重问题。存在具有提高的热沉的封装,其中利用了具有高导热性的中间绝缘层,如AlN。但是,这些是昂贵的并且相比与导电性环氧树脂的直接连接,仍具有较低的导热性。

[0010] 除了包装以外,对浮动衬底的需求还具有多个其他问题。浮动的衬底可导致来自相邻器件之间的电容耦合的串扰。另外,如果浮动电压快速变化,还需关注EMI辐射。进一步地,由于衬底未被直接接触,所以浮动衬底的电压不受控制。在电路设计中,未调节的电压是不可取的。因此,需要一种替代方法来形成III-N族HEMT。

发明内容

[0011] 本发明的晶体管提供缓冲击穿电压,同时提高了导热性。本发明的晶体管包括多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层。另外,所述的多层衬底结构具有顶面。所述晶体管还具有与所述的多层衬底结构的顶面接触的缓冲层,以及与所述缓冲层的顶面接触的沟道层。所述的缓冲层没有与所述第一层接触的部分。进一步地,所述的缓冲层和沟道层各自具有顶面且包括III族氮化物。所述的晶体管进一步包括与所述沟道层的顶面接触的阻挡层,以及与所述沟道层接触的间隔开的金属源区和漏区。所述的阻挡层包括III族氮化物。

[0012] 在本发明中的形成晶体管的方法包括形成多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层。另外,所述的多层衬底结构具有顶面。所述方法还包括形成与所述多层衬底结构的顶面接触的缓冲层,以及形成与所述缓冲层的顶面接触的沟道层。所述缓冲层没有与所述第一层接触的部分。进一步地,所述缓冲层和沟道层各自具有顶面且包括III族氮化物。所述方法进一步包括形成与所述沟道层的顶面接触的阻挡层,并形成与所述沟道层接触的间隔开的金属源区和漏区。所述的阻挡层包括III族氮化物。

[0013] 本发明还提供了以下实施方式:

[0014] 实施方式1.一种晶体管,其包括:

[0015] 多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层,所述多层衬底结构具有顶面;

[0016] 与所述多层衬底结构的所述顶面接触的缓冲层,所述缓冲层没有与所述第一层接触的部分,所述缓冲层具有顶面且包括III族氮化物;

[0017] 与所述缓冲层的所述顶面接触的沟道层,所述沟道层包括III族氮化物且具有顶面;

[0018] 与所述沟道层的所述顶面接触的阻挡层,所述阻挡层包括III族氮化物;以及

[0019] 与所述沟道层接触的间隔开的金属源区和漏区。

[0020] 实施方式2.根据实施方式1中所述的晶体管,其中所述金属漏区与所述第二层间隔开。

[0021] 实施方式3.根据实施方式1中所述的晶体管,其中所述多层衬底结构的宽度随深

度变化。

[0022] 实施方式4.根据实施方式1中所述的晶体管,其中所述第一层基本厚于所述第二层。

[0023] 实施方式5.根据实施方式1中所述的晶体管,其中所述第一层基本薄于所述第二层。

[0024] 实施方式6.根据实施方式1中所述的晶体管,其中所述多层衬底进一步包括与所述第二层的顶面接触的、所述第一导电类型的第三层。

[0025] 实施方式7.根据实施方式6中所述的晶体管,其中所述缓冲层接触所述第三层的顶面。

[0026] 实施方式8.根据实施方式7中所述的晶体管,其中所述缓冲层没有与所述第二层接触的部分。

[0027] 实施方式9.根据实施方式8中所述的晶体管,其中所述第一层为p型,所述第二层为n型,且所述第三层为p型。

[0028] 实施方式10.根据实施方式5中所述的晶体管,其中所述第一层为p型且所述第二层为n型,所述缓冲层接触所述第二层的顶面。

[0029] 实施方式11.一种形成晶体管的方法,包括:

[0030] 形成多层衬底结构,该结构具有第一导电类型的第一层以及与所述第一层的顶面接触的第二导电类型的第二层,所述多层衬底结构具有顶面;

[0031] 形成与所述多层衬底结构的所述顶面接触的缓冲层,所述缓冲层没有与所述第一层接触的部分,所述缓冲层具有顶面且包括III族氮化物;

[0032] 形成与所述缓冲层的所述顶面接触的沟道层,所述沟道层包括III族氮化物且具有顶面;

[0033] 形成与所述沟道层的所述顶面接触的阻挡层,所述阻挡层包括III族氮化物;以及

[0034] 形成与所述沟道层接触的间隔开的金属源区和漏区。

[0035] 实施方式12.根据实施方式11中所述的方法,其中所述金属漏区与所述第二层间隔开。

[0036] 实施方式13.根据实施方式11中所述的方法,其进一步包括用磨料喷施所述多层衬底结构的边缘,使得所述多层衬底结构的宽度随着深度变化。

[0037] 实施方式14.根据实施方式11中所述的方法,其中所述第一层基本厚于所述第二层。

[0038] 实施方式15.根据实施方式11中所述的方法,其中所述第一层基本薄于所述第二层。

[0039] 实施方式16.根据实施方式11中所述的方法,其中所述多层衬底进一步包括与所述第二层的顶面接触的、所述第一导电类型的第三层。

[0040] 实施方式17.根据实施方式16中所述的方法,其中所述缓冲层接触所述第三层的顶面。

[0041] 实施方式18.根据实施方式17中所述的方法,其中所述缓冲层没有与所述第二层接触的部分。

[0042] 实施方式19.根据实施方式18中所述的方法,其中所述第一层为p型,所述第二层

为n型,且所述第三层为p型。

[0043] 实施方式20.根据实施方式15中所述的方法,其中所述第一层为p型且所述第二层为n型,所述缓冲层接触所述第二层的顶面。

附图说明

[0044] 图1是示出常规III-N族HEMT 100的横截面图。

[0045] 图2-6是示出根据本发明形成III-N族HEMT 200的方法示例的一系列横截面图。

[0046] 图7是示出根据本发明的III-N族HEMT 200的操作的横截面图。

[0047] 图8-12是示出根据本发明的第一替代性实施例,形成III-N族HEMT 800的方法示例的一系列横截面图。

[0048] 图13是示出根据本发明的III-N族HEMT 800的操作的横截面图。

[0049] 图14-19是示出根据本发明的第二替代性实施例,形成III-N族HEMT 1400的方法示例的一系列横截面图。

[0050] 图20是示出根据本发明的III-N族HEMT 1400的操作的横截面图。

[0051] 图21是示出根据本发明的芯片示例2100的横截面图。

[0052] 图22是示出根据本发明的芯片示例2200的横截面图。

[0053] 图23是示出根据本发明的芯片示例2300的横截面图。

[0054] 图24是示出根据本发明的芯片示例2400的横截面图。

[0055] 图25是示出根据本发明的芯片示例2500的横截面图。

具体实施方式

[0056] 图2至6示出图解说明根据本发明形成III-N族HEMT 200的方法示例的一系列横截面图。如下面更详细描述,本发明的方法在硅衬底中形成p-n结,其使得Si衬底的上部进行电浮动,同时还借助导电的环氧树脂使Si衬底的下部被连接至封装体。

[0057] 如图2中所示,首先,本发明方法形成多层衬底结构210,该结构包括p型下层212和n型上层214。p型下层212(具有基本均匀的厚度)大体厚于n型上层214(具有基本均匀的厚度)。因此,p型下层212的底面和n型上层214的底面位于基本平行的平面上。

[0058] 在优选的500V实施例中,p型下层212被掺杂为 $5 \times 10^{15} \text{cm}^{-3}$,而n型上层214被生长75微米厚且被掺杂为 $5 \times 10^{14} \text{cm}^{-3}$ 。另外,可对n型上层214的顶面进行重掺杂,例如, 10^{18} 至 10^{19} 。相应地,多层衬底结构210可以以多种不同方式形成。

[0059] 例如,如图3中所示,在第一实施例中,借助利用常规形成的轻掺杂、p型、单晶Si衬底220,例如<111>,并首先将n型掺杂剂,例如磷和/或砷平坦注入(blanket implant)Si衬底220的顶面的方法,形成多层衬底结构210。平坦注入后进行退火,退火可扩散和激活注入物,从而形成与p型底层224接触的上n型层222。

[0060] 替代地,如图4中所示,在第二实施例中,借助利用常规形成的轻掺杂、p型、单晶Si衬底230,例如<111>,并首先将n型Si层232外延生长在Si衬底230的顶面上的方法,形成多层衬底结构210。

[0061] 如图5中所示,一旦形成多层衬底结构210,则在衬底结构210上形成分层区域240。分层区域240进而包括缓冲层242、沟道层244以及阻挡层246。缓冲层242、沟道层244和阻挡

层246可各自借助一个或更多个连续的III族氮化物层实现,所述的III族包括In、Ga和Al中的一个或更多个。例如,缓冲层242可借助AlN(热稳定材料)、AlGaIn和GaInN的连续层实现。此外,沟道层244可借助例如GaInN实现,且阻挡层246可借助例如AlGaIn实现。

[0062] 分层区域240可以以常规方式形成,例如,通过将多层衬底结构210放在MOCVD反应器中并在衬底结构210的顶面上外延生长缓冲层242,在缓冲层242的顶面上外延生长沟道层244,以及在沟道层244的顶面上外延生长阻挡层246。

[0063] 如图6中所示,按常规方式形成分层区域240后,所述方法通过注入隔离或去除位于器件之间的阻挡层246和沟道层244,并以常规方式形成金属栅区250、金属源区252以及金属漏区254来完成III-N族HEMT 200的形成。

[0064] 形成金属栅区250以进行肖特基接触,而形成金属源区252和金属漏区254以与沟道层244进行欧姆接触。替代地,如图6中的虚线所示,可通过绝缘层ISO将栅极250与阻挡层246隔离。

[0065] 图7示出图解说明根据本发明,III-N族HEMT 200的操作的横截面图。如图7中所示,多层衬底结构210中的p型下层212和n型上层214形成了具有耗尽区262的p-n结260,其中耗尽区262将n型上层214与p型下层212电隔离,从而允许n型上层214进行电浮动。因此,当漏源极材料击穿时,击穿电流沿着金属漏区254至金属源区252的路径流动,所述路径包括击穿路径段A、B和C。

[0066] 因此,本发明的优势之一在于通过电浮动n型上层214,III-N族HEMT 200提供全击穿电压(600V),该全击穿电压通过常规的浮动Si衬底获得。p-n结260的反向偏置击穿电压允许上n型层214进行电浮动。因此,选择用于形成n型上层214(n型层222或n型Si层232)的掺杂浓度,以确保p-n结260的反向偏置击穿电压等于或大于路径段C的击穿电压。

[0067] 进一步地,n型上层214不能太薄。例如,缓冲层242中的AlGaIn的生长可导致Al或Ga扩散至硅。扩散形成了p型区域,该区域可延伸通过n型上层214,从而缩短了p-n结260,如果n型上层214太薄的话。因此,n型上层214需要足够厚并具有足够的掺杂以避免这种情况。

[0068] 本发明的另一个优势在于多层衬底结构210允许p型下层212电接地。因此,可利用导电性的环氧树脂(提供比非导电性的环氧树脂更好的导热性)来将III-N族HEMT 200连至封装体。本发明的另外优势在于多层衬底结构210降低了相邻器件之间的电容耦合产生串扰的可能性,并且如果浮动电压变化迅速,还降低了EMI辐射的可能性。

[0069] 图8-13示出图解说明根据本发明的第一替代性实施例,形成III-N族HEMT 800的方法示例的一系列横截面图。如图8中所示,首先,第一替代性实施例的方法形成多层衬底结构810,该结构包括p型下层812、n型中间层814以及p型上层816。因此,衬底结构810不同于衬底结构210,因为衬底结构810包括顶部的p型层。

[0070] p型下层812具有基本均匀的厚度,n型中间层814具有基本均匀的厚度,且p型上层816具有基本均匀的厚度。因此,p型下层812的底面、n型中间层814的底面以及p型上层816的底面位于基本平行的平面上。相应地,多层衬底结构810可以以多种不同方式形成。

[0071] 例如,如图9中所示,在第一实施例中,借助利用常规形成的轻掺杂、p型、单晶Si衬底820,例如<111>,并首先将n型掺杂剂,例如磷和/或砷,平坦注入Si衬底820的顶面的方法,形成多层衬底结构810。

[0072] 与形成n型层214的注入不同,注入能量必须足以驱动Si衬底820的顶面下的掺杂

阱。平坦注入后进行退火,退火扩散和激活注入物,从而形成位于p型底层824和p型顶层826之间的n型埋层822。

[0073] 替代地,如图10中所示,在第二实施例中,借助利用常规形成的轻掺杂、p型、单晶Si衬底830,例如<111>,并首先将n型Si层832外延生长在Si衬底830的顶面上的方法,形成多层衬底结构810。然后,使p型Si层834外延生长在n型层832的顶面上。

[0074] 如图11中所示,一旦形成多层衬底结构810,就在衬底结构810上形成分层区域840。分层区域840进而包括缓冲层842、沟道层844以及阻挡层846。缓冲层842、沟道层844和阻挡层846可各自用一个或多个相继的III族氮化物层实现,III族包括In、Ga和Al中的一个或多个。

[0075] 例如,缓冲层842可用相继的AlN、AlGaIn和GaIn层实现。此外,沟道层844可用例如GaIn实现,且阻挡层846可用例如AlGaIn实现。另外,如图11中进一步所示的,缓冲层842没有与n型中间层814接触的部分。

[0076] 可以与形成分层区域240的相同常规方式形成分层区域840,例如,通过将多层衬底结构810放在MOCVD反应器中并在衬底结构810的顶面上外延生长缓冲层842,在缓冲层842的顶面上外延生长沟道层844,以及在沟道层844的顶面上外延生长阻挡层846。

[0077] 如图12中所示,在以常规方式形成分层区域840后,所述方法通过注入隔离或去除位于器件之间的阻挡层846和沟道层844,并以常规方式形成金属栅区850、金属源区852以及金属漏区854完成III-N族HEMT 800的形成。

[0078] 形成金属栅区850以进行肖特基接触,而形成金属源区852和金属漏区854以与沟道层844进行欧姆接触。替代地,如图12中的虚线所示,可通过绝缘层ISO将栅极850与阻挡层846隔离。

[0079] 图13示出图解说明根据本发明,III-N族HEMT 800的操作的横截面图。如图13中所示,多层衬底结构810中的p型下层812和n型中间层814形成了具有耗尽区862的p-n结860,且耗尽区862将p型上层816与p型下层812电隔离,从而允许p型上层816进行电浮动。因此,当漏源极材料击穿时,击穿电流沿着金属漏区854至金属源区852的路径流动,所述路径包括击穿路径段A、B和C。

[0080] 因此,本发明的优势之一在于通过电浮动p型上层816,III-N族800提供全击穿电压(600V),全击穿电压通过常规的浮动Si衬底获得。p-n结860的反向偏置击穿电压允许上面的p型层816进行电浮动。

[0081] 因此,选择用于形成n型中间层814(n型埋层822或n型Si层832)的掺杂浓度,以确保p-n结860的反向偏置击穿电压等于或大于路径段C的击穿电压。

[0082] 具有p型上层816的原因在于缓冲层842中AlGaIn的生长可导致Al或Ga扩散至硅。扩散形成了p型区域,该区域的特性是可变的。p型上层816的厚度足以包含该无意的扩散,从而在衬底中提供良好限定的结。

[0083] 本发明的另一个优势在于多层衬底结构810允许p型下层812电接地。因此,可利用导电性的环氧树脂(提供比非导电性的环氧树脂更好的导热性)将III-N族800连至封装体。

[0084] 图14-19示出图解说明根据本发明的第二替代性实施例形成III-N族1400的方法示例的一系列横截面图。如图14中所示,首先,第二替代性实施例的方法形成多层衬底结构1410,该结构包括p型下层1412以及n型上层1414。

[0085] p型下层1412(具有基本均匀的厚度)基本薄于n型上层1414(具有基本均匀的厚度)。因此,p型下层1412的底面和n型上层1414的底面位于基本平行的平面上。相应地,多层衬底结构1410可以以多种不同方式形成。

[0086] 例如,如图15中所示,在第一实施例中,借助利用常规形成的轻掺杂、n型、单晶Si衬底1420,例如<111>,并首先将p型掺杂剂,例如硼,平坦注入Si衬底1420的底面的方法,形成多层衬底结构1410。平坦注入后进行退火,退火可扩散和激活注入物,从而形成p型底层1422。

[0087] 替代地,如图16中所示,在第二实施例中,借助利用常规形成的双抛光、轻掺杂、n型、单晶Si衬底1430,例如<111>,并包括使p型Si层1432外延生长在Si衬底1430的底面上的方法,形成多层衬底结构1410。

[0088] 如图17中所示,在形成多层衬底结构1410后,在p型下层1412上形成保护层1434。保护层1434可利用例如氮化硅实现。在包装前,去除保护层1434(其在加工期间保护p型下层1412免遭刮痕)。

[0089] 如图18中所示,一旦形成保护层1434,就在衬底结构1410上形成分层区域1440。分层区域1440进而包括缓冲层1442、沟道层1444以及阻挡层1446。缓冲层1442、沟道层1444以及阻挡层1446可各自利用一个或更多个相继的III族氮化层实现,其中III族包括In、Ga和Al中的一个或更多个。

[0090] 例如,缓冲层1442可利用相继的AlN、AlGaIn和GaIn层实现。此外,沟道层1444可利用例如GaIn实现,且阻挡层1446可利用例如AlGaIn实现。另外,如图18中进一步所示,缓冲层1442没有与p型下层1412接触的部分。

[0091] 可以与形成分层区域240的相同常规方式形成分层区域1440,例如,通过将多层衬底结构1410放在MOCVD反应器中并在衬底结构1410的顶面上外延生长缓冲层1442,在缓冲层1442的顶面上外延生长沟道层1444,以及在沟道层1444的顶面上外延生长阻挡层1446。

[0092] 如图19中所示,在以常规方式形成分层区域1440后,所述方法通过注入隔离或去除位于器件之间的阻挡层1446和沟道层1444,并以常规方式形成金属栅区1450、金属源区1452以及金属漏区1454完成III-N族HEMT 1400的形成。

[0093] 形成金属栅区1450以进行肖特基接触,而形成金属源区1452和金属漏区1454以与沟道层1444进行欧姆接触。替代地,如图19中的虚线所示,可通过绝缘层ISO将栅极1450与阻挡层1446隔离。

[0094] 图20示出图解说明根据本发明,III-N族HEMT 1400的操作的横截面图。如图20中所示,多层衬底结构1410中的p型下层1412和n型上层1414形成了具有耗尽区1462的p-n结1460,且耗尽区1462将n型上层1414与p型下层1412电隔离,从而允许n型上层1414进行电浮动。因此,当漏源极材料击穿时,击穿电流沿着金属漏区1454至金属源区1452的路径流动,所述路径包括击穿路径段A、B和C。

[0095] 因此,本发明的优势之一在于通过电浮动n型上层1414,III-N族HEMT 1400提供全击穿电压(600V),全击穿电压通过常规的浮动Si衬底获得。p-n结1460的反向偏置击穿电压允许上面的n型层1414进行电浮动。因此,选择用于形成p型下层1412(p型下层1422或p型Si层1432)以及n型上层1414(n型衬底1420或n型衬底1430)的掺杂浓度,以确保p-n结1460的反向偏置击穿电压等于或大于路径段C的击穿电压。

[0096] 本发明的另一个优势在于多层衬底结构1410允许p型下层1412电接地。因此,可利用导电性的环氧树脂(提供比非导电性的环氧树脂更好的导热性)将III-N族HEMT 1400连至封装体。

[0097] 本发明的替代性实施例的进一步优势在于p-n结1460更靠近封装体,所述的封装体相应地起热沉的作用。将p-n结1460更靠近所述的热沉放置可降低所述p-n结1460的温度。Si结通常在200℃以上不,良好工作而III-N族HEMT可应对更高的温度。因此,该替代性实施例允许III-N族HEMT 1400具有更高的最高工作温度。

[0098] III-N族HEMT 200、800和1400可形成为分立器件或作为集成电路的一部分,其中在晶片上形成大量的相同分立器件或相同集成电路。在已经在晶片上制造分立器件或集成电路后,其中一个最终加工步骤为,切断晶片或将晶片切成小块,以便物理地隔离单个分立器件或集成电路。然后,将物理隔离的分立器件或集成电路连至承载分立器件或集成电路的封装体。

[0099] 图21示出图解说明根据本发明的芯片示例2100的横截面图。如图21中所示,芯片2100包括III-N族HEMT 200、顶面2110、底面2112以及从顶面2110延伸至底面2112的边缘2114。通过从晶片形成芯片2100的分开或锯开操作进而形成边缘2114。

[0100] 如图21中进一步所示,多层衬底结构210的p型下层212和n型上层214之间的pn结延伸超过边缘2114并在A点与边缘2114接触。因此,边缘2114暴露了p型下层212和n型上层214之间的pn结。

[0101] 相应地,由于边缘处存在由切割导致的缺陷,所以相比大部分的pn结,在芯片边缘处暴露的pn结通常在较低的电场下击穿。因此,在p型下层212和n型上层214之间的pn结通常在其在直接位于III-N族HEMT 200下面的区域中击穿之前在边缘2114处击穿。

[0102] 图22示出图解说明根据本发明的芯片示例2200的横截面图。如图22中所示,芯片2200包括III-N族HEMT 200、顶面2210、底面2212以及从顶面2210延伸至底面2212的斜缘2114。

[0103] 形成斜缘2214以去除比其除去所述结的更重掺杂侧更大量的所述结的更轻掺杂侧。在本示例中,相比n型上层214的掺杂浓度(例如, $5 \times 10^{14} \text{cm}^{-3}$),p型下层212具有较高的掺杂浓度(例如, $5 \times 10^{15} \text{cm}^{-3}$)。因此,形成斜缘2214,以便芯片2200的宽度随着深度变得更宽,其被称为正斜角。

[0104] 如图22中进一步所示的,由于去除了更大量更轻掺杂的n型上层214,所以耗尽区262向上弯曲,在边缘2214处变得更宽。耗尽区262的增大的宽度大大地提高了边缘2214处的结击穿电压,从而弥补了由切割导致的边缘2214处存在的缺陷。

[0105] 图23示出图解说明根据本发明的芯片示例2300的横截面图。如图23中所示,芯片2300包括III-N族HEMT 200、顶面2310、底面2312以及从顶面2310延伸至底面2312的斜缘2314。

[0106] 如上所述,形成斜缘2314以去除比其除去所述结的更重掺杂侧更大量的所述结的更大量的更轻掺杂侧。在本示例中,相比n型上层214的掺杂浓度(例如, $5 \times 10^{15} \text{cm}^{-3}$),p型下层212具有较低的掺杂浓度(例如, $5 \times 10^{14} \text{cm}^{-3}$)。因此,形成斜缘2314,以便芯片2300的宽度随着深度变得更窄,其被称为负斜角。

[0107] 如图23中进一步所示的,由于去除了更大量更轻掺杂的p型下层212,所以耗尽区

262向下弯曲,在边缘2314处变得更宽。耗尽区262的增加的宽度大大地提高了边缘2314处的结击穿电压,从而弥补了由切割导致的边缘2314处存在的缺陷。

[0108] 还可将斜缘应用至具有III-N族HEMT 800的芯片以及具有III-N族HEMT 1400的芯片。图24示出图解说明根据本发明的芯片示例2400的横截面图。如图24中所示,芯片2400包括III-N族HEMT 800、顶面2410、底面2412以及从顶面2410延伸至底面2412的正斜缘2414。

[0109] 在芯片2400中,相比n型上层814的掺杂浓度,p型下层812具有较高的掺杂浓度。因此,斜边去除了更大量的更轻掺杂的n型上层814。由于去除了更大量的更轻掺杂的n型上层814,所以耗尽区862向上弯曲,在边缘2414处变得更宽。耗尽区862的增加的宽度提高了边缘2414处的结击穿电压,从而弥补了由切割导致的边缘2414处所存在的缺陷。

[0110] 图25示出图解说明根据本发明的芯片示例2500的横截面图。如图25中所示,芯片2500包括III-N族HEMT 1400、顶面2510、底面2512以及从顶面2510延伸至底面2512的正斜缘2514。

[0111] 在芯片2500中,相比n型上层1414的掺杂浓度,p型下层1412具有较高的掺杂浓度。因此,斜边去除了更大量的更轻掺杂的n型上层1414。由于去除了更大量的更轻掺杂的n型上层1414,耗尽区1462向上弯曲,在边缘2514处变得更宽。耗尽区1462的增加的宽度提高了边缘2514处的结击穿电压,从而弥补了边缘2514处所存在的由切割导致的缺陷。

[0112] 以常规的方式形成斜缘2214、2314、2414和2514。例如,所述晶片的边缘可利用磨料,如砂粒进行喷施,同时将晶片连至热沉(例如,钼)并进行旋转。喷施的角度(优选地,30℃至60℃)决定了斜边的角度。

[0113] 对晶片进行切割后,在包装芯片2100、2200、2300、2400和2500之前,使边缘2114、2214、2314、2414和2514钝化。如美国专利No.4,980,315以及V.Obreja,“The semiconductor-dielectric interface from PN junction edge and the voltage dependence of leakage reverse current”,国际半导体器件研究研讨会(ISDRS),2007年12月中所述的,通过沉积电介质,例如二氧化硅和/或氮化硅,钝化有斜面或台面型半导体结构中的p-n结。美国专利No.4,980,315(1990年12月25日授权给Einthoven等人)在此通过引用并入。

[0114] 另外,如V.Obreja和C.Codreanu的文章“Experimental investigation on the leakage reverse current component flowing at the semiconductor PN junction periphery”,Int.Conf.on Thermal and Multiphysics(EuroSimE)2006中所讨论的,还可替换地使用硅橡胶化合物或聚酰亚胺(例如为平面钝化或台面型高压硅结中的已有技术)。

[0115] 进一步地,如美国专利No.3,859,127中所讨论的,还可沉积高电阻率多晶硅,以钝化台面型半导体器件的结。美国专利No.3,859,127(1975年1月7日授权给Lehner)在此通过引用并入。B.J.Baliga的文章“Fundamentals of Power Semiconductor Devices”,Springer,2008中,还讨论了平面或台面型功率器件中的p-n结的钝化。

[0116] 应该理解,上述描述仅为本发明的示例,且可利用本文所描述的本发明的各种替代方案实施本发明。例如,III-N族HEMT常规被形成为耗尽型器件,但也可形成为增强型器件。

[0117] 因为这些器件的衬底和缓冲层结构相同,所以本发明同样很好地适用于增强型器件。因此,其目的在于,所附权利要求限定本发明的范围以及由此涵盖的这些权利要求范围

内的结构和方法和其等价物。

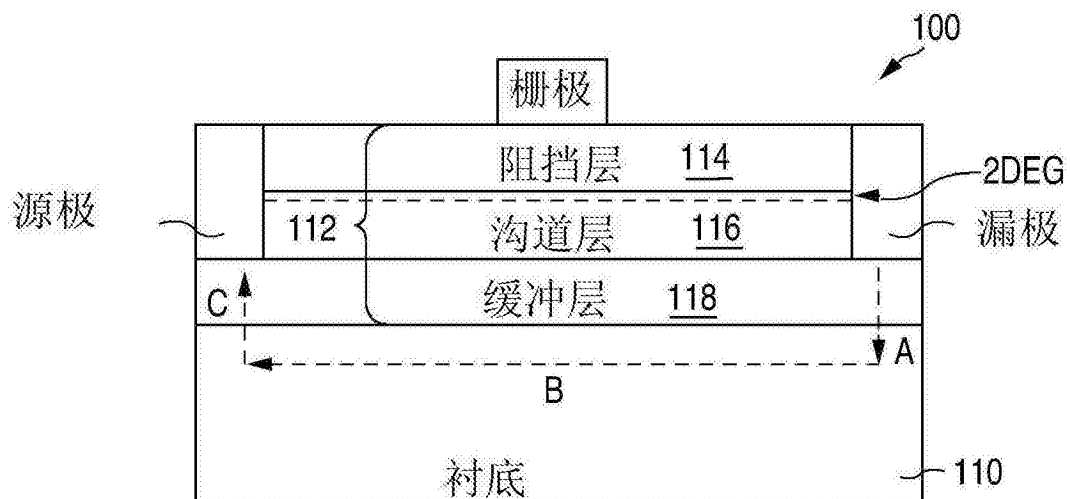


图1(现有技术)

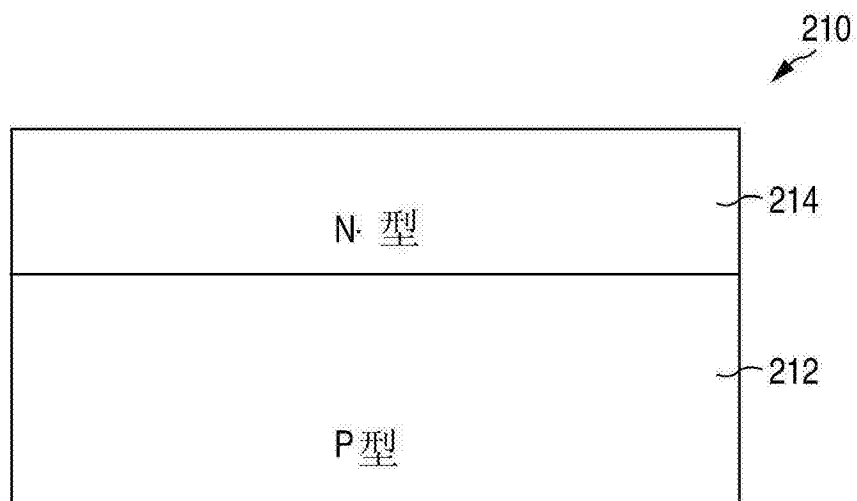


图2

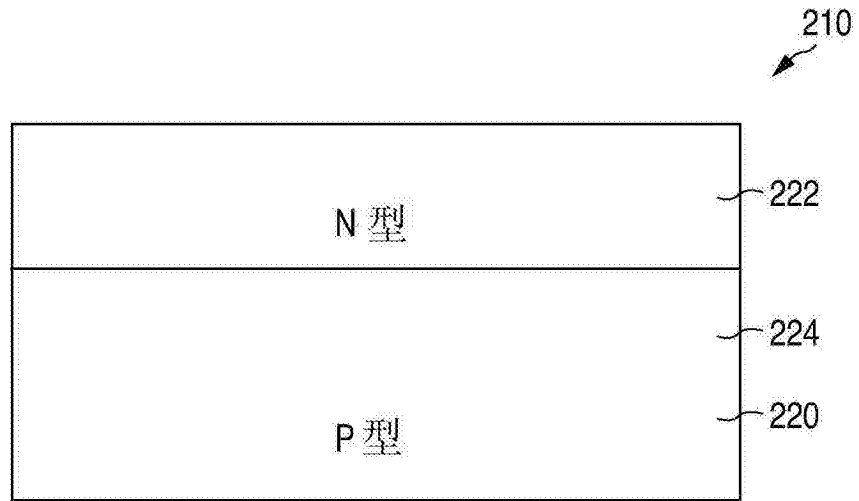


图3



图4

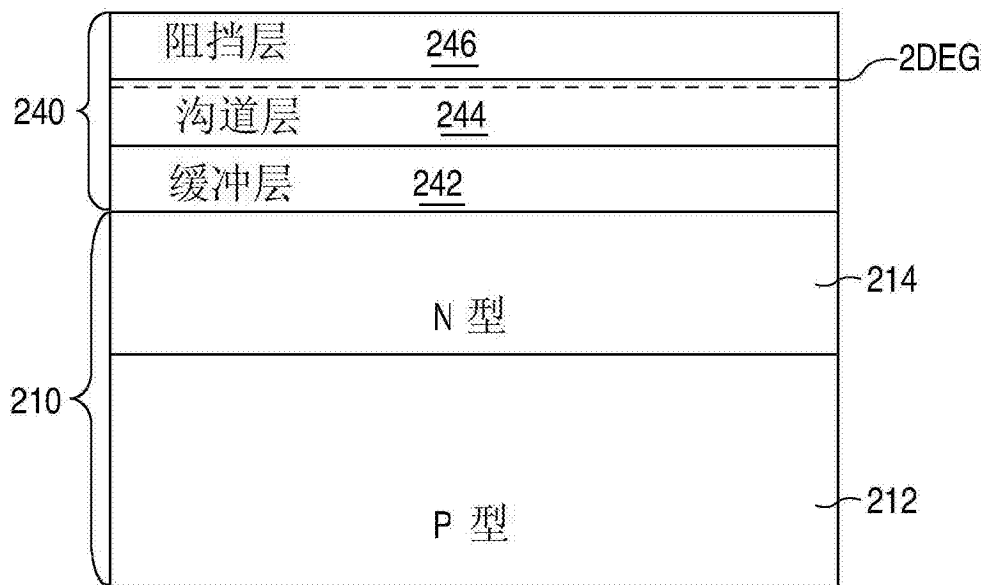


图5

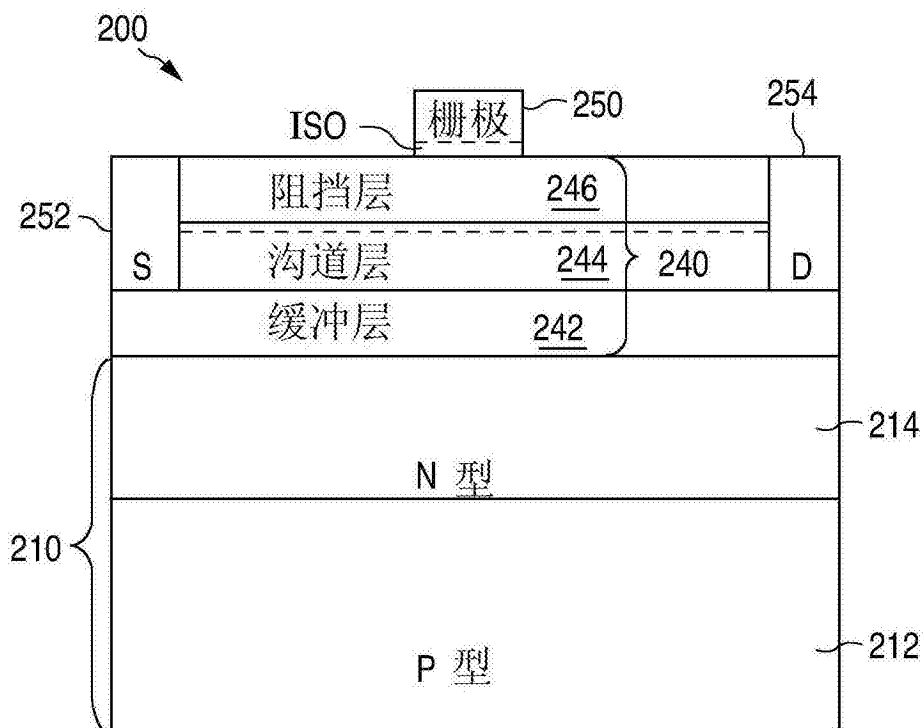


图6

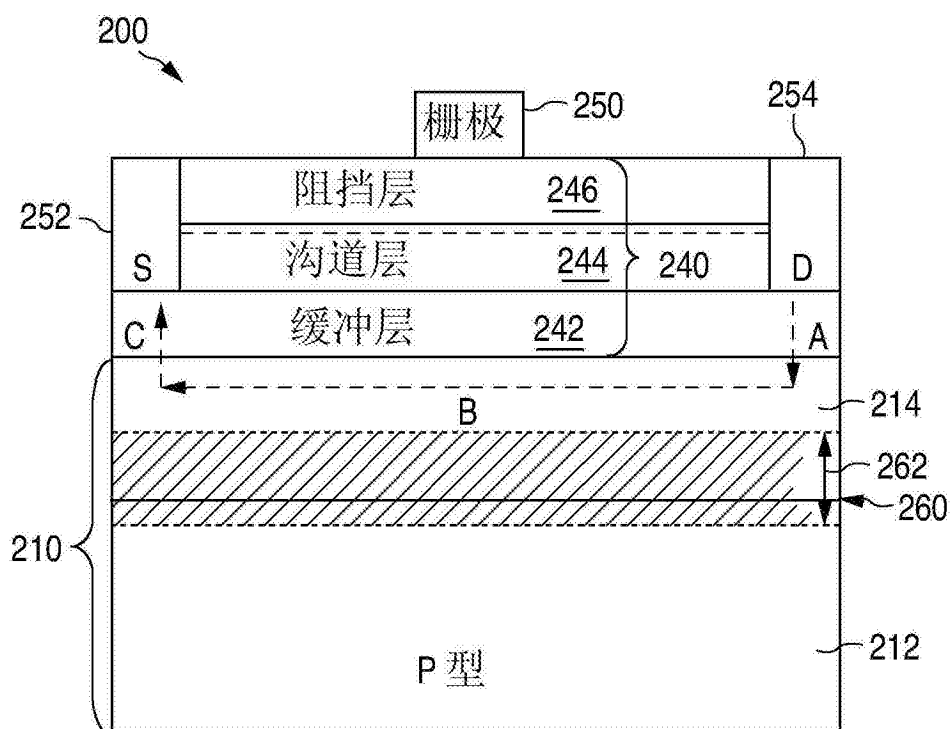


图7

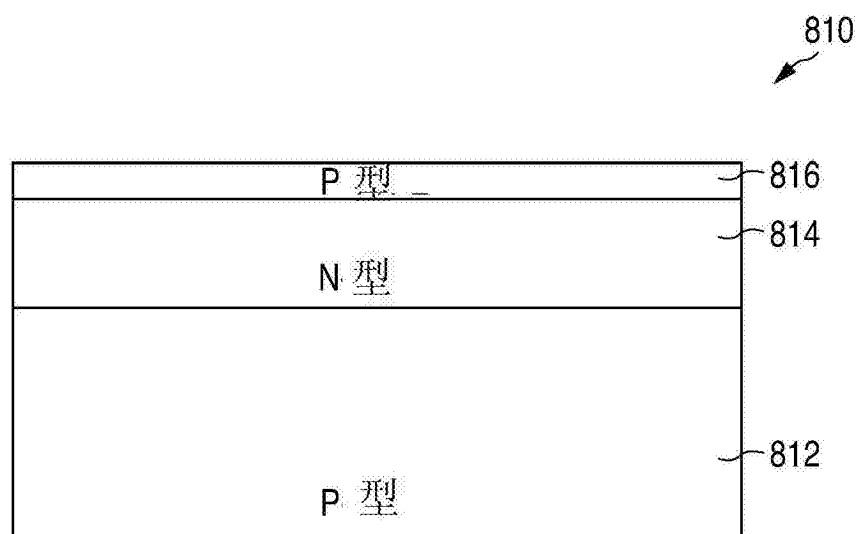


图8

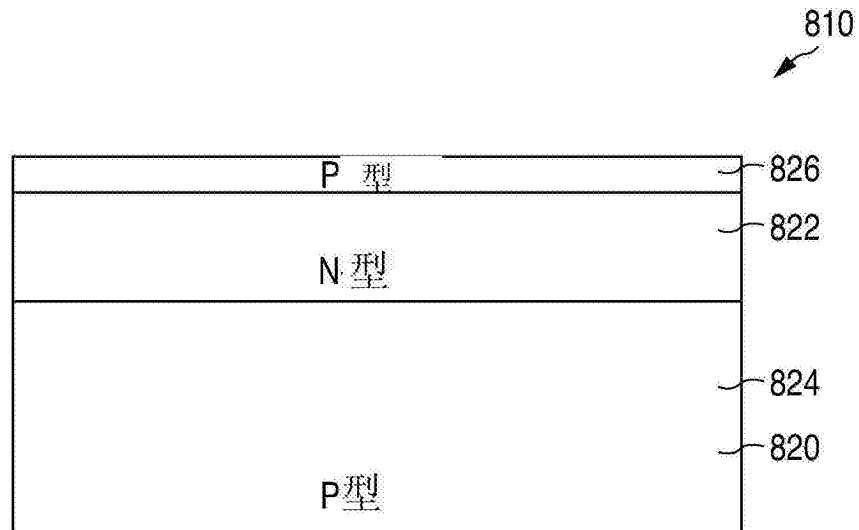


图9

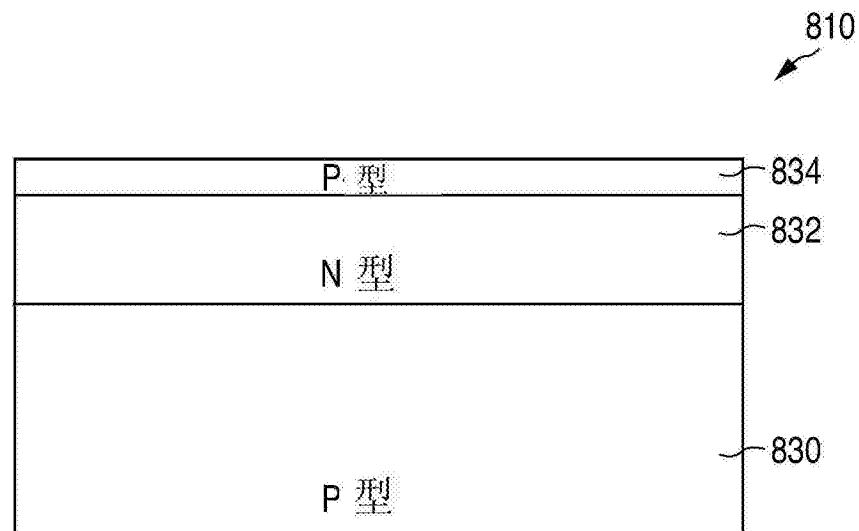


图10

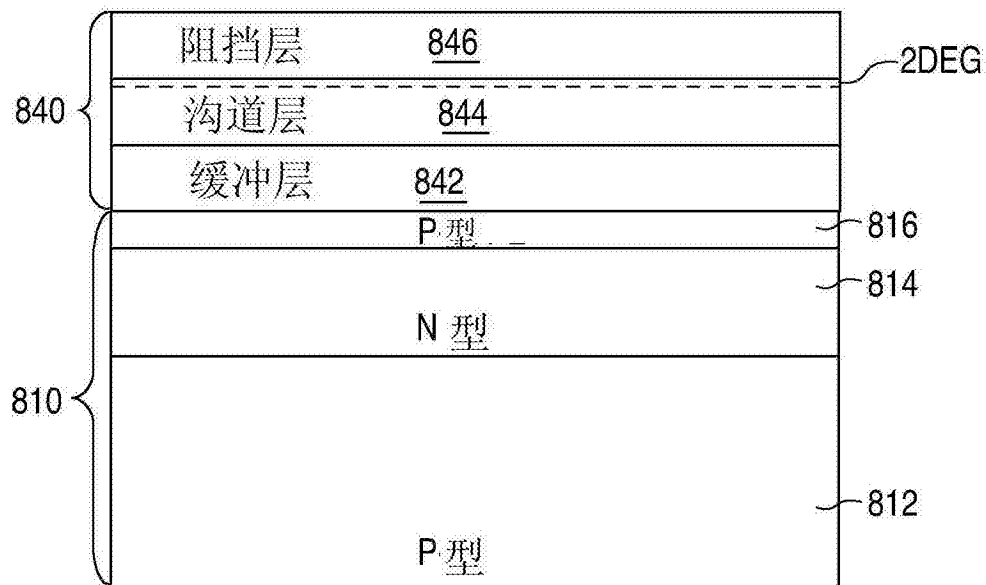


图11

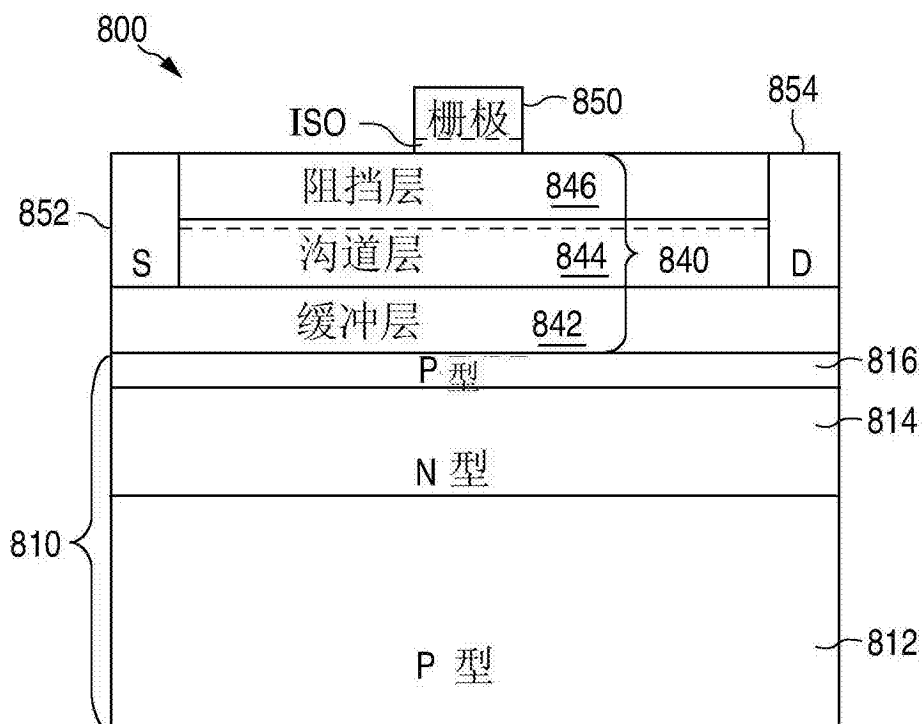


图12



图15



图16

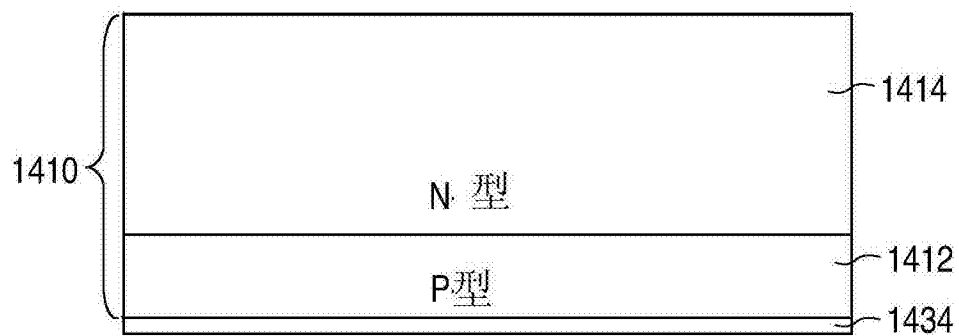


图17



图18

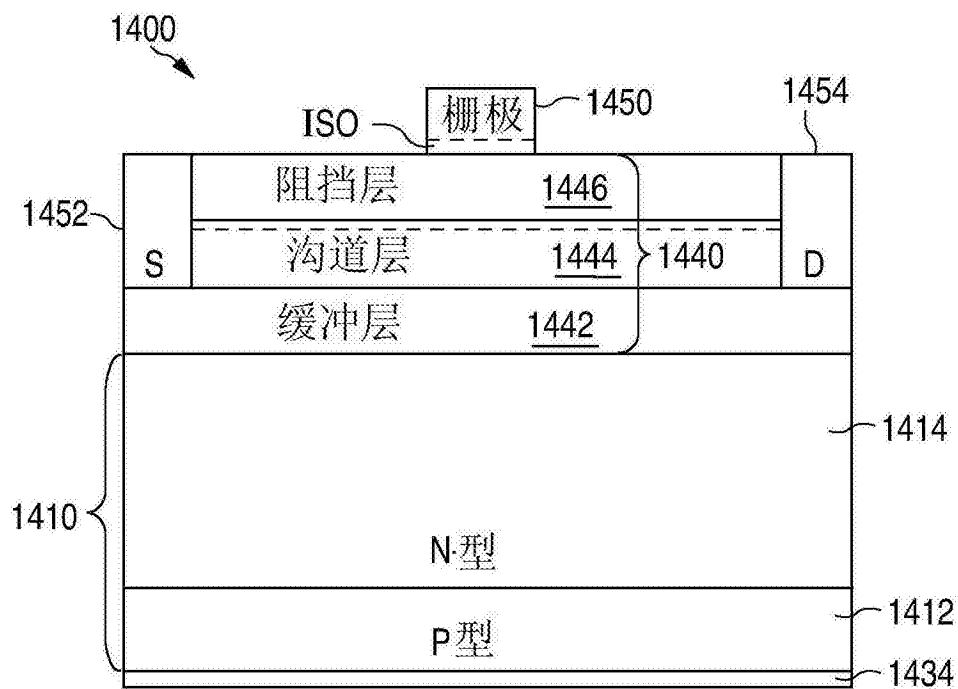


图19

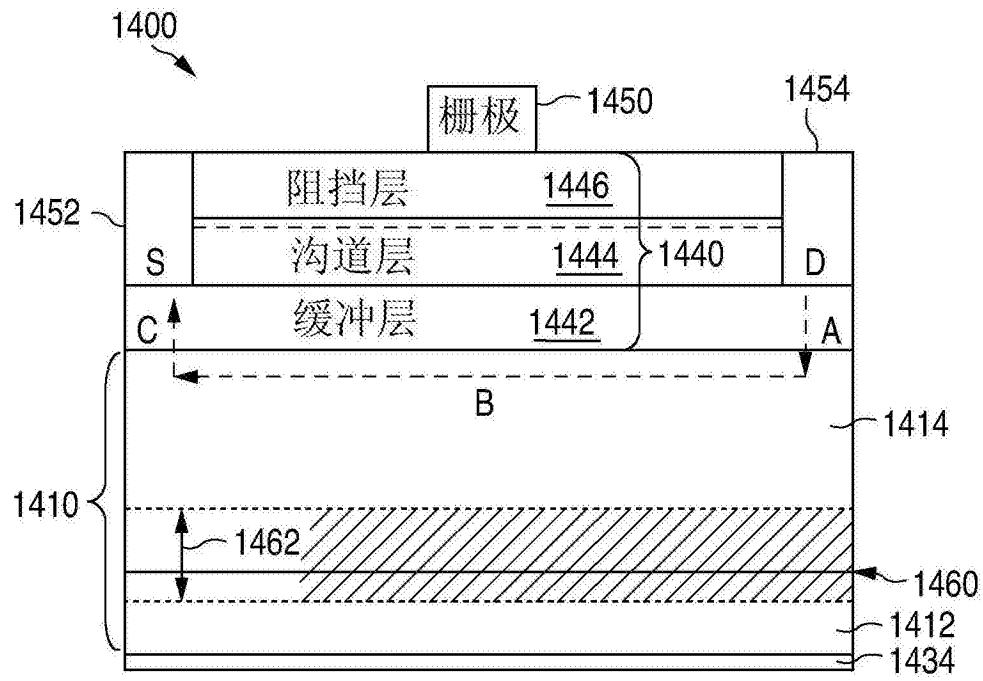


图20

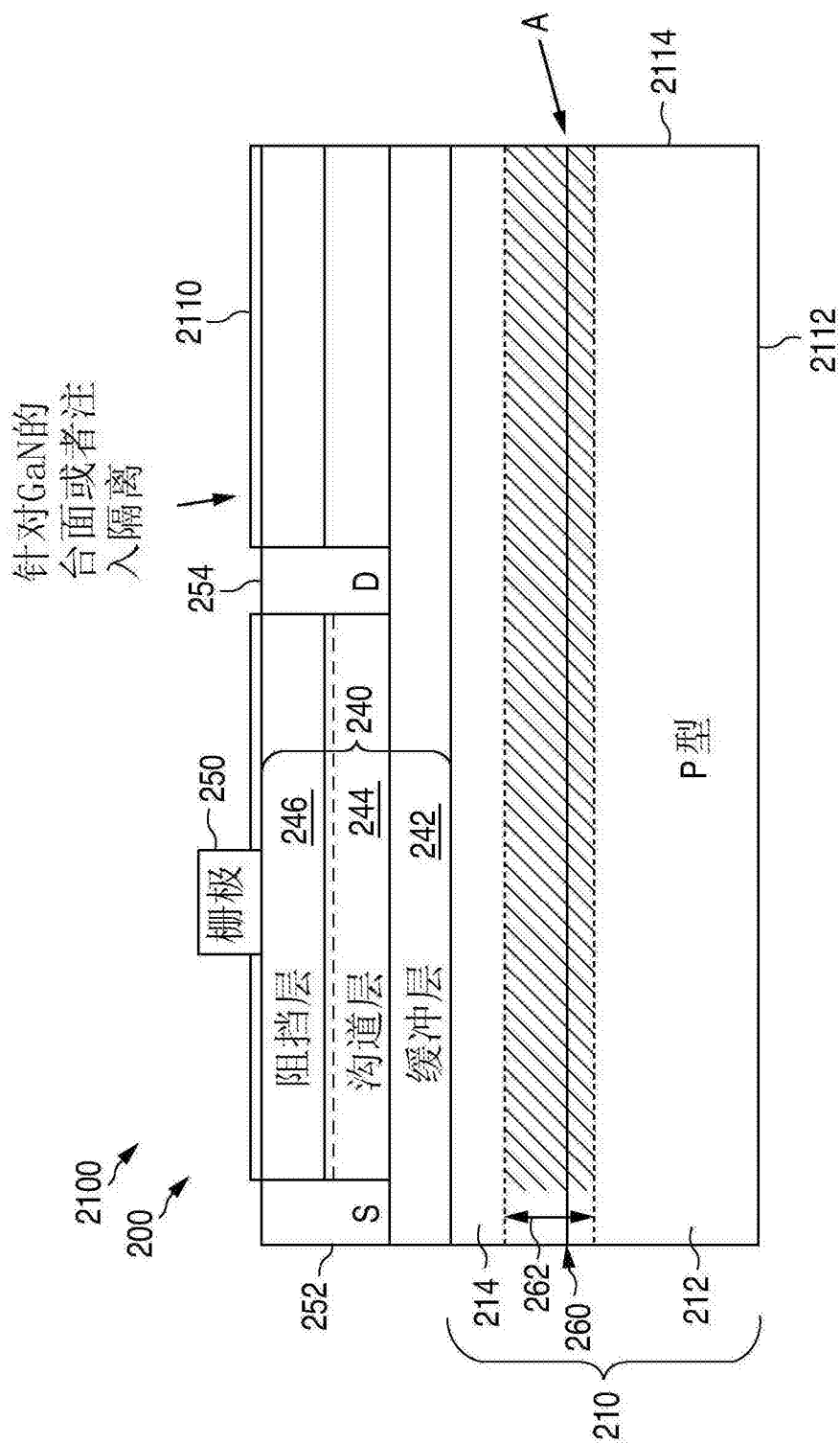


图21

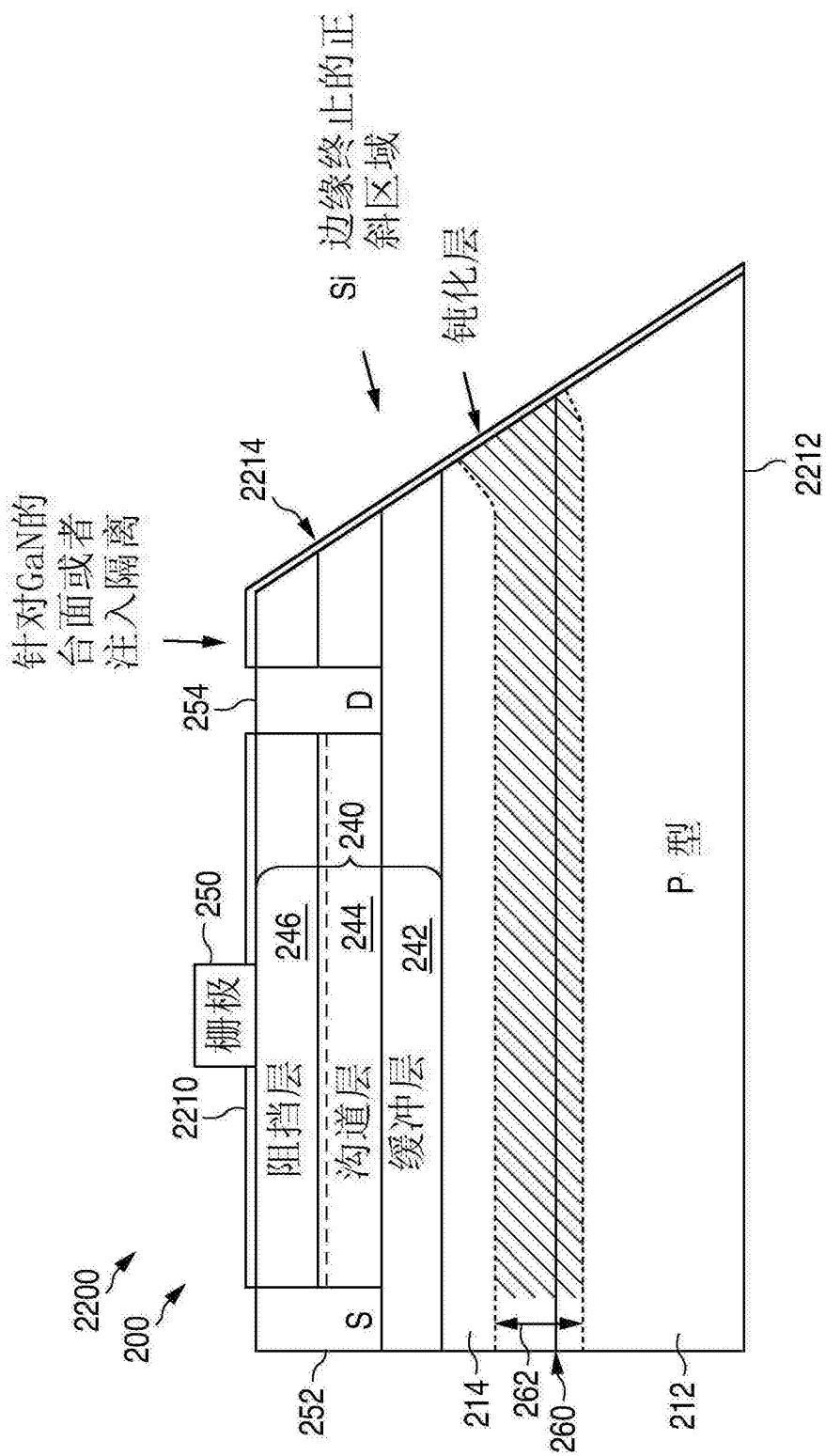


图22

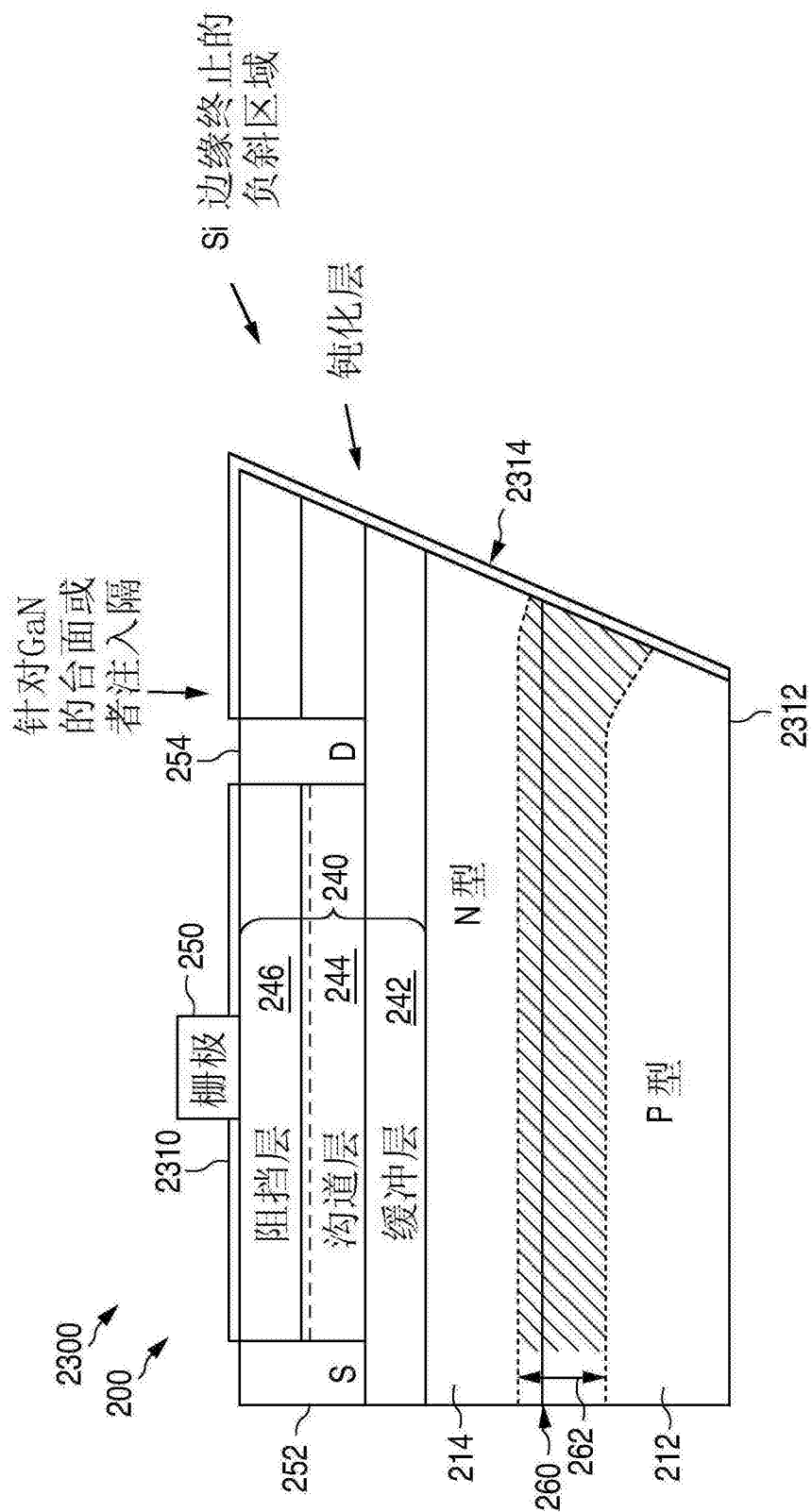


图23

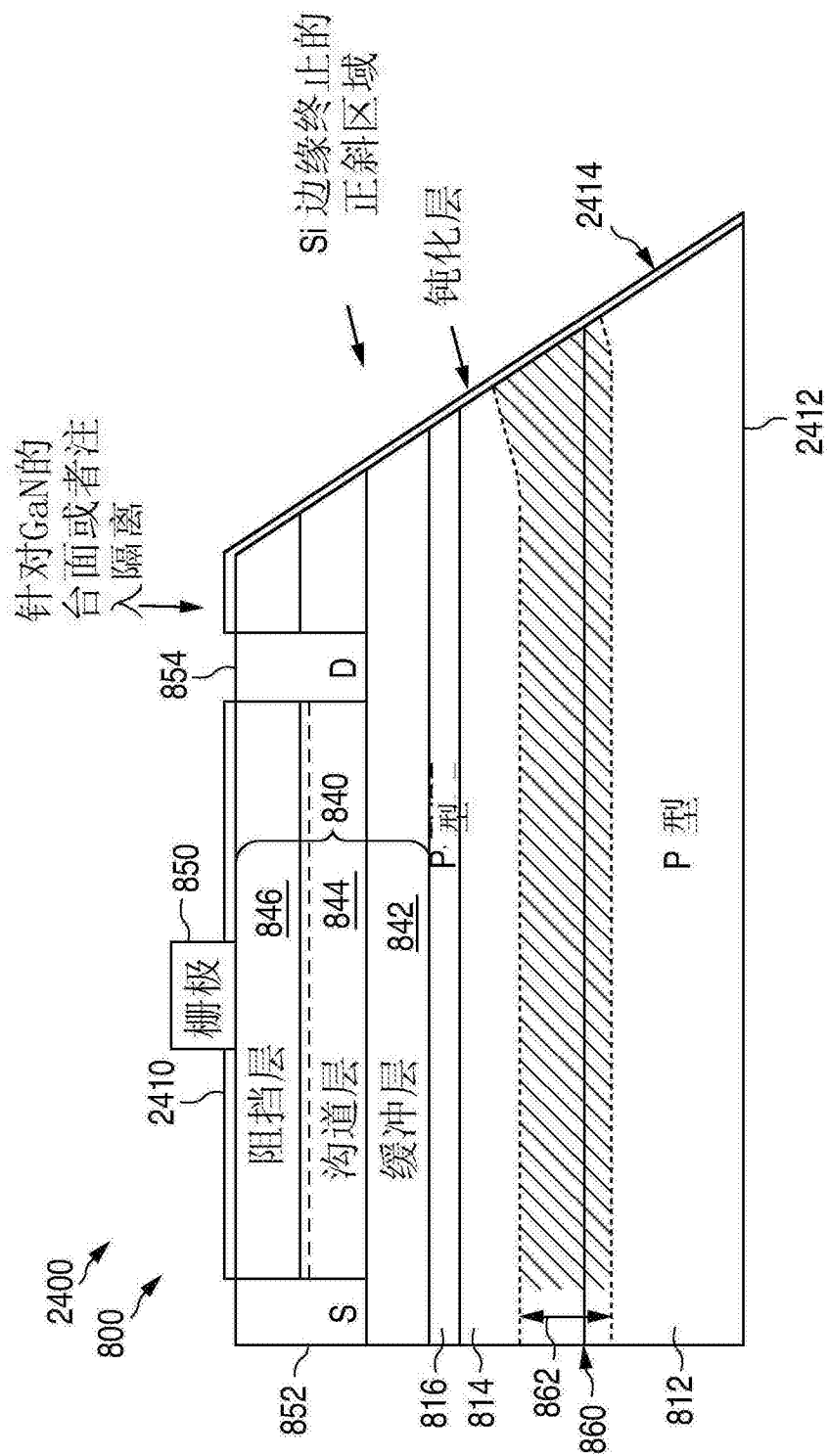


图24

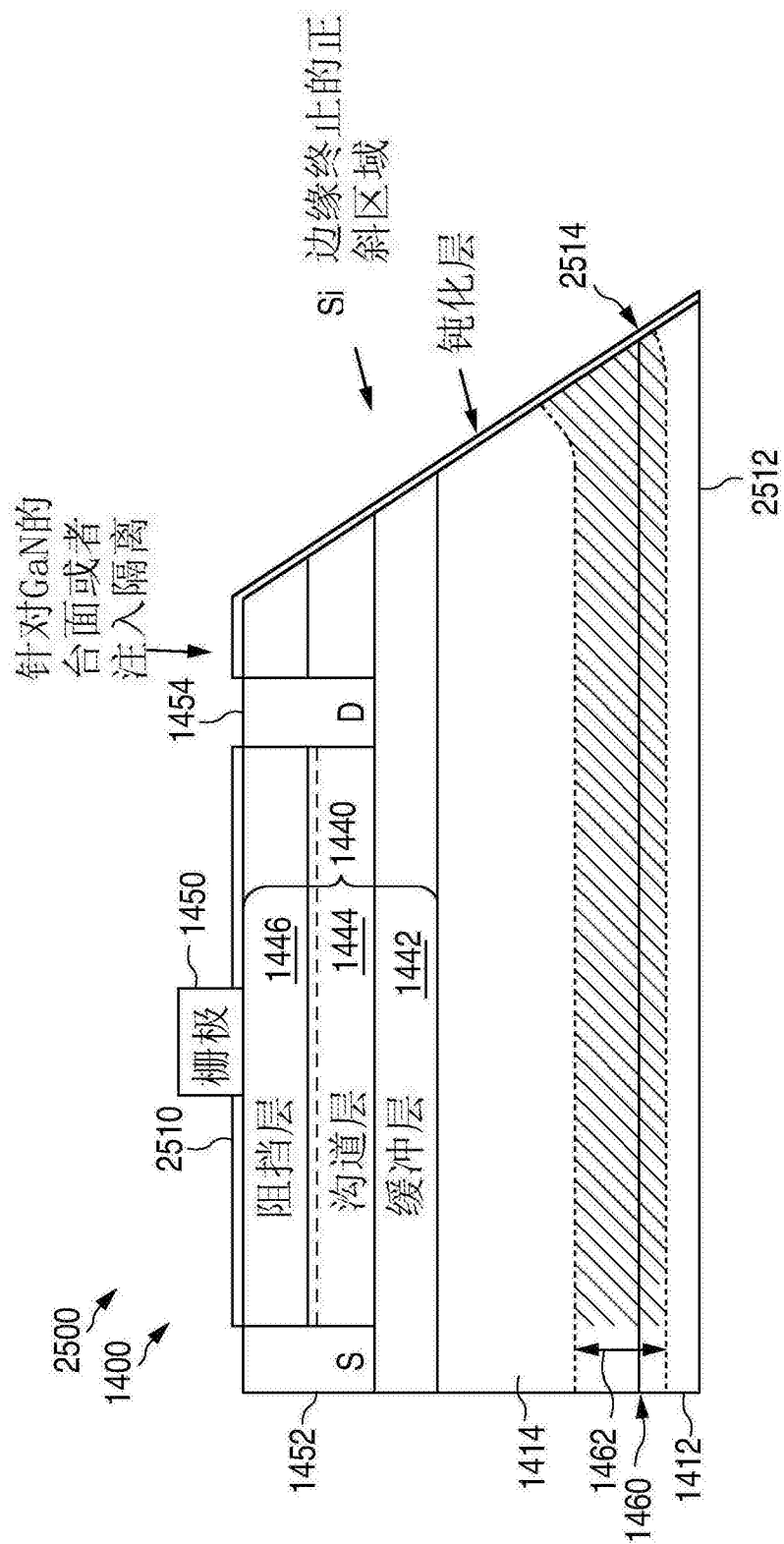


图25