(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6398949号
(P6398949)
(45)発行日　平成30年10月3日(2018.10.3)　(24)登録日　平成30年9月14日(2018.9.14)

(51)Int.Cl.　　F I
H02M 7/48 (2007.01)　　H02M 7/48 M
H03K 17/28 (2006.01)　　H03K 17/28 G

請求項の数 7　(全 11 頁)

(21)出願番号　特願2015-217440(P2015-217440)
(22)出願日　平成27年11月5日(2015.11.5)
(65)公開番号　特開2017-93065(P2017-93065A)
(43)公開日　平成29年5月25日(2017.5.25)
審査請求日　平成29年11月10日(2017.11.10)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(74)代理人　100148057
弁理士　久野　淑己
(72)発明者　今西　元紀
福岡県福岡市西区今宿東一丁目１番１号
メルコセミコンダクタエンジニアリング株式会社内

最終頁に続く

(54)【発明の名称】半導体素子の駆動装置

(57)【特許請求の範囲】
【請求項１】
半導体素子を駆動する駆動装置であって、
入力したエラー信号の種類に応じて異なる識別信号を生成する識別信号生成回路と、
前記エラー信号と前記識別信号のうちで長い方のパルス幅を持つ保護動作信号を生成する保護動作信号生成回路と、
前記識別信号を入出力する識別信号端子と、
前記保護動作信号を入出力する保護動作信号端子と、
前記保護動作信号生成回路が生成した自相の保護動作信号及び前記保護動作信号端子から入力した他相の保護動作信号に応じてエラー保護動作を行う保護回路とを備えることを特徴とする半導体素子の駆動装置。
【請求項２】
先に入力した第１のエラー信号に対応する保護動作信号の出力中に第２のエラー信号を入力した場合、前記識別信号生成回路は前記第２のエラー信号に対応する識別信号を生成しないことを特徴とする請求項１に記載の半導体素子の駆動装置。
【請求項３】
前記識別信号端子から他相の識別信号が入力されている場合には、前記識別信号生成回路が生成した自相の識別信号を前記識別信号端子から出力させないようにする他相識別信号優先回路を更に備えることを特徴とする請求項１又は２に記載の半導体素子の駆動装置。

【請求項４】
前記識別信号は前記エラー信号の種類に応じて異なるパルス幅を持つことを特徴とする請求項１～３の何れか１項に記載の半導体素子の駆動装置。
【請求項５】
前記識別信号生成回路はタイマー回路の出力に応じて前記識別信号のパルス幅を変化させ、
前記タイマー回路は、前記エラー信号が入力されるとコンデンサを充電し始め、前記コンデンサの電圧が閾値電圧に達するまでの時間を出力し、前記コンデンサを充電する電流値を前記エラー信号の種類に応じて選択することを特徴とする請求項４に記載の半導体素子の駆動装置。
【請求項６】
前記識別信号生成回路はタイマー回路の出力に応じて前記識別信号のパルス幅を変化させ、
前記タイマー回路は、前記エラー信号が入力されるとコンデンサを充電し始め、前記コンデンサの電圧が閾値電圧に達するまでの時間を出力し、前記閾値電圧を前記エラー信号の種類に応じて切り替えることを特徴とする請求項４に記載の半導体素子の駆動装置。
【請求項７】
前記識別信号生成回路はタイマー回路の出力に応じて前記識別信号のパルス幅を変化させ、
前記タイマー回路は、前記エラー信号が入力されると基本波を分周して出力し、分周比を前記エラー信号の種類に応じて切り替えることを特徴とする請求項４に記載の半導体素子の駆動装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体素子を駆動する駆動装置に関する。
【背景技術】
【０００２】
三相インバータなどのパワー半導体装置において、複数の半導体素子をそれぞれ駆動するための複数の駆動装置が設けられている。各駆動装置は、半導体素子の状態監視（ＳＣ，ＯＣ，ＯＴ，ＵＶなど）によってエラー信号を検知した場合に、半導体素子の動作遮断（エラー保護動作）と同時に、異常状態を制御装置（ＭＣＵ）側へ知らせるＦＯ機能を有する（例えば、特許文献１参照）。
【０００３】
図１３は、従来の半導体素子の駆動装置を示す図である。図１４は、従来の半導体素子の駆動装置の動作を示すタイミングチャートである。各駆動装置は、ＥＲＲ端子からエラー信号が入力されるとＦＯ端子からＭＣＵに向けて識別信号を出力する。識別信号はエラー信号の種類に応じて異なるパルス幅を持つため、ＭＣＵ側でエラーモードを識別することができる。また、他の駆動装置からの識別信号を入力することで、他の駆動装置でエラー保護動作が行われることを検知し、自身もエラー保護動作を行う。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０１２－１０５４４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
従来の駆動装置では、識別信号の出力とエラー保護動作の検知を同じＦＯ端子で行っていた。このため、識別信号のパルス幅をエラー信号の種類に応じて決めると、その幅よりも長いエラー信号に対応したエラー保護動作を行うことができなかった。一方、識別信号

のパルス幅をエラー信号の長さに合わせると、ＭＣＵ側でエラーモードを識別することができなくなる。

【０００６】

また、複数のエラー信号が連続で入力された場合に識別信号が混ざってしまう。例えば、制御電源低下保護動作（ＵＶ動作）により半導体素子の接合温度が上昇して温度異常検知動作（ＯＴ動作）が働いた場合、どちらのエラーに対しても保護動作が行われる。一方、識別信号としては、エラーのきっかけとなるＵＶ動作に対応する識別信号を先行出力すべきである。しかし、ＵＶ動作に対応する識別信号とＯＴ動作に対応する識別信号が混ざってしまうため、ＭＣＵ側でどちらのエラーか識別することができなかった。

【０００７】

また、３相インバータシステムなどでは、複数の駆動装置のＦＯ端子は一まとめにＭＣＵに接続される。従って、図１４に示すように、自相と他相で連続してエラーが発生すると両相の識別信号が混ざってしまってＭＣＵ側でエラーモードを識別することができなかった。

【０００８】

本発明は、上述のような課題を解決するためになされたもので、その目的は識別信号とは独立してエラー保護動作を行うことができ、出力された識別信号によりエラーモードを識別することができる半導体素子の駆動装置を得るものである。

【課題を解決するための手段】

【０００９】

本発明に係る半導体素子の駆動装置は、半導体素子を駆動する駆動装置であって、入力したエラー信号の種類に応じて異なる識別信号を生成する識別信号生成回路と、前記エラー信号と前記識別信号のうちで長い方のパルス幅を持つ保護動作信号を生成する保護動作信号生成回路と、前記識別信号を入出力する識別信号端子と、前記保護動作信号を入出力する保護動作信号端子と、前記保護動作信号生成回路が生成した自相の保護動作信号及び前記保護動作信号端子から入力した他相の保護動作信号に応じてエラー保護動作を行う保護回路とを備えることを特徴とする。

【発明の効果】

【００１０】

本発明では、エラー信号と識別信号のうちで長い方のパルス幅を持つ保護動作信号を生成する。そして、識別信号を入出力する識別信号端子と、保護動作信号を入出力する保護動作信号端子とを分けて構成する。これにより、識別信号とは独立してエラー保護動作を行うことができる。従って、識別信号のパルス幅よりも長いエラー信号に対応するエラー保護動作も行うことができる。また、エラー信号の種類に応じて異なる識別信号を出力することで、ＭＣＵ側でエラーモードを識別することができる。

【図面の簡単な説明】

【００１１】

【図１】本発明の実施の形態に係る電力変換装置を示す図である。

【図２】本発明の実施の形態に係る半導体素子の駆動装置を示す図である。

【図３】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路を示す図である。

【図４】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。

【図５】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。

【図６】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。

【図７】本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。

【図８】本発明の実施の形態に係るタイマー回路の第１の例を示す図である。

【図９】本発明の実施の形態に係るタイマー回路の第２の例を示す図である。
【図１０】本発明の実施の形態に係るタイマー回路の第３の例を示す図である。
【図１１】本発明の実施の形態に係る他相識別信号優先回路を示す図である。
【図１２】本発明の実施の形態に係る他相識別信号優先回路の動作を示すタイミングチャートである。
【図１３】従来の半導体素子の駆動装置を示す図である。
【図１４】従来の半導体素子の駆動装置の動作を示すタイミングチャートである。
【発明を実施するための形態】
【００１２】
図１は、本発明の実施の形態に係る電力変換装置を示す図である。電力変換装置は、インバータ１と、インバータ１を構成する６個の半導体素子２ａ～２ｆを個別に駆動する駆動装置３ａ～３ｆとを主に備えている。
【００１３】
半導体素子２ａ～２ｆはＩＧＢＴ（Insulated Gate Bipolar Transistor）である。直流電源に接続されて直流電力が供給される正極側ラインＬｐと負極側ラインＬｎとの間に、半導体素子２ａ，２ｄの直列回路と、半導体素子２ｂ，２ｅの直列回路と、半導体素子２ｃ，２ｆの直列回路とがそれぞれ並列に接続されている。フライホイールダイオード４ａ～４ｆがそれぞれ半導体素子２ａ～２ｆに逆並列に接続されている。
【００１４】
半導体素子２ａ，２ｂ，２ｃがそれぞれＵ相、Ｖ相、Ｗ相とされて上アームＵＡが構成され、半導体素子２ｄ，２ｅ，２ｆがそれぞれＸ相、Ｙ相、Ｚ相とされて下アームＬＡが構成されている。半導体素子２ａ，２ｄの接続点と、半導体素子２ｂ，２ｅの接続点と、半導体素子２ｃ，２ｆの接続点とから３相交流電力が出力され、この３相交流電力が電動モータ等の交流負荷に供給されている。
【００１５】
各半導体素子２ａ～２ｆには、コレクタ・エミッタ間を流れる電流を検出する電流センス用トランジスタ５と、各素子と同じチップ内に埋め込まれた温度検出用ダイオード６とが設けられている。電流センス用トランジスタ５のコレクタ及びゲートは対応する半導体素子のコレクタ及びゲートにそれぞれ接続されている。
【００１６】
駆動装置３ａ～３ｆの構成はそれぞれ同じであり、外部の制御装置７（ＭＣＵ）からゲート駆動用のパルス幅変調信号が入力される入力端子ＩＮと、対応する半導体素子のゲートにゲート駆動信号を出力する出力端子ＯＵＴと、エラー端子ＥＲＲ１，ＥＲＲ２，ＥＲＲ３と、識別信号を入出力するＦＯ端子（識別信号端子）と、保護動作信号を入出力するＦＯ＿Ｔ端子（保護動作信号端子）とを有する。駆動装置３ａ～３ｆのＦＯ端子は一まとめに制御装置７に接続されている。駆動装置３ａ～３ｆのＦＯ＿Ｔ端子は互いに接続されている。
【００１７】
エラー端子ＥＲＲ１には各駆動装置に供給されるドライバ電源電圧が入力され、エラー端子ＥＲＲ２は電流センス用トランジスタ５のエミッタに接続され、エラー端子ＥＲＲ３は温度検出用ダイオード６のアノードに接続されている。
【００１８】
図２は、本発明の実施の形態に係る半導体素子の駆動装置を示す図である。入力回路８は、入力端子ＩＮから入力されたパルス幅変調信号に対して波形整形等の信号処理を行う。増幅器９は入力回路８の出力を増幅してゲート駆動信号として出力端子ＯＵＴから出力させる。
【００１９】
エラー信号生成部１０ａ，１０ｂ，１０ｃはエラー端子ＥＲＲ１，ＥＲＲ２，ＥＲＲ３から入力した信号に応じてエラー信号を生成する。具体的には、エラー信号生成部１０ａは、ドライバ電源電圧が所定電圧以下に低下すると、電源電圧低下保護（ＵＶ）に対応す

るエラー信号を出力する。エラー信号生成部１０ｂは、入力した電流センス用トランジスタ５を流れる電流が過電流閾値以上になると、過電流保護（ＯＣ）及び短絡保護（ＳＣ）に対応するエラー信号を出力する。エラー信号生成部１０ｃは、温度検出用ダイオード６の端子間電圧に基づいてチップ温度を検出し、検出したチップ温度が所定過熱閾値以上になると、過熱保護（ＯＴ）に対応するエラー信号を出力する。

【００２０】

識別信号生成回路１１は、入力したエラー信号の種類に応じて異なるパルス幅（Ｄｕｔｙ）を持つ識別信号を生成する。識別信号は、他相識別信号優先回路１２及びトランジスタ１３を介してＦＯ端子から出力される。

【００２１】

保護動作信号生成回路１４は、エラー信号と識別信号のうちで長い方のパルス幅を持つ保護動作信号を生成する。保護動作信号はトランジスタ１５を介してＦＯ＿Ｔ端子から出力される。

【００２２】

保護動作信号生成回路１４から出力された保護動作信号がＡＮＤ回路１６に入力され、ＦＯ＿Ｔ端子から入力された他相の保護動作信号もインバータ１７を介してＡＮＤ回路１６に入力される。ＡＮＤ回路１６の出力が保護回路１８に入力される。保護回路１８は、保護動作信号生成回路１４が生成した自相の保護動作信号及びＦＯ＿Ｔ端子から入力した他相の保護動作信号に応じて半導体素子の動作遮断（エラー保護動作）を行う。

【００２３】

図３は、本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路を示す図である。エラー信号ＥＲＲ１，ＥＲＲ２，ＥＲＲ３がそれぞれＡＮＤ回路１９ａ，１９ｂ，１９ｃ及びインバータ２０ａ，２０ｂ，２０ｃを介してＤフリップフロップ回路２１ａ，２１ｂ，２１ｃのＴ端子に入力される。Ｄフリップフロップ回路２１ａ，２１ｂ，２１ｃのＤ端子にはハイレベルの電圧が印加されている。ＡＮＤ回路１９ａ，１９ｂ，１９ｃの出力とＤフリップフロップ回路２１ａ，２１ｂ，２１ｃの出力がＯＲ回路２２ａ，２２ｂ，２２ｃに入力される。

【００２４】

Ｄフリップフロップ回路２１ａ，２１ｂ，２１ｃの出力ｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄはＯＲ回路２３に入力され、ＯＲ回路２３の出力が識別信号となる。ＯＲ回路２２ａ，２２ｂ，２２ｃの出力ｆｆ１ｑ，ｆｆ２ｑ，ｆｆ３ｑはＯＲ回路２４に入力され、ＯＲ回路２４の出力が保護動作信号となる。

【００２５】

また、ｆｆ１ｑはＯＲ回路２５ｂ，２５ｃに入力され、ｆｆ２ｑはＯＲ回路２５ａ，２５ｃに入力され、ｆｆ３ｑはＯＲ回路２５ａ，２５ｂに入力される。ＯＲ回路２５ａ，２５ｂ，２５ｃの出力はそれぞれＡＮＤ回路１９ａ，１９ｂ，１９ｃに反転入力される。タイマー回路２６はｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄを入力してから所定時間経過後にＤフリップフロップ回路２１ａ，２１ｂ，２１ｃのＲ端子にリセット信号を出力する。

【００２６】

上記の構成のうちＯＲ回路２２ａ，２２ｂ，２２ｃ，２４が保護動作信号生成回路１４に対応し、その他の構成が識別信号生成回路１１に対応する。この識別信号生成回路１１において、Ｄフリップフロップ回路２１ａ，２１ｂ，２１ｃはそれぞれエラー信号ＥＲＲ１，ＥＲＲ２，ＥＲＲ３をエッジトリガとする。Ｄフリップフロップ回路２１ａ，２１ｂ，２１ｃの出力に応じてタイマー回路２６が動作し始め、所定時間経過後にタイマー回路２６はＤフリップフロップ回路２１ａ，２１ｂ，２１ｃをリセットする。このように識別信号生成回路１１はタイマー回路２６の出力に応じて識別信号の出力期間、即ちパルス幅を変化させる。これにより、エラー信号ＥＲＲ１，ＥＲＲ２，ＥＲＲ３の種類に応じて異なるパルス幅を持つ識別信号が生成される。

【００２７】

また、保護動作信号であるｆｆ１ｑ，ｆｆ２ｑ，ｆｆ３ｑの何れかが出力されている場

合には、ＡＮＤ回路１９ａ，１９ｂ，１９ｃ及びＯＲ回路２５ａ，２５ｂ，２５ｃからなる優先回路により他の保護動作信号に対応するＤフリップフロップ回路にエラー信号が入力されなくなる。従って、先に入力した第１のエラー信号に対応する保護動作信号の出力中に第２のエラー信号を入力した場合、識別信号生成回路１１は第２のエラー信号に対応する識別信号を生成しない。

【００２８】

図４～図７は、本発明の実施の形態に係る識別信号生成回路及び保護動作信号生成回路の動作を示すタイミングチャートである。図４に示すように、エラー信号ＥＲＲ１が入力されると、パルス幅ｔ１の保護動作信号ｆｆ１ｑが生成される。保護動作信号ｆｆ１ｑが出力された後にエラー信号ＥＲＲ２が入力されると、パルス幅ｔ２の保護動作信号ｆｆ２ｑが生成される。

【００２９】

一方、図５に示すように、保護動作信号ｆｆ１ｑの出力中にエラー信号ＥＲＲ２が入力されてもＤフリップフロップ回路２１ｂに入力されず、エラー信号ＥＲＲ２に対応する識別信号及び保護動作信号は生成されない。

【００３０】

また、図６に示すように、エラー信号ＥＲＲ１のパルス幅ｔｅｒｒがそれに対応する識別信号ｆｆ１ｄのパルス幅ｔ１より短い場合には、識別信号ｆｆ１ｄと同じパルス幅ｔ１の保護動作信号ｆｆ１ｑが生成される。

【００３１】

一方、図７に示すように、エラー信号ＥＲＲ１のパルス幅ｔｅｒｒがそれに対応する識別信号ｆｆ１ｄのパルス幅ｔ１より長い場合には、エラー信号ＥＲＲ１と同じパルス幅ｔｅｒｒの保護動作信号ｆｆ１ｑが生成される。従って、識別信号のパルス幅よりも長いエラー信号に対応するエラー保護動作も行うことができる。

【００３２】

図８は、本発明の実施の形態に係るタイマー回路の第１の例を示す図である。エラー信号に対応するｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄがＯＲ回路２７に入力され、その出力がＮＯＲ回路２８に入力される。ＮＯＲ回路２８の出力に応じてトランジスタ２９がコンデンサ３０と接地点の間をＯＮ／ＯＦＦする。ｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄの何れかが入力されるとトランジスタ２９がＯＦＦし、電流源３１がコンデンサ３０を充電し始める。コンパレータ３２はコンデンサ３０の電圧が閾値電圧Ｖに達するまでの時間を出力する。

【００３３】

第１の例では、コンデンサ３０を充電する電流源３１の電流値をエラー信号の種類に応じてセレクタ３３が選択する。これにより、エラー信号の種類に応じて異なるパルス幅を持つ識別信号を生成することができる。また、電流値の選択はカレントミラー部の変更のみで構成できるため、回路を簡素化できる。

【００３４】

図９は、本発明の実施の形態に係るタイマー回路の第２の例を示す図である。第２の例のタイマー回路２６では、セレクタ３４が閾値電圧Ｖ１，Ｖ２，Ｖ３をエラー信号の種類に応じて切り替える。これにより、エラー信号の種類に応じて異なるパルス幅を持つ識別信号を生成することができる。また、コンパレータ３２の場合、内部電源と抵抗分割によって比較的精度の高い閾値電圧を内部で生成できるため、識別信号の出力期間の精度を高くする事ができる。

【００３５】

図１０は、本発明の実施の形態に係るタイマー回路の第３の例を示す図である。ｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄがＮＯＲ回路３５に入力され、その出力に応じてトランジスタ２９が三角波生成回路３６と接地点の間をＯＮ／ＯＦＦする。エラー信号に対応するｆｆ１ｄ，ｆｆ２ｄ，ｆｆ３ｄの何れかが入力されるとトランジスタ２９がＯＦＦし、三角波生成回路３６が生成した基本波がコンパレータ３２から出力される。この基本波をＴフリップフロップ回路３７ａ，３７ｂ，３７ｃが分周する。セレクタ３８は分周比Ｎをエラー信

号の種類に応じて切り替えて、分周したパルス信号を出力する。これにより、基本波がばらついた場合でもそのＮ倍のパルス幅を生成できるため、プロセスばらつきに強く、相対的な精度が高い出力を得ることができる。

【００３６】

図１１は、本発明の実施の形態に係る他相識別信号優先回路を示す図である。ここでは駆動装置３ａ～３ｆの何れか２つをＡ相とＢ相の駆動装置として例示している。また、駆動装置内において他相識別信号優先回路１２周辺の構成以外は省略している。

【００３７】

立ち上がりエッジ検出部３８は、自相の識別信号の立ち上がりエッジに合わせてワンショットパルスを出力する。立ち下がりエッジ検出部３９は、自相の識別信号の立ち下がりエッジに合わせてワンショットパルスを出力する。立ち上がりエッジ検出部３８の出力がＯＲ回路４０に入力され、立ち下がりエッジ検出部３９の出力もＡＮＤ回路４１を介してＯＲ回路４０に入力される。ＦＯ端子を介して入力された他相の識別信号がＤフリップフロップ回路４２のＤ端子に入力され、かつインバータ４３を介してＡＮＤ回路４１に入力される。ＯＲ回路４０の出力はＤフリップフロップ回路４２のＴ端子に入力される。Ｄフリップフロップ回路４２の出力によりトランジスタ１３がＯＮ／ＯＦＦする。

【００３８】

図１２は、本発明の実施の形態に係る他相識別信号優先回路の動作を示すタイミングチャートである。ＦＯ端子から他相の識別信号が入力されている場合には、Ｄ端子入力はローレベルになるため、立ち上がりエッジ検出部３８からワンショットパルスがＴ端子に入力されても、Ｄフリップフロップ回路４２のＱ端子からの出力は無い。従って、他相識別信号優先回路１２は、ＦＯ端子から他相の識別信号が入力されている状態では、自相の識別信号をＦＯ端子から出力させない。

【００３９】

以上、説明したように、本実施の形態では、エラー信号と識別信号のうちで長い方のパルス幅を持つ保護動作信号を生成する。そして、識別信号を入出力するＦＯ端子と、保護動作信号を入出力するＦＯ＿Ｔ端子とを分けて構成する。これにより、識別信号とは独立してエラー保護動作を行うことができる。従って、識別信号のパルス幅よりも長いエラー信号に対応するエラー保護動作も行うことができる。また、エラー信号の種類に応じて異なるパルス幅を持つ識別信号を出力することで、ＭＣＵ側でエラーモードを識別することができる。

【００４０】

また、先に入力した第１のエラー信号に対応する保護動作信号の出力中に第２のエラー信号を入力した場合、識別信号生成回路１１は第２のエラー信号に対応する識別信号を生成しない。これにより、自相内において複数のエラーが連続して発生した場合でもそれらに対応する識別信号が混ざることはないため、ＭＣＵ側でエラーモードを識別することができる。

【００４１】

また、他相識別信号優先回路１２は、ＦＯ端子から他相の識別信号が入力されている状態では、自相の識別信号をＦＯ端子から出力させない。即ち、他相から識別信号が出力されている状態であれば、自相からの識別信号の出力を控える。これにより、自相と他相で連続してエラーが発生した場合でも両相の識別信号が混ざることはないため、ＭＣＵ側でエラーモードを識別することができる。

【００４２】

また、識別信号生成回路１１において識別信号のパルス幅の変更はタイマー回路により実現できるため、回路を簡素化できる。

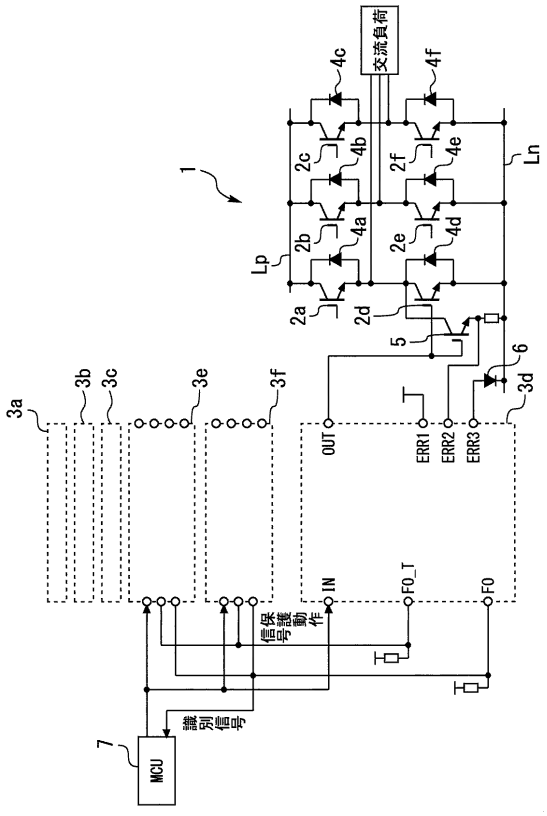
【符号の説明】

【００４３】

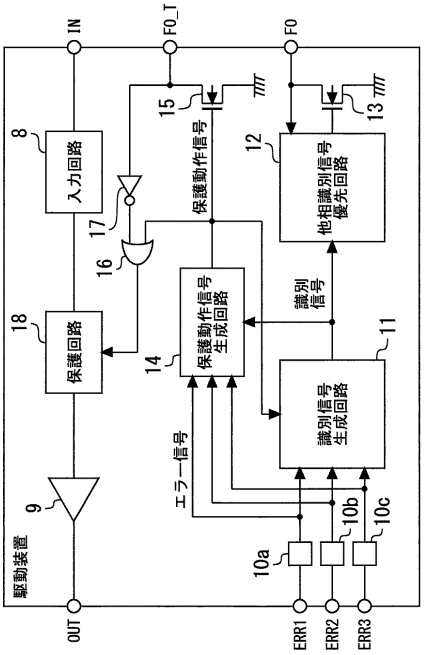
２ａ～２ｆ　半導体素子、３ａ～３ｆ　駆動装置、１１　識別信号生成回路、１２　他相識別信号優先回路、１４　保護動作信号生成回路、１８　保護回路、２６　タイマー回路

、３０　コンデンサ

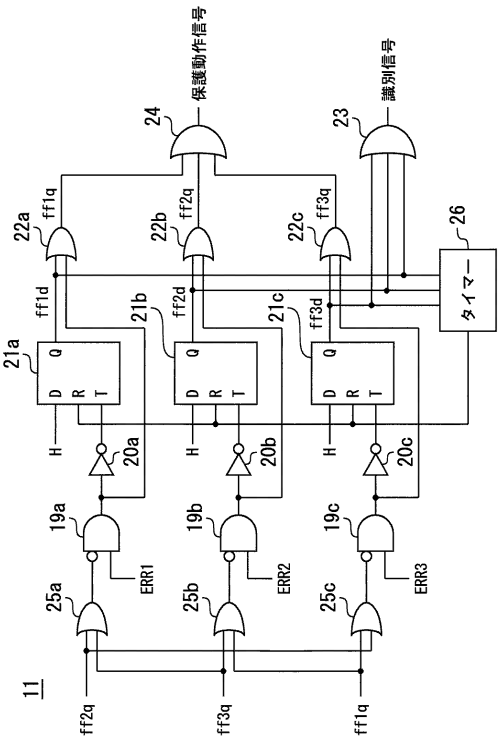
【図１】



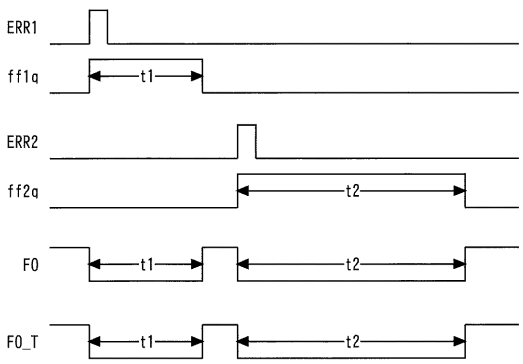
【図２】



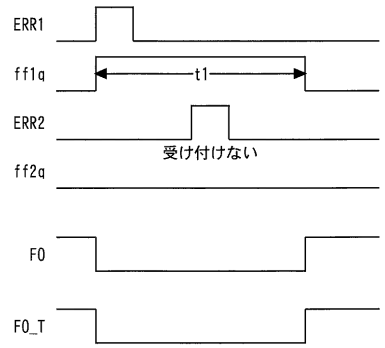
【図３】



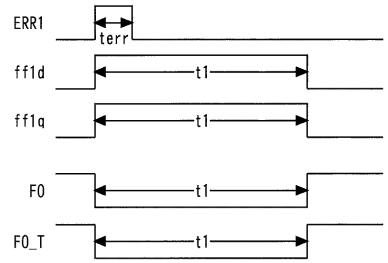
【図４】



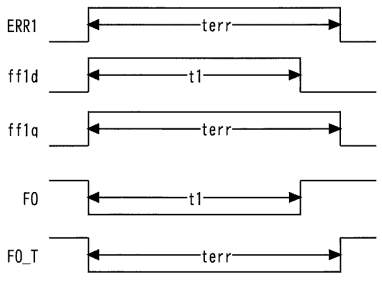
【図５】



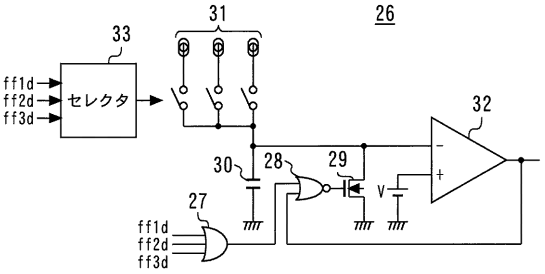
【図６】



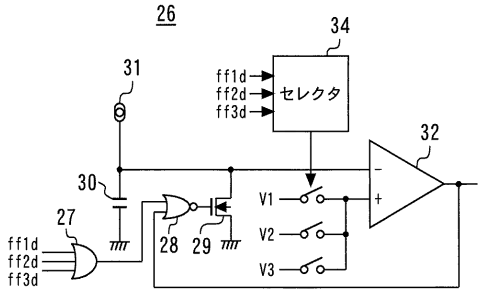
【図７】



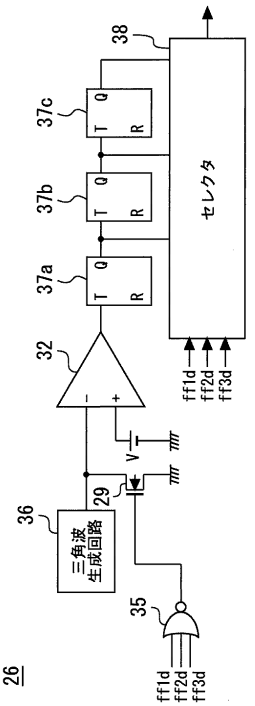
【図８】



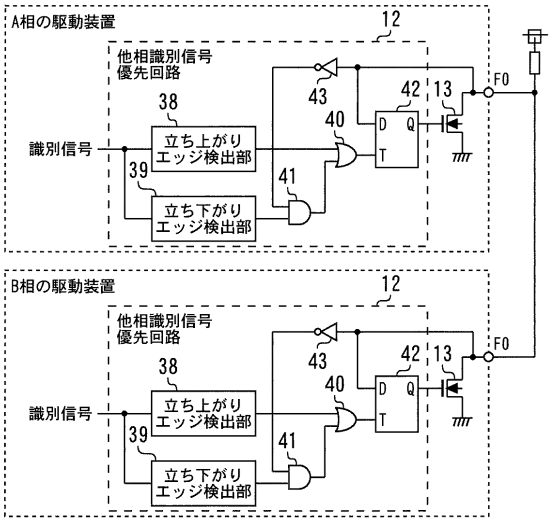
【図９】



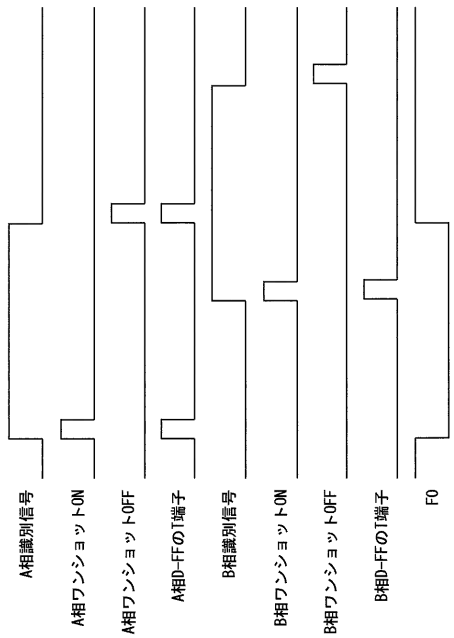
【図１０】



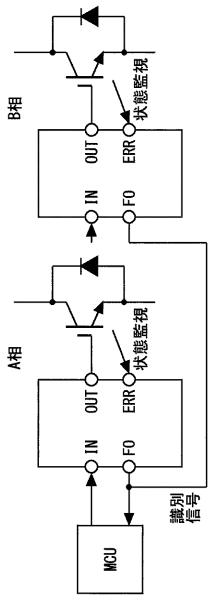
【図１１】



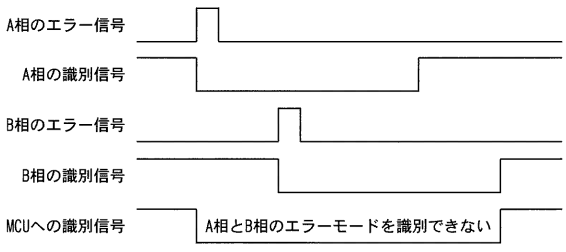
【図１２】



【図１３】



【図１４】



フロントページの続き

(72)発明者　堺　憲治
福岡県福岡市西区今宿東一丁目１番１号　メルコセミコンダクタエンジニアリング株式会社内
(72)発明者　仲島　天貴
福岡県福岡市西区今宿東一丁目１番１号　メルコセミコンダクタエンジニアリング株式会社内

審査官　麻生　哲朗

(56)参考文献　特開平１１－１７５０８（ＪＰ，Ａ）
特開２０１０－６３３２７（ＪＰ，Ａ）
特開２０１０－６８６７６（ＪＰ，Ａ）
特開２０１３－２３６２９５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　　７／４８
Ｈ０３Ｋ　１７／２８