(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105097902 A
(43)申请公布日 2015.11.25

(21)申请号 201510319258.2

(22)申请日 2015.06.11

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 田宏伟 牛亚男 左岳平 徐文清 许晓伟

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274
代理人 申健

(51)Int.Cl.
H01L 29/66(2006.01)
H01L 21/28(2006.01)
H01L 29/423(2006.01)
H01L 29/786(2006.01)

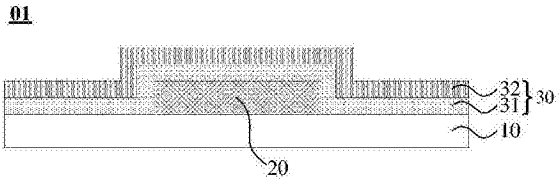
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种薄膜晶体管、阵列基板及其制备方法、显示装置

(57)摘要

本发明实施例提供了一种薄膜晶体管、阵列基板及其制备方法、显示装置，涉及显示技术领域，可有效改善与有源层相接触的绝缘层的界面缺陷，提高TFT导通时的电性能稳定性。该制备方法包括：在衬底基板上形成逐层设置且相互接触的有源层以及绝缘层的步骤；形成所述绝缘层的步骤包括：形成至少一层第一绝缘层；所述至少一层第一绝缘层中的一层与所述有源层相接触；其中，形成所述第一绝缘层的步骤包括：形成由硅氧化物构成的第一绝缘薄膜；利用含填充原子的修复源，对所述第一绝缘薄膜进行修复处理，以使所述第一绝缘薄膜中的至少部分硅悬挂键结合所述填充原子，形成第一绝缘层。用于薄膜晶体管及包括该薄膜晶体管的阵列基板、显示装置的制备。



CN 105097902 A

1. 一种薄膜晶体管的制备方法，其特征在于，所述制备方法包括：在衬底基板上形成逐层设置且相互接触的有源层以及绝缘层的步骤；

形成所述绝缘层的步骤包括：形成至少一层第一绝缘层；其中，所述至少一层第一绝缘层中的一层与所述有源层相接触；

形成所述第一绝缘层的步骤包括：

形成由硅氧化物构成的第一绝缘薄膜；

利用含填充原子的修复源，对所述第一绝缘薄膜进行修复处理，以使所述第一绝缘薄膜中的至少部分硅悬挂键结合所述填充原子，形成第一绝缘层。

2. 根据权利要求 1 所述的制备方法，其特征在于，所述填充原子为氧原子。

3. 根据权利要求 2 所述的制备方法，其特征在于，所述含填充原子的修复源为含氧等离子体。

4. 根据权利要求 3 所述的制备方法，其特征在于，所述含氧等离子体为 N_2O 等离子体和 / 或 O_2 等离子体。

5. 根据权利要求 3 所述的制备方法，其特征在于，所述形成所述第一绝缘层的步骤，具体包括：

以 N_2O 等离子体、SiH_4 等离子体为反应源，形成由硅氧化物构成的第一绝缘薄膜；

停止 SiH_4 等离子体的通入，在预设时间内继续通入所述 N_2O 等离子体，利用所述 N_2O 等离子体，对所述第一绝缘薄膜进行修复处理，以使所述第一绝缘薄膜中的硅悬挂键结合氧原子，形成所述第一绝缘层。

6. 根据权利要求 5 所述的制备方法，其特征在于，所述预设时间为 20 ～ 80s。

7. 根据权利要求 5 所述的制备方法，其特征在于，形成的所述第一绝缘薄膜的厚度为 2 ～ 10nm。

8. 根据权利要求 1 至 7 任一项所述的制备方法，其特征在于，所述形成所述绝缘层的步骤包括：形成两层或三层所述第一绝缘层。

9. 根据权利要求 1 至 7 任一项所述的制备方法，其特征在于，形成所述绝缘层的步骤还包括：形成远离所述有源层的第二绝缘层；

其中，针对所述绝缘层位于所述有源层远离所述衬底基板一侧的情况，所述形成所述绝缘层的步骤具体包括：

依次形成所述第一绝缘层、所述第二绝缘层；

针对所述绝缘层位于所述有源层靠近所述衬底基板一侧的情况，所述形成所述绝缘层的步骤具体包括：

依次形成所述第二绝缘层、所述第一绝缘层。

10. 根据权利要求 9 所述的制备方法，其特征在于，所述第二绝缘层由硅氧化物和 / 或硅氮化物构成。

11. 一种薄膜晶体管，其特征在于，所述薄膜晶体管包括：位于衬底基板上的逐层设置且相互接触的有源层以及绝缘层；

所述绝缘层包括：至少一层第一绝缘层；其中，所述至少一层第一绝缘层中的一层与所述有源层相接触；

所述第一绝缘层为利用含填充原子的修复源对第一绝缘薄膜进行修复处理得到的；所

述第一绝缘薄膜由硅氧化物构成；所述修复处理用于使所述第一绝缘薄膜中的至少部分硅悬挂键结合所述填充原子。

12. 根据权利要求 11 所述的薄膜晶体管，其特征在于，所述填充原子为氧原子。

13. 根据权利要求 12 所述的薄膜晶体管，其特征在于，所述第一绝缘层的厚度为 2 ～ 10nm。

14. 根据权利要求 11 所述的薄膜晶体管，其特征在于，所述绝缘层包括两层或三层所述第一绝缘层。

15. 根据权利要求 11 所述的薄膜晶体管，其特征在于，所述绝缘层还包括：远离所述有源层的第二绝缘层。

16. 根据权利要求 15 所述的薄膜晶体管，其特征在于，所述第二绝缘层由硅氧化物和 / 或硅氮化物构成。

17. 根据权利要求 11 至 16 任一项所述的薄膜晶体管，其特征在于，所述绝缘层为所述薄膜晶体管中的栅绝缘层和 / 或刻蚀阻挡层。

18. 一种阵列基板的制备方法，所述制备方法包括在衬底基板上形成薄膜晶体管的步骤；其特征在于，所述薄膜晶体管采用上述权利要求 1 至 10 任一项所述的制备方法获得。

19. 一种阵列基板，其特征在于，所述阵列基板包括位于衬底基板上的如上述权利要求 11 至 17 任一项所述的薄膜晶体管。

20. 一种显示装置，其特征在于，所述显示装置包括如上述权利要求 19 所述的阵列基板。

一种薄膜晶体管、阵列基板及其制备方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种薄膜晶体管、阵列基板及其制备方法、显示装置。

背景技术

[0002] 薄膜晶体管(Thin Film Transistor，简称TFT)由于其良好的开关特性，目前已广泛应用于平板显示装置。薄膜晶体管通常由栅极、有源层、源极和漏极构成；其中，源极和漏极分设于有源层的两端且分别与有源层相接触。

[0003] 在TFT中，有源层总是与一个绝缘层相邻接；其中，绝缘层的材料通常由氧化硅构成，氧化硅材料在制备过程中，在与有源层相接触的界面处会产生大量的硅悬挂键，导致界面态密度较大，使得TFT导通时产生有源层载流子迁移率下降、亚阈值电压(V_{th})摆幅增大、漏电流(I_{off})增大等诸如缺陷，降低了TFT导通时的电性能稳定性。

发明内容

[0004] 本发明的实施例提供一种薄膜晶体管、阵列基板及其制备方法、显示装置，可有效改善与有源层相接触的绝缘层的界面缺陷，提高TFT导通时的电性能稳定性。

[0005] 为达到上述目的，本发明的实施例采用如下技术方案：

[0006] 一方面、本发明实施例提供了一种薄膜晶体管的制备方法，所述制备方法包括：在衬底基板上形成逐层设置且相互接触的有源层以及绝缘层的步骤；形成所述绝缘层的步骤包括：形成至少一层第一绝缘层；其中，所述至少一层第一绝缘层中的一层与所述有源层相接触；形成所述第一绝缘层的步骤包括：形成由硅氧化物构成的第一绝缘薄膜；利用含填充原子的修复源，对所述第一绝缘薄膜进行修复处理，以使所述第一绝缘薄膜中的至少部分硅悬挂键结合所述填充原子，形成第一绝缘层。

[0007] 优选的，所述填充原子为氧原子。

[0008] 进一步优选的，所述含填充原子的修复源为含氧等离子体。

[0009] 进一步优选的，所述含氧等离子体为N_2O等离子体和/或O_2等离子体。

[0010] 进一步优选的，所述形成所述第一绝缘层的步骤，具体包括：以N_2O等离子体、SiH_4等离子体为反应源，形成由硅氧化物构成的第一绝缘薄膜；停止SiH_4等离子体的通入，在预设时间内继续通入所述N_2O等离子体，利用所述N_2O等离子体，对所述第一绝缘薄膜进行修复处理，以使所述第一绝缘薄膜中的硅悬挂键结合氧原子，形成所述第一绝缘层。

[0011] 进一步优选的，所述预设时间为20～80s。

[0012] 进一步优选的，形成的所述第一绝缘薄膜的厚度为2～10nm。

[0013] 在上述基础上优选的，所述形成所述绝缘层的步骤包括：形成两层或三层所述第一绝缘层。

[0014] 在上述基础上优选的，形成所述绝缘层的步骤还包括：形成远离所述有源层的第二绝缘层；其中，针对所述绝缘层位于所述有源层远离所述衬底基板一侧的情况，所述形成

所述绝缘层的步骤具体包括：依次形成所述第一绝缘层、所述第二绝缘层；针对所述绝缘层位于所述有源层靠近所述衬底基板一侧的情况，所述形成所述绝缘层的步骤具体包括：依次形成所述第二绝缘层、所述第一绝缘层。

[0015] 进一步优选的，所述第二绝缘层由硅氧化物和/或硅氮化物构成。

[0016] 本发明实施例还提供了一种薄膜晶体管，所述薄膜晶体管包括：位于衬底基板上的逐层设置且相互接触的有源层以及绝缘层；所述绝缘层包括：至少一层第一绝缘层；其中，所述至少一层第一绝缘层中的一层与所述有源层相接触；所述第一绝缘层为利用含填充原子的修复源对第一绝缘薄膜进行修复处理得到的；所述第一绝缘薄膜由硅氧化物构成；所述修复处理用于使所述第一绝缘薄膜中的至少部分硅悬挂键结合所述填充原子。

[0017] 优选的，所述填充原子为氧原子。

[0018] 优选的，所述第一绝缘层的厚度为2～10nm。

[0019] 优选的，所述绝缘层包括两层或三层所述第一绝缘层。

[0020] 优选的，所述绝缘层还包括：远离所述有源层的第二绝缘层。

[0021] 优选的，所述第二绝缘层由硅氧化物和/或硅氮化物构成。

[0022] 在上述基础上优选的，所述绝缘层为所述薄膜晶体管中的栅绝缘层和/或刻蚀阻挡层。

[0023] 另一方面、本发明实施例还提供了一种阵列基板的制备方法，所述制备方法包括在衬底基板上形成薄膜晶体管的步骤；所述薄膜晶体管采用上述任一项所述的制备方法获得。

[0024] 本发明实施例还提供了一种阵列基板，所述阵列基板包括位于衬底基板上的如上述任一项所述的薄膜晶体管。

[0025] 再一方面、本发明实施例又提供了一种显示装置，所述显示装置包括上述所述的阵列基板。

[0026] 基于此，通过本发明实施例提供的上述薄膜晶体管的制备方法，在形成靠近有源层的第一绝缘层时，利用能够与构成第一绝缘层的第一绝缘薄膜中的硅悬挂键结合的填充原子，填充第一绝缘薄膜中的硅悬挂键，相当于对界面处的第一绝缘层进行了修复，避免由于界面处存在大量硅悬挂键而导致TFT导通时出现有源层中载流子迁移率下降、亚阈值电压V_{th}摆幅增大、漏电流I_{off}增大等诸如缺陷，提高了TFT导通时的电性能稳定性。

附图说明

[0027] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0028] 图1a为本发明实施例提供的一种薄膜晶体管的剖面结构示意图一；

[0029] 图1b为本发明实施例提供的一种薄膜晶体管的剖面结构示意图二；

[0030] 图1c为本发明实施例提供的一种薄膜晶体管的剖面结构示意图三；

[0031] 图1d为本发明实施例提供的一种薄膜晶体管的剖面结构示意图四；

[0032] 图2为本发明实施例提供的一种薄膜晶体管的制备方法中步骤S01的结构示意

图；

[0033] 图 3 为本发明实施例提供的一种薄膜晶体管的制备方法中步骤 S02 的结构示意图；

[0034] 图 4 为对应于图 2 中形成的第一绝缘薄膜在界面处的晶格结构示意图；

[0035] 图 5 为对应于图 3 中采用填充原子 R 对第一绝缘薄膜 310 中的硅悬挂键进行填充后在界面处的晶格结构示意图；

[0036] 图 6a 为本发明实施例提供的一种薄膜晶体管的剖面结构示意图五；

[0037] 图 6b 为本发明实施例提供的一种薄膜晶体管的剖面结构示意图六；

[0038] 图 6c 为本发明实施例提供的一种薄膜晶体管的剖面结构示意图七。

[0039] 附图标记：

[0040] 01- 薄膜晶体管；10- 衬底基板；20- 有源层；30- 绝缘层；31- 第一绝缘层；310- 第一绝缘薄膜；32- 第二绝缘层；40- 栅极；50- 层间绝缘层；61- 源极；62- 漏极。

具体实施方式

[0041] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0042] 需要指出的是，除非另有定义，本发明实施例中所使用的所有术语（包括技术和科学术语）具有与本发明所属领域的普通技术人员共同理解的相同含义。还应当理解，诸如在通常字典里定义的那些术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义，而不应用理想化或极度形式化的意义来解释，除非这里明确地这样定义。

[0043] 并且，本发明专利申请说明书以及权利要求书中所使用的术语“上”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

[0044] 本发明实施例提供了一种薄膜晶体管 01 的制备方法，该制备方法包括：如图 1a 或图 1b 所示，在衬底基板 10 上形成逐层设置且相互接触的有源层 20 以及绝缘层 30 的步骤；形成上述绝缘层 30 的步骤包括：形成至少一层第一绝缘层 31；其中，至少一层第一绝缘层 31 中的一层与上述的有源层 20 相接触；其中，形成上述第一绝缘层 31 的步骤具体包括：

[0045] S01、如图 2 所示，形成由硅氧化物构成的第一绝缘薄膜 310；

[0046] S02、如图 3 所示，利用含填充原子的修复源，对上述的第一绝缘薄膜 310 进行修复处理，以使第一绝缘薄膜 310 中的至少部分硅悬挂键结合填充原子，形成第一绝缘层 31。

[0047] 需要说明的是，第一、为方便理解本发明，现对本发明实施例中涉及到的“硅悬挂键”概念进行如下说明。

[0048] 在材料的界面处，由于晶格在表面处突然终止或才开始形成晶格，在表面的最外层的每个原子将有一个未配对的电子，即有一个未饱和的键，这个键称为悬挂键。

[0049] 如图 4 所示，在形成的第一绝缘薄膜 310 与有源层 20 相互接触的界面处，硅原子 (Si) 中存在未饱和的悬挂键（如图中虚线框所示），由于具有未饱和悬挂键的硅原子 Si 能

量高、体系稳定性差，其具有向能量低、体系稳定性高发展的趋势。而界面处的硅原子 Si 总是倾向于结合更多的原子已达到更为稳定的结构。因此，当上述 TFT 导通时，由于界面处存在大量的硅悬挂键，这些硅悬挂键会向有源层 20 掠夺原子以形成稳定结构，从而导致 TFT 出现有源层载流子迁移率下降、亚阈值电压 V_{th} 摆幅增大、漏电流 I_{off} 增大等诸如缺陷，降低了 TFT 导通时的电性能稳定性。

[0050] 而如图 5 所示，本发明实施例利用能够与第一绝缘薄膜 310 中的硅悬挂键结合的填充原子（图中及下文中均标记为 R），来填充第一绝缘薄膜 310 中的硅悬挂键，使得与有源层 20 相互接触的界面处的硅原子 (Si) 形成稳定的结构，从而避免上述 TFT 导通时出现有源层载流子迁移率下降、亚阈值电压 V_{th} 摆幅增大、漏电流 I_{off} 增大等诸如缺陷，提高了 TFT 导通时的电性能稳定性。

[0051] 这里，含填充原子的修复源可以为气体状物质，如等离子体 (plasma)；其中，等离子体是由部分电子被剥夺后的原子及原子团被电离后产生的由正负电子组成的离子化气体状物质。

[0052] 上述的填充原子 R 可以是任何能够与硅悬挂键结合形成具有一定稳定性的原子，例如可以为 O 原子、S 原子等，具体不作限定。

[0053] 但应当理解的是，图 5 所示出的对硅悬挂键进行的填充是一种理想情况，本发明及其实施例并不要求所有的硅悬挂键都被填充，只要有部分硅悬挂键被上述填充原子 R 所填充，则相对于现有技术而言，TFT 的稳定性即得到了提高。

[0054] 也即是，在本发明实施例中，可以是利用填充原子 R 对部分的硅悬挂键进行填充，当然也可以是对所有的硅悬挂键进行填充，可根据上述步骤 S02 的修复量及修复时间进行调整。

[0055] 第二、上述的逐层设置且相互接触的有源层 20 与绝缘层 30 的上下相对位置可根据待形成的 TFT 的具体类型不同灵活调整，具体如下所述：

[0056] (1)、参考图 1a 所示，相对于衬底基板 10 而言，有源层 20 可以位于绝缘层 30 的下方，即待形成的 TFT 的具体类型为顶栅型 (top gate，栅极位于有源层远离衬底基板的一侧)。此种情况下，上述的绝缘层 30 具体可以为 TFT 中使栅极与有源层 20 相互绝缘开的栅绝缘层 (Gate Insulation，简称 GI)，或者为刻蚀阻挡层 (Etch Stop Layer，简称 ESL)，以避免通过刻蚀等工艺在有源层 20 上形成源极与漏极时对有源层 20 产生影响。

[0057] (2)、参考图 1b 所示，相对于衬底基板 10 而言，有源层 20 可以位于绝缘层 30 的上方，即待形成的 TFT 的具体类型为底栅型 (bottom gate，栅极位于有源层靠近于衬底基板的另一侧)。此种情况下，上述的绝缘层 30 具体也可以为 TFT 中的栅绝缘层 GI，或者刻蚀阻挡层 ESL。

[0058] 第三、根据待形成的绝缘层 30 的设定厚度要求，上述步骤 S01 ～ S02 可重复适当次数，即在上述绝缘层 30 靠近有源层 20 的一侧形成有数层的第一绝缘层 31。

[0059] 考虑到重复次数过多对硅悬挂键进行修复的效果没有显著地提高，还会延长绝缘层 30 整体形成工艺时间，降低生产效率。因此，上述步骤 S01 ～ S02 优选地重复 1 ～ 2 次，即：形成的上述绝缘层 30 包括两层或三层上述的第一绝缘层 31。

[0060] 这里，以上述步骤 S01 ～ S02 重复 1 次为例，如图 1c 或图 1d 所示，即形成的上述绝缘层 30 包括有两层的上述第一绝缘层 31；其中，每层第一绝缘层 31 都经过上述的形成

第一绝缘薄膜310，之后进行上述的修复过程。

[0061] 其中，参考图1c所示，当相对于衬底基板10而言，有源层20位于绝缘层30的下方时，上述的两层第一绝缘层31依次位于有源层20的上方，其中相对较里侧的一层第一绝缘层31与有源层20相接触；参考图1d所示，当相对于衬底基板10而言，有源层20位于绝缘层30的上方时，上述的两层第一绝缘层31依次位于有源层20的下方，其中相对较外侧的一层第一绝缘层31与有源层20相接触。

[0062] 第四、第一绝缘薄膜310由硅氧化物构成，该硅氧化物（SiO_x）的化学式例如可以为SiO、SiO_2、Si_2O_6；有源层20可以由低温多晶硅（Low Temperature Poly Silicon，LTPS）、氧化物半导体等材料构成，具体不作限定。

[0063] 基于此，通过本发明实施例提供的上述制备方法，在形成靠近有源层20的第一绝缘层31时，利用能够与构成第一绝缘层31的第一绝缘薄膜310中的硅悬挂键结合的填充原子，填充第一绝缘薄膜310中的硅悬挂键，相当于对界面处的第一绝缘层31进行了修复，避免由于界面处存在大量硅悬挂键而导致TFT导通时出现有源层20中载流子迁移率下降、亚阈值电压V_{th}摆幅增大、漏电流I_{off}增大等诸如缺陷，提高了TFT导通时的电性能稳定性。

[0064] 在上述基础上，考虑到第一绝缘薄膜310为SiO、SiO_2、Si_2O_6等硅氧化物，因此优选的，上述填充原子R采用与构成第一绝缘薄膜310相同元素的为氧原子，以提高第一绝缘薄膜310硅氧化物结构的稳定性。

[0065] 进一步的，上述步骤S02具体包括，利用含氧等离子体，填充第一绝缘薄膜310中的硅悬挂键，形成第一绝缘层31。

[0066] 上述的含氧等离子体可以为N_2O等离子体或O_2等离子体等，具体不作限定；其中，等离子体（plasma）是由部分电子被剥夺后的原子及原子团被电离后产生的由正负电子组成的离子化气体状物质。

[0067] 这里，相对于衬底基板10，针对待形成的第一绝缘层31位于有源层20上方的情况，由于第一绝缘薄膜310是上述绝缘层30中在有源层20表面初步形成的部分，其内部的Si-O键处于一种不稳定的状态，而这种不稳定的状态随时有可能受到外界影响被破坏，进而形成新的硅悬挂键。而本发明实施例中，对初步形成的上述第一绝缘薄膜310进行等离子体的修复处理，利用等离子体所携带的高能量打断这些不稳定的Si-O键，形成的新的硅悬挂键就会结合含氧等离子体中的氧原子，从而形成新的稳定的Si-O键。

[0068] 因此，本发明实施例更优选地适用于参考图1a所示的相对于衬底基板10而言，有源层20位于绝缘层30下方的TFT结构。

[0069] 当然，上述的步骤S02具体也可以是在氧化性气氛下进行的，从而将氧原子结合到未饱和的硅悬挂键。

[0070] 以含氧等离子体为N_2O为例，上述形成第一绝缘层31的步骤具体可采用以下实施方式进行：

[0071] S11、参考图2所示，以N_2O等离子体、SiH_4等离子体为反应源，形成由硅氧化物构成的第一绝缘薄膜310；其中，上述的反应式为：

[0072]

$$N_2O\ (\text{过量}) + SiH_4 \Rightarrow SiO_x + NH_3;$$

[0073] 这里，考虑到形成的第一绝缘层31的绝缘性能，通过的N_2O的量为通入的SiH_4量

的几十倍。

[0074] S12、参考图 3 所示，停止 SiH_4 等离子体的通入，在预设时间内继续通入 N_2O 等离子体，利用 N_2O 等离子体，对第一绝缘薄膜 310 进行修复处理，以使第一绝缘薄膜 310 中的硅悬挂键结合氧原子 R，形成第一绝缘层 31。

[0075] 这里，考虑到第一绝缘薄膜的厚度过小时，其还未稳定地形成；厚度过大时，则会削弱上述的修复作用，因此优选地，形成的第一绝缘薄膜的厚度范围优选地为 2 ～ 10nm。

[0076] 需要指出的是，上述的 N_2O 等离子体为在步骤 S11 中形成第一绝缘薄膜 310 体系环境中就存在有的反应源，其浓度并未改变，因此，利用体系中本来就存在有的气氛对第一绝缘薄膜 310 进行修复，可以避免造成第一绝缘层 31 产生结构性分层的缺陷。

[0077] 进一步的，上述的预设时间为 20 ～ 80s；这里，由于上述步骤 S12 利用体系中本来就存在有的气氛对第一绝缘薄膜 310 进行修复，这一过程类似于现有技术中的低速沉积薄膜（通常是指沉膜速度小于100Å/s）；因此，设定上述的预设时间为 20 ～ 80s，不会显著延长形成上述绝缘层 30 的整体工艺时间，使得本发明实施例提供的上述方法可实际应用于量产技术。

[0078] 进一步的，形成上述绝缘层 30 的步骤还包括：形成远离有源层 20 的第二绝缘层 32。

[0079] 其中，参考图 1a 所示，针对绝缘层 30 位于有源层 20 远离衬底基板一侧的情况，所述形成上述绝缘层 30 的步骤具体包括：依次形成第一绝缘层 31、第二绝缘层 32；其中，第二绝缘层 32 可以由硅氧化物和 / 或硅氮化物构成。

[0080] 这里，针对第二绝缘层 32 由硅氧化物构成的情况，可以在上述步骤 S11 ～ S12 之后，继续通入 SiH_4 等离子体，以形成由 SiO、SiO_2、Si_2O_6 等硅氧化物构成的第二绝缘层 32。

[0081] 参考图 1b 所示，针对绝缘层 30 位于有源层 20 靠近衬底基板一侧的情况，所述形成上述绝缘层 30 的步骤具体包括：依次形成第二绝缘层 32、第一绝缘层 31；其中，第二绝缘层 32 可以由硅氧化物和 / 或硅氮化物构成。

[0082] 在上述基础上，本发明实施例还提供了一种采用上述制备方法获得的薄膜晶体管 01，参考图 1a 或图 1b 所示，该薄膜晶体管 01 包括：位于衬底基板 10 上的逐层设置且相互接触的有源层 20 以及绝缘层 30；上述的绝缘层 30 包括：至少一层第一绝缘层 31；其中，至少一层第一绝缘层 31 中的一层与有源层 20 相接触；上述的第一绝缘层 31 为利用含填充原子 R 的修复源对第一绝缘薄膜 310 进行修复处理得到的；第一绝缘薄膜 310 由硅氧化物构成；上述的修复处理用于使第一绝缘薄膜 310 中的至少部分硅悬挂键结合上述的填充原子 R。

[0083] 进一步的，如图 6a 所示，当上述薄膜晶体管 01 的类型为顶栅型时，上述绝缘层 30 可以为薄膜晶体管 01 中的栅绝缘层 GI。

[0084] 具体的，该薄膜晶体管 01 包括依次位于衬底基板 10 上的有源层 20、绝缘层 30、栅极 40、层间绝缘层 (Inter layer Dielectric，简称 ILD)50、源极 61 和漏极 62；其中，源极 61 和漏极 62 通过贯通层间绝缘层 50 和绝缘层 30 的过孔与有源层 20 相连。

[0085] 或者，如图 6b 所示，当上述薄膜晶体管 01 的类型为底栅型时，上述绝缘层 30 同样可以为薄膜晶体管 01 中的栅绝缘层 GI。

[0086] 具体的，该薄膜晶体管 01 包括依次位于衬底基板 10 上的栅极 40、绝缘层 30、有源

层 20、源极 61 和漏极 62。

[0087] 再或者，如图 6c 所示，当在上述薄膜晶体管 01 的结构中，源极 61 和漏极 62 位于有源层 20 远离衬底基板一侧，且与有源层 20 直接相连（即无需借助过孔相连）时，由于构成图案化的源极 61 和漏极 62 通常需要经过湿法刻蚀的工艺，为了避免刻蚀工艺中的刻蚀液对有源层 20 对应于源极 61 和漏极 62 之间相对的区域（即 TFT 导通时的沟道区域），上述绝缘层 30 还可以为薄膜晶体管 01 中的刻蚀阻挡层 ESL，以对有源层 20 进行保护。

[0088] 这里，有源层 20 与栅极 40 之间的栅绝缘层同样也可以为上述的绝缘层 30，具体结构不再赘述。

[0089] 本发明实施例还提供了一种阵列基板的制备方法，该制备方法包括在衬底基板 10 上形成上述薄膜晶体管 01 的步骤。

[0090] 本发明实施例还提供了一种阵列基板，该阵列基板包括位于衬底基板 10 上的上述薄膜晶体管 01。

[0091] 这里，上述阵列基板当然还可包括像素电极、公共电极等结构，具体结构可沿用现有技术，在此不再赘述。

[0092] 本发明实施例还提供了一种显示装置，该显示装置包括上述的阵列基板。

[0093] 这里，该显示装置可以仅为显示面板，也可以为包括有显示面板的显示装置；其中，该显示装置可以为液晶面板、液晶显示装置、有机电致发光显示 (Organic Light-Emitting Display，OLED) 面板、OLED 显示装置、或电子纸、数码相框等具有任何显示功能的产品或者部件。

[0094] 需要说明的是，本发明所有附图是上述薄膜晶体管及其制备方法的简略的示意图，只为清楚描述本方案体现了与发明点相关的结构，对于其他的与发明点无关的结构是现有结构，在附图中并未体现或只体现部分。

[0095] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

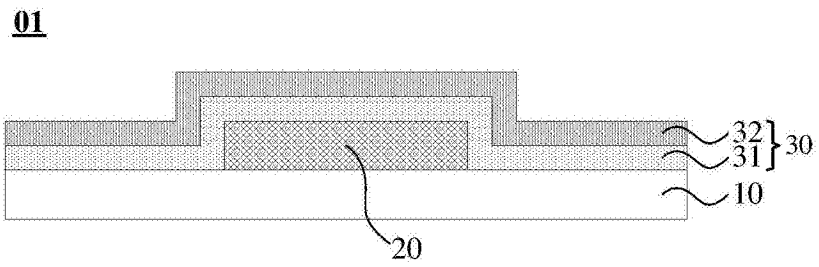


图 1a

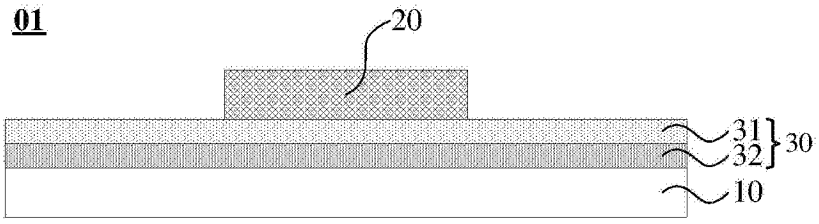


图 1b

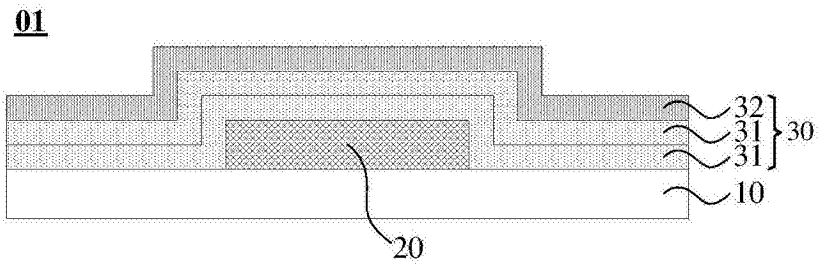


图 1c

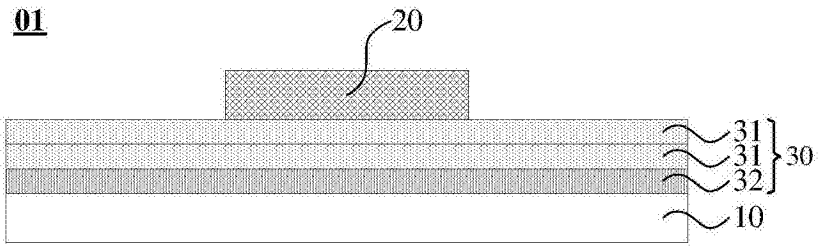


图 1d

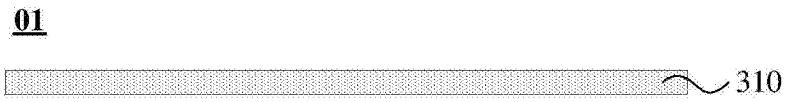


图 2

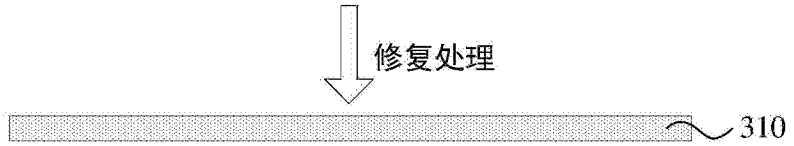


图 3

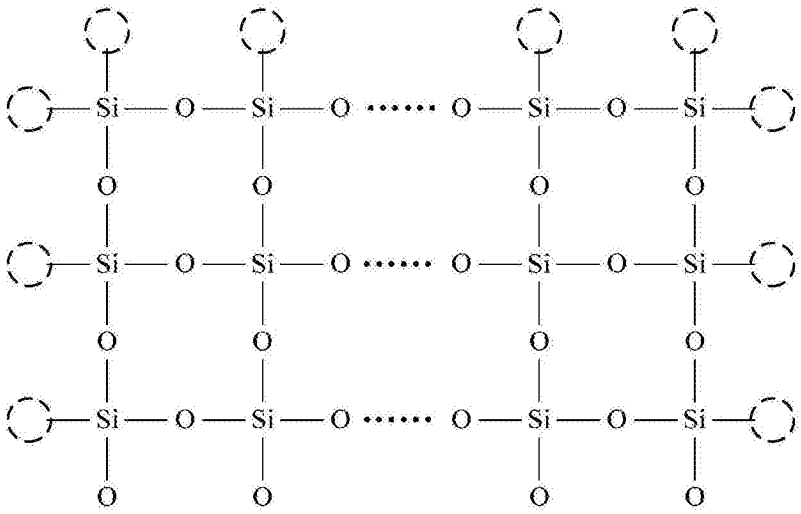


图 4

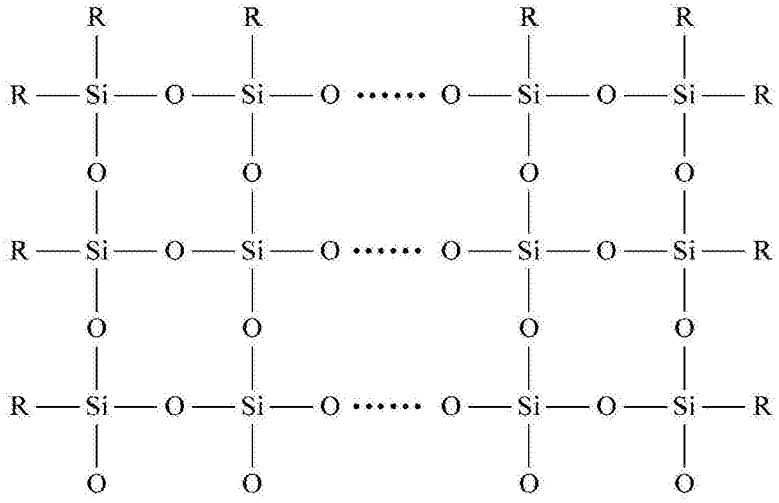


图 5

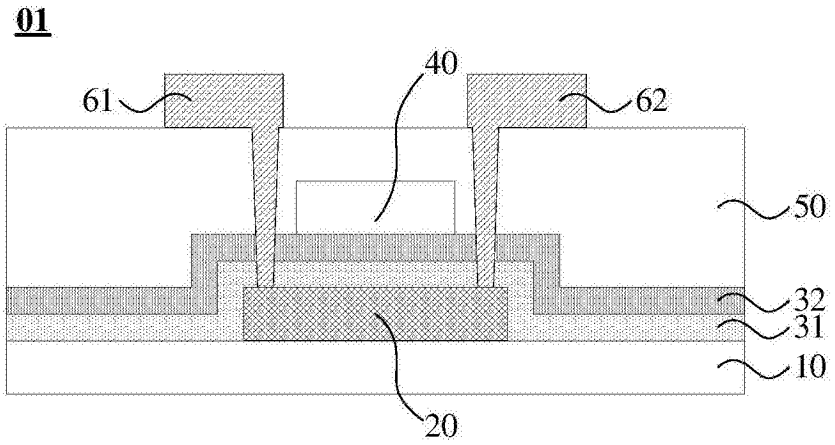

01
40
61
62
50
32
31
10
20

图 6a

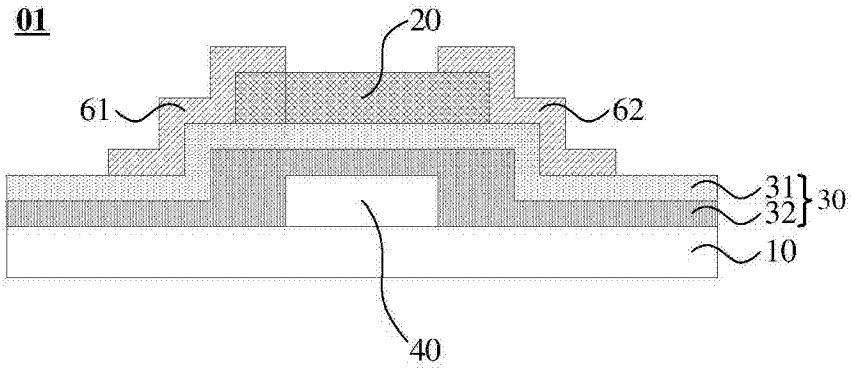

01
20
61
62
31
32
30
10
40

图 6b

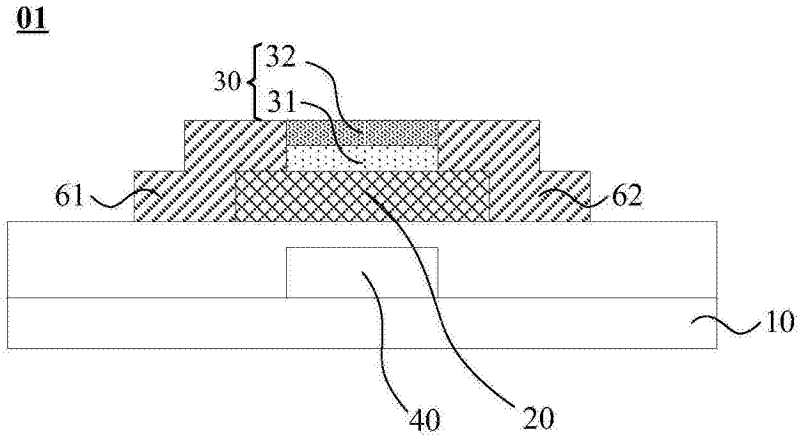

01
32
30
31
61
62
10
40
20

图 6c