

公告本

申請日期	90 5 3
案 號	9 01 10598
類 別	G11C 7/06

A4
C4

(以上各欄由本局填註)

508591

發 明 專 利 說 明 書

一、發明 名稱	中 文	可加快信號處理之感測放大器佈局
	英 文	Layout of a sense-amplifier with accelerated signal-evaluation
二、發明人 創作	姓 名	1.赫穆特菲雪(Helmut FISCHER) 2.麥克馬科特(Michael MARKERT) 3.赫穆特舒內達(Helmut SCHNEIDER)
	國 籍	4.沙賓尙尼格(Sabine SCHOENIGER) 1.德國 2- 4.皆屬德國
三、申請人	住、居所	1.德國陶夫教區 82024 門肯納街 13 號 2.德國奧格斯堡 86152 史蒂芬格山 7 號 3.德國慕尼黑 80993 西門沙基街 20 號 4.德國豪善 83734 塞爾斯柏格街 1D 號
	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
代 表 人 姓 名	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
		1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 2000年5月4日 100 21776.1

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明涉及一種半導體記憶體用之感測放大器配置之佈局，此半導體記憶體具有：以條形之列互相延伸之多個寫/讀-放大器，其包含 NMOS-及 PMOS-電晶體及二個驅動電晶體，其與各列互相垂直且在多個寫/讀-放大器列(row)上方以行之形式而延伸；另有在寫/讀-放大器列中延伸之非反相及反相位元線。

此種佈局在半導體 DRAM 中通常已為人所知，其中此二個驅動電晶體在感測過程中對許多寫/讀-放大器之 PMOS-電晶體提供此信號 PCS 且對許多寫/讀-放大器之相對應之 NMOS-電晶體提供此信號 NCS。隨著 DRAMs 之時脈頻逐漸增加，則在感測過程中順利地提供此種 PCS-信號特別是很重要。特別是在一個週期之第一讀出-或寫入過程中此種信號擴展得越寬，則由 PMOS-電晶體所顯影之感測放大器節點越快到達其終端值。同樣情況適用於 NCS-信號及由寫/讀-放大器之 NMOS-電晶體所顯影之節點。

本發明之目的是使感測放大器中之信號處理加速且使 PMOS-電晶體所驅動之側面之顯影加速。

依據本發明，此目的在感測放大器中依據申請專利範圍第 1 項之前言是以下述方式達成：此二個驅動電晶體中至少一個及其摻雜區是配置在寫/讀-放大器之所屬之 NMOS-或 PMOS-電晶體之間，且此驅動電晶體之閘極是以雙條形閘極構成。本發明中藉由驅動電晶體之寬度加倍，則感測放大器中信號之擴展可大大地提高而

五、發明說明(2)

不必相對地提高面積需求。本發明中特別是當 PCS-驅動電晶體製成時，則在驅動效率大大地改進時可達成一種緊密(Compact)之構造。

在 PCS-驅動電晶體之二個閘極條之間加入橫向條時可使寫/讀-放大器之 PMOS-電晶體之 PCS-信號供應對稱對稱化，PCS-驅動電晶體之閘極電阻最佳化且另可調整 PCS-驅動電晶體之閘極電容。同樣情況適用於 NCS-驅動電晶體。以此種方式可使信號擴展之速率及雜訊濾除依特定之使用目的而最佳化地進行調整。由於省空間之"雙閘極技術"，則可以簡易之方式設置多個閘極橫條。閘極橫條可有利地平行於寫/讀-放大器條片而至少在其外側之邊緣區中延伸，以便同時使驅動電晶體之閘極可簡易地達成一種額外之接觸作用。

以下將依據圖式描述本發明中半導體記憶體之感測放大器配置之佈局之實施例。圖式簡單說明：

第 1 圖係半導體記憶體之原理之圖解。

第 2 圖係第 1 圖之半導體記憶體之感測放大器之原理之圖解。

第 3 圖係先前技藝之依據第 2 圖之感測放大器配置之佈局之俯視圖。

第 4 圖係本發明中依據第 2 圖之感測放大器配置之佈局之俯視圖。

第 5 圖係第 3 圖依據第 4 圖之感測放大器配置之佈局之其它部份之俯視圖。

五、發明說明(3)

第 6 圖係本發明中依據第 4 圖之佈局在感測放大器中信號擴展之時間圖。

第 1 圖顯示各記憶胞 1, ..., 6 所形成之半導體記憶體之記憶胞陣列之一部份。每一記憶胞包含一個記憶電容 111, 其一個接點與參考電位(例如, 接地)相連且另一個接點是與 MOS-選擇電晶體 112 之源極-汲極-路徑相連。選擇電晶體 112 之另一端點是與位元線(例如 BL0)相連。爲了使電容 111 中所儲存之資料可讀入或讀出, 則藉由字元線 WL0 上之適當之控制信號使電晶體 112 接通, 使電容 111 導電性地與位元線 BL0 相連。記憶電容 111 之電容值較位元線電容值小很多。其它記憶胞 2, ..., 6 以相同方式構成。位元線 bBL0 直接鄰接於位元線 BL0 而配置。記憶胞 4 是與位元線 bBL0 相連, 其選擇電晶體可經由另一字元線 WL1 來控制。此二條位元線 BL0, bBL0 在輸入側與輸出側是與讀出放大器 20 相連。在由記憶胞 1 或 4 讀出資料時, 相對應之信號由記憶電容 111 施加至各別之位元線 BL0 或 bBL0 且由讀出放大器 20 所放大。此讀出放大器 20 以寫/讀-放大器構成, 如以下將詳述者(第 2 圖)。所儲存之資訊位元以非反相方式儲存在記憶胞 1 中, 此乃因位元線 BL0 是與讀出放大器 20 之非反相放大輸入端相連。記憶胞 4 中所儲存之資訊位元是以反相方式儲存, 此乃因位元線 bBL0 是與讀出放大器 20 之反相放大輸入端相連。各記憶胞 2, 5, 3 和 6, 各條位元線 BL1,

五、發明說明(4)

bBL1, BL2 與 bBL2 是與第 1 圖之半導體記憶體之相對應之讀出放大器 21 和 22 相連。各記憶胞 1, 2, 3 是由字元線 WL0 所選取, 記憶胞 4, 5, 6 由另一字元線 WL1 所選取。位元線互相平行而延伸。在垂直於字元線 WL0, WL1 之觀察方向中, 第二反相位元線跟隨第一反相位元線; 第一非反相位元線跟隨第二反相位元線; 第二非反相位元線跟隨第一非反相位元線。依據特定用途之情況, 非反相及反相位元線亦可以其它順序來配置。

在讀出時之放大過程之後, 施加至位元線上之資料在二條總導線 LDQ, bLDQ 上讀出。非反相總導線 LDQ 接收非反相位元線 BL0, BL1, BL2 之信號。以相對應之方式, 反相總導線 bLDQ 使反相位元線 bBL0, bBL1, bBL2 之已讀出之資料資訊繼續傳送。位元線經由相對應之開關電晶體 7, ..., 12 而與總導線相連。經由總導線使已讀出之資料位元在半導體記憶體之輸出方向中傳送。這些開關電晶體(其配屬於相鄰接-且連接至相同讀出放大器之位元線)由共同之控制線 CSL0, CSL1 或 CSL2 所控制。整體而言, 在讀出過程中已讀出之資料資訊以單相方式饋入讀出放大器 20 中, 但在輸出側提供一種差動資料信號且以差動方式傳送至總導線。相同型式之二個(即, 二個反相或二個非反相)直接相鄰之資料線之資料發送至相同之總導線 bLDQ 或 LDQ(第 1 圖)。

依據第 2 圖, 感測放大器 20 以習知之方式包含一個

五、發明說明(5)

寫 / 讀 - 放大器，其具有由二個 NMOS-型及 PMOS-型之 N2，N3，P2，P3 電晶體分別串聯所形成之並聯電路。寫 / 讀 - 放大器之串聯之電晶體 P2，N2 及串聯之電晶體 P3，N3 是在寫 / 讀 - 放大器節點 NCS 和 PCS 之間。電晶體 P2 和 N2 之閘極互連。電晶體 P3 和 N3 之閘極亦互連。寫 / 讀 - 放大器節點 NCS 經感測放大器 20 之 NMOS-驅動電晶體 N1 之汲極 - 源極 - 路徑而與接地相連。驅動電晶體 N1 之閘極上施加一種感測放大器 - 控制信號 NSET。同樣，第二寫 / 讀 - 放大器節點 PCS 經由感測放大器 20 之 PMOS-驅動電晶體 P1 之汲極 - 源極 - 路徑而與半導體記憶體之正電源電位 VD 相連。在驅動電晶體 P1 之閘極上又施加一種控制信號 bPSET。節點 NCS 和 PCS 之電位在感測過程中因此經由驅動電晶體 N1 和 P1 而擴展。此二個在第 2 圖中所示之驅動電晶體 N1，P1 以習知之方式驅動許多其它差動 - 放大器 20，21，22，... 且因此與多個寫 / 讀 - 放大器節點 NCS，PCS 同時相連 (第 2 圖中未顯示)。第 1 圖之半導體記憶體之位元線 BL0，bBL0 經由 NMOS-切斷電晶體 N4，N5 而與感測放大器 20 相連。位元線 BL0 使寫 / 讀 - 放大器 - 電晶體 P2，N2 之二個汲極可與第 2 圖中二個電路技術上配置成相面對之寫 / 讀 - 放大器 - 電晶體 P3，N3 之閘極相連。共同之節點 SA0 稱為感測放大器節點或 - 導線。同理，反相之位元線 bBL0 使寫 / 讀 - 放大器之串聯之電晶體 P2，N2 之閘極可與電晶體 P3，N3 之汲極相連

五、發明說明(6)

。共同之節點 bSA0 同樣稱為感測放大器節點或-導線

。感測放大器 20 之功能簡單說明如下。若感測放大器節點 SA0 在該切斷電晶體 N4 導通之後由位元線 BL0 藉由記憶胞信號和上述之 NMOS-電晶體或藉由寫入信號而偏移至 0 V 之方向中，則 PMOS-寫/讀-放大器-電晶體 P3 導通。反相之感測放大器節點 bSA0 因此處於此種施加至輸入端 PCS 上之信號位準處(例如，1.8 V)

。此信號 PCS 由 PMOS-驅動電晶體 P1 所提供，此電晶體 P1 由信號 bPSET 所控制。同樣情況適用於 NCS 側。

。先前技藝中與第 1, 2 圖之放大器 20 相對應之具有感測放大器之此種半導體記憶體之習知之佈局顯示在第 3 圖中。爲了簡化之故，多個寫/讀-放大器中只顯示二個。由左向右配置條形之以列形式而延伸之寫/讀-放大器，具有所屬之電路元件或其解碼區和金屬區。與此相垂直者是：二個由上向下在多個寫/讀-放大器之左，右邊緣成條形之行形式而延伸之驅動電晶體 N1，P1 圍繞在各寫/讀-放大器列之各列之寫/讀-放大器電晶體 N1，N3，P2，P3 之周圍。此驅動電晶體 N1 之閘極 N11，汲極 N12 及源極 N13 之摻雜區或金屬區分別垂直而延伸地配置著。同樣情況適於相面對而配置之 PMOS-驅動電晶體 P1 之閘極 P11，汲極 P12 及源極 P13。在內側中連接至驅動電晶體 P1 之條形區之 C 形-及鏡面反映之 C 型結構是寫/讀-放大器之 PMOS-電晶

五、發明說明(7)

體 P2, P3 之閘極 P21, P31。PMOS-電晶體 P2, P3 之汲極區 P22, P32 在閘極 P21, P31 之內部延伸。閘極 P21, P31 亦由 PMOS-電晶體 P2, P3 之源極-摻雜區 P23, P33 所圍繞。此二條位元線 BL0, bBL0 或此二條感測放大器導線 SA0, bSA0 在第 3 圖中由左向右延伸。感測放大器 20 之不同之電路元件經由導線條形區及接觸區 K 依據第 2 圖之電路原理而相連。(第 2 圖中)相連之 NMOS-電晶體 N2, N3 及與其相垂直而延伸之 NCS 驅動電晶體 N1 之條形區及其摻雜區和金屬區 N11, N12, N13, N21, N22, N23, N31, N32 及 N33 是連接在寫/讀-放大器之 PMOS 側附近之左側。

第 4 圖是本發明較第 3 圖更優良之感測放大器配置之佈局。爲了簡化之故只顯示多個寫/讀-放大器列中之二列。驅動電晶體 P1 在第 4 圖中是位於寫/讀-放大器 20 之二個 PMOS-電晶體 P2, P3 和此半導體記憶體之配置於寫/讀-放大器 20 之下方及上方之另一寫/讀-放大器之相對應之 PMOS-電晶體之間之中央中。此驅動電晶體 P1 在第 4 圖中垂直於寫/讀-放大器列而由上往下延伸。此驅動電晶體 P1 以一種雙條形閘極 P111 構成。在此二個條形之由上向下延伸之相隔開之部份閘極之間配置此驅動電晶體 P1 之汲極 p12。依據特定之使用目的, 此二個部份閘極在某些區段中形成角度而配置著或具有不同之間距。此二個部份閘極 P111 之左側及右側延伸著此驅動電晶體 P1 之源極 P13 之摻雜區,

五、發明說明(8)

其同時形成此 PMOS-寫 / 讀 -放大器電晶體 P2, P3 之源極區 P23, P33。此驅動電晶體 P1 之源極 P13 經由 PCS 條形區而與源極 P23, P33 相連。此外, 利用相對應之接觸區 K 及導線條形區, 則感測放大器 20 之各電晶體可依據第 2 圖之電路原理使其可與二條位元線 BL0, bBL0 或二條感測放大器導線 SA0, bSA0 相連。同樣情況適用於感測放大器 20 之 N 側, 其中此 NMOS-寫 / 讀 -放大器電晶體 N2, N3 之寬度較第 3 圖中所示之佈局已大大地縮小。藉由第 4 圖所示之佈局, 則 NCS-且特別是 PCS-驅動電晶體 P1 寬度可加倍而感測放大器 20 所需之面積不會增加很多。藉由 PCS 驅動力之加倍, 則可使信號在感測放大器 20 中或在寫 / 讀 -放大器中擴展且在所有其它同時由驅動電晶體 P1 所驅動之寫 / 讀 -放大器中大大地被加速, 這將在第 6 圖中說明。另一方面, 有效之面積需求由於寫 / 讀 -放大器中 NMOS-電晶體 N2, N3 之寬度小之尺寸而又可減小。此種依據 NCS 驅動電晶體 N1 之配置使 NMOS 感測放大器(包含感測放大器之 PMOS 側之感測放大器)之寬度下降顯示在第 4 圖之左側。

一種閘極橫條 112(其使驅動電晶體 P1 之雙條形閘極 111 之二個條形區以不同於第 4 圖之方式而互相連接)之嵌入例如顯示在第 5 圖中。此種措施會使寫 / 讀 -放大器之 PMOS-電晶體之 PCS-信號供應對稱化且另外可使控制信號之電容負載最佳化。藉由負載之改變, 則控

五、發明說明(9)

制信號之邊緣斜度可最佳化。此外，藉由橫條可確保各感測電晶體之幾何上之對稱性。這樣可使某一方向中之傾斜受到抑制。因此可確保此感測過程在較小之輸入位準中進行(即，較快速)。閘極橫條 112 由左向右延伸直至第 5 圖右方所示之寫/讀-放大器-電晶體 P2 之邊緣區中。因此可經由接觸區 K 而簡易地使 bPSET-信號傳送至驅動電晶體 P1 之閘極 P11。

第 6 圖是感測放大器 20 在具有先前技藝之佈局(第 3 圖)及本發明之佈局(第 4, 5 圖)時在讀出放大過程中信號擴展之模擬結果之間之比較圖。在具有第 3 圖之佈局之此種感測放大器中其信號擴展以點線表示，在具有本發明第 4 圖佈局之感測放大器中此信號擴展是以實線表示。在預充電狀態時，感測放大器導線 SA0, bSA0 之電位是同樣大的且大約是 0.9 V。利用字元線 WL0 之切入，則在此二條位元線 BL0 及 bBL0 之間或此二個感測放大器節點 SA0 和 bSA0 上形成一種小的電壓差(例如，大約 80 mV)。利用此控制信號 NSET，則寫/讀-放大器節點 NCS 之電位由 0.9 V 偏移至 0 V。同理，經由寫/讀-放大器現在亦可使感測放大器節點 SA0 微不足道地延遲而偏移至 0 V。寫/讀-放大器節點 PCS 擴展至 1.8 V 且此感測放大器節點 bSA0 接著同樣偏移至 1.8 V。依據本實施例，此控制信號 bPSET 由控制信號 NSET 所形成。依據本發明第 4 圖之感測放大器之佈局，則第 6 圖中經由 PMOS-電晶體 P1, P2, P3 所擴展之

五、發明說明(10)

側邊較第 3 圖先前技藝中之佈局者在速率上可快 1 ns。

參考符號說明

- 1, ..., 6 記憶胞
- 7~12 開關電晶體
- 20 讀出放大器
- 21, 22 讀出放大器
- 111 記憶電容
- 112 MOS-選擇電晶體
- BL0, bBL0, ..., bBL2 位元線
- LDQ, bLDQ 總導線
- N1, P1 驅動電晶體
- N2, P2, N3, P3 電晶體
- N4, N5 切斷電晶體
- NCS, PCS 節點
- SA0, bSA0 感測放大器節點
- N4, N 字元線

四、中文發明摘要(發明之名稱： 可加快信號處理之感測放大器佈局)

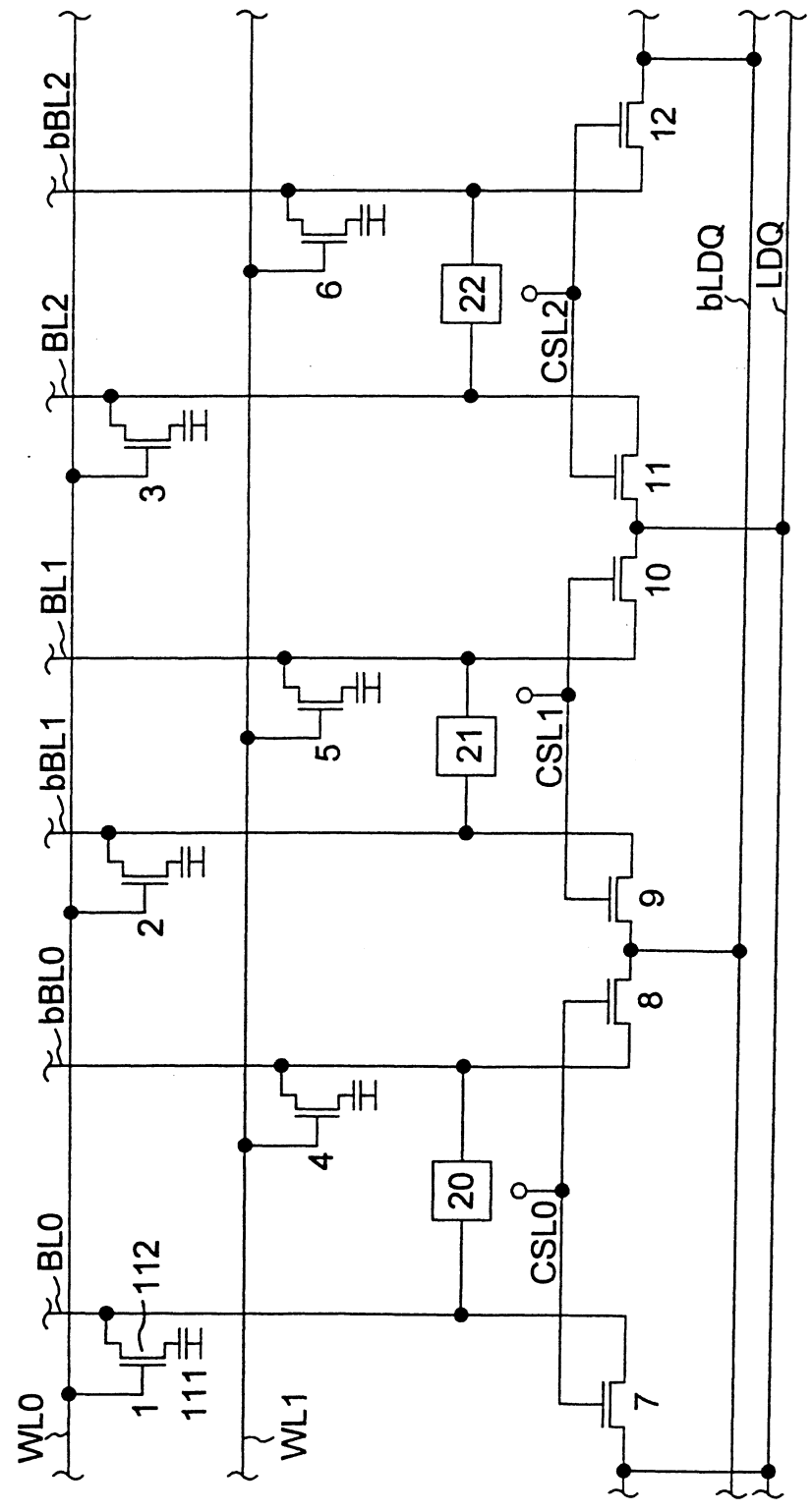
一種半導體記憶體用之感測放大器配置之佈局，其包含多個以條形之列形式互相延伸之寫/讀放大器(20)(其具有 NMOS-及 PMOS-電晶體)；至少此二個驅動電晶體(N1, P1)之一以其摻雜區配置在寫/讀-放大器(N2, N3, P2, P3)之所屬之 NMOS-或 PMOS-電晶體之間，各驅動電晶體(N1, P1)之閘極因此以雙條形閘極(N11, P111)構成，以便加速此感測放大器中之信號處理。

英文發明摘要(發明之名稱： Layout of a sense-amplifier with accelerated signal-evaluation)

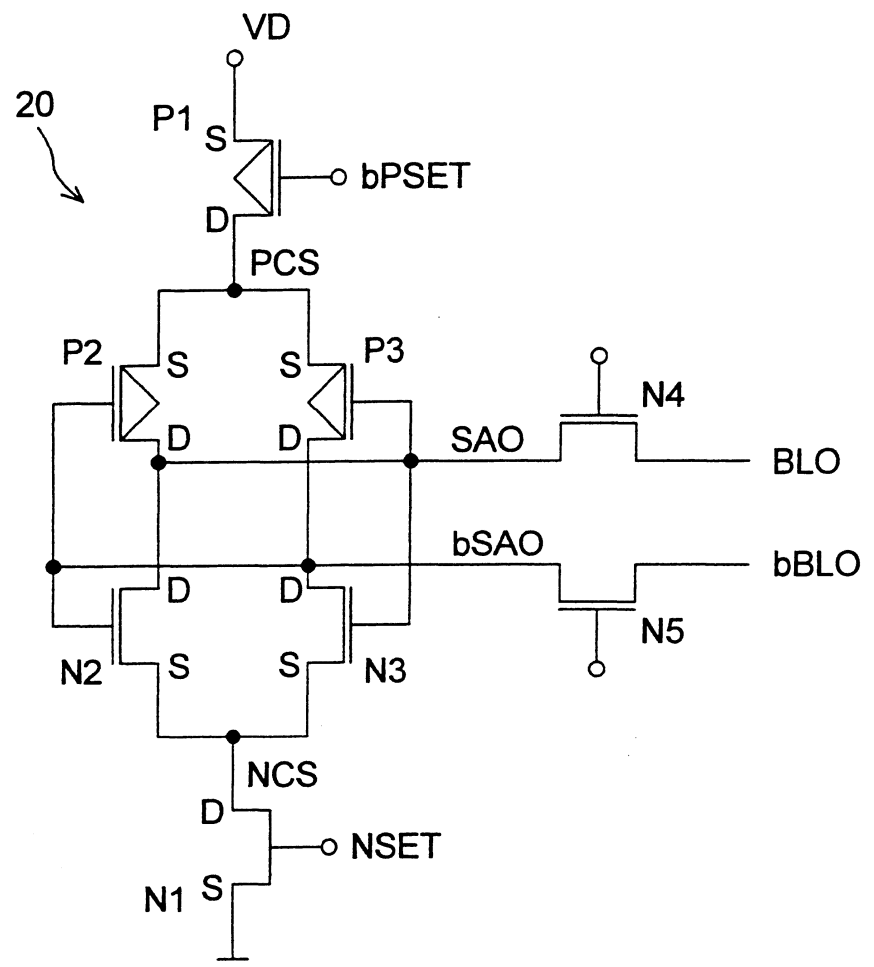
In a layout of a sense-amplifier-arrangement for a semiconductor-memory with many write/read-amplifiers (20), which extend as stripes in a row-shaped way, with NMOS-and PMOS-transistors, at least one of the two driver-transistors (N1, P1) with their doping-areas is arranged between the related NMOS-or PMOS-transistors of the write/read-amplifier (N2, N3, P2, P3), and the gate of the driver-transistor (N1, P1) is formed as two-stripes-gate (N111, P111), so as to accelerate the signal-evaluation in the sense-amplifiers.

六、申請專利範圍

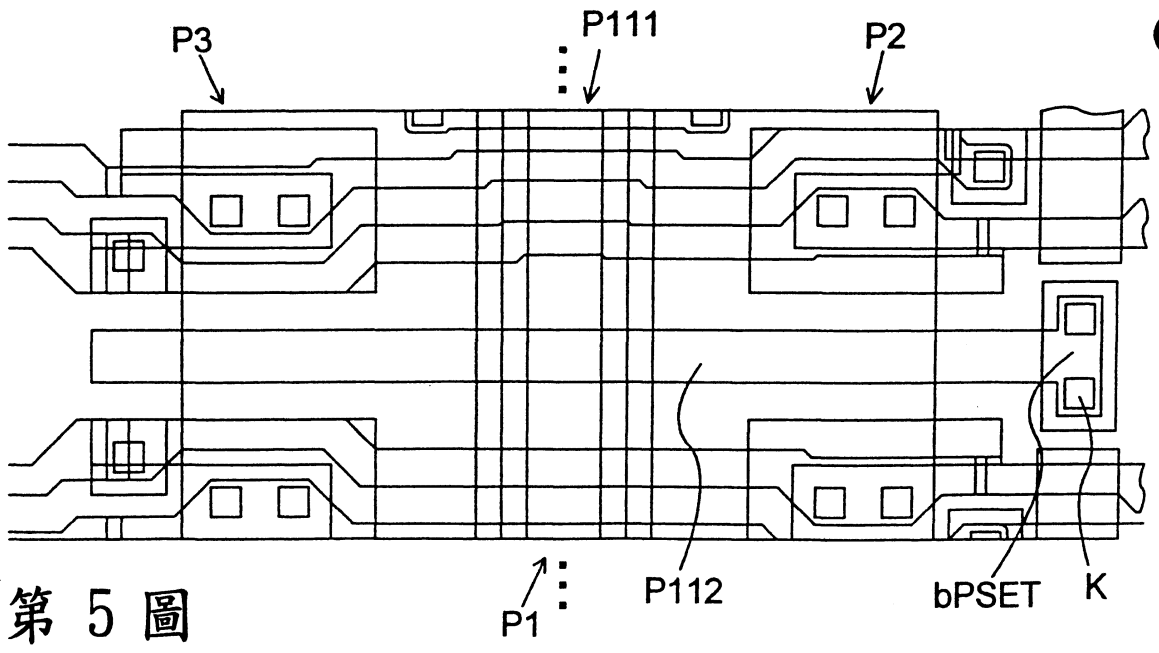
1. 一種半導體記憶體用之感測放大器配置之佈局，其包含：多個以條形之列形式互相延伸之寫/讀-放大器，其具有 NMOS-及 PMOS-電晶體(N2, N3, P2, P3)；及寫/讀-放大器之二個垂直於此寫/讀-放大器以條形之行形式在多個寫/讀-放大器列上方延伸之驅動電晶體(N1, P1)；以及在寫/讀-放大器列中延伸之非反相-及反相位元線(BL0, bBL0)，其特徵為：此二個驅動電晶體(N1, P1)之至少一個以其摻雜區配置在寫/讀-放大器(N2, N3, P2, P3)之所屬之 NMOS-或 PMOS-電晶體之間，此驅動電晶體(N1, P1)之閘極以雙條形閘極(N111, P111)構成。
2. 如申請專利範圍第 1 項之感測放大器配置之佈局，其中此驅動電晶體(N1, P1)之雙條形閘極(N111, P111)之二個條形區經由其通道寬度之一部份藉由閘極橫條(N112, P112)而導電性地互相連接。
3. 如申請專利範圍第 1 項之感測放大器配置之佈局，其中閘極橫條(N112, P112)平行於寫/讀-放大器條形區而至少在其外側邊緣區中延伸。
4. 一種感測放大器配置，其特徵為具有如申請專利範圍第 1 至 3 項中任一項之佈局。



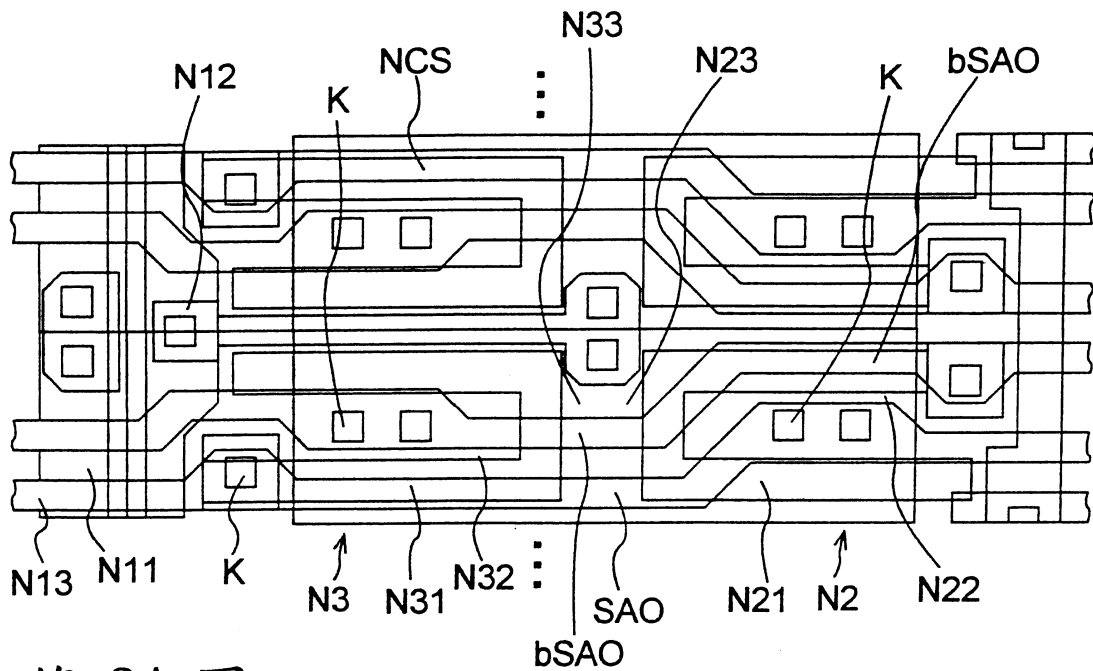
第 1 圖



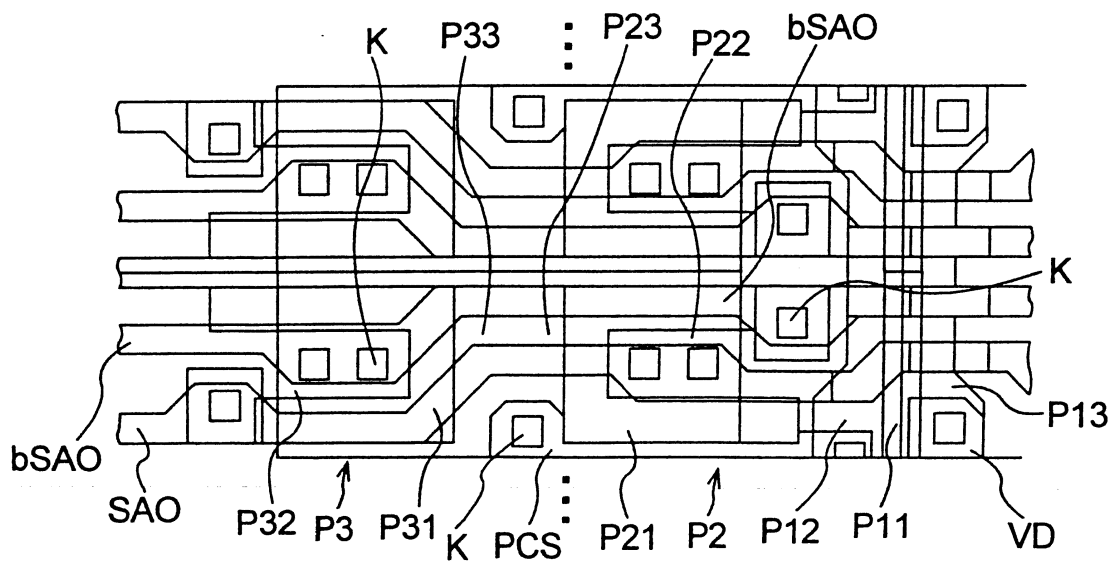
第 2 圖



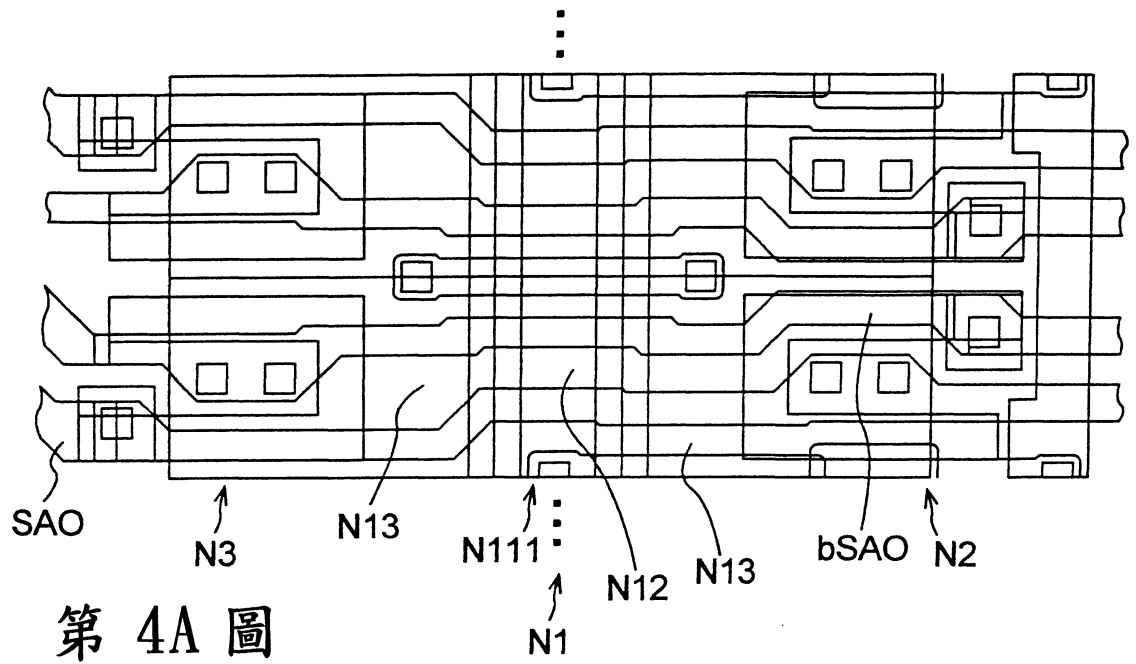
第 5 圖



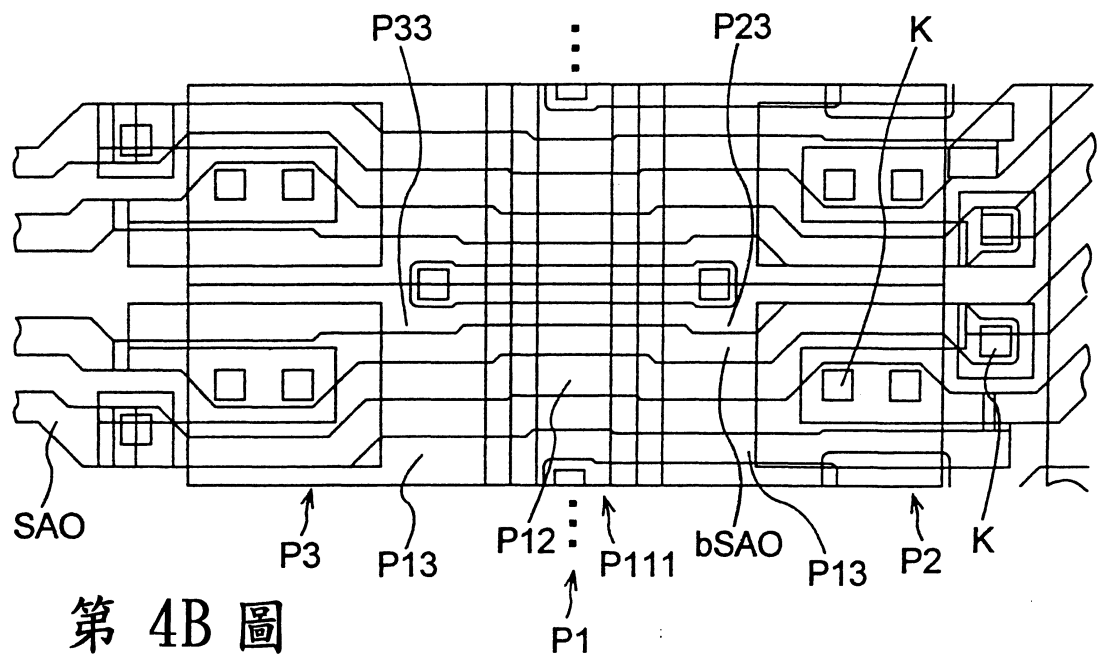
第 3A 圖



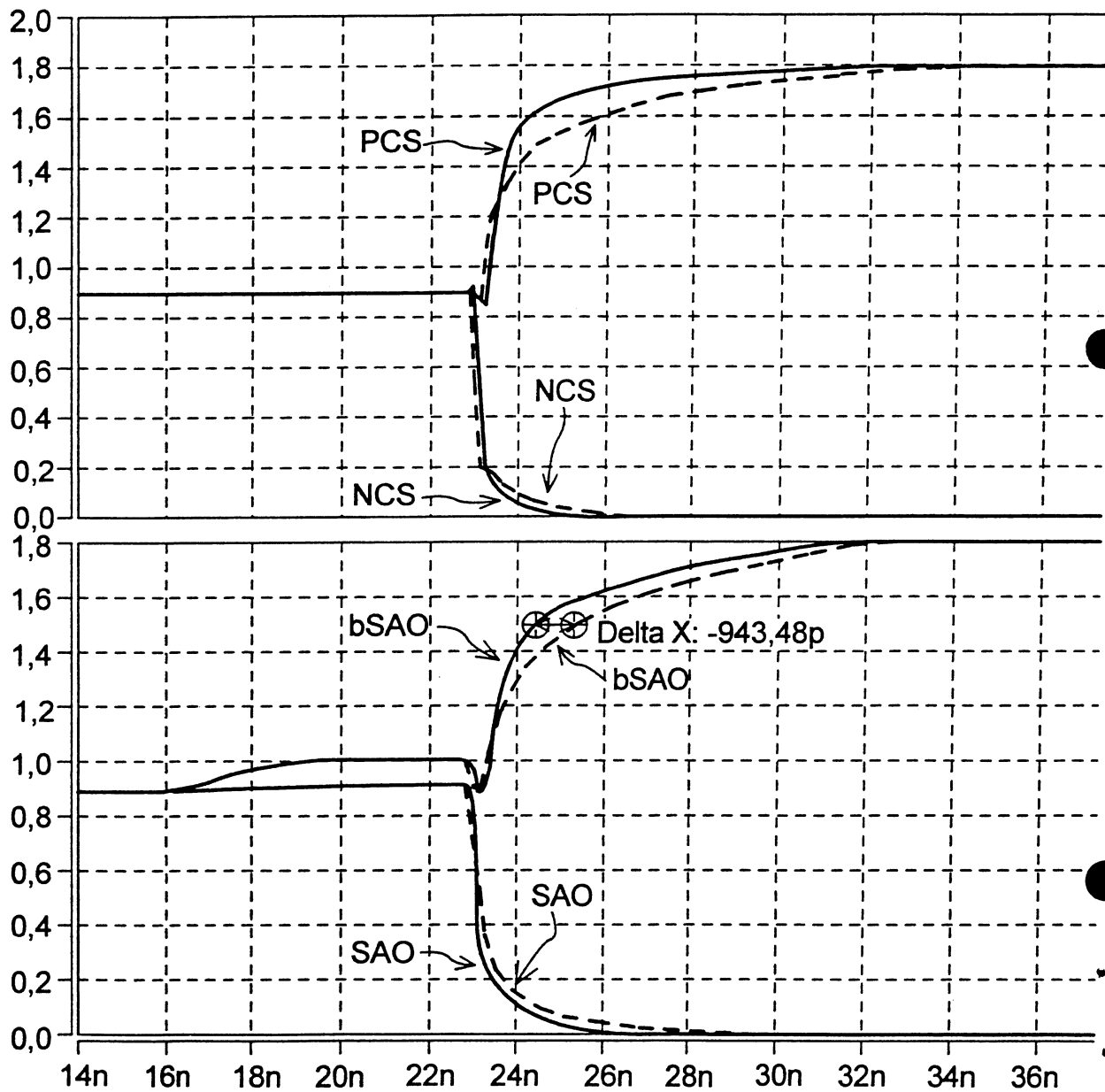
第 3B 圖



第 4A 圖



第 4B 圖



第 6 圖