

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7374331号
(P7374331)

(45)発行日 令和5年11月6日(2023.11.6)

(24)登録日 令和5年10月26日(2023.10.26)

(51)国際特許分類 F I
G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 6 0 B
G 0 6 F 12/00 5 9 7 U

請求項の数 15 (全31頁)

(21)出願番号	特願2022-541038(P2022-541038)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和2年8月6日(2020.8.6)	(74)代理人	100088672 弁理士 吉竹 英俊
(86)国際出願番号	PCT/JP2020/030134	(74)代理人	100088845 弁理士 有田 貴弘
(87)国際公開番号	WO2022/029952	(72)発明者	昆 慶久 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開日	令和4年2月10日(2022.2.10)	(72)発明者	佐々木 通 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和4年7月27日(2022.7.27)	(72)発明者	吉田 実 東京都千代田区丸の内二丁目7番3号

最終頁に続く

(54)【発明の名称】 データレコーダ

(57)【特許請求の範囲】

【請求項1】

入力インタフェースと記憶部と制御部とを備え、
前記記憶部はデータを記憶する不揮発性メモリと前記不揮発性メモリ用の電源であって前記制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、
前記入力インタフェースは第1のバッファメモリを備え、
前記入力インタフェースは外部からのデータ入力を受け付けて前記第1のバッファメモリに記録し、
前記制御部は、前記第1のバッファメモリに記録されているデータの量と、前記入力インタフェースを介した外部からの前記データ入力の態様と、に基づいて決めたタイミングで、前記不揮発性メモリ用電源をオンに切り替え、
前記入力インタフェースは、前記不揮発性メモリ用電源がオンの状態の場合に、前記第1のバッファメモリに記録されているデータを前記不揮発性メモリに転送し、
前記制御部は、前記第1のバッファメモリに記録されているデータを前記不揮発性メモリに転送した後に、前記不揮発性メモリ用電源をオフに切り替える、
データレコーダ。

10

【請求項2】

出力インタフェースと記憶部と制御部とを備え、
前記記憶部はデータを記憶する不揮発性メモリと前記不揮発性メモリ用の電源であって前記制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、

20

前記出力インタフェースは第2のバッファメモリを備え、

前記制御部は、前記不揮発性メモリが記憶している出力対象のデータを前記第2のバッファメモリを介して外部へ出力する際に、前記出力対象のデータの前記第2のバッファメモリへの転送を開始してから前記出力対象のデータを前記第2のバッファメモリへ転送し終わるまでの間の期間のうちの一部の期間に、前記不揮発性メモリ用電源をオフの状態とする、

データレコーダ。

【請求項3】

入力インタフェースと出力インタフェースと記憶部と制御部とを備え、

前記記憶部はデータを記憶する不揮発性メモリと前記不揮発性メモリ用の電源であって前記制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、

前記入力インタフェースは第1のバッファメモリを備え、

前記出力インタフェースは第2のバッファメモリを備え、

前記入力インタフェースは外部からのデータ入力を受け付けて前記第1のバッファメモリに記録し、

前記制御部は、前記第1のバッファメモリに記録されているデータの量と、前記入力インタフェースを介した外部からの前記データ入力の態様と、に基づいて決めたタイミングで、前記不揮発性メモリ用電源をオンに切り替え、

前記入力インタフェースは、前記不揮発性メモリ用電源がオンの状態の場合に、前記第1のバッファメモリに記録されているデータを前記不揮発性メモリに転送し、

前記制御部は、前記第1のバッファメモリに記録されているデータを前記不揮発性メモリに転送した後に、前記不揮発性メモリ用電源をオフに切り替え、

前記制御部は、前記不揮発性メモリが記憶している出力対象のデータを前記第2のバッファメモリを介して外部へ出力する際に、前記出力対象のデータの前記第2のバッファメモリへの転送を開始してから前記出力対象のデータを前記第2のバッファメモリへ転送し終わるまでの間の期間のうちの一部の期間に、前記不揮発性メモリ用電源をオフの状態とする、

データレコーダ。

【請求項4】

請求項1または3に記載のデータレコーダであって、

前記制御部は、前記第1のバッファメモリに記録されているデータの量と、前記入力インタフェースを介した外部からの前記データ入力の前記態様に基づいて、前記第1のバッファメモリに記録されているデータの量が、前記入力インタフェースを介した外部からの前記データ入力の前記態様に基づいて決まる第1の閾値を超過した場合に、前記不揮発性メモリ用電源をオンに切り替える、

データレコーダ。

【請求項5】

請求項4に記載のデータレコーダであって、

前記入力インタフェースを介した外部からの前記データ入力の前記態様は、前記入力インタフェースを介した外部からの前記データ入力の速度である、

データレコーダ。

【請求項6】

請求項2または3に記載のデータレコーダであって、

前記不揮発性メモリ用電源をオフの状態とする前記一部の期間の終わりに前記不揮発性メモリ用電源をオンにする際、前記制御部は、前記第2のバッファメモリに記録されているデータの量に基づいて決めたタイミングで、前記不揮発性メモリ用電源をオンに切り替える、

データレコーダ。

【請求項7】

請求項6に記載のデータレコーダであって、

10

20

30

40

50

前記不揮発性メモリ用電源をオフの状態とする前記一部の期間の終わりに前記不揮発性メモリ用電源をオンにする際、前記制御部は、前記第2のバッファメモリに記録されているデータの量と、前記出力インタフェースを介した外部へのデータ出力の態様とに基づいて決めたタイミングで、前記不揮発性メモリ用電源をオンに切り替える、

データレコーダ。

【請求項8】

請求項7に記載のデータレコーダであって、

前記不揮発性メモリ用電源をオフの状態とする前記一部の期間の終わりに前記不揮発性メモリ用電源をオンにする際、前記制御部は、前記第2のバッファメモリに記録されているデータの量と、前記出力インタフェースを介した外部への前記データ出力の前記態様とに基づいて、前記第2のバッファメモリに記録されているデータの量が、前記出力インタフェースを介した外部への前記データ出力の前記態様に基づいて決まる第2の閾値を超過した場合に、前記不揮発性メモリ用電源をオンに切り替える、

データレコーダ。

【請求項9】

請求項7または8に記載のデータレコーダであって、

前記出力インタフェースを介した外部への前記データ出力の態様は、前記出力インタフェースを介した外部への前記データ出力の速度である、

データレコーダ。

【請求項10】

請求項1から9のいずれかに記載のデータレコーダであって、

前記制御部は、前記不揮発性メモリへの書き込みおよび前記不揮発性メモリからの読み出しが行われていないタイミングでのみ、前記不揮発性メモリ用電源をオフに切り替える、

データレコーダ。

【請求項11】

請求項1から9のいずれかに記載のデータレコーダであって、

前記制御部は前記不揮発性メモリ用電源の電流値を監視する電流値監視部をさらに備え、前記制御部は、前記電流値監視部が前記不揮発性メモリ用電源の電流値に基づいて決めたタイミングで、前記不揮発性メモリ用電源の電源をオフに切り替える、

データレコーダ。

【請求項12】

請求項11に記載のデータレコーダであって、

前記制御部は、前記電流値が予め定められた第3の閾値を超過した場合に、前記不揮発性メモリ用電源の電源をオフに切り替える、

データレコーダ。

【請求項13】

請求項1から12のいずれかに記載のデータレコーダであって、

前記制御部は、記憶データ更新処理を行う記憶データ更新部をさらに備え、前記記憶データ更新処理は、前記不揮発性メモリが記憶しているデータを前記不揮発性メモリから読み出し、ソフトエラーが発生している場合は、前記ソフトエラー訂正後のデータを前記不揮発性メモリに書き戻す、という処理である、

データレコーダ。

【請求項14】

請求項13に記載のデータレコーダであって、

前記制御部は、記憶データ更新計画決定部をさらに備え、前記記憶データ更新計画決定部は、前記記憶データ更新処理において検知された前記ソフトエラーの発生態様に基づいて、前記記憶データ更新処理の計画を決定し、前記記憶データ更新部に前記記憶データ更新処理の前記計画を実施するよう指示する、

データレコーダ。

【請求項15】

10

20

30

40

50

請求項 1 から 1.4 のいずれかに記載のデータレコーダであって、
放射線環境下で用いられる、
データレコーダ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示はデータレコーダに関するものである。

【背景技術】

【0002】

放射線と呼ばれる高いエネルギーを持つ粒子は電子機器に悪影響を与えることが知られている。放射線は、宇宙空間において飛び交っている他、地上においても、宇宙からくる放射線や放射性物質から発せられる放射線が存在する。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2009 - 026271 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

電子機器またはその一部分の電源をオフとすることにより、当該電子機器またはその当該一部分に対する放射線の悪影響を抑制できる。

20

【0005】

特許文献 1 には、データレコーダにおいて、省電力を実現するために、データレコーダの不揮発性メモリモジュールの電源を制御する構成が、開示されている。しかし、特許文献 1 に開示されている電源の制御は、放射線の悪影響への対策の観点から改善の余地があった。

【0006】

本開示は、このような問題を解決するためのものであり、放射線による悪影響を抑制できるデータレコーダを提供すること、および放射線による悪影響を抑制できるデータレコーダの使用法を提供することを目的としている。

30

【課題を解決するための手段】

【0007】

本開示の一態様のデータレコーダは、入力インタフェースと記憶部と制御部とを備え、記憶部はデータを記憶する不揮発性メモリと不揮発性メモリ用の電源であって制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、入力インタフェースは第 1 のバッファメモリを備え、入力インタフェースは外部からのデータ入力を受け付けて第 1 のバッファメモリに記録し、制御部は、第 1 のバッファメモリに記録されているデータの量と、入力インタフェースを介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源をオンに切り替え、入力インタフェースは、不揮発性メモリ用電源がオンの状態の場合に、第 1 のバッファメモリに記録されているデータを不揮発性メモリに転送し、制御部は、第 1 のバッファメモリに記録されているデータを不揮発性メモリに転送した後に、不揮発性メモリ用電源をオフに切り替える、データレコーダ、である。

40

【0008】

また、本開示の別の態様のデータレコーダは、出力インタフェースと記憶部と制御部とを備え、記憶部はデータを記憶する不揮発性メモリと不揮発性メモリ用の電源であって制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、出力インタフェースは第 2 のバッファメモリを備え、制御部は、不揮発性メモリが記憶している出力対象のデータを第 2 のバッファメモリを介して外部へ出力する際に、出力対象のデータの第 2 のバッファメモリへの転送を開始してから出力対象のデータを第 2 のバッファメモリへ転送し終

50

わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源をオフの状態とする、データレコーダ、である。

【0009】

また、本開示のさらに別の態様のデータレコーダは、入力インタフェースと出力インタフェースと記憶部と制御部とを備え、記憶部はデータを記憶する不揮発性メモリと不揮発性メモリ用の電源であって制御部にオンとオフを制御される不揮発性メモリ用電源とを備え、入力インタフェースは第1のバッファメモリを備え、出力インタフェースは第2のバッファメモリを備え、入力インタフェースは外部からのデータ入力を受け付けて第1のバッファメモリに記録し、制御部は、第1のバッファメモリに記録されているデータの量と、入力インタフェースを介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源をオンに切り替え、入力インタフェースは、不揮発性メモリ用電源がオンの状態の場合に、第1のバッファメモリに記録されているデータを不揮発性メモリに転送し、制御部は、第1のバッファメモリに記録されているデータを不揮発性メモリに転送した後に、不揮発性メモリ用電源をオフに切り替え、制御部は、不揮発性メモリが記憶している出力対象のデータを第2のバッファメモリを介して外部へ出力する際に、出力対象のデータの第2のバッファメモリへの転送を開始してから出力対象のデータを第2のバッファメモリへ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源をオフの状態とする、データレコーダ、である。

10

【発明の効果】

【0011】

本開示の一態様のデータレコーダにおいて、制御部は、第1のバッファメモリに記録されているデータの量と、入力インタフェースを介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源をオンに切り替え、入力インタフェースは、不揮発性メモリ用電源がオンの状態の場合に、第1のバッファメモリに記録されているデータを不揮発性メモリに転送し、制御部は、第1のバッファメモリに記録されているデータを不揮発性メモリに転送した後に、不揮発性メモリ用電源をオフに切り替える。これにより、放射線による悪影響を抑制できるデータレコーダが提供される。

20

【0012】

また、本開示の別の態様のデータレコーダにおいて、制御部は、不揮発性メモリが記憶している出力対象のデータを第2のバッファメモリを介して外部へ出力する際に、出力対象のデータの第2のバッファメモリへの転送を開始してから出力対象のデータを第2のバッファメモリへ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源をオフの状態とする。これにより、放射線による悪影響を抑制できるデータレコーダが提供される。

30

【0013】

また、本開示のさらに別の態様のデータレコーダにおいて、制御部は、第1のバッファメモリに記録されているデータの量と、入力インタフェースを介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源をオンに切り替え、入力インタフェースは、不揮発性メモリ用電源がオンの状態の場合に、第1のバッファメモリに記録されているデータを不揮発性メモリに転送し、制御部は、第1のバッファメモリに記録されているデータを不揮発性メモリに転送した後に、不揮発性メモリ用電源をオフに切り替え、制御部は、不揮発性メモリが記憶している出力対象のデータを第2のバッファメモリを介して外部へ出力する際に、出力対象のデータの第2のバッファメモリへの転送を開始してから出力対象のデータを第2のバッファメモリへ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源をオフの状態とする。これにより、放射線による悪影響を抑制できるデータレコーダが提供される。

40

【0014】

また、本開示の一態様のデータレコーダの使用方法は、本開示のデータレコーダを使用する方法であるデータレコーダの使用方法であって、放射線環境にデータレコーダを配置して、データレコーダにデータを記録またはデータレコーダに記録されたデータを再生す

50

る、データレコーダの使用法、である。これにより、放射線による悪影響を抑制できるデータレコーダの使用法が提供される。

【 0 0 1 5 】

また、本願明細書に開示される技術に関連する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 実施の形態 1 のデータレコーダの構成を示すブロック図である。

【 図 2 】 実施の形態 1 のデータレコーダのデータ受信処理のフローチャートである。

【 図 3 】 実施の形態 1 のデータレコーダの記憶処理のフローチャートである。

10

【 図 4 】 実施の形態 1 のデータレコーダの再生データ読み出し処理のフローチャートである。

【 図 5 】 実施の形態 1 のデータレコーダの再生処理のフローチャートである。

【 図 6 】 実施の形態 2 のデータレコーダの構成を示すブロック図である。

【 図 7 】 実施の形態 2 のデータレコーダの動作を説明するための図である。

【 図 8 】 実施の形態 2 のデータレコーダの動作を説明するための図である。

【 図 9 】 実施の形態 3 のデータレコーダの構成を示すブロック図である。

【 図 1 0 】 実施の形態 3 のデータレコーダの不揮発性メモリ用電源の電流値を監視する処理のフローチャートである。

【 図 1 1 】 実施の形態 4 のデータレコーダの構成を示すブロック図である。

20

【 図 1 2 】 実施の形態 4 のデータレコーダの記憶データ更新処理のフローチャートである。

【 図 1 3 】 実施の形態 5 のデータレコーダの構成を示すブロック図である。

【 図 1 4 】 実施の形態 1 から 5 のデータレコーダの一部のハードウェア構成を示す図である。

【 図 1 5 】 実施の形態 6 のデータレコーダの一態様の構成を示すブロック図である。

【 図 1 6 】 実施の形態 6 のデータレコーダの一態様の構成を示すブロック図である。

【 図 1 7 】 実施の形態 6 のデータレコーダの一態様の構成を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

< A . 実施の形態 1 >

30

< A - 1 . 構成 >

図 1 は実施の形態 1 に係るデータレコーダであるデータレコーダ 1 の構成を示すブロック図である。

【 0 0 1 8 】

データレコーダ 1 は入力インタフェース 2 と記憶部 3 と制御部 4 と出力インタフェース 5 を備える。

【 0 0 1 9 】

入力インタフェース 2 はデータ送受信部 2 1 とバッファメモリ 2 2 (第 1 のバッファメモリ) とを備える。

【 0 0 2 0 】

40

入力インタフェース 2 はデータレコーダ 1 の外部から送信されるデータを受信し、当該データを記憶部 3 へ転送する。

【 0 0 2 1 】

入力インタフェース 2 は外部から受信したデータをバッファメモリ 2 2 に一時保存する。外部から受信したデータをバッファメモリ 2 2 に一時保存することで、後述するように記憶部 3 が備える不揮発性メモリ用電源 3 3 をオフにする猶予が生まれる。

【 0 0 2 2 】

記憶部 3 はデータ送受信部 3 1 と不揮発性メモリ 3 2 と不揮発性メモリ用電源 3 3 と電源制御信号受信部 3 4 を備える。データ送受信部 3 1 は入力インタフェース 2 から転送されるデータを受信し、不揮発性メモリ 3 2 へ格納する。また、データの再生時は不揮発性

50

メモリ 3 2 からデータを読み込み、当該データを出力インタフェース 5 へ転送する。

【 0 0 2 3 】

不揮発性メモリ 3 2 は、例えばフラッシュメモリ、MRAM、EEPROM等の、不揮発性の半導体メモリである。

【 0 0 2 4 】

不揮発性メモリ用電源 3 3 は不揮発性メモリ 3 2 へ電力を供給する電源であり、電源制御信号受信部 3 4 から転送される電源の制御信号によって、オンとオフが切り替わる。

【 0 0 2 5 】

電源制御信号受信部 3 4 は制御部 4 から送信される電源制御信号を受信し、不揮発性メモリ用電源 3 3 へ受信した電源制御信号を転送する。制御部 4 は、このように、電源制御信号受信部 3 4 を介して、不揮発性メモリ用電源 3 3 のオンとオフを制御する。

10

【 0 0 2 6 】

制御部 4 は、コマンド受信部 4 1 と、データ量監視部 4 2 と、電源制御信号送信部 4 3 と、を備える。

【 0 0 2 7 】

コマンド受信部 4 1 は通信の開始を示すコマンドを受信する。当該コマンドは、記録と再生どちらの通信かの情報を含む。コマンドが再生を指示するコマンドである場合は、当該コマンドは、例えば、再生するデータを指定する情報も含む。

【 0 0 2 8 】

データ量監視部 4 2 は、入力インタフェース 2 の備えるバッファメモリ 2 2 および出力インタフェース 5 の備えるバッファメモリ 5 2 に記憶されているデータの量を監視する。

20

【 0 0 2 9 】

電源制御信号送信部 4 3 は、記憶部 3 の備える電源制御信号受信部 3 4 に電源制御信号を送信する。

【 0 0 3 0 】

制御部 4 はバッファメモリ 2 2 に記憶されているデータの量をデータ量監視部 4 2 により監視し、閾値（第 1 の閾値、以下閾値 4 0 0 とする）を超過した場合に、電源制御信号送信部 4 3 により、電源制御信号受信部 3 4 へ、不揮発性メモリ用電源 3 3 をオンにするよう指示する電源制御信号を送信する。閾値 4 0 0 は、本実施の形態では、予め定められ、制御部 4 に記憶されている。

30

【 0 0 3 1 】

閾値 4 0 0 の決定方法は限定されないが、例えば、バッファメモリ 2 2 の容量に対する、バッファメモリ 2 2 が記憶しているデータの量の割合（例えば 8 0 % など）としても良い。また、バッファメモリ 2 2 への書込みの速度と、不揮発性メモリ用電源 3 3 をオフからオンに切り替える際に不揮発性メモリ 3 2 への書き込み可能になるために必要な時間に基づいて設定しても良い。以下、制御部 4 が不揮発性メモリ用電源 3 3 をオンにするよう指示する電源制御信号を電源制御信号受信部 3 4 へ送信してから不揮発性メモリ 3 2 への書き込みが可能になるために必要な時間を不揮発性メモリ 3 2 の立ち上がり時間と呼ぶ。

【 0 0 3 2 】

出力インタフェース 5 は入力インタフェース 2 と同様の構造であり、出力インタフェース 5 は、データ送受信部 5 1 とバッファメモリ 5 2（第 2 のバッファメモリ）とを備える。出力インタフェース 5 は記憶部 3 からのデータを受信しデータレコーダ 1 の外部へデータを送信する機能を持つ。

40

【 0 0 3 3 】

バッファメモリ 2 2 および 5 2 は、例えば、RAM（Random Access Memory）、フラッシュメモリ、MRAM、EEPROM等の、不揮発性または揮発性の半導体メモリや、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、DVD等の書き換え可能なメモリのうちのいずれかまたはその組み合わせである。バッファメモリ 2 2 および 5 2 は、不揮発性メモリ 3 2 と比べ記憶容量が少なくてもよく、また、不揮発性メモリ 3 2 と比べ、放射線の悪影響を受けにくい構成とす

50

る、または、複数のメモリモジュールを備えるパッケージである構成とする、等により、放射線の悪影響により部分的に故障した際の影響を抑えることが容易である。

【 0 0 3 4 】

< A - 2 . 動作 >

まず、放射線によるデータレコーダ 1 への悪影響の例について、説明する。放射線による半導体素子への悪影響は、シングルイベント効果 (Single Event Effect、SEE) と呼ばれている。シングルイベント効果の主たる例として、放射線によって記憶しているデータが書き換わるシングルイベントアップセット (Single Event Upset、以下、アップセットと記載する)、過電流が流れるシングルイベントラッチアップ (Single Event Latch-up、SEL、以下、ラッチアップと記載する) が挙げられる。例えばデータレコーダ 1 に CMOS IC (Complementary metal-oxide-semiconductor Integrated Circuit、相補型金属酸化物半導体集積回路) が使われており、CMOS IC に放射線が当たりラッチアップが起これば、制御不能状態となり過電流が流れ続け回路を破壊してしまう可能性がある。ラッチアップへの対策としては、データレコーダ 1 またはその構成要素の電源をオフとすることにより、データレコーダ 1 または当該その構成要素でのラッチアップ発生を防止することができる。

10

【 0 0 3 5 】

< A - 2 - 1 . データ受信処理および記憶処理の動作 >

図 2 はデータレコーダ 1 のデータ受信処理のフローチャートである。

20

【 0 0 3 6 】

データレコーダ 1 のデータ受信処理において、入力インタフェース 2 は、データレコーダ 1 の外部から送信されるデータの受信を試み (ステップ S 2 1)、外部からデータを受信すれば (ステップ S 2 1 : YES)、逐次、受信したデータをバッファメモリ 2 2 に転送し、また、転送し終えたデータを消去する (ステップ S 2 2)。ステップ S 2 1 において外部からデータを受信しなければ (ステップ S 2 1 : NO)、ステップ S 2 1 で外部から送信されるデータの受信を試みることを繰り返す。また、ステップ S 2 2 の後は、再度ステップ S 2 1 に移行する。

【 0 0 3 7 】

図 3 にデータレコーダ 1 の記憶処理のフローチャートを示す。

30

【 0 0 3 8 】

制御部 4 は、データ量監視部 4 2 により、バッファメモリ 2 2 に記憶されているデータの量を監視し、閾値 4 0 0 を超過したかの判定をする (ステップ S 3 1)。バッファメモリ 2 2 に記憶されているデータの量が閾値 4 0 0 を超過した場合 (ステップ S 3 1 : YES)、制御部 4 は電源制御信号送信部 4 3 により電源制御信号を電源制御信号受信部 3 4 へ送り、不揮発性メモリ用電源 3 3 の電源をオフ状態からオンへ切り替える (ステップ S 3 2)。不揮発性メモリ用電源 3 3 の電源がオンになれば不揮発性メモリ 3 2 への書き込みが可能になるので、データ送受信部 2 1 はバッファメモリ 2 2 からデータを読み込み、記憶部 3 へデータを転送する (ステップ S 3 3)。記憶部 3 へ転送されたデータは、不揮発性メモリ 3 2 に書き込まれる。

40

【 0 0 3 9 】

データ量監視部 4 2 は再びバッファメモリ 2 2 の記憶しているデータ量を監視し、バッファメモリ 2 2 が空かどうかを判定する (ステップ S 3 4)。ステップ S 3 4 でバッファメモリ 2 2 が空でなければ (ステップ S 3 4 : NO)、つまり、バッファメモリ 2 2 に記憶されているデータが残っていれば、ステップ S 3 3 に移り、記憶部 3 へのデータ転送が繰り返される。

【 0 0 4 0 】

バッファメモリ 2 2 内のデータが全て転送されバッファメモリ 2 2 が空であれば (ステップ S 3 4 : YES)、制御部 4 は電源制御信号送信部 4 3 により電源制御信号受信部 3 4 へ電源制御信号を送信し、不揮発性メモリ用電源 3 3 の電源をオフに切り替える (ステ

50

ップ S 3 5)。

【 0 0 4 1 】

データレコーダ 1 は、以上説明したデータ受信処理および記憶処理により、外部からのデータを受信し、不揮発性メモリ 3 2 に記憶する。その際、制御部 4 は、図 3 のフローチャートのステップ S 3 1 およびステップ S 3 2 のように、バッファメモリ 2 2 に記録されているデータの量に基づいて決めたタイミングで、不揮発性メモリ用電源 3 3 をオンに切り替え、入力インタフェース 2 は、不揮発性メモリ用電源 3 3 がオンの状態の場合に、バッファメモリ 2 2 に記録されているデータを不揮発性メモリ 3 2 に転送し、制御部 4 は、バッファメモリ 2 2 に記録されているデータの不揮発性メモリ 3 2 への転送が終わった後に、不揮発性メモリ用電源 3 3 をオフに切り替える。これにより、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。特に、データレコーダ 1 へのデータ入力が長時間続く、またはデータレコーダ 1 へのデータ入力が頻繁に行われるような場合においても、不揮発性メモリ 3 2 をオフにすることで、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。

10

【 0 0 4 2 】

< A - 2 - 2 . 再生データ読み出し処理および再生処理の動作 >

図 4 は、再生データ読み出し処理のフローチャートである。再生データ読み出し処理は、後述の再生処理のために、再生データを不揮発性メモリ 3 2 からバッファメモリ 5 2 に読み出す処理のことである。また、再生データは、データレコーダ 1 の出力対象のデータ、つまり再生しようとするデータであり、例えばコマンド受信部 4 1 が受信した再生要求のコマンドで再生するよう指定されたデータのことである。

20

【 0 0 4 3 】

制御部 4 はコマンド受信部 4 1 が再生要求のコマンドを受信したかどうかを確認する (ステップ S 4 1)。コマンド受信部 4 1 が受信した再生要求のコマンドがあれば (ステップ S 4 1 : Y E S)、ステップ S 4 2 に進む。コマンド受信部 4 1 が受信した再生要求のコマンドがなければ (ステップ S 4 1 : N O)、ステップ S 4 1 を繰り返す。

【 0 0 4 4 】

ステップ S 4 2 では、バッファメモリ 5 2 が空かどうかを確認する (ステップ S 4 2)。バッファメモリ 5 2 が空でなければ (ステップ S 4 2 : N O)、バッファメモリ 5 2 に残っているデータの再生が完了しバッファメモリ 5 2 が空になるまで、ステップ S 4 2 を繰り返す。

30

【 0 0 4 5 】

バッファメモリ 5 2 が空であれば (ステップ S 4 2 : Y E S)、制御部 4 は電源制御信号送信部 4 3 により電源制御信号受信部 3 4 へ電源制御信号を送信し、不揮発性メモリ用電源 3 3 の電源をオフからオンに切り替える (ステップ S 4 3)。

【 0 0 4 6 】

次に、記憶部 3 の備えるデータ送受信部 3 1 は、記憶部 3 の不揮発性メモリ 3 2 から再生データを読み出し、出力インタフェース 5 の備えるデータ送受信部 5 1 へ送信する (ステップ S 4 4)。

【 0 0 4 7 】

次に、データ送受信部 5 1 は、データ送受信部 3 1 から受信した再生データを、バッファメモリ 5 2 へ書き込む (ステップ S 4 5)。

40

【 0 0 4 8 】

ステップ S 4 4 とステップ S 4 5 では、不揮発性メモリ 3 2 からまだ読み出されていない再生データの量がバッファメモリ 5 2 の容量より多い場合、バッファメモリ 5 2 が記憶できる分の再生データが、不揮発性メモリ 3 2 から読み出され、データ送受信部 3 1 およびデータ送受信部 5 1 を介してバッファメモリ 5 2 へ送信される。

【 0 0 4 9 】

次に、制御部 4 は、全ての再生データが記憶部 3 の不揮発性メモリ 3 2 から読み出されバッファメモリ 5 2 へ送信されたかを判定する (ステップ S 4 6)。

50

【 0 0 5 0 】

一部の再生データの揮発性メモリ 3 2 からの読み出しとバッファメモリ 5 2 への送信が終わっていない場合（ステップ S 4 6 : N O ）、ステップ S 4 7 に進む。

【 0 0 5 1 】

ステップ S 4 7 において、制御部 4 は、バッファメモリ 5 2 が空かどうかを確認する（ステップ S 4 7 ）。

【 0 0 5 2 】

ステップ S 4 7 においてバッファメモリ 5 2 が空でない場合（ステップ S 4 7 : N O ）、制御部 4 は揮発性メモリ用電源 3 3 をオフ状態とし（ステップ S 4 8 ）、バッファメモリ 5 2 が後述の再生処理により空になるまで、ステップ S 4 7 を繰り返す。ステップ S 4 8 において、制御部 4 は、揮発性メモリ用電源 3 3 が元々オンであった場合は電源制御信号送信部 4 3 によりオフに切り替え、揮発性メモリ用電源 3 3 が元々オフであった場合は、オフのままにする。

10

【 0 0 5 3 】

ステップ S 4 7 においてバッファメモリ 5 2 が空の場合（ステップ S 4 7 : Y E S ）、ステップ S 4 3 に進む。

【 0 0 5 4 】

ステップ S 4 6 において、全部の再生データの揮発性メモリ 3 2 からの読み出しとバッファメモリ 5 2 への送信が終わっていた場合（ステップ S 4 6 : Y E S ）、制御部 4 は電源制御信号送信部 4 3 により揮発性メモリ用電源 3 3 の電源をオンからオフに切り替え（ステップ S 4 9 ）、ステップ S 4 1 に進む。

20

【 0 0 5 5 】

図 5 は再生処理のフローチャートである。再生処理は、再生データ読み出し処理で揮発性メモリ 3 2 から読み出されバッファメモリ 5 2 へ送信された再生データを、出力インタフェース 5 を介して外部へ送信する処理である。

【 0 0 5 6 】

再生処理において、データ送受信部 5 1 はバッファメモリ 5 2 に再生データがあるかを判定し（ステップ S 5 1 ）、バッファメモリ 5 2 に再生データがあれば（ステップ S 5 1 : Y E S ）、バッファメモリ 5 2 にある再生データを外部へ送信し、また、送信し終えた再生データをバッファメモリ 5 2 から消去する（ステップ S 5 2 ）。ステップ S 5 2 の後は、ステップ S 5 1 を繰り返す。

30

【 0 0 5 7 】

ステップ S 5 1 においてバッファメモリ 5 2 に再生データがなければ（ステップ S 5 1 : N O ）、ステップ S 5 1 を繰り返す。

【 0 0 5 8 】

データレコーダ 1 は、以上説明した再生データ読み出し処理および再生処理により、揮発性メモリ 3 2 に記憶されていた再生データを、バッファメモリ 5 2 を介して、つまり一度バッファメモリ 5 2 に保存した後にバッファメモリ 5 2 から読み出して外部へ、出力する。その際、制御部 4 は、データの再生中に揮発性メモリ用電源 3 3 をオフにする猶予がある場合、図 4 のフローチャートのステップ S 4 8 により、再生データのバッファメモリ 5 2 への転送を開始してから再生データをバッファメモリ 5 2 へ転送し終わるまでの間の期間のうち一部の期間に、揮発性メモリ用電源 3 3 をオフの状態とする。これにより、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。特に、データの再生が長時間続き、バッファメモリ 5 2 の容量以上の量のデータが再生される場合に、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。

40

【 0 0 5 9 】

< A - 3 . 効果 >

制御部 4 は、再生データのバッファメモリ 5 2 への転送を開始してから再生データをバッファメモリ 5 2 へ転送し終わるまでの間の期間のうち一部の期間に、揮発性メモリ用電源 3 3 をオフの状態とする。これにより、放射線による悪影響を抑制できる。

50

【 0 0 6 0 】

< A - 4 . 変形例 1 >

上記の< A - 2 . 動作 >の項目では、< A - 2 - 1 . データ受信処理および記憶処理の動作 >において、データレコーダ 1 へのデータ入力時、制御部 4 は、バッファメモリ 2 2 に記録されているデータの量に基づいて決めたタイミングで、不揮発性メモリ用電源 3 3 をオンに切り替え、また、バッファメモリ 2 2 に記録されているデータの不揮発性メモリ 3 2 への転送が終わった後に、不揮発性メモリ用電源 3 3 をオフに切り替えるとして説明した。しかし、データレコーダ 1 は、図 3 のフローチャートにおいて、ステップ S 3 2 およびステップ S 3 5 の不揮発性メモリ用電源 3 3 のオンとオフの制御がなされる代わりに、外部からのデータ入力を実行中は不揮発性メモリ用電源 3 3 をオンにし、外部からのデータ入力を実行中以外は不揮発性メモリ用電源 3 3 をオフにする、という制御がされる、という構成でもよい。そのような構成のデータレコーダ 1 においても、< A - 3 . 効果 >に記載の効果が得られる。

10

【 0 0 6 1 】

< A - 5 . 変形例 2 >

ステップ S 4 2、およびステップ S 4 7 では、制御部 4 はバッファメモリ 5 2 が空かどうかを判定したが、バッファメモリ 5 2 が空かどうかを判定する代わりに、バッファメモリ 5 2 の記憶しているデータ量が閾値（第 2 の閾値、以下、閾値 4 0 1 とする）未満になったかどうか、を判定してもよい。閾値 4 0 1 は、例えば、不揮発性メモリ 3 2 の立ち上がり時間を考慮して、不揮発性メモリ用電源 3 3 をオンに切り替えて不揮発性メモリ 3 2 からの読み出しが可能になる前にバッファメモリ 5 2 が空にならない範囲で、なるべく小さい値として定められ、制御部 4 に記憶される。制御部 4 は、このような構成により、再生データをバッファメモリ 5 2 へ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源 3 3 をオフの状態とする。これにより、データレコーダ 1 へは、外部へのデータ出力に支障をきたすことなく、不揮発性メモリ用電源 3 3 をオフの状態の時間を増やし、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。

20

【 0 0 6 2 】

また、ステップ S 4 2、およびステップ S 4 7 では、不揮発性メモリ 3 2 からまだ読み出されていない再生データの量がバッファメモリ 5 2 の空き容量以下の場合には、ステップ S 4 3 に進み、当該まだ読み出されていない再生データをバッファメモリ 5 2 へ転送してもよい。

30

【 0 0 6 3 】

< A - 6 . その他 >

上記の< A - 2 . 動作 >では、記憶処理および再生データ読み出し処理のそれぞれについて、説明中の処理以外では不揮発性メモリ 3 2 への書き込みおよび不揮発性メモリ 3 2 からの読み出しが行われていない状況を想定して説明をした。しかし、記憶処理または再生データ読み出し処理で不揮発性メモリ用電源 3 3 をオフにしようとした際、同時に行われている他の処理において、不揮発性メモリ 3 2 への書き込みまたは不揮発性メモリ 3 2 からの読み出しまたはその両方が行われている場合も考えられる。そのような場合に、実行中の不揮発性メモリ 3 2 への書き込みまたは不揮発性メモリ 3 2 からの読み出しまたはその両方が妨げられないよう、制御部 4 は、不揮発性メモリ 3 2 への書き込みおよび不揮発性メモリ 3 2 からの読み出しが行われていないタイミングでのみ、不揮発性メモリ用電源 3 3 をオフに切り替える。

40

【 0 0 6 4 】

例えば、図 3 に示される記憶処理のフローチャートのステップ S 3 5 において、記憶処理以外の処理での不揮発性メモリ 3 2 への書き込みまたは不揮発性メモリ 3 2 からの読み出しまたはその両方が行われているタイミングでは、制御部 4 は不揮発性メモリ用電源 3 3 をオフに切り替えず、ステップ S 3 1 に進む。記憶処理以外の処理での不揮発性メモリ 3 2 への書き込みまたは不揮発性メモリ 3 2 からの読み出しまたはその両方が行われているタイミングとは、例えば、図 4 に示される再生データ読み出し処理のフローチャートの

50

ステップ S 4 4 の処理が行われているタイミングである。ステップ S 3 5 において、記憶処理以外の処理での不揮発性メモリ 3 2 への書き込みおよび不揮発性メモリ 3 2 からの読み出しが行われていないタイミングでは、< A - 2 . 動作 > に説明したように、制御部 4 は不揮発性メモリ用電源 3 3 をオフに切り替えてステップ S 3 1 に進む。図 4 に示される再生データ読み出し処理のフローチャートのステップ S 4 8 , 4 9 においても同様である。

【 0 0 6 5 】

制御部 4 は、予め定められた状況では不揮発性メモリ 3 2 への書き込みまたは不揮発性メモリ 3 2 からの読み出しまたはその両方が行われているタイミングでも不揮発性メモリ用電源 3 3 をオフにし、当該予め定められた状況以外では、不揮発性メモリ 3 2 への書き込みおよび不揮発性メモリ 3 2 からの読み出しが行われていないタイミングでのみ、不揮発性メモリ用電源 3 3 をオフにする、という構成でもよい。当該予め定められた状況は、例えば、強制的に不揮発性メモリ用電源 3 3 をオフにするというコマンドをコマンド受信部 4 1 を介して外部から受信したという状況である。また、後述の実施の形態 3 のデータレコーダ 1 c のように、過電流を検知した場合に不揮発性メモリ用電源 3 3 をオフにする、という機能を備える場合には、当該予め定められた状況は、例えば、不揮発性メモリ用電源 3 3 の過電流を検知した場合に不揮発性メモリ用電源 3 3 をオフにする、という状況である。

10

【 0 0 6 6 】

< B . 実施の形態 2 >

実施の形態 1 のデータレコーダ 1 では、入力インタフェース 2 の備えるバッファメモリ 2 2 に記憶されているデータの量が閾値を超過した場合に、不揮発性メモリ用電源 3 3 はオフからオンに変更された。バッファメモリ 2 2 に記憶されているデータの量の閾値として実施の形態 1 で用いた閾値 4 0 0 は固定値であり変動することはない。しかし、データレコーダが外部からのデータを受信、または外部へ送信する通信速度が一定でない場合、放射線対策や省電力化の観点から閾値を動的に変更できることが望ましい。

20

【 0 0 6 7 】

< B - 1 . 構成 >

図 6 は実施の形態 2 に係るデータレコーダであるデータレコーダ 1 b の構成を示すブロック図である。

【 0 0 6 8 】

データレコーダ 1 b は、実施の形態 1 に係るデータレコーダであるデータレコーダ 1 と比べ、制御部 4 が制御部 4 b となっている点が異なる。本実施の形態 2 では、入力インタフェース 2 および出力インタフェース 5 は、外部と複数の通信速度で通信可能という制限がつくが、実施の形態 1 と同じインタフェースである入力インタフェース 2 および出力インタフェース 5 として説明する。他の点は、データレコーダ 1 b の構成はデータレコーダ 1 b と同じである。外部との通信速度は、外部からデータレコーダ 1 b へデータを入力する場合はそのデータ入力速度であり、データレコーダ 1 b から外部にデータを出力する場合はそのデータ出力速度である。

30

【 0 0 6 9 】

データレコーダ 1 b は、外部と複数の通信速度で通信可能というだけでなく、入力と出力で通信速度が違うという構成でもよい。

40

【 0 0 7 0 】

制御部 4 b は、制御部 4 と比べ、閾値制御部 4 4 をさらに備える。制御部 4 b は、実施の形態 1 の制御部 4 と同様、バッファメモリ 2 2 に記憶されているデータの量をデータ量監視部 4 2 により監視し、閾値 4 0 0 を超過した場合に、電源制御信号送信部 4 3 により、電源制御信号受信部 3 4 へ、不揮発性メモリ用電源 3 3 をオンにするよう指示する電源制御信号を送信する。本実施の形態では、閾値制御部 4 4 が閾値 4 0 0 を制御する。制御部 4 b の備えるコマンド受信部 4 1 が受信する通信の開始を示すコマンドは、通信速度の情報を含む。他の点は、制御部 4 b の構成は制御部 4 と同様である。

【 0 0 7 1 】

50

< B - 2 . 動作 >

データレコーダ 1 b へのデータ入力時のデータレコーダ 1 b のデータ受信処理および記憶処理の動作はそれぞれ、閾値 4 0 0 が閾値制御部 4 4 に制御されるものであることを除けば、実施の形態 1 の < A - 2 - 1 . データ受信処理および記憶処理の動作 > で説明した動作と同様である。また、データレコーダ 1 b のデータ再生時の再生データ読み出し処理および再生処理の動作は、実施の形態 1 の < A - 2 - 2 . 再生データ読み出し処理および再生処理の動作 > で説明した動作と同様である。但し、実施の形態 1 の説明の制御部 4 は制御部 4 b と読み替える。

【 0 0 7 2 】

以下、データレコーダ 1 b が外部からデータを入力される場合の、データ入力の速度に基づいた閾値 4 0 0 の制御について説明する。

【 0 0 7 3 】

例として通信速度が 2 種類ある場合を考え、通信速度が低い通信を低速データ通信とし、もう一方を高速データ通信とする。

【 0 0 7 4 】

閾値 4 0 0 を、低速データ通信に適したように、つまり低速データ通信の場合にバッファメモリ 2 2 がオーバーフローせずかつバッファメモリ 2 2 を十分活用できるように設定していた場合、同じ値の閾値 4 0 0 を用いて高速データ通信を行うと、バッファメモリ 2 2 がオーバーフローする可能性がある。

【 0 0 7 5 】

一方、閾値 4 0 0 を、高速データ通信に適したように、つまり高速データ通信の場合にバッファメモリ 2 2 がオーバーフローせずかつバッファメモリ 2 2 を十分活用できるように設定していた場合、同じ値の閾値 4 0 0 で低速データ通信を行うと、バッファメモリ 2 2 に空き容量がある、つまり不揮発性メモリ用電源 3 3 の電源をオフ状態にしておくことのできる猶予がある状態で、不揮発性メモリ用電源 3 3 をオン状態に切り替えることになる。つまり不揮発性メモリ用電源 3 3 のオフ状態の時間を延ばす余地があり、放射線対策や省電力化をより効果的に行う余地がある。

【 0 0 7 6 】

以下、具体的に説明する。

【 0 0 7 7 】

バッファメモリ 2 2 の記憶容量を M_B [G b i t]、バッファメモリ 2 2 の記憶しているデータの量を M_W [G b i t] とする。また、不揮発性メモリ 3 2 の立ち上がり時間を T_{POW} [s]、外部からの入力の通信速度を A [G b p s] とする。通信速度 A は、本実施の形態では高速データ通信における通信速度 A^0 または低速データ通信における通信速度 A^1 のいずれかであるが、一連の通信ではどちらかに固定されている場合を考える。 A^0 と A^1 は、 $A^0 > A^1$ を満たす。バッファメモリ 2 2 がオーバーフローする時間を T_{OVR} [s] とすると、 $T_{OVR} = (M_B - M_W) / A$ である。

【 0 0 7 8 】

図 3 に示されるフローチャートの動作で不揮発性メモリ 3 2 がオーバーフローしないためには、不揮発性メモリ 3 2 が稼働するまでの時間 T_{POW} とオーバーフローするまでの時間 T_{OVR} は $T_{OVR} = (M_B - M_W) / A > T_{POW}$ の関係を満たさなければならない。この関係を満たす M_W の最大値を M_{LIM} とすると、 $M_{LIM} = M_B - A \cdot T_{POW}$ である。 $A = A^0$ の場合の M_{LIM} を M_{LIM}^0 、 $A = A^1$ の場合の M_{LIM} を M_{LIM}^1 とする。

【 0 0 7 9 】

より具体的に、例として、 $M_B = 5$ G b i t、 $A^0 = 2$ G b p s、 $A^1 = 1$ G b p s、 $T_{POW} = 1$ s、また、バッファメモリ 2 2 から不揮発性メモリ 3 2 へのデータ転送速度は外部からのデータ入力の速度より速い 5 G b p s の場合を考える。上記の式より、 M_{LIM}^0 と M_{LIM}^1 はそれぞれ、 $M_{LIM}^0 = 3$ G b i t と $M_{LIM}^1 = 4$ G b i t である。ここで挙げた値は例であり、データレコーダ 1 b の設計に応じて変更可能である。

10

20

30

40

50

【 0 0 8 0 】

図 7 および図 8 はそれぞれ、低速データ通信において、閾値 4 0 0 が M^0_{LIM} の場合と閾値 4 0 0 が M^1_{LIM} の場合の、バッファメモリ 2 2 に記録されているデータの量 M_W の変動を表している。

【 0 0 8 1 】

図 7 は閾値 4 0 0 が M^0_{LIM} の場合の M_W の変動を表す。時間 $t = 0$ s で通信を開始すると、 M_W は、時間 $t = 3$ s に 3 G b i t となり、 M^0_{LIM} に達するため、制御部 4 b は不揮発性メモリ用電源 3 3 の電源をオン状態に切り替えるよう指示する信号を送る。 $T_{POW} = 1$ s であるため、不揮発性メモリ 3 2 への書き込みは時間 $t = 4$ s より後に可能となる。バッファメモリ 2 2 から不揮発性メモリ 3 2 へのデータ転送速度を 5 G b p s であるため、通信速度 $A^1 = 1$ G b p s との差分 4 G b p s が M_W の減少速度であり、 $t = 5$ s に、 M_W は 0 G b i t となり、制御部 4 b は不揮発性メモリ用電源 3 3 の電源をオフ状態に切り替える。以後同じ動作を繰り返し、 $t = 2.5$ s まで考えると、データレコーダ 1 b は外部から 2.5 G b i t のデータを入力され、その間の不揮発性メモリ用電源 3 3 がオン状態である時間は、計 1 0 秒間である。

10

【 0 0 8 2 】

図 8 は閾値 4 0 0 が M^1_{LIM} の場合の M_W の変動を表す。時間 $t = 0$ s で通信を開始すると、 M_W は、時間 $t = 4$ s に 4 G b i t となり、 M^1_{LIM} に達するため、制御部 4 b は不揮発性メモリ用電源 3 3 の電源をオン状態に切り替えるよう指示する信号を送る。 $T_{POW} = 1$ s であるため、不揮発性メモリ 3 2 への書き込みは時間 $t = 5$ s より後に可能となる。バッファメモリ 2 2 から不揮発性メモリ 3 2 へのデータ転送速度を 5 G b p s であるため、通信速度 $A^1 = 1$ G b p s との差分 4 G b p s が M_W の減少速度であり、 $t = 6.25$ s に、 M_W は 0 G b i t となり、制御部 4 b は不揮発性メモリ用電源 3 3 の電源をオフ状態に切り替える。以後同じ動作を繰り返し、 $t = 2.5$ s まで考えると、データレコーダ 1 b は外部から 2.5 G b i t のデータを入力され、その間の不揮発性メモリ用電源 3 3 がオン状態である時間は、計 9 秒間である。

20

【 0 0 8 3 】

このように、同じ入力速度でデータ入力をしていて同じデータ量を記録する場合でも、閾値 4 0 0 をより大きな値とすることで、不揮発性メモリ用電源 3 3 がオンである時間を減らせる。閾値 4 0 0 が M^1_{LIM} の場合は、閾値 4 0 0 が M^0_{LIM} の場合と比べ、バッファメモリ 2 2 を有効に利用できるために、不揮発性メモリ用電源 3 3 のオンとオフの切り替え回数を少なくでき、その分、オン状態である時間を減らすことができる。図 7 の例では不揮発性メモリ 3 2 の立ち上がり時間のために不揮発性メモリ用電源 3 3 がオンである時間は 2.5 秒中 5 秒であるが、図 8 の例では、不揮発性メモリ用電源 3 3 のオンとオフの切り替えの回数が減ったため、不揮発性メモリ 3 2 の立ち上がり時間のために不揮発性メモリ用電源 3 3 がオンである時間は 2.5 秒中 4 秒である。

30

【 0 0 8 4 】

外部からのデータ入力に支障をきたさないために不揮発性メモリ 3 2 がオーバーフローしない範囲で、なるべく大きな値の閾値は、上でも述べたように高速データ通信の場合は M^0_{LIM} 、低速データ通信の場合は M^1_{LIM} であり異なる。そのため、本実施の形態のデータレコーダ 1 b においては、閾値制御部 4 4 は、外部からのデータ入力の速度に基づいて、高速データ通信の場合には閾値 4 0 0 を M^0_{LIM} に、低速データ通信の場合には閾値 4 0 0 を M^1_{LIM} に設定する。不揮発性メモリ 3 2 の立ち上がり時間が変動する可能性がある場合には、閾値 4 0 0 はその変動を考慮して M^0_{LIM} または M^1_{LIM} より少し小さめに設定されることが望ましい。

40

【 0 0 8 5 】

このように、本実施の形態のデータレコーダ 1 b においては、制御部 4 b は、バッファメモリ 2 2 に記録されているデータの量と、入力インタフェース 2 を介した外部からのデータ入力の速度と、に基づいて決めたタイミングで、不揮発性メモリ用電源 3 3 をオンに切り替える。より具体的には、制御部 4 b の備える閾値制御部 4 4 は、外部からのデータ

50

入力の速度に基づいて閾値 400 を決め、制御部 4b は、図 3 のフローチャートのステップ S31 およびステップ S32 で示されたように、バッファメモリ 22 に記録されているデータの量が閾値 400 を超過した場合に、不揮発性メモリ用電源 33 をオンに切り替える。また、入力インタフェース 2 は、不揮発性メモリ用電源 33 がオンの状態の場合に、バッファメモリ 22 に記録されているデータを不揮発性メモリ 32 に転送し、制御部 4 は、バッファメモリ 22 に記録されているデータを不揮発性メモリ 32 に転送した後に、不揮発性メモリ用電源 33 をオフに切り替える。このような構成により、不揮発性メモリ用電源 33 がオン状態である時間が減少するため、放射線による悪影響をより抑制でき、また、データレコーダ 1b をより省電力化できる。特に、上で説明したように、データレコーダ 1b へのデータ入力時間が長時間続く、またはデータレコーダ 1b へのデータ入力頻繁に行われるような場合においても、放射線による悪影響をより抑制でき、また、データレコーダ 1b をより省電力化できる。

10

【0086】

上記の説明では不揮発性メモリ用電源 33 をオンからオフにする際は不揮発性メモリ 32 への書き込みを終了後に瞬時にオフにできるものとして説明した。不揮発性メモリ 32 への書き込みを終了後に不揮発性メモリ用電源 33 がオフになるまでに時間がかかる場合、その分の時間についても、閾値制御部 44 が外部からのデータ入力の速度に基づいて決めたタイミングで不揮発性メモリ用電源 33 をオンに切り替えることで、不揮発性メモリ用電源 33 のオンとオフの切り替え回数の減少に伴って減少させることができる。

20

【0087】

一連のデータ入力中にはデータ入力の速度が一定の状況を想定して図 7 と図 8 との説明をしたが、一連のデータ入力中にデータ入力の速度が変わってもよい。その場合、制御部 4b は、例えば、バッファメモリ 22 に記録されているデータの量が変更後のデータ入力の速度に基づいて決まる閾値 400 を上回っている場合には、バッファメモリ 22 に記録されているデータの量が変更後のデータ入力の速度に基づいて決まる閾値 400 以下になってから、データ入力の速度の変更を許可する。

【0088】

閾値制御部 44 が外部からのデータ入力の速度に従って閾値 400 を制御するとして説明したが、閾値制御部 44 は、外部からのデータ入力の速度を、コマンド受信部 41 が受信した外部からのコマンドに含まれる通信速度の情報や、データ送受信部 21 の動作状況の情報や、バッファメモリ 22 に記憶されているデータ量の変動速度を監視することによっても得ることができ、これらの場合も、実質的に、閾値制御部 44 はデータ入力の速度に基づいて閾値 400 を制御するといえる。

30

【0089】

制御部 4b は、バッファメモリ 22 に記録されているデータの量と、入力インタフェース 2 を介した外部からのデータ入力の速度と、に基づいて決めたタイミングで、不揮発性メモリ用電源 33 をオンに切り替える、として説明したが、より一般に、データ入力の速度ではなくデータ入力の態様に基づくとしてもよい。例えば、データが一定量以下のまとまり毎に間隔を空けて断続的に入力されることがコマンド受信部 41 で受信したコマンドにより分かっている場合、当該一定量に基づいて、例えば空き容量が当該一定量以下になれば不揮発性メモリ 32 へデータを転送するよう、閾値 400 を制御してもよい。

40

【0090】

< B - 3 . 効果 >

データレコーダ 1b において、制御部 4b は、バッファメモリ 22 に記録されているデータの量と、入力インタフェース 2 を介した外部からのデータ入力の速度と、に基づいて決めたタイミングで、不揮発性メモリ用電源 33 をオンに切り替え、入力インタフェース 2 は、不揮発性メモリ用電源 33 がオンの状態の場合に、バッファメモリ 22 に記録されているデータを不揮発性メモリ 32 に転送し、制御部 4 は、バッファメモリ 22 に記録されているデータを不揮発性メモリ 32 に転送した後に、不揮発性メモリ用電源 33 をオフに切り替える。これにより、放射線による悪影響を抑制できる。

50

【 0 0 9 1 】

< B - 4 . 変形例 1 >

実施の形態 2 では外部からデータレコーダ 1 b にデータ入力を行う際に不揮発性メモリ用電源 3 3 をオンに切り替えるタイミングについて説明した。制御部 4 b は、データを再生する際に、不揮発性メモリ用電源 3 3 をオンに切り替えるタイミングも同様に、バッファメモリ 5 2 に記録されているデータの量と、外部へのデータ出力の態様と、に基づいて、制御してもよい。

【 0 0 9 2 】

制御部 4 b は、例えば、< A - 5 . 変形例 2 > で説明した閾値 4 0 1 を、外部へのデータ出力の態様に基づいて制御する。

【 0 0 9 3 】

閾値制御部 4 4 は、例えば、ステップ S 4 3 の後に不揮発性メモリ 3 2 からデータ読み出しが可能になる前にバッファメモリ 5 2 が空にならないような閾値の中でなるべく小さな閾値を、実行中のデータ出力の態様、例えばデータ出力の速度に応じて設定する。これにより、不揮発性メモリ用電源 3 3 のオンとオフの制御により外部へのデータ出力に支障がきたさないようにでき、かつ、不揮発性メモリ用電源 3 3 がオン状態である時間を抑え、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。特に、データの再生が長時間続き、バッファメモリ 5 2 の容量以上の量のデータが再生される場合に、放射線による悪影響を抑制でき、また、データレコーダ 1 を省電力化できる。

【 0 0 9 4 】

< B - 5 . 変形例 2 >

上記の< B - 2 . 動作 > では、データレコーダ 1 b のデータ再生時の再生データ読み出し処理および再生処理の動作は、実施の形態 1 の< A - 2 - 2 . 再生データ読み出し処理および再生処理の動作 > で説明した動作と同様である、として説明した。しかし、データレコーダ 1 b の制御部 4 は、再生データのバッファメモリ 5 2 への転送を開始してから再生データをバッファメモリ 5 2 へ転送し終わるまでの間は、不揮発性メモリ用電源 3 3 をオンの状態とし続ける、つまり図 4 のフローチャートにおいてステップ S 4 8 の動作を行わない、という構成でもよい。本変形例のデータレコーダ 1 b によっても、< B - 3 . 効果 > に記載の効果が得られる。

【 0 0 9 5 】

< C . 実施の形態 3 >

実施の形態 1 および 2 は不揮発性メモリ用電源 3 3 をオンにする必要が無い場合にオフにすることで、例えば放射線起因のラッチアップの頻度を抑制していた。しかし、不揮発性メモリ 3 2 が稼働中に放射線起因のラッチアップが起きる可能性はあるため、不揮発性メモリ用電源 3 3 がオンの際にラッチアップが発生した場合の対策もあることがより望ましい。実施の形態 3 に係るデータレコーダであるデータレコーダ 1 c では、ラッチアップ発生時の対策のため、不揮発性メモリ用電源 3 3 の電流値が監視され、過電流が検知されたら、不揮発性メモリ用電源 3 3 の電源がオフに切り替えられる。

【 0 0 9 6 】

< C - 1 . 構成 >

図 9 はデータレコーダ 1 c の構成を示すブロック図である。

【 0 0 9 7 】

データレコーダ 1 c は、実施の形態 1 に係るデータレコーダであるデータレコーダ 1 と比べ、制御部 4 が制御部 4 c となっている点が異なる。他の点は、データレコーダ 1 c の構成はデータレコーダ 1 c と同じである。

【 0 0 9 8 】

制御部 4 c は、制御部 4 と比べ、電流値監視部 4 5 をさらに備える。電流値監視部 4 5 は、不揮発性メモリ用電源 3 3 の電流値を取得し監視する。電流値監視部 4 5 は、不揮発性メモリ用電源 3 3 の電流値を、例えば不揮発性メモリ用電源 3 3 に設けられた電流計から取得する。

10

20

30

40

50

【 0 0 9 9 】

制御部 4 には、不揮発性メモリ 3 2 および不揮発性メモリ用電源 3 3 の仕様上安全な電流値である電流の閾値（第 3 の閾値、以下電流閾値 6 0）が、あらかじめ記録されている。また、制御部 4 c は、＜ C - 2 . 動作 ＞ で説明する、ラッチアップを検知し故障を防止または故障の頻度を抑制するための処理を行う。制御部 4 c は、他の点は、制御部 4 c の構成は制御部 4 と同じである。

【 0 1 0 0 】

制御部 4 c は、制御部 4 と比べ、電流値監視部 4 5 をさらに備える、としたが、制御部 4 c は制御部 4 b と比べ電流値監視部 4 5 をさらに備えるものであり、データレコーダ 1 c は＜ B - 2 . 動作 ＞ と同様の動作も行うというものであってもよい。

10

【 0 1 0 1 】

＜ C - 2 . 動作 ＞

データレコーダ 1 c はデータレコーダ 1 と同様、＜ A - 2 . 動作 ＞ の動作を行う。但し、＜ A - 2 . 動作 ＞ の説明において、制御部 4 は制御部 4 c と読み替える。

【 0 1 0 2 】

図 1 0 は、データレコーダ 1 c がラッチアップを検知し故障を防止または故障の頻度を抑制するための処理を示すフローチャートである。

【 0 1 0 3 】

不揮発性メモリ用電源 3 3 の電源がオンになると、図 1 0 に示されるフローチャートの動作が開始される。

20

【 0 1 0 4 】

電流値監視部 4 5 は、不揮発性メモリ用電源 3 3 の電源がオンになると不揮発性メモリ用電源 3 3 に流れている電流の値を取得する（ステップ S 1 0 1）。電流値監視部 4 5 が計測した不揮発性メモリ用電源 3 3 に流れている電流の値を、以下、計測電流値と呼ぶ。

【 0 1 0 5 】

電流値監視部 4 5 は、計測電流値が電流閾値 6 0 を超過しているかを判定する（ステップ S 1 0 2）。計測電流値が電流閾値 6 0 を超過していない場合、つまり過電流が検知されなかった場合（ステップ S 1 0 2 : N O）、ステップ S 1 0 3 に進む。

【 0 1 0 6 】

ステップ S 1 0 3 では、制御部 4 c は、不揮発性メモリ用電源 3 3 の状態がオン状態であるかどうかを確認し、不揮発性メモリ用電源 3 3 がオフ状態の場合（ステップ S 1 0 3 : N O）、図 1 0 に示されるフローチャートの動作を終了する。ステップ S 1 0 3 において、不揮発性メモリ用電源 3 3 がオン状態の場合（ステップ S 1 0 3 : Y E S）、ステップ S 1 0 1 に進む。

30

【 0 1 0 7 】

ステップ S 1 0 1、ステップ S 1 0 2、およびステップ S 1 0 3 の処理により、電流値監視部 4 5 は、不揮発性メモリ用電源 3 3 がオン状態の間、不揮発性メモリ用電源 3 3 に流れている電流の値が電流閾値 6 0 を超過していないかを監視し続ける。

【 0 1 0 8 】

ステップ S 1 0 2 において、計測電流値が電流閾値 6 0 を超過していると電流値監視部 4 5 が判定した場合、つまり過電流を検知した場合（ステップ S 1 0 2 : Y E S）、制御部 4 c は電源制御信号送信部 4 3 により不揮発性メモリ用電源 3 3 をオフに切り替える（ステップ S 1 0 4）。ただし、不揮発性メモリ用電源 3 3 が複数の電源装置を備え、複数の電源装置がそれぞれ不揮発性メモリ 3 2 に電力を供給している場合は、異常が検知された電源装置のみオフに切り替えるようにしてもよい。

40

【 0 1 0 9 】

ステップ S 1 0 4 で不揮発性メモリ用電源 3 3 がオフ状態になると、図 1 0 に示されるフローチャートの動作は終了する。

【 0 1 1 0 】

このように、制御部 4 c は、電流値監視部 4 5 が計測電流値に基づいて決めたタイミン

50

グで、不揮発性メモリ用電源 3 3 の電源をオフに切り替える。具体的には、計測電流値が電流閾値 6 0 を超過した場合に、不揮発性メモリ用電源 3 3 の電源をオフに切り替える。これにより、不揮発性メモリ用電源 3 3 がオンの状態で生じうるラッチアップの発生を検知し、ラッチアップに起因するデータレコーダ 1 c の故障を防止または故障の頻度を抑制できる。

【 0 1 1 1 】

< C - 3 . 効果 >

データレコーダ 1 c において、制御部 4 c は電流値監視部 4 5 を備え、制御部 4 c は、電流値監視部 4 5 が計測電流値に基づいて決めたタイミングで、不揮発性メモリ用電源 3 3 の電源をオフに切り替える。これにより、データレコーダ 1 c は、ラッチアップの発生
10

【 0 1 1 2 】

< D . 実施の形態 4 >

実施の形態 1 から 3 で説明したデータレコーダ 1、データレコーダ 1 b、およびデータレコーダ 1 c は、いずれも、不揮発性メモリ用電源 3 3 のオンとオフを切替えることで、アップセットやラッチアップの発生を抑制していた。

【 0 1 1 3 】

しかしながら、アップセットの累積による、訂正できないソフトエラーへの追加的な対策があることがより望ましい。
20

【 0 1 1 4 】

一般的に、誤り訂正符号を用いることで、アップセットが発生した場合に、誤りの検出および訂正をすることが可能である。しかしながら、アップセットに起因するソフトエラーが累積し、誤り訂正符号の訂正能力を超えて誤りが蓄積した場合、誤りの検出および訂正ができなくなる。

【 0 1 1 5 】

本実施の形態に係るデータレコーダであるデータレコーダ 1 d は、データの読み出しおよび訂正後のデータの書き戻しを実施することで、訂正できないソフトエラーの発生を抑制する。

【 0 1 1 6 】

< D - 1 . 構成 >

図 1 1 は、データレコーダ 1 d の構成を示すブロック図である。図 1 1 では、見やすいように、コマンド受信部 4 1、データ量監視部 4 2、および電源制御信号送信部 4 3 の動作を表す線は省略されている。

【 0 1 1 7 】

データレコーダ 1 d は、実施の形態 1 に係るデータレコーダであるデータレコーダ 1 と比べ、記憶部 3 が記憶部 3 d になっており、制御部 4 が制御部 4 d となっている点が異なる。他の点は、データレコーダ 1 d の構成はデータレコーダ 1 d と同じである。

【 0 1 1 8 】

記憶部 3 d は、記憶部 3 と比べ、不揮発性メモリ 3 2 が不揮発性メモリ 3 2 d となっている。その他の点は、記憶部 3 d は、記憶部 3 と同じである。
40

【 0 1 1 9 】

不揮発性メモリ 3 2 d は、データを記憶する際、当該データの誤り訂正符号も記憶する。但し、誤り訂正符号は不揮発性メモリ 3 2 以外のメモリに記憶されていてもよい。また、不揮発性メモリ 3 2 の記憶しているデータの誤りを訂正できれば、誤り訂正符号はどの形式のものでよい。

【 0 1 2 0 】

制御部 4 d は、制御部 4 と比べ、記憶データ更新部 4 6 をさらに備える。記憶データ更新部 4 6 は、< D - 2 . 動作 > で説明する、記憶データ更新処理を行う。他の点は、制御部 4 d の構成は制御部 4 と同じである。
50

【 0 1 2 1 】

制御部 4 d は、制御部 4 と比べ、記憶データ更新部 4 6 をさらに備える、として説明したが、制御部 4 d は、制御部 4 b または制御部 4 c と比べ電流値監視部 4 5 をさらに備えるものでもよく、対応して、データレコーダ 1 d は < B - 2 . 動作 > または < C - 2 . 動作 > またはその両方と同様の動作を行うというものであってもよい。

【 0 1 2 2 】

< D - 2 . 動作 >

データレコーダ 1 d はデータレコーダ 1 と同様、< A - 2 . 動作 > の動作を行う。但し、< A - 2 . 動作 > の説明において、記憶部 3 は、記憶部 3 d と、不揮発性メモリ 3 2 は不揮発性メモリ 3 2 d と、制御部 4 は制御部 4 d と、読み替える。

10

【 0 1 2 3 】

以下、記憶データ更新処理における記憶データ更新部 4 6 の動作について、まず概要を説明し、その後、図 1 2 のフローチャートに沿って詳しく説明する。

【 0 1 2 4 】

記憶データ更新部 4 6 は、不揮発性メモリ 3 2 への書込みおよび読出しのアクセス状況を元に、不揮発性メモリ 3 2 からデータを読み出す余裕があるかどうかを判断し、不揮発性メモリ 3 2 に読出しの余裕があるときに、不揮発性メモリ 3 2 に記憶されているデータである記憶データを、不揮発性メモリ 3 2 から読み出す。このとき、当該記憶データの誤り訂正符号も取得し、当該記憶データのソフトウェアの有無を判断する。ソフトウェアが検出されなかった場合は不揮発性メモリ 3 2 への書き戻しは不要である。ソフトウェアが検出された場合は、不揮発性メモリ 3 2 のアクセス状況に書込みの余裕があるときに、ソフトウェアを訂正したデータを不揮発性メモリ 3 2 へ書き戻す。

20

【 0 1 2 5 】

このように、不揮発性メモリ 3 2 が記憶しているデータを不揮発性メモリ 3 2 から読み出し、ソフトウェアが発生している場合は、当該ソフトウェア訂正後のデータを不揮発性メモリ 3 2 に書き戻す、という処理である記憶データ更新処理を行うことで、不揮発性メモリ 3 2 の記憶データに誤り訂正符号の訂正能力を超えたソフトウェアが混入し誤りが訂正できなくなることを防止、またはその頻度を抑制でき、不揮発性メモリ 3 2 に記憶されているデータの信頼性を向上させることができる。

【 0 1 2 6 】

なお、データを読み出すまたはデータを書き込む余裕の有無の判断については、例えば、不揮発性メモリ用電源 3 3 がオフの状態である場合は余裕があると判断することができる。しかし、他の方法によりデータを読み出すまたはデータを書き込む余裕の有無の判断をしてもよい。また、データを読み出すまたはデータを書き込む余裕を不揮発性メモリ 3 2 に持たせるために、バッファメモリ 2 2 またはバッファメモリ 5 2 と、不揮発性メモリ 3 2 との間のデータ転送レートを下げても良い。

30

【 0 1 2 7 】

以上説明した、実施の形態 4 に係るデータレコーダ 1 d における記憶データ更新部 4 6 の動作手順を、図 1 2 に示すフローチャートに従って説明する。記憶データ更新部 4 6 の動作は、図 1 2 に示すフローチャートの動作を、例えば、定期的な、または、ユーザーのコマンド受信部 4 1 を介した指令により、開始する。

40

【 0 1 2 8 】

記憶データ更新部 4 6 は、まず、不揮発性メモリ 3 2 の読出しに余裕があるか、つまり、読出し可能か確認する (ステップ S 1 2 1)。読出し可能でない場合は (ステップ S 1 2 1 : NO)、ステップ S 1 2 1 を繰り返し、読出し可能になるまで確認作業を継続する。

【 0 1 2 9 】

不揮発性メモリ 3 2 から読出し可能である場合 (ステップ S 1 2 1 : YES)、記憶データ更新部 4 6 は、不揮発性メモリ 3 2 から予め定められたサイズの記憶データを読み込み、合わせて、読み込んだ記憶データの誤り訂正符号も取得する (ステップ S 1 2 2)。予め定められたサイズは、任意に設定されたサイズでよい。ステップ S 1 2 2 では、不揮

50

発性メモリ用電源 3 3 がオン状態でなかった場合には、制御部 4 e が電源制御信号送信部 4 3 により不揮発性メモリ用電源 3 3 をオンにしてから、記憶データ更新部 4 6 が不揮発性メモリ 3 2 からデータを読み出す。

【 0 1 3 0 】

次に、記憶データ更新部 4 6 は、読み込んだ記憶データと取得した誤り訂正符号を基に、ソフトエラーの有無を判断する（ステップ S 1 2 3）。この結果、ソフトエラーが検出されなければ（ステップ S 1 2 3：NO）、ステップ S 1 2 2 で読み出したデータを不揮発性メモリ 3 2 へ再度書込む必要が無いため、ステップ S 1 2 6 に進む。

【 0 1 3 1 】

ステップ S 1 2 3 でソフトエラーが検出されれば（ステップ S 1 2 3：YES）、読み出したデータを、ソフトエラー訂正後に不揮発性メモリ 3 2 へ再度書込む必要があるため、記憶データ更新部 4 6 は、不揮発性メモリ 3 2 へ書込み可能であるか確認する（ステップ S 1 2 4）。

10

【 0 1 3 2 】

不揮発性メモリ 3 2 へ書込み可能でない場合は（ステップ S 1 2 4：NO）、記憶データ更新部 4 6 は、書き込み可能となるまでステップ S 1 2 4 を繰り返し、確認作業を継続する。

【 0 1 3 3 】

不揮発性メモリ 3 2 へ書き込み可能である場合は（ステップ S 1 2 4：YES）、記憶データ更新部 4 6 は不揮発性メモリ 3 2 へソフトエラー訂正後のデータを書き戻し（ステップ S 1 2 5）、書き戻しが終わった後、ステップ S 1 2 6 に進む。

20

【 0 1 3 4 】

ステップ S 1 2 6 では、記憶データ更新部 4 6 は、記憶データ更新処理を終了するかどうかを判断する。例えば、記憶データ更新処理の開始時に不揮発性メモリ 3 2 に記憶されていたデータに対する更新処理が全て終わっていれば終了し、そうでない場合はステップ S 1 2 1 に戻る。ステップ S 1 2 6 では、記憶データ更新処理が終了される場合、データの再生や記録処理が行われていなければ、制御部 4 e が電源制御信号送信部 4 3 により不揮発性メモリ用電源 3 3 をオフにした後、記憶データ更新処理が終了される。

【 0 1 3 5 】

< D - 3 . 効果 >

データレコーダ 1 d において、記憶データ更新部 4 6 は記憶データ更新処理を行う。これにより、放射線などの影響によりアップセットが発生しうる環境において、アップセットに起因するソフトエラーが誤り訂正符号を用いても訂正できないまで蓄積することを防止またはその頻度を抑制でき、不揮発性メモリ 3 2 に記憶されているデータの信頼性を向上させることができる。

30

【 0 1 3 6 】

< E . 実施の形態 5 >

実施の形態 4 に係るデータレコーダ 1 d では、例えば定期的に、記憶しているデータの読出し、誤りの検出、および訂正されたデータの書き戻し、を行うことで、誤り訂正符号を用いても誤りを訂正できなくなることを防止していた。しかしながら、アップセット等に起因するソフトエラーが発生する頻度は環境に依存する。このため、データを読み出し、誤りを検出し、誤り訂正後のデータを書き戻す、記憶データ更新処理を実施する頻度は、動的に変更可能であることが望ましい。

40

【 0 1 3 7 】

本実施の形態に係るデータレコーダであるデータレコーダ 1 e は、ソフトエラーの発生頻度を監視し、記憶データ更新処理の頻度を動的に変更することで、不必要な記憶データ更新処理の実施を抑制し、また、環境変化により訂正できなくなる誤りが発生することを抑制する。

【 0 1 3 8 】

< E - 1 . 構成 >

50

図 1 3 は、データレコーダ 1 e の構成を示すブロック図である。図 1 3 では、見やすいように、コマンド受信部 4 1、データ量監視部 4 2、および電源制御信号送信部 4 3 の動作を表す線は省略されている。

【 0 1 3 9 】

データレコーダ 1 e は、実施の形態 4 に係るデータレコーダ 1 d と比べ、制御部 4 d の代わりに制御部 4 e を備える。その他の点は、データレコーダ 1 e の構成は、データレコーダ 1 d の構成と同様である。

【 0 1 4 0 】

制御部 4 e は、制御部 4 d と比べ、記憶データ更新計画決定部 4 7 をさらに備える。その他の点は、制御部 4 e の構成は、制御部 4 d の構成と同様である。

10

【 0 1 4 1 】

< E - 2 . 動作 >

記憶データ更新計画決定部 4 7 は、記憶データ更新部 4 6 から、記憶データ更新処理において得られたソフトエラーの発生態様に関するエラー情報、例えば、検出した誤りの数、もしくはデータ量当たりの誤りの数を取得する。記憶データ更新計画決定部 4 7 は、ソフトエラーの発生態様に基づいて、記憶データ更新処理の計画である更新計画を決定し、当該更新計画に基づいて記憶データ更新処理を実施するよう記憶データ更新部 4 6 に指示する。

【 0 1 4 2 】

以下、具体的に、記憶データ更新計画決定部 4 7 が更新計画を決定する際の動作を説明する。

20

【 0 1 4 3 】

まず、誤り訂正符号においては、通常、ある一定量のデータに対し、何個までの誤りを訂正可能かが、誤り訂正符号の形式により定まる。当該ある一定量のデータに対し訂正可能な誤り数の最大値を $N_{e\max}$ とする。

【 0 1 4 4 】

記憶データ更新計画決定部 4 7 は、記憶データ更新処理の計画の決定を、具体的には例えば以下の動作により行う。

【 0 1 4 5 】

記憶データ更新計画決定部 4 7 は、記憶データ更新部 4 6 から、記憶データ更新処理において検出した誤りの数を取得し、上記ある一定量のデータ当たりの発生数の平均値 N_{ave} を計算する。平均値 N_{ave} は、例えば直近の 1 回、または複数回の記憶データ更新処理についての平均である。

30

【 0 1 4 6 】

記憶データ更新計画決定部 4 7 は、例えば、時間当たりの誤りの発生数が変わらないと想定した場合に次回の記憶データ更新処理で期待される N_{ave} の値が $N_{e\max}$ に対し予め定められた割合以下の値になる範囲で、記憶データ更新処理の頻度をなるべく低くする。これにより、環境が望ましくは記憶データ更新処理の間隔と比べ緩やかに変わるとすると、ソフトエラーが多く発生する場合には記憶データ更新処理の頻度を上げることで記憶データ更新処理を行う毎に発生する訂正不可能エラーの個数の期待値を望ましくは一定以下に保て、かつ、ソフトエラーがあまり発生しない場合には不要な記憶データ更新処理を行わずにすむ。上記予め定められた割合は、設計値として任意に設定可能であるが、ユーザーがコマンド受信部 4 1 を介して指定可能であってもよい。

40

【 0 1 4 7 】

また、記憶データ更新処理を行う毎に発生する訂正不可能エラーの個数を一定以下に保つ代わりに、時間当たりに発生する訂正不可能エラーの個数の期待値を一定以下に保つように、記憶データ更新処理の頻度を決定してもよい。

【 0 1 4 8 】

記憶データ更新処理の間隔を長くしすぎると、記憶データ更新処理を行わない間に環境が大きく変わる可能性もあるので、記憶データ更新計画決定部 4 7 は、例えば、記憶デー

50

タ更新処理間の時間間隔の最大値を設けるなどしてもよい。

【 0 1 4 9 】

次の記憶データ更新処理までの間隔を短いと、記憶データ更新処理によって、不揮発性メモリ用電源 3 3 がオン状態である時間が増えるので、例えば、記憶データ更新処理間の時間間隔の最小値を設けるなどしてもよい。

【 0 1 5 0 】

< E - 3 . 効果 >

データレコーダ 1 e において、記憶データ更新計画決定部 4 7 は、記憶データ更新処理において検知されたソフトエラーの発生態様に基づいて、記憶データ更新処理の計画を決定する。これにより、不揮発性メモリ 3 2 に記憶されているデータの信頼性を向上しつつ、不揮発性メモリ用電源 3 3 がオンである時間を抑制でき、例えばラッチアップの発生を抑制できる。

10

【 0 1 5 1 】

< F . 実施の形態 6 >

本実施の形態では、実施の形態 1 から 5 で説明されたデータレコーダ 1 からデータレコーダ 1 e について、ハードウェア構成を説明する。

【 0 1 5 2 】

図 1 4 はデータ送受信部 2 1、データ送受信部 3 1、データ送受信部 5 1、電源制御信号受信部 3 4、および制御部 4、4 b、4 c、4 d、4 e のハードウェア構成を示す図である。図 1 4 ではバッファメモリ 2 2、5 2、不揮発性メモリ 3 2、不揮発性メモリ用電源 3 3 等は示されていない。

20

【 0 1 5 3 】

データ送受信部 2 1、データ送受信部 3 1、データ送受信部 5 1、電源制御信号受信部 3 4、および制御部 4、4 b、4 c、4 d、4 e の各機能は、処理回路 HW 1 により実現される。特に、制御部 4、4 b、4 c、4 d、4 e の少なくともいずれかが備えるコマンド受信部 4 1、データ量監視部 4 2、電源制御信号送信部 4 3、閾値制御部 4 4、電流値監視部 4 5、記憶データ更新部 4 6、記憶データ更新計画決定部 4 7 の各機能は、処理回路 HW 1 により実現される。

【 0 1 5 4 】

処理回路 HW 1 は、専用のハードウェアであっても、メモリ HW 2 に格納されるプログラムを実行する CPU (central processing unit) であってもよい。処理回路 HW 1 が専用のハードウェアである場合、処理回路 HW 1 は、例えば、単一回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC (Application Specific Integrated Circuit)、FPGA (Field - Programmable Gate Array)、またはこれらを組み合わせたものが該当する。

30

【 0 1 5 5 】

処理回路 HW 1 が CPU の場合、データ送受信部 2 1、データ送受信部 3 1、データ送受信部 5 1、電源制御信号受信部 3 4、および制御部 4、4 b、4 c、4 d、4 e の各機能は、ソフトウェア、ファームウェア、またはソフトウェアとファームウェアとの組み合わせによりそれぞれ実現される。ソフトウェアやファームウェアはプログラムとして記述され、メモリ HW 2 に格納される。処理回路 HW 1 は、メモリ HW 2 に記憶されたプログラムを読み出して実行することにより、データ送受信部 2 1、データ送受信部 3 1、データ送受信部 5 1、電源制御信号受信部 3 4、および制御部 4、4 b、4 c、4 d、4 e の各機能を実現する。

40

【 0 1 5 6 】

データ送受信部 2 1、データ送受信部 3 1、データ送受信部 5 1、電源制御信号受信部 3 4、および制御部 4、4 b、4 c、4 d、4 e の各機能は、一部が専用のハードウェアで実現され、残部がソフトウェアまたはファームウェアで実現されてもよい。

【 0 1 5 7 】

50

メモリHW2は、例えばフラッシュメモリ、MRAM、EEPROM等の不揮発性の半導体メモリや、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、DVD等のうちのいずれか、またはそれらの組み合わせである。メモリHW2は例えばバッファメモリ22、バッファメモリ52、および不揮発性メモリ32とは別のメモリであるが、メモリHW2はバッファメモリ22または不揮発性メモリ32であってよい。

【0158】

< G . 実施の形態7 >

< G - 1 . データレコーダ100 >

図15は本実施の形態のデータレコーダ100である。

10

【0159】

データレコーダ100は、入力インタフェース200と記憶部300と制御部4000とを備える。

【0160】

記憶部300はデータを記憶する不揮発性メモリ32と不揮発性メモリ32用の電源であって制御部4000にオンとオフを制御される不揮発性メモリ用電源33とを備える。

【0161】

入力インタフェース200は第1のバッファメモリであるバッファメモリ22を備える。入力インタフェース200は外部からのデータ入力を受け付けてバッファメモリ22に記録する。

20

【0162】

制御部4000は、バッファメモリ22に記録されているデータの量と、入力インタフェース200を介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源33をオンに切り替え、入力インタフェース200は、不揮発性メモリ用電源33がオンの状態の場合に、バッファメモリ22に記録されているデータを不揮発性メモリ32に転送し、制御部4000は、バッファメモリ22に記録されているデータを不揮発性メモリ32に転送した後に、不揮発性メモリ用電源33をオフに切り替える。データレコーダ100は、これにより、放射線による悪影響を抑制できる。

【0163】

< G - 2 . データレコーダ101 >

図16は本実施の形態のデータレコーダ101である。

30

【0164】

データレコーダ101は出力インタフェース500と記憶部300と制御部4001とを備える。

【0165】

記憶部300はデータを記憶する不揮発性メモリ32と不揮発性メモリ32用の電源であって制御部4001にオンとオフを制御される不揮発性メモリ用電源33とを備える。

【0166】

出力インタフェース500は第2のバッファメモリであるバッファメモリ52を備える。

【0167】

制御部4001は、不揮発性メモリ32が記憶している出力対象のデータをバッファメモリ52を介して外部へ出力する際に、出力対象のデータのバッファメモリ52への転送を開始してから出力対象のデータをバッファメモリ52へ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源33をオフの状態とする。データレコーダ101は、これにより、放射線による悪影響を抑制できる。

40

【0168】

< G - 3 . データレコーダ102 >

図17は本実施の形態のデータレコーダ102である。

【0169】

データレコーダ102は入力インタフェース200と出力インタフェース500と記憶

50

部 3 0 0 と制御部 4 0 0 2 とを備える。

【 0 1 7 0 】

記憶部 3 0 0 はデータを記憶する不揮発性メモリ 3 2 と不揮発性メモリ 3 2 用の電源であって制御部 4 0 0 2 にオンとオフを制御される不揮発性メモリ用電源 3 3 とを備える。

【 0 1 7 1 】

入力インタフェース 2 0 0 は第 1 のバッファメモリであるバッファメモリ 2 2 を備える。

【 0 1 7 2 】

出力インタフェース 5 0 0 は第 2 のバッファメモリであるバッファメモリ 5 2 を備える。

【 0 1 7 3 】

入力インタフェース 2 0 0 は外部からのデータ入力を受け付けてバッファメモリ 2 2 に記録する。

10

【 0 1 7 4 】

制御部 4 0 0 2 は、バッファメモリ 2 2 に記録されているデータの量と、入力インタフェース 2 0 0 を介した外部からのデータ入力の態様と、に基づいて決めたタイミングで、不揮発性メモリ用電源 3 3 をオンに切り替え、入力インタフェース 2 0 0 は、不揮発性メモリ用電源 3 3 がオンの状態の場合に、バッファメモリ 2 2 に記録されているデータを不揮発性メモリ 3 2 に転送し、制御部 4 0 0 2 は、バッファメモリ 2 2 に記録されているデータを不揮発性メモリ 3 2 に転送した後に、不揮発性メモリ用電源 3 3 をオフに切り替える。データレコーダ 1 0 2 は、これにより、放射線による悪影響を抑制できる。

【 0 1 7 5 】

20

制御部 4 0 0 2 は、不揮発性メモリ 3 2 が記憶している出力対象のデータをバッファメモリ 5 2 を介して外部へ出力する際に、出力対象のデータのバッファメモリ 5 2 への転送を開始してから出力対象のデータをバッファメモリ 5 2 へ転送し終わるまでの間の期間のうちの一部の期間に、不揮発性メモリ用電源 3 3 をオフの状態とする。データレコーダ 1 0 2 は、これにより、放射線による悪影響を抑制できる。

【 0 1 7 6 】

< H . 実施の形態 8 >

本実施の形態では、実施の形態 1 から 6 でそれぞれ説明したデータレコーダ 1、データレコーダ 1 b、データレコーダ 1 c、データレコーダ 1 d、データレコーダ 1 e、データレコーダ 1 0 0、データレコーダ 1 0 1、データレコーダ 1 0 2 の使用方法について説明する。

30

【 0 1 7 7 】

実施の形態 1 から 5 でそれぞれ説明したデータレコーダ 1、データレコーダ 1 b、データレコーダ 1 c、データレコーダ 1 d、データレコーダ 1 e、データレコーダ 1 0 0、データレコーダ 1 0 1、データレコーダ 1 0 2 は、不揮発性メモリ用電源 3 3 をオフとする期間を設けたことにより、耐放射線性を高めたデータレコーダである。

【 0 1 7 8 】

これらのデータレコーダ 1、データレコーダ 1 b、データレコーダ 1 c、データレコーダ 1 d、データレコーダ 1 e、データレコーダ 1 0 0、データレコーダ 1 0 1、データレコーダ 1 0 2 は、放射線による悪影響を抑制されているため、放射線環境下で用いられても、問題が起こりにくい。放射線環境は、放射線量が地上の自然環境より十分高い環境を指し、例えば年間 5 0 ミリシーベルト以上に相当する放射線量の環境であり、放射線環境は例えば宇宙で実現されている。また、地上においても、例えば原発において、放射線環境が実現しうる。

40

【 0 1 7 9 】

本実施の形態に係るデータレコーダの使用法では、データレコーダ 1、データレコーダ 1 b、データレコーダ 1 c、データレコーダ 1 d、データレコーダ 1 e、データレコーダ 1 0 0、データレコーダ 1 0 1、データレコーダ 1 0 2 のうちのいずれかのデータレコーダを用い、当該いずれかのデータレコーダを放射線環境に配置し、当該いずれかのデータレコーダにデータを記録または当該いずれかのデータレコーダに記録されたデータを再

50

生ずる。これにより、放射線環境下において、データをより安定的に記録または再生できる。例えば、観測衛星においては、放射線環境でデータレコーダへの記録要求が常に発生するが、そのような場合にも、データレコーダ 1 (< A - 4 . 変形例 1 > の構成は除く)、データレコーダ 1 b、データレコーダ 1 c、データレコーダ 1 d、データレコーダ 1 e、データレコーダ 1 0 0、データレコーダ 1 0 2 のいずれかを用いることにより、放射線の悪影響を抑え、データを安定的に記録できる。

【 0 1 8 0 】

なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 符号の説明 】

【 0 1 8 1 】

1, 1 b, 1 c, 1 d, 1 e, 1 0 0, 1 0 1, 1 0 2 データレコーダ、2, 2 0 0 入力インタフェース、3, 3 d, 3 0 0 記憶部、4, 4 b, 4 c, 4 d, 4 e, 4 0 0 0, 4 0 0 1, 4 0 0 2 制御部、5, 5 0 0 出力インタフェース、2 1, 3 1, 5 1 データ送受信部、2 2, 5 2 バッファメモリ、3 2, 3 2 d 不揮発性メモリ、3 3 不揮発性メモリ用電源、3 4 電源制御信号受信部、4 1 コマンド受信部、4 2 データ量監視部、4 3 電源制御信号送信部、4 4 閾値制御部、4 5 電流値監視部、4 6 記憶データ更新部、4 7 記憶データ更新計画決定部、6 0 電流閾値、3 0 0 記憶部、4 0 0, 4 0 1 閾値、HW 1 処理回路、HW 2 メモリ。

10

20

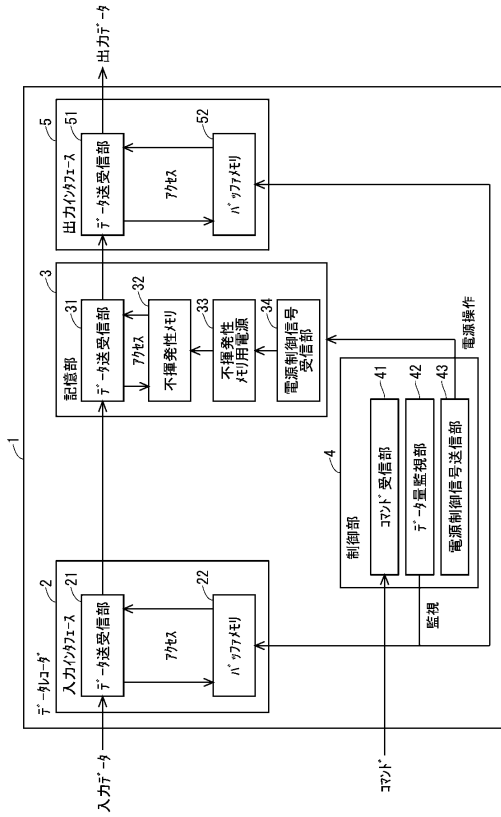
30

40

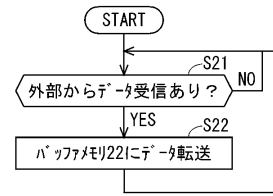
50

【図面】

【図1】



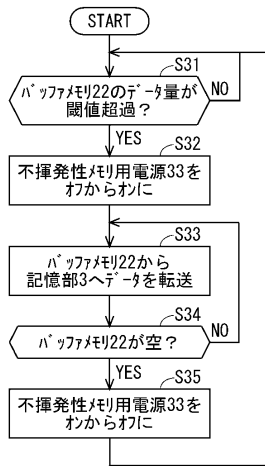
【図2】



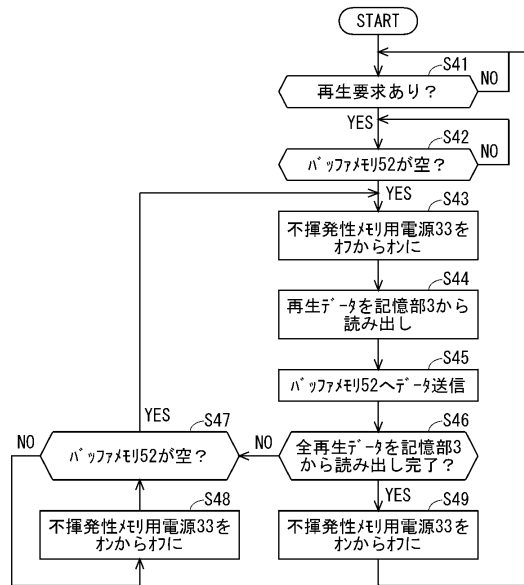
10

20

【図3】



【図4】

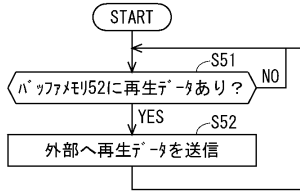


30

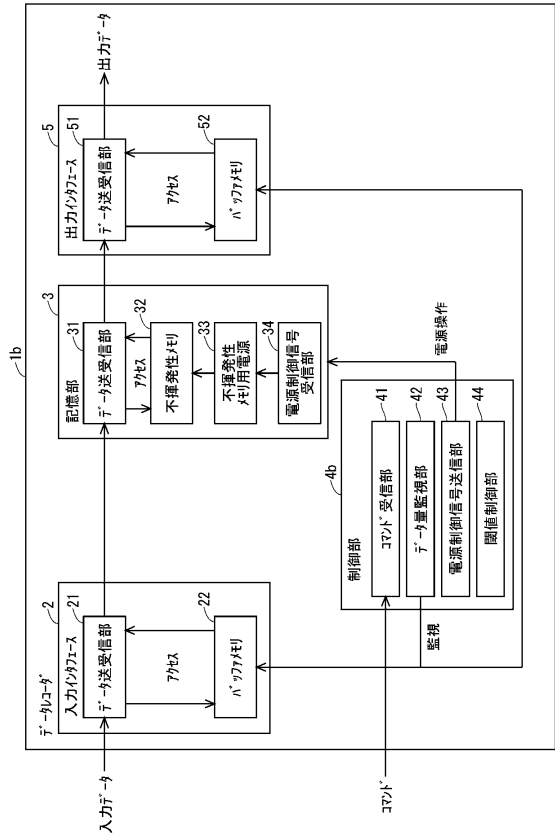
40

50

【図5】



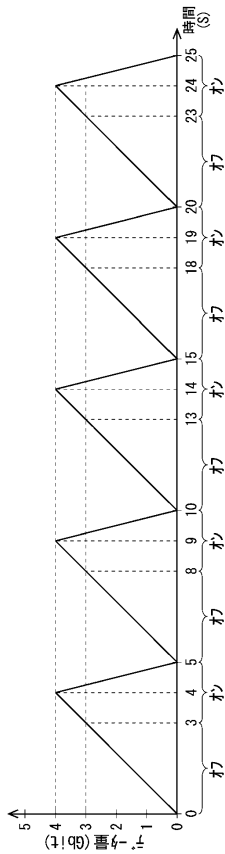
【図6】



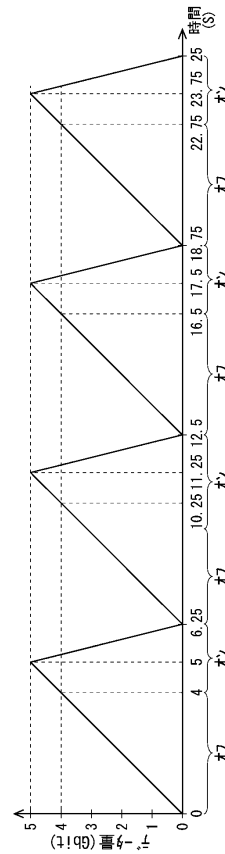
10

20

【図7】



【図8】

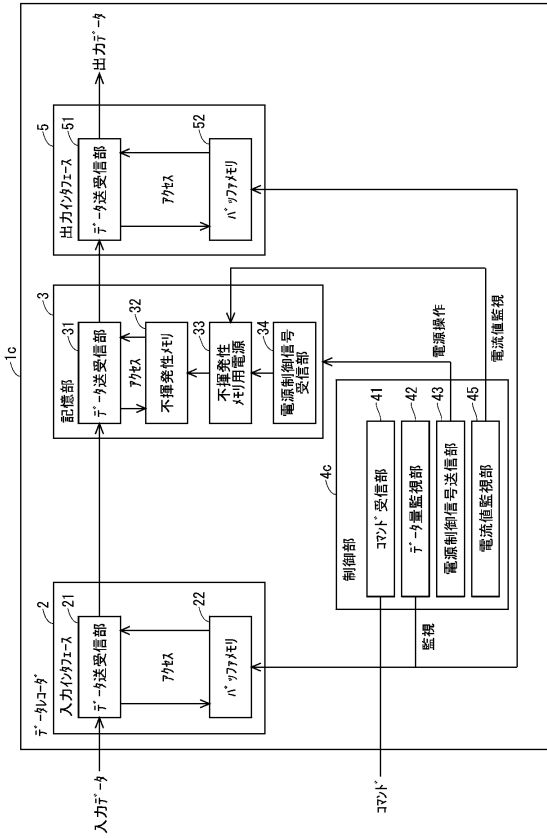


30

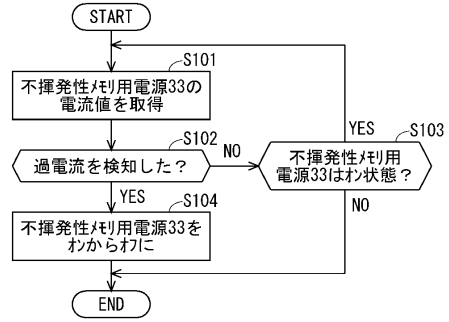
40

50

【図 9】



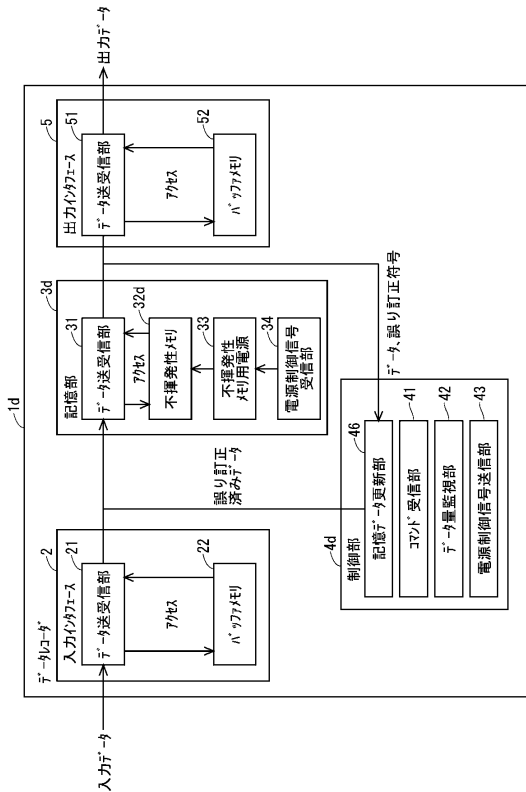
【図 10】



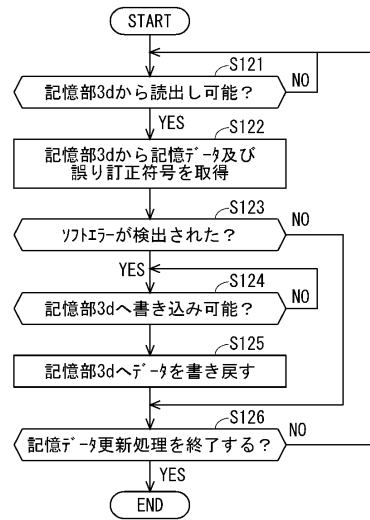
10

20

【図 11】



【図 12】

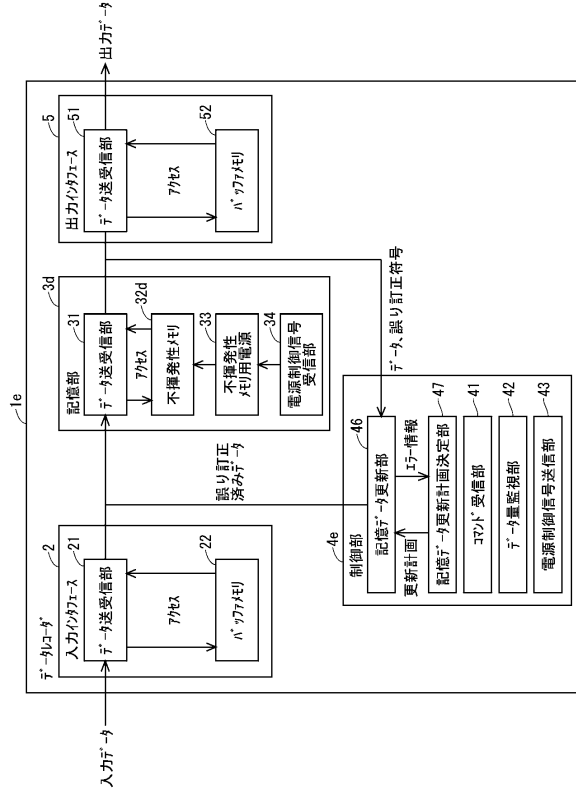


30

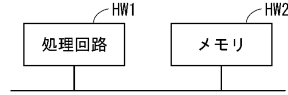
40

50

【図 13】



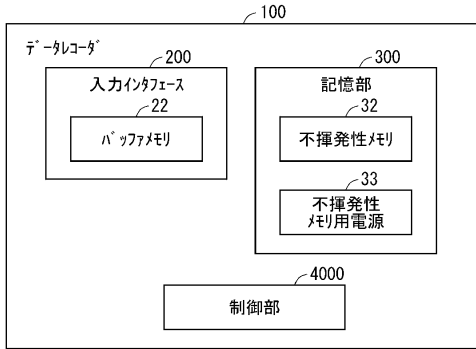
【図 14】



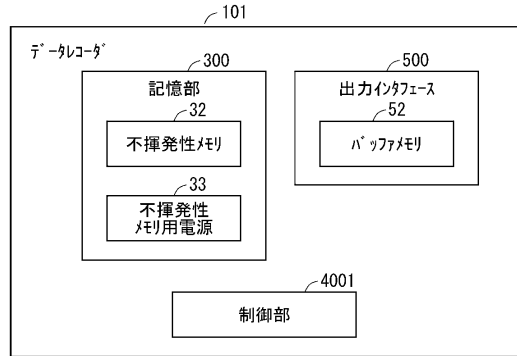
10

20

【図 15】



【図 16】

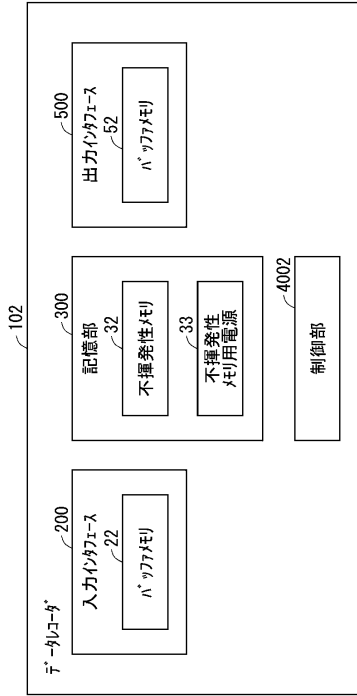


30

40

50

【図 17】



10

20

30

40

50

フロントページの続き

三菱電機株式会社内

(72)発明者 君家 一紀

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 北村 学

(56)参考文献 特開2018-136735(JP,A)

特開2012-204880(JP,A)

特開2005-190187(JP,A)

特開2009-026271(JP,A)

特開平08-279295(JP,A)

(58)調査した分野 (Int.Cl., DB名)

IPC G06F 12/00 - 12/06