

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3779863号

(P3779863)

(45) 発行日 平成18年5月31日(2006.5.31)

(24) 登録日 平成18年3月10日(2006.3.10)

(51) Int. Cl. F I
H03L 7/08 (2006.01) H03L 7/08 L

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2000-209208 (P2000-209208)	(73) 特許権者	503050951
(22) 出願日	平成12年7月11日(2000.7.11)		テクトロニクス・インターナショナル・セ
(65) 公開番号	特開2002-26724 (P2002-26724A)		ールス・ゲーエムペーハー
(43) 公開日	平成14年1月25日(2002.1.25)		スイス国、シャーフアウセン、ニューハウ
審査請求日	平成16年7月16日(2004.7.16)		セン 82、ラインゴールド・ストラッセ
			50
		(74) 代理人	100090376
			弁理士 山口 邦夫
		(74) 代理人	100095496
			弁理士 佐々木 榮二
		(74) 代理人	100103182
			弁理士 日野 真美
		(72) 発明者	野村 隆
			東京都品川区北品川5丁目9番31号 ソ
			ニー・テクトロニクス株式会社内
			最終頁に続く

(54) 【発明の名称】 位相シフト発振回路

(57) 【特許請求の範囲】

【請求項1】

制御電圧を受けて出力信号を出力する電圧制御発振手段と、周期的に変化する入力信号を上記出力信号の周波数に従ってデジタル・データに変換するアナログ・デジタル変換手段と、

上記デジタル・データを記憶する記憶手段と、

上記入力信号の位相に対して上記出力信号の位相をどの程度シフトさせるかを示す位相シフト量を設定するための設定手段と、

上記デジタル・データを用いて上記出力信号の位相を上記位相シフト量だけシフトさせたときに得られるはずの上記デジタル・データの計算値を算出し、該計算値に対応する上記アナログ・デジタル変換手段からの上記デジタル・データの実測値を上記計算値と一致させる方向に上記制御電圧を制御する演算制御手段とを具える位相シフト発振回路。

【請求項2】

制御電圧を受けて出力信号を出力する電圧制御発振手段と、周期的に変化する入力信号を上記出力信号の周波数に従ってデジタル・データに変換するアナログ・デジタル変換手段と、

上記デジタル・データを記憶する記憶手段と、

上記入力信号の位相に対して上記出力信号の位相をどの程度シフトさせるかを示す位相シフト量を設定するための設定手段と、

上記デジタル・データを用いて上記出力信号の位相を上記位相シフト量だけシフトさせた

10

20

ときに得られるはずの上記デジタル・データの計算値を算出し、該計算値を用いて上記入力信号の任意の基準点の計算値を算出し、上記アナログ・デジタル変換手段からの上記デジタル・データの実測値を用いて上記基準点の上記計算値に対応する上記基準点の実測値を算出し、上記基準点の上記計算値及び対応する上記実測値を一致させる方向に上記制御電圧を制御する演算制御手段とを具える位相シフト発振回路。

【請求項3】

上記演算制御手段は、複数の上記デジタル・データの中から任意のデジタル・データについてのみ上記計算値を算出することを特徴とする請求項1又は2記載の位相シフト発振回路。

【請求項4】

上記演算制御手段は、所定時間だけ上記制御電圧を変化させて上記電圧制御発振手段の上記出力信号の周波数を変化させることにより、上記出力信号の位相をシフトさせることを特徴とする請求項1乃至3のいずれかに記載の位相シフト発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は発振回路に関し、特に周期的に変化する入力信号と位相ロックさせた出力信号を生成できるだけでなく、一旦ロックした出力信号の位相を任意にシフトさせることもできる発振回路に関する。

【0002】

【従来の技術】

発振回路は、例えば、外部から任意の入力信号を受けて、これと位相の同期した信号を生成するために使用することがある。例えば、デジタル・テレビジョン信号を受けたときに、その垂直同期信号等の同期信号と位相ロックした内部クロック信号を生成するといった場合などである。こうした任意の入力信号に位相ロックした信号を生成する回路としては、位相ロック・ループ(PLL)を用いた発振回路が良く知られている。

【0003】

図5は、一般的なPLL発振回路の1例のブロック図である。電圧制御発振回路(VCO)18は、LPF(ローパス・フィルタ)16から制御電圧受け、これに応じて出力信号の周波数が変化する発振回路である。電圧制御発振回路(VCO)18の出力信号は、分周回路12で分周比Nで分周された後、入力信号と位相が比較される。位相比較回路14は、これらの位相差に応じた周波数成分を持つ信号を出力する。LPF16は、位相比較回路14の出力信号の高周波数成分をカットし、入力信号と出力信号を分周した信号の位相差に応じた制御信号を生成する。LPF16が出力する制御信号によって、出力信号を分周した信号が入力信号と同じ周波数及び位相となるように、VCO18の出力信号S_oの周波数F_oが制御される。分周回路12には、分周比Nを任意に設定可能なプログラム・カウンタを利用することが多く、分周比Nを例えばCPU(中央演算装置、図示せず)などで制御して変更する。これにより出力信号の周波数F_oは、入力信号の周波数のN倍の周波数となる。

【0004】

【発明が解決しようとする課題】

ところで、出力信号の位相を一旦ロックした後に所定量だけシフトさせ、再度位相ロックさせたいという要請も多い。例えば、デジタルのNTSCコンポジット・カラービデオ信号をY/C分離する場合、色分離フィルタにより色信号を分離し、コンポジット・カラービデオ信号から色信号を減算することにより輝度信号を得るようにしている。こうした色分離フィルタにおける色信号分離処理では、信号遅延が発生する。また、テレビジョン放送局では、複数の映像ソースをケーブル(信号線)などで編集スタジオまで送信するといったことも行われ、これら複数の信号線間でも信号遅延が発生する。そこで、こうした複数の信号間の位相の調整が必要になる。

【0005】

こうした問題を解決するための1つの方法としては、複数の信号線の夫々に可変遅延回路を設け、これらの間の位相を調整する方法が用いられている。例えば、特公平7-112146号公報には、複数段の遅延素子を用いて遅延量を可変できる可変遅延回路が開示されている。しかし、こうした複数段の遅延素子を用いた可変遅延回路は比較的高価なものとなってしまう。

【0006】

出力信号がパルス信号などであれば、フリップ・フロップなどを使うことで、ある基準信号の位相に対してパルス信号の位相を遅延させることは比較的容易である。しかし、この場合、同期式であれば、1クロックより短い位相シフト量は実現できず、非同期式であっても、任意の位相シフト量を実現することはできない。

10

【0007】

そこで本発明は、比較的安価な回路構成により基準信号に対して位相を任意の量だけシフトさせた信号を生成することができる位相シフト発振回路を提供しようとするものである。このとき、特に位相のシフト量を1クロックよりも短い量とすることも可能なことを特徴としている。

【0008】**【課題を解決する為の手段】**

本発明による位相シフト発振回路は、電圧制御発振手段に加える制御電圧を巧みに制御することにより、その出力信号の位相を任意にシフトさせることを可能にする。アナログ・デジタル変換手段は、周期的に変化する入力信号を出力信号の周波数に従ってデジタル・データに変換する。このデジタル・データは、RAMなどの記憶手段に記憶される。設定手段は、例えば、表示装置、数字キー、矢印キーなどの操作パネルで構成され、ユーザーが入力信号の位相に対して出力信号の位相をどの程度シフトさせるかを示す位相シフト量を設定するために使用される。演算制御手段は、デジタル・データを用いて出力信号の位相を位相シフト量だけシフトさせたときに得られるはずのデジタル・データの計算値を算出し、この計算値に対応するアナログ・デジタル変換手段からのデジタル・データの実測値を計算値と一致させる方向に制御電圧を制御する。これにより出力信号は、ユーザーが設定する位相シフト量に従ってその位相がシフトする。

20

【0009】

また、演算制御手段は、先に記憶手段に記憶したデジタル・データを用いて出力信号の位相を位相シフト量だけシフトさせたときに得られるはずのデジタル・データの計算値を算出し、この計算値を用いて入力信号の任意の基準点の計算値を算出してよい。基準点の計算値は、複数のデジタル・データを用いることで算出できる。そして、アナログ・デジタル変換手段からのデジタル・データの実測値を用いて基準点の計算値に対応する基準点の実測値を算出し、基準点の計算値及び対応する実測値を一致させる方向に制御電圧を制御するようにしても良い。

30

【0010】

演算制御手段は、位相がシフトしつつある遷移状態にあるときに生成されるデジタル・データを除く他の全てのデジタル・データに関して、実測値と計算値の比較を行い、出力信号の位相がユーザーが設定した状態に維持されるよう制御し続けても良い。しかし、これでは計算の負荷が大きくなるとともに、必ずしも逐次比較を行わなくとも十分な精度が得られる場合が多い。そこで、複数のデジタル・データの中から任意のデジタル・データについてのみ計算値を算出するようにしても良い。この任意のデジタル・データは、例えば、出力信号の1周期中につき1個(又は1組)としても良い。演算制御手段による位相のシフトは、より具体的には、所定時間だけ制御電圧を変化させて電圧制御発振手段の出力信号の周波数を変化させることにより行われる。

40

【0011】**【発明の実施の形態】**

以下、本発明の好適な実施の形態を図面を参照しながら説明する。このとき、先の従来例と対応する要素には、同じ符号を付して説明する。尚、以下に述べる実施形態は、本発明

50

の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限定されるものではない。

【0012】

図1は、本発明による位相シフト発振回路の実施形態の一例を示すブロック図である。アナログ・デジタル変換回路(ADC)20は、入力信号 S_i を受けるとともに出力信号 S_o をクロック(CLK)入力端子に受け、出力信号 S_o の周波数 F_o に従って入力信号 S_i をデジタル・データに変換する。このとき入力信号は例えばデジタル・テレビジョン信号であり、出力信号は例えば内部クロック信号である。ADC20が出力するデジタル・データはメモリ22に一旦記憶され、CPU(中央演算処理装置)24での後述する演算に使用される。メモリ22は、例えば、RAM(ランダム・アクセス・メモリ)やキャッシュ・メモリなどである。また、必要に応じてハードディスク(磁気ディスク装置)などの不揮発性メモリも使用される。デジタル・アナログ変換回路(DAC)26は、CPU24での演算結果を受け、電圧制御発振回路(VCO)18の出力信号 S_o の周波数 F_o を制御する制御電圧を出力する。これらCPU24とDAC26は、演算制御手段を構成する。操作パネル28は、表示装置、数値入力キー、カーソル・キーなどで構成される設定手段である。ユーザーは、操作パネル28を用いることで、所望の位相シフト量を設定することができる。

10

【0013】

アドレス・カウンタ30は、出力信号 S_o をクロック(CLK)入力端子受けてカウントし、ADC20からのデジタル・データを記憶するメモリ22のアドレスを指定する。このとき、CPU24は、メモリ22の任意の所定数のアドレス(例として、ここでは150アドレス)を1セット(1組)として扱う。もし2つのセットにデジタル・データを記憶したときに、後述する位相シフトが実施されていなければ、各セットの対応するアドレスには、周期的に変化する入力信号の位相の対応する点のデジタル・データが記憶される。即ち、一方のセットの100番目のアドレスに記憶されたデジタル・データと、他方のセットの100番目のアドレスに記憶されたものは、入力信号の同位相の点をデジタル・データにAD変換したものである。逆に言えば、CPU24は、入力信号の周期に応じてこうした関係になるような所定数をアドレスの1セットとして設定する。こうした処理は、デジタル・オシロスコープ等において周知であり、周期的に変化する入力信号中の対応する波形部分を表示画面上に繰り返し表示するために使用されている。

20

30

【0014】

VCO18の出力信号 S_o の位相は、通常、ユーザーが設定した入力信号の特徴点に位相をロックするように制御される。入力信号の特徴点とは、テレビジョン信号の場合では、例えば垂直同期信号である。しかし、本発明による位相シフト発振回路では、一度入力信号の特徴点に位相ロックした出力信号の位相を、更に随時任意の量だけ位相シフトさせることができる。

【0015】

出力信号 S_o の位相シフトは、VCO18に供給する制御電圧をCPU24が演算により求めた所定時間だけ変化させ、出力信号 S_o の周波数を変化させることにより行われる。図2は、出力信号 S_o の位相シフト方法の説明図である。ここでは、ADC20が出力信号 S_o をCLKとして受けたときのタイミング・チャートを位相シフトが行われる部分に関して描いている。このとき、図2Aは位相シフトを行った場合を示し、図2Bは位相シフトを行わない場合を示す。この例では、CPU24が時間WだけDAC26が出力する制御電圧を低下させることで、VCO18の出力信号 S_o の周波数 F_o を時間Wだけ低下させ、これによって出力信号 S_o の位相を だけ遅らせている。その逆に、出力信号 S_o の周波数を所定時間高くすることで、出力信号 S_o の位相を進めることもできる。

40

【0016】

図3は、入力信号 S_i と位相シフトの位置関係を説明する概観図である。入力信号は、時点 T_o 及び T_e の期間を1周期として周期的に繰り返される信号である。このとき開始点

50

となる時点 T_0 は、例えば、ユーザーが設定する入力信号の特徴点である。

【0017】

ここで、開始点 T_0 から任意の時点（この例では、ADC20が100クロック受けた時点） t_1 における入力信号 S_i と出力信号 S_o の位相関係について考える。図4は、図3における時点 t_1 付近を部分拡大した図である。ユーザーが設定した入力信号の特徴点に出力信号の位相をロックした状態（これを状態Aと呼ぶ）においては、ADC20は出力信号 S_o の周波数に従いCLK-Aで示すクロックで入力信号 S_i をデジタル・データにAD（アナログ・デジタル）変換する。出力信号 S_o の周期は、制御電圧によって定まる既知の値であり、この例では20nsと想定している。このとき、時点 t_1 においては、時点 T_0 から数えて例えば100番目のクロックCLK-Aで入力信号 S_i がデジタル・データに変換される。即ち、図4中、入力信号 S_i の100Aに示す点がデジタル・データに変換され、メモリ22の任意のアドレス・セットの100番目のアドレスに記憶される。同様に、クロックCLK-Aに従って、点100Aの前後にある99A、101A及び102Aの点がデジタル・データに変換され、メモリ22の対応するアドレスに記憶される。もしユーザーが出力信号 S_o の位相をシフトさせる設定をしなければ、この動作が時点 T_0 及び T_e で定まる期間を1周期として繰り返し実施され、メモリ22の各アドレス・セットの対応するアドレスには、入力信号 S_i の同位相関係にあるデジタル・データが記憶される。なお、図4中の入力信号の点「100A」は、各アドレス・セットの100番目にクロックCLK-Aに従ってデジタル・データに変換される、ということの意味する。後述するクロックCLK-Bについても同様である。

10

20

【0018】

ここで、もしユーザーが出力信号 S_o の位相をシフトさせるべく、操作パネル28を通して位相シフト量を設定した場合は次のようになる。図4は、特に出力信号 S_o の位相を（この例では16ns）だけ遅らせる設定をした例を示す。この場合、計算上、クロックCLK-Aに対して位相差（この例では16ns）だけ遅れたクロックCLK-Bに従って、ADC20は入力信号 S_i をデジタル・データにAD変換するはずである。よって、例えば、クロックCLK-Bに従ってAD変換されメモリ22の任意のアドレス・セットの100番目のアドレスに記憶されたデジタル・データ（入力信号 S_i の点100Bに対応）は、クロックCLK-Aに従ってAD変換されメモリ22の他のアドレス・セットの100番目のアドレスに記憶されたデジタル・データ（同、100Aに対応）に比較して、入力信号 S_i の（この例では16ns）だけ位相が遅れた点をAD変換したデジタル・データになるはずである。

30

【0019】

このとき、入力信号 S_i の点100Bに対応して得られるはずのデジタル・データの計算上の値（計算値）は、次のようにして算出できる。即ち、図4の例を参照すると、既に入力信号 S_i の点100Aと点101Aのデジタル・データは既知であるので、これらのデジタル・データ及び既知のクロック周期から線形補間を用いることにより、実用上問題のない程度の精度で点100Bに対応するデジタル・データの計算値を求めることができる。つまり、この例で言えば、点100Aと点101Aを結ぶ線上の20（クロック周期）分の16（位相シフト量）の位置に点100Bがあると計算する。同様に、CLK-Bに従ってAD変換した場合に得られるはずの他のデジタル・データの計算値も求めることができる。そして、計算上得られるはずのデジタル・データの計算値が、ADC20から実際に得られる方向に出力信号 S_o の位相を変化させるべく、CPU24はDAC26を通してVCO18に供給する制御電圧を、図2に関して説明したように、一時的に変化させる制御を行う。

40

【0020】

さて、上述のように演算によって制御電圧を制御したとしても、実際にADC20から得られるデジタル・データの実測値は、計算値とは多少の差があるかもしれない。また、出力信号 S_o の位相を一旦シフトさせた後も、その位相差を維持し続ける必要がある。そこで、CPU24は、位相を（この例では16ns）だけシフトした出力信号 S_o に従ってADC20でAD変

50

換して実際に得られるデジタル・データの実測値と、先のデジタル・データの計算値とを常に比較し、複数のデジタル・データそれぞれの実測値と計算値の差分が最小となるように、DAC26を通してVCO18に供給する制御電圧を常に制御し続ける。ただし、図2に示す周波数可変制御を行っている時間Wにおいては、即ち、位相がシフトしつつある遷移状態においては、実測値と計算値の比較は行わず、位相シフトが完了してから行う。なお、実測値と計算値の差分は、入力信号波形が各周期で完全に同一である場合には、理想的にはゼロとなることもあり得る。しかし、通常、入力信号波形は各周期で完全に同一ではなく、また、計算値には直線補間による近似的な値を用いているので、複数の実測値と計算値の差分を最小とする制御電圧の制御が行われる。

【0021】

上述のようにデジタル・データの実測値と計算値の比較は、位相がシフトしつつある遷移状態にあるときを除き、全てのデジタル・データに関して行ってもよい。しかし、任意のデジタル・データについてのみ選択的に実施しても良い。例えば、アドレスの1セットが150アドレスである場合に、各セットの100番目のデジタル・データのみ実測値と計算値の比較をしても良い。

10

【0022】

入力信号Siの点99B及び点100Bの計算値から、更に任意の基準点の計算値を線形補間を用いて算出し、この計算値と基準点の実測値を比較することにより、出力信号Soの位相が適切にシフトしているかどうか判断し、これに応じて制御電圧を制御するようにしても良い。これも上述と同様に、例えば、アドレスの1セットが150アドレスである場合に、実測により得られた点100A及び点101Aから算出した基準点の実測値と、点99Bと点100Bの計算値から算出した基準点の計算値とを比較するのみで、全てのデジタル・データに関して比較を行わなくとも良い。

20

【0023】

基準点とは、例えば、入力信号がユーザーが設定した基準レベルLと交差する点である。また、入力信号が例えばテレビジョン信号の同期信号の場合には、その上端及び下端のレベルを実測し、その中間値を計算することにより基準点の実測値としても良い。また、入力信号が正弦波であれば、複数の周期に渡ってその上下のピーク値を測定し、中間値を計算することにより基準点の実測値としても良い。

【0024】

これらの実測値の算出には、位相をシフトする前、上述の例に従えば、クロックCLK-Aに従ってADC20から得た実測によるデジタル・データを用いて求めるのが簡便で良い。即ち、比較に使用する実測値及び計算値には、複数のデジタル・データの実測値及び複数のデジタル・データの計算値から計算により求めた値を用いても良い。しかし、場合によっては、実測値を、別途新たなクロックを設けて入力信号Siをサンプリングすることにより測定して求めても良い。

30

【0025】

以上、本発明の好適実施例を説明したが、本発明は、上述の実施例のみに限定されるものではなく、本発明の要旨から逸脱することなく、種々の変形及び修正を加え得ることは当業者には明らかである。例えば、上述の説明では、計算値の算出に線形補間を用いたが、入力信号の種類によって計算が容易な場合には2次以上の補間を用いても良い。

40

【0026】

上述のように、本発明による位相シフト発振回路によれば、入力信号に対して一旦ロックした位相を更に任意に位相をシフトさせた信号を出力することができる。しかも、出力信号の位相シフトは、VCOの制御電圧を制御することによって行っているため、1クロックの幅に制限を受けるといったこともなく、VCOに制御電圧を供給するDACの分解能(ビット幅)に応じた任意の量だけ位相をシフトさせることが可能である。

【図面の簡単な説明】

【図1】本発明による位相シフト発振回路の実施形態の一例を示すブロック図である。

【図2】本発明において行われる出力信号の位相シフトを説明する図である。

50

【図3】入力信号と位相シフトの位置関係を説明する概観図である。

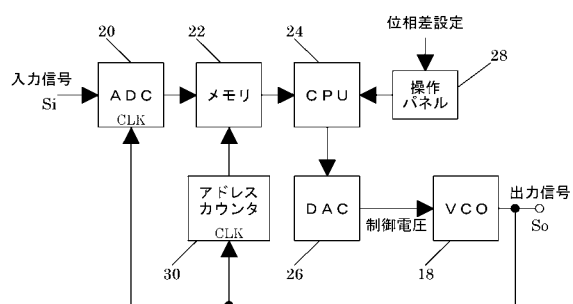
【図4】図3における時点t1付近を部分拡大した図である。

【図5】一般的なPLL発振回路の1例のブロック図である。

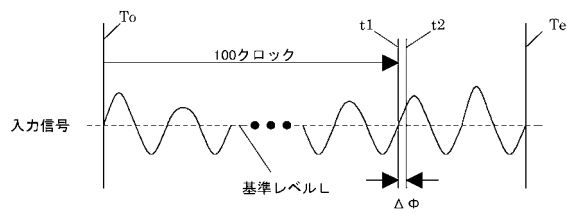
【符号の説明】

- 18 電圧制御発振手段
- 20 アナログ・デジタル変換手段
- 22 記憶手段
- 24、26 演算制御手段
- 28 設定手段（操作パネル）
- 30 アドレス・カウンタ
- CLK - A 位相シフト前のクロック
- CLK - B 位相シフト後のクロック
- 位相シフト量
- Si 入力信号
- So 出力信号

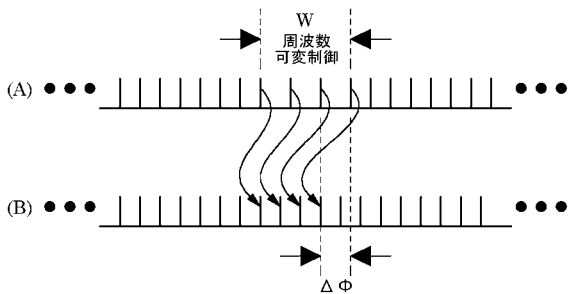
【図1】



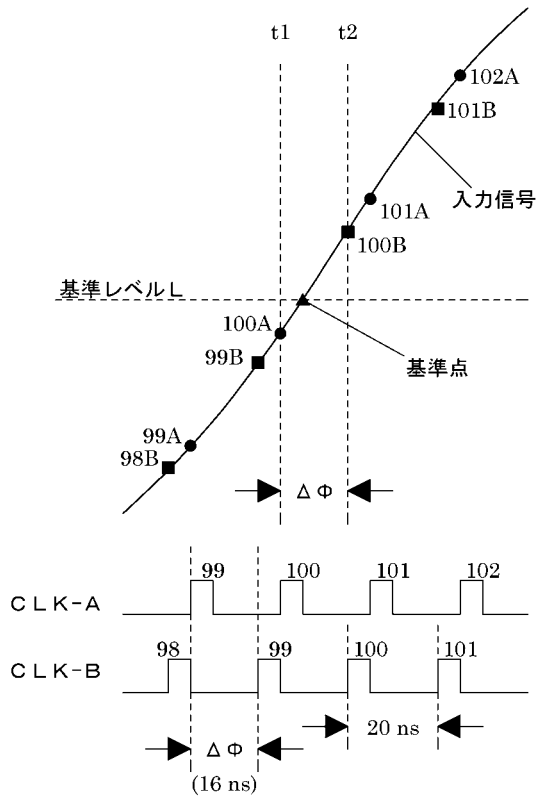
【図3】



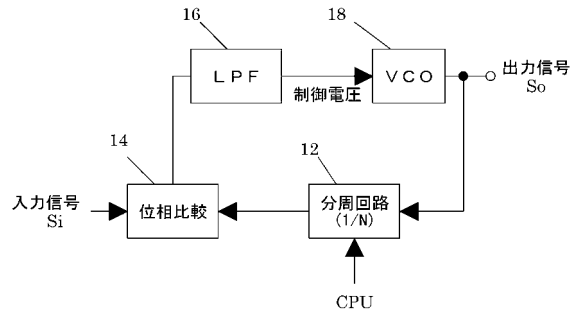
【図2】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 猪爪 信治
東京都品川区北品川5丁目9番31号 ソニー・テクトロニクス株式会社内
- (72)発明者 佐藤 典彦
東京都品川区北品川5丁目9番31号 ソニー・テクトロニクス株式会社内

審査官 甲斐 哲雄

- (56)参考文献 特開昭61-274423(JP,A)
特開昭62-171297(JP,A)
特開平05-030521(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/00-7/23