公告本

申請日期	89 年 8 月 16 日
案號	89116549
類別	G09G3/36 ; G02F1/133 ; G09G3/20

A4
C4

493155

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	具有改良視訊線驅動電路之液晶顯示裝置
	英文	Liquid crystal display device having an improved video line driver circuit
二、發明 創作 人	姓名	(1) 後藤充 (2) 中安洋三 (3) 安川信治
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所（股）知的所有權本部內 (2) 日本國千葉縣茂原市早野三六八一日立裝置工程（股）內 (3) 日本國千葉縣茂原市早野三六八一日立裝置工程（股）內
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國籍	(1) 日本 (2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代表人 姓名	(1) 庄山悅彥 (2) 長壁邦治

經濟部智慧財產局員工消費合作社印製

裝 訂 線

申請日期	89 年 8 月 16 日
案號	89116549
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 縣健太郎 ⑸ 山下祐二 ⑹ 小寺浩一
	國籍	⑷ 日本 ⑸ 日本 ⑹ 日本
	住、居所	⑷ 日本國千葉縣茂原市早野三六八一日立裝置工程（股）內 ⑸ 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的所有權本部內 ⑹ 日本國東京都小平市上水本町五丁目二二番一號日立超愛爾・愛斯・愛・系統（股）內
三、申請人	姓名（名稱）	⑶ 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國籍	⑶ 日本
	住、居所（事務所）	⑶ 日本國東京都小平市上水本町五丁目二二番一號
	代表人姓名	⑶ 鈴木仁一郎

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1999	年　8 月 31 日	11-244245	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

〔發明領域〕

本發明關於用於個人電腦，工作站等之液晶顯示裝置，特別是有關於有用於能多灰階顯示之液晶顯示裝置之視訊信號線驅動電路（一汲極驅動器）之技術。

〔發明背景〕

具有用於每一像素之主動元件（例如一薄膜電晶體）以切換主動元件之主動陣列型液晶顯示裝置係大量地被使用作爲筆記型個人電腦等之顯示裝置中。於主動陣列型液晶顯示器中，每一像素電極係經由一主動元件被供給以一視訊信號電壓（一灰階電壓），於像素間並沒有串音發生，因此，產生了一多灰階規格顯示，而不需要防止串音之特殊驅動設計，不像所簡單陣列型之液晶顯示裝置一般。

於主動陣列型液晶顯示裝置之一中，有所謂具有TFT（薄膜電晶體）型液晶顯示模組，其具有一TFT型液晶顯示面板（TFT－LCD），汲極驅動器，安置於液晶顯示面板之頂面及閘極驅動器，安置於液晶顯示面板之橫向側。

TFT型液晶顯示模式於其汲極驅動器中包含一灰階電壓產生電路，用以產生多數灰階電壓，解碼器，用以依據來自由灰階電壓產生信號所產生之多數灰階電壓之顯示資料，以選擇一灰階電壓，放大器，用以放大由解碼器所選擇之灰階電壓，以依據顯示資料，輸出一視訊信號電壓給相關一汲極信號線，及一偏壓電路，用以控制於放大器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（２）

中之定電流源之電流。此一技術係揭示於日本特願平１１－４７８８５號（申請於１９９９年二月２５日，但於本案之申請日時並未公開）之中。

〔發明概要〕

於汲極驅動器中之灰階電壓產生電路包含一分壓電阻電路，用以分壓由一電源電路所供給之多數灰階參考電壓之電壓，以產生多數灰階電壓。

每一汲極驅動器係形成於半導體積體電路（一半導體晶片）中，及分壓電阻電路係由一分接頭電阻元件，多數用以輸出灰階電壓之灰階電壓線，用以隔離開分接頭電阻元件與灰階電壓線之層間絕緣膜，以及用以經由形成於層間絕緣膜中之連接灰階電壓線與分接頭電阻元件分接頭之多數接點所構成。

於電阻元件之兩相鄰分接頭間之電阻元件之電阻值係藉由於電阻元件之兩分接頭間之電阻元件之長Ｌ）／（電阻元件之寬度Ｗ）×（電阻元件之片電阻）加以決定。

於傳統汲極驅動器中，上述用以連接灰階電壓線與分接電阻元件之分接頭之接頭係安置於流經電阻元件之電流的電流路徑中。於此時，於兩相鄰分接頭間之電阻元件之長度Ｌ隨著接點孔等之大小之製造變化而改變，因此，於兩相鄰分接頭間之電阻性元件之電阻值改變，使得產生於分壓電阻電路中之灰階電壓改變及由液晶顯示面板所顯示之影像品質變差。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

接觸孔之面積必須變小，因爲接觸孔係安置於流經電阻元件之電流路徑中，所以，接觸孔面積係受到限制。結果，有於用以連接灰階電壓線與電阻元件分接頭之電阻值增加，以及，造成了由分壓電阻路傳遞灰階電壓特性至下一放大之時間延遲。

近來，有需要愈來愈大之顯示面板（大型ＴＦＴ－ＬＣＤ），愈高解析度，一較高品質顯示影像及較低功率消耗於ＴＦＴ主動陣列型液晶顯示裝置上，同時，也需要降低於液晶顯示裝置上之功率消耗，因爲以電池供電其長期操作，對於筆記型個人電腦之流行係愈來愈重要。

於此時，爲了改良一顯示影像之品質，施加至液晶層間之灰階電壓之電壓範圍愈大，即由汲極驅動器之輸出電壓之電壓範圍愈大，則液晶之反應速度愈佳及顯示對比愈佳。因此，用於汲極驅動器之電源電壓ＶＤＤ係被選擇爲高。

一般而言，汲極驅動器之每一放大器包含一高壓放大器，用以放大正極性灰階電壓及一低壓放大器，用以放大負極性灰階電壓。這些高壓及低壓放大器係藉由差動放大器加以形成，及用於相關一差動放大器之定電流源的電流值係爲一偏壓電路所決定。偏壓電路必須由高崩潰電壓ＭＯＳ電晶體加以形成（於此後稱高壓ＭＯＳ電晶體），因爲用於汲極驅動器之電源電壓ＶＤＤ爲高的。

一般而言，於高壓ＭＯＳ電晶體中，閘極絕緣氧化層之厚度係變爲足夠厚，以確保高崩潰電壓（高忍受電壓）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（４）

及釋放電場區域係必須的，因此，臨限電壓中之變化及於高壓ＭＯＳ電晶體中之變化係大於低崩潰電壓ＭＯＳ電晶體（於此稱低壓ＭＯＳ電晶體）之變化。結果，由偏壓電路所供給至形成汲極驅動器之放大器之差動放大器之定電流源的電流值係因汲極驅動器而彼此不同，及於液晶面板中，加入約１０個汲極驅動器會有問題產生，其中由於汲極驅動器之彼此不同，而顯示亮度彼此不同，及液晶顯示面板之顯示品質變差。

本發明解決了上述有關先前技藝之問題，及本發明之目的係提供一技術，用以改良於液晶顯示裝置中之液晶顯示面板之顯示影像之品質。

本發明之另一目的係提供一技術，用以防止由液晶顯示裝置中之灰階電壓產生電路所產生之相關灰階電壓中之變化之產生。

本發明之另一目的係提供一技術，用以完成於每一汲極驅動器中之汲極驅動器之放大器之定電流源之電流值均勻，藉由令其使用於液晶顯示裝置中之偏壓電路中之低壓ＭＯＳ電晶體。

本發明之上述目的及新穎特性將由以下說明書說明及附圖而變得更明顯。

以下解釋本發明之代表結構之總結。

爲了依據本發明之一實施例完成上述目的，其中提供有一液晶顯示裝置，其包含：一液晶顯示元件，具有多數呈陣列排列之像素，及多數視訊信號線，用以依據一顯示

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

資料，供給一視訊信號電壓至每一像素，及一視訊信號線驅動器電路，用以供給視訊信號電壓至多數視訊信號線，視訊信號驅動電路包含一灰階電壓產生電路，其被提供有一分壓電阻電路，用以分壓由外部電源所供給之多數灰階參考電壓間之電壓，以產生多數灰階電壓，多數相關於多數視訊信號線之選擇器電路，用以由多數灰階電壓中，依據顯示資料選擇選擇一灰階電壓，該分壓電阻電路包含一電阻元件，提供有多數中間分接頭，用以分壓於多數灰階參考電壓間之電壓，以產生灰階電壓，多數灰階電壓線，相關於多數灰階電壓，一層間絕緣膜，用以絕緣多數灰階線與電阻元件，及多數接點，用以經由形成於層間絕緣膜中之孔，電氣連接每一灰階電壓線與相關一中間分接頭，多數接點係安置於偏離開流經電阻元件之電流路徑。

爲了完成上述目的，依據本發明之另一實施例，其中提供有一液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，視訊信號線驅動電路包含一灰階電壓產生電路，提供有分壓電阻電路，用以分壓由外部電源電路所供給之灰階參考電壓間之電壓，以產生多數灰階電壓，多數相關於多數視訊信號線之選擇器電路，用以由多數灰階電壓中，依據顯示資料選擇一灰階電壓，分壓電阻電路包含一電阻元件，被提供有多數中間分接頭，用以分壓於多數灰階參考電壓間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

之電壓，以產生多數灰階電壓，多數相當於多數灰階電壓之灰階電壓線，一層間絕緣膜，用以絕緣開多數灰階線與電阻元件，及多數接點，用以經由形成於層間絕緣膜中之一孔，電氣連接每一灰階電壓線至相關一多數分中間分接頭，每一中間分接頭，形成一沿著灰階電壓線延伸方向突出之部份，由電阻元件及每一接點係安置於突出部份上。

爲了完成上述目的，依據本發明之另一實施例，其中提供有一液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號線，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及一偏壓電路，包含一電流鏡電路，用以控制於每一放大器中之定電流源中之電流，於被供給以第一參考電源電壓之第一電源電壓線及被供給以第二參考電源電壓之第二電源電壓線間之電流鏡電路包含第一導電類型之第一電晶體元件並具有一低崩潰電壓，一第二導電類型之第二電晶體元件並具有一較該低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接，及至少一第一導電類型之第三電晶體元件，該第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間並具有一固定偏壓施加至其控制電極，該固定偏壓係於第一及第二參考電源電壓之間。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

爲了完成上述目的，依據本發明之另一實施例，其中提供有一液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及一偏壓電路，包含一電流鏡電路，用以控制於每一放大器中之定電流源中之電流，於被供給以第一參考電源電壓之第一電源電壓線及被供給以第二參考電源電壓之第二電源電壓線間之電流鏡電路包含第一導電類型之第一電晶體元件並具有一低崩潰電壓，一第二導電類型之第二電晶體元件並具有一較該低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接，及至少一第一導電類型之第三電晶體元件，該第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間並令其連接至其一端之控制電極連接至第二電晶體元件。

爲了完成上述目的，依據本發明之另一實施例，其中提供有一液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號線，用以依據一顯示資料施加一視訊信號至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，每一放大器輸出該視訊信號電壓至多數視訊信號線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（８）

之相關一條，及一偏壓電路，用以控制於每一放大器中之定電流源中之電流，該偏壓電路包含（ａ）一第一串聯組合，包含：第一導電類型之第一電晶體元件並具有一低崩潰電壓；一第二導電類型之第二電晶體元件並具有一較該第一低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接；及至少一第一導電類型之第三電晶體元件並具有較第一低崩潰電壓爲高之崩潰電壓，該至少一第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間；第二電晶體之連接至該至少一第三電晶體元件之一端係連接至第二電晶體元件之一控制電極，及第一電晶體元件之一控制電極係被供給以一偏壓；（ｂ）一第二串聯組合，包含：一第一導電類型之第四電晶體元件及具有一第二低崩潰電壓；一第二導電類型之第五電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該五電晶體元件係與第四電晶體元件串聯；及至少一第一導電類型之第六電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該至少一第六電晶體元件係連接於第四電晶體元件及第五電晶體元件之間；第五電晶體元件之控制電極係連接至第二電晶體元件之控制電極，第四電晶體元件之一端係連接至被連接至第四電晶體元件之控制電極之至少一第六電晶體元件，及第四電晶體元件之控制電極係被架構以提供一輸出；其中第一串聯組合及第二串聯組合之並聯組合係連接於被供給以一第一參考電源電壓之第一電源電壓線及被供給以一第二參考電源電壓之第二電源電壓線之間，及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9 ）

一於第一及第二參考電源電壓間之電壓中點係施加，至至少一第三電晶體元件與至少一第六電晶體元件之控制電極。

爲了完成上述目的，依據本發明之另一實施例，其提供有一包含液晶顯示元件之液晶顯示裝置，該液晶顯示元件具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及一偏壓電路，用以控制於每一放大器中之定電流源中之電流，該偏壓電路包含（ａ）一第一串聯組合，包含：第一導電類型之第一電晶體元件並具有一低崩潰電壓；一第二導電類型之第二電晶體元件並具有一較該第一低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接；及至少一第一導電類型之第三電晶體元件並具有較第一低崩潰電壓爲高之崩潰電壓，該至少一第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間；第二電晶體之連接至該至少一第三電晶體元件之一端係連接至第二電晶體元件之一控制電極，及第一電晶體元件之一控制電極係被供給以一偏壓；（ｂ）一第二串聯組合，包含：一第一導電類型之第四電晶體元件及具有一第二低崩潰電壓；一第二導電類型之第五電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

五電晶體元件係與第四電晶體元件串聯；及至少一第一導電類型之第六電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該至少一第六電晶體元件係連接於第四電晶體元件及第五電晶體元件之間；第五電晶體元件之控制電極係連接至第二電晶體元件之控制電極，第四電晶體元件連接至至少一第六電晶體之一端係被連接至第四電晶體元件之一控制電極，及第四電晶體元件之一控制電極係被架構以提供一輸出；其中第一串聯組合及第二串聯組合之並聯組合係連接於被供給以一第一參考電源電壓之第一電源電壓線及被供給以一第二參考電源電壓之第二電源電壓線之間，及該至少一第三電晶體元件之一控制電極係連接至連接至該第二電晶體元件之第三電晶體元件之一端，及該第六電晶體元件之一控制電極係連接至連接至該第五電晶體元件之至少一第六電晶體元件之一端。

〔圖式之簡要說明〕

於附圖中，相類似參考號係表示於所有圖式中之類似元件，圖式中：

第1圖爲依據本發明之一實施例之TFT型液晶顯示模式之架構方塊圖；

第2圖爲示於第1圖之液晶顯示面板之一例之等效電路圖；

第3圖爲示於第1圖之液晶顯示面板之另一例之等效電路圖；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11）

第４圖爲示於第１圖之內部電源電路之架構之方塊圖；

第５圖爲示於第１圖之汲極驅動器之例子架構之方塊圖；

第６圖爲示於第５圖之正極性或負極性灰階電壓產生電路之電路圖；

第７圖爲於一半導體積體電路（半導體晶片）內之先前技藝灰階電壓產生電路之佈局部份平面圖；

第８圖爲依據本發明之一實施例之半導體積體電路（半導體晶片）內之灰階電壓產生電路之佈局部份平面圖；

第９圖爲爲沿著第８圖之線ＩＸ－ＩＸ所取之灰階電壓產生電路之剖面圖；

第１０圖爲一先前技藝偏壓電路之基本電路架構例：

第１１圖爲一先前技藝偏壓電路之基本電路架構之另一例；

第１２圖爲依據本發明之一實施例之偏壓電路之基本電路架構例；

第１３圖爲依據本發明之另一實施例之偏壓電路之基本電路架構例；

第１４圖爲用以放大正極性灰階電壓之高壓放大器之基本架構圖；

第１５圖爲用以放大負極性灰階電壓之低壓放大器之基本架構圖；

第１６圖爲用以供給偏壓電流至第１４及１５圖之放

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

大器之第１３圖之基本偏壓電路之偏壓電路圖；

第１７圖爲依據本發明之另一實施例之偏壓電路之基本電路架構圖；

第１８圖爲具有第１７圖之偏壓電路中之串聯連接之ＮＭＯＳ電晶體之電路圖；

第１９圖爲利用第１７圖之偏壓電路中之兩級電流鏡電路之電路圖；及

第２０圖爲加入有供給偏壓電流至第１４及１５圖之放大器之第１７圖之基本偏壓電路之電路圖。

元件對照表

1	電阻
2	電阻
3	電阻
１０	液晶顯示面板
１９	灰階信號電壓線
２０	電阻元件
２１	接點
２２	層間絕緣膜
２３	突出部
１００	顯示控制裝置
１１０	內部電源電路
１２１	正電壓產生電路
１２２	負電壓產生電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

123	共同電極電壓產生電路
124	閘電極電壓產生電路
130	汲極驅動器
131	信號線
132	信號線
133	匯流排線
140	閘極驅動器
141	信號線
142	信號線
151	正灰階電壓產生電路
152	負灰階電壓產生電路
153	栓鎖位址選擇器
154	栓鎖電路
155	栓鎖電路
156	解碼器
157	輸出放大器
158	偏壓電路
159	時鐘控制電路
160	資料極性反轉電路
200	解碼器
210	輸出放大器
255	電阻
256	電阻
300	接觸孔

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

〔較佳實施例之詳細說明〕

本發明之實施例將參考附圖加以解釋。於所有圖中之相同參考號或字元代表功能相同元件或部份，其解釋係被省略。

第１圖爲依據本發明之一實施例的ＴＦＴ型液晶顯示模式之架構方塊圖。於此實施例之液晶顯示模組（ＬＣＭ）中，汲極驅動器１３０係安置於液晶顯示面板（ＴＦＴ－ＬＣＤ）１０之上側，及閘極驅動器１４０，一顯示控制裝置１００及內部電源電路１１０係安置於液晶顯示面板１０之橫向側。

第２圖爲示於第１圖之液晶顯示面板１０之等效電路圖。雖然第２圖例示一電路架構，但第２圖代表液晶顯示面板１０之實際幾何配置，如於第２圖所示，液晶顯示面板１０具有多數呈陣列排列之像素。

每一像素係被安置於爲兩相鄰汲極信號線（同時被稱爲視訊信號線或垂直信號線）Ｄ及兩相鄰閘極信號線（同時被稱爲掃描信號線或水平信號線）Ｇ所包圍之區域中。每一像素係被提供以一對薄膜電晶體（ＴＦＴ１及ＴＦＴ２），每一像素之薄膜電晶體ＴＦＴ１，ＴＦＴ２的源極電極係連接至一像素電極ＩＴＯ１，一液晶層ＬＣ係被包夾於像素電極ＩＴＯ１及一共同電極（ＩＴＯ２）之間，隨後，一液晶電容係連接於等效電路中之薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之源極電極及共同電極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

ＩＴＯ２之間。再者，一所謂"其他電容"（ＣＡＤＤ）係連接於薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之源極電極及相關於薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之閘極線（Ｇ）之前之閘極信號線（Ｇ）之間。

第３圖爲示於第１圖之液晶顯示面板１０之另一實施例的等效電路圖。於第２圖之例子中，一額外電容（ＣＡＤＤ）係形成於源極電極及源極電極前之閘極信號線（Ｇ）之間，但第３圖之等效電路圖不同於第２圖之處在於一所謂儲存電容（ＣＳＴＧ）係形成於源極電極及一共同信號線（ＣＯＭ）之間。

本發明係可以應用至第２及３圖之例子中。於第２圖之例子中，一施加至在源極電極前之閘極信號線（Ｇ）的脈衝係經由另外電容（ＣＡＤＤ）加以引入像素電極（ＩＴＯ１）中，但於第３圖之例子中，脈衝並未引入像素電極（ＩＴＯ１）之中，因此，可以產生一較佳顯示影像。於第２及３圖中，一符號ＡＲ表示一顯示區域。

於第２及３圖之液晶顯示面板液晶顯示面板１０中，排列成行之像素的薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之汲極電極係連接至相同汲極信號線（Ｄ），信號線（Ｄ）隨後連接至一相關汲極驅動器１３０，用以依據呈行排列之像素之液晶層間之顯示資料，施加一視訊信號電壓（一灰階電壓），及排列成列之像素的薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之閘極電極係連接至一相同閘極信號線（Ｇ），其隨後連接至一相關閘極驅動器１４０，用以於一水

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

平掃描週期中，供給一掃描驅動電壓（一正或負偏壓）至排列成列之薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之閘極電上。示於第１圖之液晶顯示面板１０具有１０２４×３×７６８像素。

示於第１圖之顯示控制裝置１００係形成於一半導體積體電路（ＬＳＩ）中，並基於例如時鐘信號，一顯示時序信號，水平ｓｙｎｃ信號，一垂直ｓｙｎｃ信號及一由主電腦傳送之顯示資料（Ｒ，Ｇ，Ｂ）之顯示控制信號，而控制及驅動汲極驅動器１３０及閘極驅動器１４０。

顯示控制裝置１００判斷顯示時序信號作爲一顯示開始位置，並輸出所供給之顯示資料，經由用於顯示資料之匯流排線１３３至汲極驅動器１３０。於此時，顯示控制裝置１００經由信號線１３１輸出一顯示資料栓鎖時鐘（ＣＬＫ２）至汲極驅動器１３０，作爲一顯示控制信號，用以栓鎖於汲極驅動器１３０之資料栓鎖電路中之顯示資料。每一顯示資料包含具有８位元用於每一原色之２４位元。

顯示控制裝置１００判斷於顯示時序信號結束或於顯示時序信號輸入一預定長度時間後時，相當於一水平掃描線之顯示資料已經被供給，然後，輸出一時序控制時鐘（ＣＬＫ１）經由一信號線１３２至汲極驅動器１３０，以作爲顯示控制信號，用以輸出相當於儲存於汲極驅動器１３０中之栓鎖電路中之顯示資料之灰階電壓至液晶顯示面板１０之汲極信號線（Ｄ）（見第２及３圖）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

再者，顯示控制裝置１００判斷於一垂直ｓｙｎｃ信號爲第一顯示線後之第一顯示時序信號，然後，經由一信號線１４２輸出一框開始信號至第一閘極驅動器１４０。

再者，顯示控制裝置１００基於經由信號線１４１之水平ｓｙｎｃ信號，輸出具有水平掃描週期之移位時鐘（ＣＬＫ３）至閘極驅動器１４０，使得閘極驅動器１４０施加正偏壓至隨後具有水平ｓｙｎｃ週期之液晶顯示面板１０之閘信號線（Ｇ）。

以此架構，一對連接至液晶顯示面板１０之每一閘極信號線（Ｇ）之薄膜電晶體（ＴＦＴ１，ＴＦＴ２）於水平掃描時係爲導通，使得一影像係產生於液晶顯示面板１０上。

第４圖爲第１圖之內部電源電路１１０之架構方塊圖。如於第４圖所示，內部電源電路１１０包含一正電壓產生電路１２１，一負電壓產生電路１２２，一共同電極（反電極）電壓產生電路１２３，及一閘極電極電壓產生電路１２４。

正電壓產生電路１２１及負電壓產生電路１２２係由串聯連接之電阻形成之分壓電路，用以分別輸出九個正灰階參考電壓（Ｖ０至Ｖ８）及九個負灰階參考電壓（Ｖ９至Ｖ１７）。九個正灰階參考電壓（Ｖ０至Ｖ８）及九個負灰階參考電壓（Ｖ９至Ｖ１７）係供給至每一汲極驅動器１３０。

共同電極電壓產生電路１２３產生被供給至共同電極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

（ＩＴＯ２）之驅動電壓，及閘極電極電壓產生電路１２４產生施加至薄膜電晶體（ＴＦＴ１，ＴＦＴ２）之閘極電極之驅動電壓（正及負偏壓）。

再者，每一汲極驅動器１３０係被供給以一用於交流驅動（用於交流驅動之時序信號Ｍ）控制信號，但其並未示於第１圖中。

一般而言，當一固定電壓（直流電壓）施加至一液晶層（ＬＣ）一段長時間後，液晶分子之傾斜被固定，結果，造成了影像殘留，因此，液晶層（ＬＣ）之壽命縮短。

爲了防止如，此於先前技藝液晶顯示裝置中，施加於液晶層（ＬＣ）間之極性係被週期地逆轉，也就是說，施加至像素電極（ＩＴＯ１）之液晶驅動電壓係週期地相對於施加至共同電極（ＩＴＯ２）之液晶驅動電壓，作正及負之交替。

至於，施加交替電壓至液晶層（ＬＣ）間之驅動方法係已知有兩種方法，即一爲固定共同電極電壓方法及另一爲共同電極電壓反轉方法。共同電極電壓反轉方法週期地反相施加至共同電極（ＩＴＯ２）及像素電極（ＩＴＯ１）之電壓的極性。另一方面，固定共同電極電壓方法，則使施加至像素電極（ＩＴＯ１）之電壓相對於施加至共同電極（ＩＴＯ２）之固定電壓作週期性正及負交替。

雖然固定共同電極電壓法具有施加至像素電極（ＩＴＯ１）之電壓振幅爲共同電極電壓反轉法之兩倍大，因此低崩潰電壓驅動器不能使用之缺點，但此方法可以應

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

用至點反轉驅動法或行反轉驅動法中，其以低功率消耗及顯示品質看來係相當優良。

當點反轉驅動法被用於液晶顯示模組時，分別施加至兩相鄰汲極信號線（Ｄ）之電壓的極性係彼此相反，因此，流入共同電極（ＩＴＯ２）及相關於兩相鄰汲極信號線之閘電極（Ｇ）的電壓係彼此抵消，使得功率消耗可以降低。再者，流入共同電極（ＩＴＯ２）中之電流係很小及電壓降被限定，及因此，共同電極（ＩＴＯ２）之電壓位準係被穩定，及顯示品質劣化被最小化。

第５圖爲示於第１圖中之汲極驅動器１３０之例子架構的方塊圖，以及一汲極驅動器１３０係形成於一半導體積體電路（半導體晶片）中。

於第５圖中，正極灰階規格電壓產生電路１５１基於輸入自正電壓產生電路１２１（見第４圖）之９個正極性灰階參考電壓（Ｖ０－Ｖ８），而產生２５６個正極性灰階規格電壓，並將其輸入至解碼器１５６。

負極灰階規格電壓產生電路１５２基於輸入自負電壓產生電路１２２之９個負極性灰階參考電壓（Ｖ９－Ｖ１７），而產生２５６個負極性灰階規格電壓，並將其輸入至解碼器１５６。

汲極驅動器１３０之栓鎖位置選擇器１５３基於輸入自顯示控制裝置１００之顯示資料栓鎖時鐘（ＣＬＫ２），而產生一資料輸入控制信號，並將之輸入至栓鎖電路（１）１５４。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

栓鎖電路（１）１５４基於同步於輸入自顯示控制裝置１００之顯示資料栓鎖時鐘（ＣＬＫ２）之輸入自栓鎖位址選擇器１５３之資料輸入控制信號，而栓鎖包含8位元用於每一原色之顯示資料，被栓鎖顯示資料之數量係相當於輸出自汲極驅動器１３０之數量。

栓鎖電路（２）１５５依據自顯示控制裝置１００輸入之輸出時序控制時鐘（ＣＬＫ１），來栓鎖於栓鎖電路（１）１５４中之顯示資料。

然後，栓鎖於栓鎖電路（２）１５５中之顯示資料係經由一位準移位電路被輸入至解碼器１５６。

解碼器１５６依據由２５６正極性灰階電壓或２５６個負極性灰階電壓之一顯示資料，選擇一灰階規格電壓，並將之輸出至一輸出放大器１５７。

輸出放大器１５７電流放大並輸出所輸入灰階電壓至相關一汲極信號線Ｄ（見第2及3圖）（其相當於第5圖中之Ｙ１，Ｙ２，...，Ｙ３８４）。

於第5圖中，一偏壓電路１５８決定於輸出放大器１５７之定電流源之電流值。一時鐘控制電路１５９產生開始脈衝（ＥＩＯ１，ＥＩＯ２）及一內部時序信號。

一資料極性反轉電路１６０依據施加至汲極信號線（Ｄ）之灰階電壓是爲正極性或負極性，即是否一輸入信號爲一ＰＯＬ１或ＰＯＬ２，而反轉被輸入顯示資料之極性。

第6圖爲示於第5圖之正極性灰階電壓產生電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 21）

１５１及負極性灰階電壓產生電路１５２之電路架構圖。於第６圖中，符號Ｖ’０至Ｖ’8代表九個正極性灰階參考電壓Ｖ０至Ｖ８，或九個負極性灰階參考電壓Ｖ９至Ｖ１７。

如於第６圖所示，灰階電壓產生電路係爲一分壓電阻電路，其藉由使用電阻元件，以分壓於九個正極性灰階參考電壓Ｖ０－Ｖ８或九個負極性灰階參考電壓Ｖ９－Ｖ１７間之兩個連續灰階參考電壓間之一電壓，以產生正極性或負極性之２５６個灰階電壓。於此例子中，連接於兩連續灰階參考電壓間之每一電阻元件的電阻值係被一因數所加權，此因數反映於施加至液晶層間之電壓及傳送經該液晶層之光間之關係。

第７圖爲於一半導體積體電路（半導體晶片）內之先前技藝灰階電壓產生電路之佈局之部份平面圖。先前技藝灰階電壓產生電路包含多數由鋁等所製造之灰階電壓線１９，由擴散電阻膜等並安置於灰階電壓線下之電阻元件２０，其間包夾有一層間絕緣膜２２，及多數接點２１，用以經由形成於層間絕緣膜２２中之接觸孔３００，而連接灰階電壓線１９至電阻元件２０。

一解碼器２００及一輸出放大器（見第６圖）具有高輸入阻抗，使得其中並沒有穩定電流，因此，於先前技藝分壓電阻電路中，穩定電流流經於連接於兩連續灰階參考電壓間之電阻元件２０之部份。連接於兩連續灰階參考電壓間之電阻元件之電阻值係由（作爲一電流路徑之兩連續

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

灰階參考電壓間之電阻元件２０長度Ｌ）／（電阻元件２０之寬度Ｗ）×（電阻元件２０之片電阻）。

於先前技藝分壓電阻電路中，接點２１係安置於電阻元件２０之電流路徑中。結果，例如第７圖中，於兩連續灰階電壓間之電阻元件２０之部份長度Ｌ１，Ｌ２，或Ｌ３由於形成於層間絕緣膜２２中之接觸孔３００之尺寸變化而變化，使得分壓電阻電路之相關電阻值改變，隨後，產生於分壓電阻電路中之灰階電壓改變。

於產生２５６個灰階電壓中，於兩連續灰階電壓間之電壓差係很小，因此，由於連接於兩連續灰階電壓間之電阻元件之長度Ｌ的變化造成於灰階電壓的變化產生，使得液晶顯示面板１０之顯示影像品質劣化。

再者，接點２１之接觸面積被限制爲一小面積，因爲接點２１被安置於電阻元件２０之一電流路徑中，於對輸出放大器２１０之轉移特性中造成時間延遲。

第８圖爲依據本發明之一實施例之半導體積體電路（半導體晶片）內之灰階電壓產生電路之佈局部份平面圖。第９圖爲第８圖沿著線ＩＸ－ＩＸ所取之灰階電壓產生電路之剖面圖。

此實施例之灰階電壓產生電路包含多數由鋁等所製造之灰階電壓線１９，由多晶矽，擴散電阻膜等並安置於灰階電壓線１９下之電阻元件２０，其間包夾有一層間絕緣膜２２，及多數鋁或鎢作成之接點２１，例如，用以經由形成於層間絕緣膜２２中之接觸孔３００，而連接灰階電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

壓線１９至電阻元件２０。

然而，於此實施例中，電阻元件２０係被提供有多數突出部２３，每一用以連接灰階電壓線１９至電阻元件２０之接點２１係安置於相關一突出部２３上。於此實施例中，也就是說，接點２１係安置離開電阻元件２０之電流路徑。

於此例子中，經由分壓電阻電路之穩定電流流經電阻元件２０之最短路徑，但它們並不流經作爲電阻元件２０之邊緣之突出部２３上。因此，於此實施例中，連接於兩連續灰階電壓間之電阻元件２０的部份長度Ｌ之很少變化或沒有變化係由形成於層間絕緣膜２２中之接觸孔３００之尺寸製造上之變化所造成。例如，於第８圖中，電阻１，２，３之電阻值並不改變或於分壓電阻電路中改變很少。

結果，產生於分壓電阻電路中之灰階電壓並不改變，結果，改良了液晶顯示面板１０之顯示影像品質。

再者，形成於接觸孔３００中之接點２１之接觸面積並未受限，因此，接點２１之接觸面積可以相較於先前技藝中作成較大，因而，防止了對輸出放大器２１０之特性轉移的時間延遲之發生。

再者，以下解釋用以供給偏壓電流至用於依據本發明之一實施例之液晶顯示裝置之汲極驅動器中之放大器的偏壓電路。

首先，先前技藝之基本偏壓電路架構例係參考第１０

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 24）

圖加以說明。

示於第１０圖之偏壓電路包含一對ｐ型ＭＯＳ電晶體（隨後稱ＰＭＯＳ）（Ｍ２，Ｍ３）形成一電流鏡電路，一ｎ型ＭＯＳ電晶體（隨後稱ＮＭＯＳ）（Ｍ１）串聯連接至ＰＭＯＳ（Ｍ２），及一ＮＭＯＳ（Ｍ５）串聯連接至ＰＭＯＳ（Ｍ３）。

於此，一偏壓電壓ＶＢ係施加至ＮＭＯＳ（Ｍ１）之閘極，及一由偏壓（ＶＢ）所造成之流經ＮＭＯＳ（Ｍ１）之電流藉由ＰＭＯＳ（Ｍ２，Ｍ３）形成之電流鏡電路之作用，使得一電流（ｉａ）流經ＮＭＯＳ（Ｍ５）。ＮＭＯＳ（Ｍ５）之閘電壓（ＶＧ）係施加至於輸出放大器２１０（見第６圖）內形成一內定電流源之ＮＭＯＳ的閘極。

ＮＭＯＳ（Ｍ５）之閘極及汲極係連接在一起，使得ＮＭＯＳ（Ｍ５）形成另一電流鏡電路，具有於輸出放大器２１０內形成內部定電流源之ＮＭＯＳ，及因此，一由偏壓（ＶＢ）決定之電流ｉｏ所決定的電流流經於輸出放大器２１０內之內定電流源之ＮＭＯＳ。

先前技藝偏壓電路使用一用於汲極驅動器１３０之電源電壓（ＶＤＤ）（見第１圖）作爲其電源電壓，因此，先前技藝偏壓電路必須由高崩潰ＭＯＳ電晶體（於此後稱爲高壓ＭＯＳ電晶體）所形成，因爲電源電壓（ＶＤＤ）係爲高。

如上所述，於高壓ＭＯＳ電晶體中，一般閘絕緣氧化

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 25）

層之厚度係足夠厚，以確保一高忍受電壓（高崩潰電壓）及一所需釋放電場之區域，因此，高壓ＭＯＳ電晶體之臨限電壓等之變化大於低崩潰電壓ＭＯＳ電晶體（此後統稱低壓ＭＯＳ電晶體）之臨限電壓。結果，由偏壓電路供給至形成汲極驅動器放大器之差動放大器之定電流源之電流的電流值係每一汲極驅動器１３０（半導體晶片）都有所不同，造成了液晶顯示面板１０之顯示影像之顯示亮度，由於汲極驅動器１３０間之彼此不同而有所不同，因此，液晶顯示面板１０之顯示影像的品質變差。

爲了解決此問題，吾人已觀察到作爲一電源電壓之用於數位信號電路及用於汲極驅動器１３０之低電源電壓（ＶＣＣ）係被用以形成使用低壓ＭＯＳ電晶體之偏壓電路。但，爲了降低功率消耗及電磁干擾，被供給至汲極驅動器１３０之數位信號之電壓範圍係變小，結果，於第１１圖所示之偏壓電路再不能於每一ＭＯＳ電晶體中產生飽和狀態，其損失了電流鏡電路之特性。

再者，依據本發明之一實施例之偏壓電路之基本電路架構將參考第１２圖加以說明。

示於第１２圖之偏壓電路不同於示於第１１圖者在於低壓ＭＯＳ電晶體係被用以作爲ＮＭＯＳ（Ｍ１，Ｍ５），一高壓ＮＭＯＳ（Ｍｏ１）係插於ＰＭＯＳ（Ｍ２）及ＮＭＯＳ（Ｍ１）之間，及一高壓ＭＯＳ（Ｍｏ２）係內插於ＰＭＯＳ（Ｍ３）及ＮＭＯＳ（Ｍ５）之間。

一藉由使用分壓電阻之電源電壓ＧＮＤ及電源電壓

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 26）

ＶＤＤ間之電壓所分壓之固定電壓ＶＣ係被施加至ＮＭＯＳ（Ｍｏ１，Ｍｏ２）上。於此，ＮＭＯＳ（Ｍ１）之汲極電壓（或ＮＭＯＳ（Ｍｏ１）之源極電壓）係大約爲固定電壓ＶＣ－Ｖｔｈ（Ｍｏ１），其中Ｖｔｈ（Ｍｏ１）爲ＮＭＯＳ（Ｍｏ１）之臨限電壓。

若固定電壓ＶＣ係被選擇以使得Ｖｏ－Ｖｔｈ（Ｍｏ１）低於ＮＭＯＳ（Ｍ１）之忍受電壓，假設Ｖｏ爲ＮＭＯＳ（Ｍ５）之閘電壓，則一低電壓ＭＯＳ電晶體可以用於決定電流值之ＮＭＯＳ（Ｍ１）。

一般而言，低壓ＭＯＳ電晶體之忍受電壓係少於５伏，因此，其係足以選擇（Ｖｏ－Ｖｔｈ（Ｍｏ１））之電壓範圍小於５伏。

ＮＭＯＳ（Ｍｏ２）係被加入，因爲低壓ＭＯＳ電晶體係需要以偏壓電路之輸出級，以匹配輸出放大器２１０之電路架構（見第６圖），但若輸出放大器２１０之電路架構並不需要一低壓ＭＯＳ電晶體，則ＮＭＯＳ（Ｍｏ２）並不需要。

一般而言，低壓ＭＯＳ電晶體於臨限電壓等之變化很小，因此，於此實施例中，由偏壓電路供給至形成輸出放大器２１０之差動放大器之定電流源之電流變化不會發生，因而，改良了液晶顯示面板１０之顯示影像的品質。

第１３圖爲依據本發明之另一實施例之偏壓電路之基本電路架構例示圖。示於第１３圖之偏壓電路係由兩級電流鏡電路所形成。於第１３圖中，假設ＮＭＯＳ（Ｍ４）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

及ＮＭＯＳ（Ｍ５）係爲相同大小，ＮＭＯＳ（Ｍ５）之閘極電壓爲Ｖｏ，ＮＭＯＳ（Ｍ４）之閘極電壓爲２Ｖｏ，所有ＮＭＯＳ（Ｍ１，Ｍ４，Ｍ６）具有相同臨限電壓，則流經ＮＭＯＳ（Ｍ１，Ｍ４，Ｍ６）之電流係分別由以下公式所代表。

$$io = \beta 1 (VB - Vth) / 2$$

$$io' = \beta 5 (Vo - Vth) / 2$$

$$ia = \beta 6 (2Vo - Vth) / 2$$

其中，$\beta 1$，$\beta 5$，$\beta 6$爲常數。

若$\beta 1 / \beta 5$被選擇爲１／４，則電流（ｉａ）並不爲ＮＭＯＳ（Ｍ１，Ｍ４，Ｍ５）之臨限電壓所影響。

當點反轉驅動法被使用時，輸出放大器２１０係由用以放大正極性灰階電壓之高壓放大器及一用以放大負極性灰階電壓之低壓放大器所形成。

第１４圖爲用以放大正極性灰階電壓之高壓放大器之基本電路架構圖，第１５圖爲放大負極性灰階電壓之低壓放大器之基本電路架構圖。示於第１４及１５圖之放大器係由差動放大器形成。

第１６圖爲用以供給偏壓電流至第１４及１５圖之放大器之併入第１３圖之基本偏壓電路之偏壓電路圖。

示於第１６圖中之偏壓ＶＧＮ係被供給至示於第１４圖之差動放大器中，作爲偏壓，及一示於第１６圖中之偏壓ＶＧＰ係被供給至示於第１５圖之差動放大器中，作爲偏壓。於此偏壓電路中，電流ｉＨｎ，ｉＬｐ係大約由

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 28）

ＮＭＯＳ（Ｍ１，Ｍ６）所決定，因此，於低壓ＭＯＳ電晶體間很小特性變動者係被用作爲ＮＭＯＳ（Ｍ１，Ｍ６）。以此看來，高壓ＮＭＯＳ電晶體（Ｍｏ１，Ｍｏ２，Ｍｏ３，Ｍｏ４，Ｍ１１）係被加入如於第１６圖所示之相關電流線中。

第１７圖例示依據本發明之另一實施例之偏壓電路之基本電路圖。示於第１７圖之偏壓電路不同於示於第１３圖者，在於低壓ＭＯＳ電晶體係用以作爲ＮＭＯＳ（Ｍ１，Ｍ５），一二極體連接高壓ＮＭＯＳ（Ｍｏ１）係連接於ＰＭＯＳ（Ｍ２）及ＮＭＯＳ（Ｍ１）之間，及一二極體連接高壓ＮＭＯＳ（Ｍｏ２）係連接於ＰＭＯＳ（Ｍ３）及ＮＭＯＳ（Ｍ５）之間。

於示於第１７圖之偏壓電路中，ＮＭＯＳ（Ｍｏ１）之閘極電壓係連接至其其汲極及ＰＭＯＳ（Ｍ２）之汲極。ＰＭＯＳ（Ｍ２）之汲極電壓Ｖｇｓ（Ｍ２）係被表示爲：

$$Vgs(M2) = \{(2 \cdot Id \cdot L) / (\mu \cdot Co \cdot W)\}^{0.5} + Vth(M2)$$

其中Ｉｄ＝ＰＭＯＳ（Ｍ２）之汲極電流，

Ｌ＝ＰＭＯＳ（Ｍ２）閘極長度，

μ＝ＰＭＯＳ（Ｍ２）之遷移率，

Ｃｏ＝ＰＭＯＳ（Ｍ２）閘極之電容值，

Ｗ＝ＰＭＯＳ（Ｍ２）閘極之寬度，及

Ｖｔｈ（Ｍ２）＝ＰＭＯＳ（Ｍ２）之臨限電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

因此，ＮＭＯＳ（Ｍ１）之汲極電壓，即ＮＭＯＳ（Ｍｏ１）之源極電壓爲Ｖｇｓ（Ｍ２）－Ｖｔｈ（Ｍｏ１），其中Ｖｔｈ（Ｍｏ１）爲ＮＭＯＳ（Ｍｏ１）之臨限電壓。

因此，若Ｖｇｓ（Ｍ２）－Ｖｔｈ（Ｍｏ１）係選擇於ＮＭＯＳ（Ｍ１）之忍受電壓內時，一低電壓ＭＯＳ電晶體可以被使用作爲ＮＭＯＳ（Ｍ１），用以決定電流值。

一般而言，低壓ＭＯＳ電晶體之忍受電壓係等於或小於５伏，因此，其係足以選擇Ｖｏ－Ｖｔｈ（Ｍｏ１）等於或小於５伏。

若ＮＭＯＳ（Ｍ１）之汲極電壓，即Ｖｇｓ（Ｍ２）－Ｖｔｈ（Ｍｏ１）係過量地大，則可以藉由串聯加入一相同於ＮＭＯＳ（Ｍ１）之一ＭＯＳ電晶體加以完成一調整。例如，第１８圖示出具有ＮＭＯＳ（Ｍｏ１）及ＮＭＯＳ（Ｍｏ１ａ）串聯連接之電路架構。

第１９圖示出形成兩級示於第１７圖及第１３圖中之偏壓電路之電流鏡電路的電路架構。

第２０圖爲一偏壓電路加入用以供給偏壓電流至第１４及１５圖之放大器之第１７圖之基本偏壓電路之電路圖。示於第２０圖之偏壓ＶＧＮ係被供給至第１４圖之差動放大器，作爲偏壓，示於第２０圖之偏壓ＶＧＰ係被供給至差動放大器作爲偏壓。

同時於此偏壓電路中，電流ｉＨｎ，ｉＬｐ係約由

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

ＮＭＯＳ（Ｍ１，Ｍ６）所決定，因此，低壓ＭＯＳ電晶體間具有特性之少量變化係用以作爲ＮＭＯＳ（Ｍ１，Ｍ６）。以此看來，低壓ＮＭＯＳ電晶體（Ｍｏ１，Ｍｏ２，Ｍｏ３，Ｍｏ４，Ｍ１１）係被加入相關電流線中。

雖然，本發明已經具體以參考本發明之上述實施例加以說明，但本發明並不限定於上述實施例，對於熟習於此技藝者而言，改變或修改可以在不脫離本發明之精神及本質下完成。

由揭示於說明書中之本發明所取得之優點係總結如下：

（１）　於依據本發明之液晶顯示裝置中，液晶顯示面板之顯示影像的品質係加以改良。

（２）　於依據本發明之液晶顯示裝置中，可以防止由灰階產生電路所產生之每一灰階電壓變化之發生。

（３）　於依據本發明之液晶顯示裝置中，低壓ＭＯＳ電晶體可以被用於液晶顯示裝置之偏壓電路中，因此，於每一視訊信號線驅動器中之放大器定電流源之電流可以保持均勻。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：具有改良視訊線驅動電路之液晶顯示裝置）

一種具有一液晶顯示元件之液晶顯示裝置，該元件具有多數像素及多數視訊信號線，用以依據一顯示資料施加一視訊信號電壓至每一像素上，以及一視訊信號線驅動器電路，用以供給視訊信號電壓至視訊信號線。該視訊信號線驅動電路包含一灰階電壓產生電路，其被提供以一分壓電阻電路，用以除以於由外部電源電路所供給之多數灰階參考電壓間之電壓，以產生多數灰階電壓，多數相關於視訊信號之選擇電路，用以依據顯示資料，由灰階電壓間，選擇一灰階電壓。分壓電阻電路包含一電阻元件，其被提供以多數中間分接頭，用以分壓於多數灰階參考電壓間之電壓，以產生多數灰階電壓，相關於灰階電壓之多數灰階電壓線，一層間絕緣膜，用以使灰階線與電阻性元件隔離，及多數接點，用以經由形成於層間絕緣膜中之孔，而電氣連接每一灰階線至相關中間分接頭。諸接點係安置於離開流動於電阻元件中之電流路徑之諸位置上。

英文發明摘要（發明之名稱：LIQUID CRYSTAL DISPLAY DEVICE HAVING AN IMPROVED VIDEO LINE DRIVER CIRCUIT）

A liquid crystal display device has a liquid crystal display element having plural pixels and plural video signal lines for applying a video signal voltage to each of the pixels in accordance with a display data, and a video signal line driver circuit for supplying the video signal voltages to the video signal lines. The video signal line driver circuit includes a gray-scale voltage generating circuit provided with a voltage-dividing resistor circuit for dividing voltages between plural gray-scale reference voltages supplied from an external power supply circuit so as to generate plural gray-scale voltages, plural selector circuits corresponding to the video signal lines for selecting one gray-scale voltage from among the gray-scale voltages in accordance with the display data. The voltage-dividing resistor circuit includes a resistive element provided with plural intermediate taps for dividing voltages between the plural gray-scale reference voltages so as to generate the plural of gray-scale voltages, plural gray-scale voltage lines corresponding to the gray-scale voltages, an interlayer insulating film for insulating the gray-scale lines from the resistive element, and plural

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

英文發明摘要（發明之名稱：　　）

connections for electrically connecting each of the gray-scale voltage lines to a corresponding one of the intermediate taps through a hole formed in the interlayer insulating film. The connections are disposed at positions displaced from a current path of a current flowing in the resistive element.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種液晶顯示裝置，其包含：一液晶顯示元件，具有多數呈陣列排列之像素，及多數視訊信號線，用以依據一顯示資料，供給一視訊信號電壓至每一像素，及一視訊信號線驅動器電路，用以供給視訊信號電壓至多數視訊信號線，

視訊信號驅動電路包含一灰階電壓產生電路，其被提供有一分壓電阻電路，用以分壓由外部電源電路所供給之多數灰階參考電壓間之電壓，以產生多數灰階電壓，

多數相關於多數視訊信號線之選擇器電路，用以由多數灰階電壓中，依據顯示資料選擇選擇一灰階電壓，

該分壓電阻電路包含一電阻元件，提供有多數中間分接頭，用以分壓於多數灰階參考電壓間之電壓，以產生灰階電壓，

多數灰階電壓線，相關於多數灰階電壓，

一層間絕緣膜，用以絕緣多數灰階線與電阻元件，及

多數接點，用以經由形成於層間絕緣膜中之孔，電氣連接每一灰階電壓線與相關一中間分接頭，

多數接點係安置於偏離開流經電阻元件之電流路徑。

2．如申請專利範圍第1項所述之液晶顯示裝置，其中每一中間分接頭由電阻元件形成一突出部份，及每一接點係安置於該突出部份上。

3．一種液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，

視訊信號線驅動電路包含一灰階電壓產生電路，提供有分壓電阻電路，用以分壓由外部電源電路所供給之多數灰階參考電壓之電壓，以產生多數灰階電壓，

多數相關於多數視訊信號線之選擇器電路，用以由多數灰階電壓中，依據顯示資料選擇一灰階電壓，

分壓電阻電路包含一電阻元件，被提供有多數中間分接頭，用以分壓於多數灰階參考電壓間之電壓，以產生多數灰階電壓，

多數相當於多數灰階電壓之灰階電壓線，

一層間絕緣膜，用以絕緣開多數灰階線與電阻元件，及

多數接點，用以經由形成於層間絕緣膜中之一孔，電氣連接每一灰階電壓線至相關一多數分中間分接頭，

每一中間分接頭，形成一由電阻元件沿著灰階電壓線延伸方向突出之部份，及每一接點係安置於突出部份上。

4．一種液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號線，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，

視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及

一偏壓電路，包含一電流鏡電路，用以控制於每一放大器中之定電流源中之電流，

該電流鏡電路包含：於被供給以第一參考電源電壓之第一電源電壓線及被供給以第二參考電源電壓之第二電源電壓線間之電路有：

第一導電類型之第一電晶體元件並具有一低崩潰電壓，

一第二導電類型之第二電晶體元件並具有一較該低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接，及

至少一第一導電類型之第三電晶體元件，該第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間並具有一固定偏壓施加至其控制電極，

該固定偏壓係於第一及第二參考電源電壓之間。

5．如申請專利範圍第4項所述之液晶顯示裝置，其中該固定偏壓係爲一分壓電路所提供，該分壓電路分壓於第一及第二參考電源電壓間之一電壓。

6．一液晶顯示裝置，其包含一液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，

視訊信號線驅動電路包含多數相對於多數視訊信號線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

之多數放大器，

每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及

一偏壓電路，包含一電流鏡電路，用以控制於每一放大器中之定電流源中之電流，

電流鏡電路包含於被供給以第一參考電源電壓之第一電源電壓線及被供給以第二參考電源電壓之第二電源電壓線之間包含

一第一導電類型之第一電晶體元件並具有一低崩潰電壓，

一第二導電類型之第二電晶體元件並具有一較該低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接，及

至少一第一導電類型之第三電晶體元件，該第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間並令其連接至其一端之控制電極連接至第二電晶體元件。

7．一液晶顯示裝置，其具有多數呈陣列排列之像素之液晶顯示元件及多數視訊信號線，用以依據一顯示資料施加一視訊信號至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，

視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，

每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

一偏壓電路，用以控制於每一放大器中之定電流源中之電流，該偏壓電路包含

（ａ）一第一串聯組合，包含：第一導電類型之第一電晶體元件並具有一低崩潰電壓；一第二導電類型之第二電晶體元件並具有一較該第一低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接；及至少一第一導電類型之第三電晶體元件並具有較第一低崩潰電壓爲高之崩潰電壓，該至少一第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間；第二電晶體之連接至該至少一第三電晶體元件之一端係連接至第二電晶體元件之一控制電極，及

第一電晶體元件之一控制電極係被供給以一偏壓；

（ｂ）一第二串聯組合，包含：

一第一導電類型之第四電晶體元件及具有一第二低崩潰電壓；

一第二導電類型之第五電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該五電晶體元件係與第四電晶體元件串聯；及

至少一第一導電類型之第六電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該至少一第六電晶體元件係連接於第四電晶體元件及第五電晶體元件之間；

第五電晶體元件之控制電極係連接至第二電晶體元件之控制電極，

連接至至少一第六電晶體元件之第四電晶體元件之一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

端係被連接至第四電晶體元件之控制電極，及

第四電晶體元件之控制電極係被架構以提供一輸出；

其中第一串聯組合及第二串聯組合之並聯組合係連接於被供給以一第一參考電源電壓之第一電源電壓線及被供給以一第二參考電源電壓之第二電源電壓線之間，及一於第一及第二參考電源電壓間之電壓中點係施加，至至少一第三電晶體元件及至少一第六電晶體元件之控制電極。

8．一種液晶顯示裝置，其包含液晶顯示元件，其具有多數呈陣列排列之像素及多數視訊信號，用以依據一顯示資料施加一視訊信號電壓至每一像素，及一視訊信號線驅動電路，用以供給該視訊信號電壓至多數視訊信號線，

視訊信號線驅動電路包含多數相對於多數視訊信號線之多數放大器，

每一放大器輸出該視訊信號電壓至多數視訊信號線之相關一條，及

一偏壓電路，用以控制於每一放大器中之定電流源中之電流，

該偏壓電路包含

（a）一第一串聯組合，包含：

第一導電類型之第一電晶體元件並具有一低崩潰電壓；

一第二導電類型之第二電晶體元件並具有一較該第一低崩潰電壓爲高之崩潰電壓，第二電晶體元件係與第一電晶體元件串聯連接；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

至少一第一導電類型之第三電晶體元件並具有較第一低崩潰電壓爲高之崩潰電壓，該至少一第三電晶體元件係連接於第一電晶體元件及第二電晶體元件之間；

第二電晶體之連接至該至少一第三電晶體元件之一端係連接至第二電晶體元件之一控制電極，及

第一電晶體元件之一控制電極係被供給以一偏壓；

（ｂ）一第二串聯組合，包含：

一第一導電類型之第四電晶體元件及具有一第二低崩潰電壓；

一第二導電類型之第五電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該五電晶體元件係與第四電晶體元件串聯；及

至少一第一導電類型之第六電晶體元件並具有一高於第二低崩潰電壓之崩潰電壓，該至少一第六電晶體元件係連接於第四電晶體元件及第五電晶體元件之間；

第五電晶體元件之控制電極係連接至第二電晶體元件之控制電極，

第四電晶體元件連接至至少一第六電晶體之一端係被連接至第四電晶體元件之一控制電極，及

第四電晶體元件之一控制電極係被架構以提供一輸出；

其中第一串聯組合及第二串聯組合之並聯組合係連接於被供給以一第一參考電源電壓之第一電源電壓線及被供給以一第二參考電源電壓之第二電源電壓線之間，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

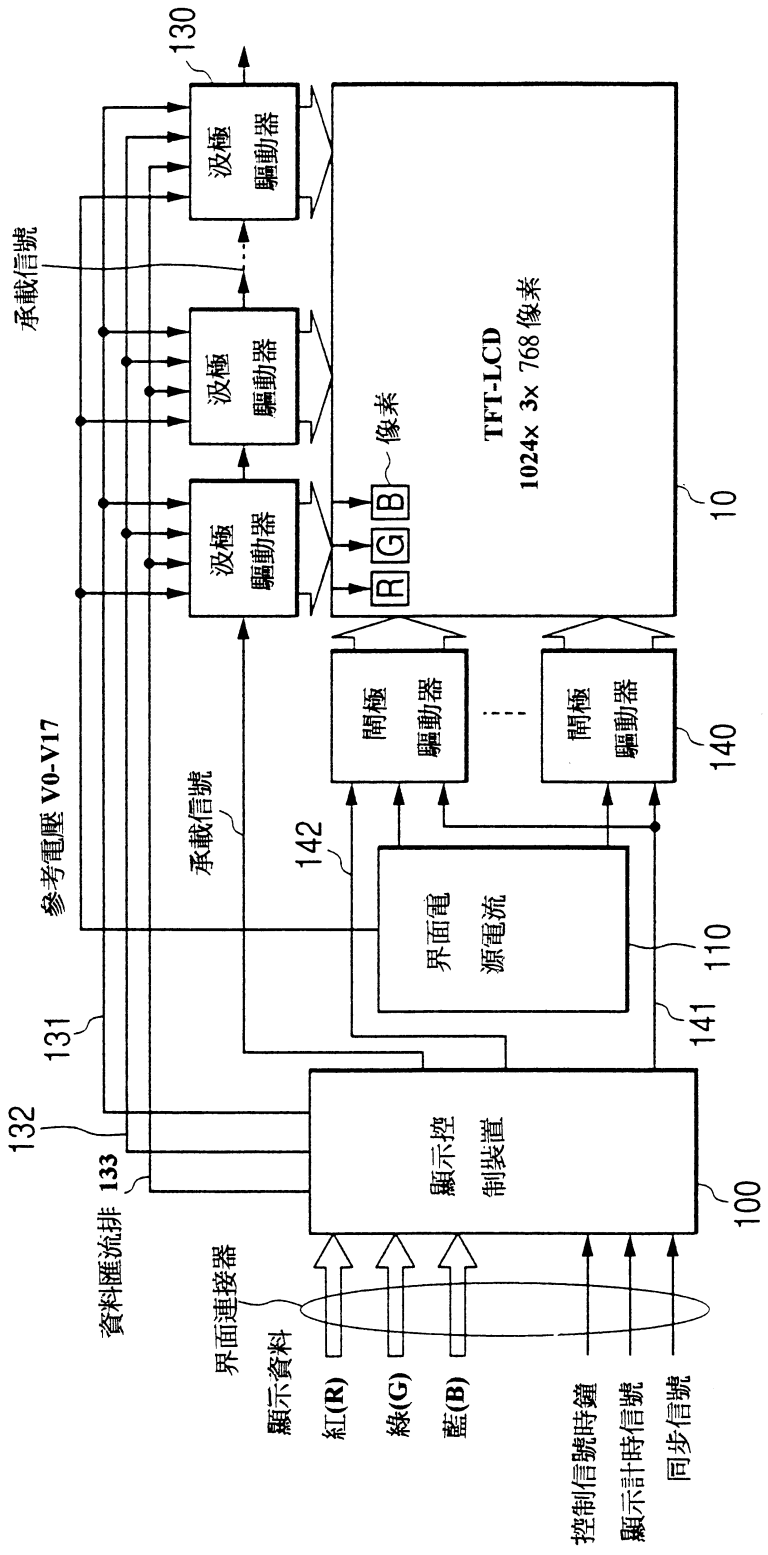
六、申請專利範圍

該至少一第三電晶體元件之一控制電極係連接至連接至該第二電晶體元件之第三電晶體元件之一端，及該第六電晶體元件之一控制電極係連接至連接至該第五電晶體元件之至少一第六電晶體元件之一端。

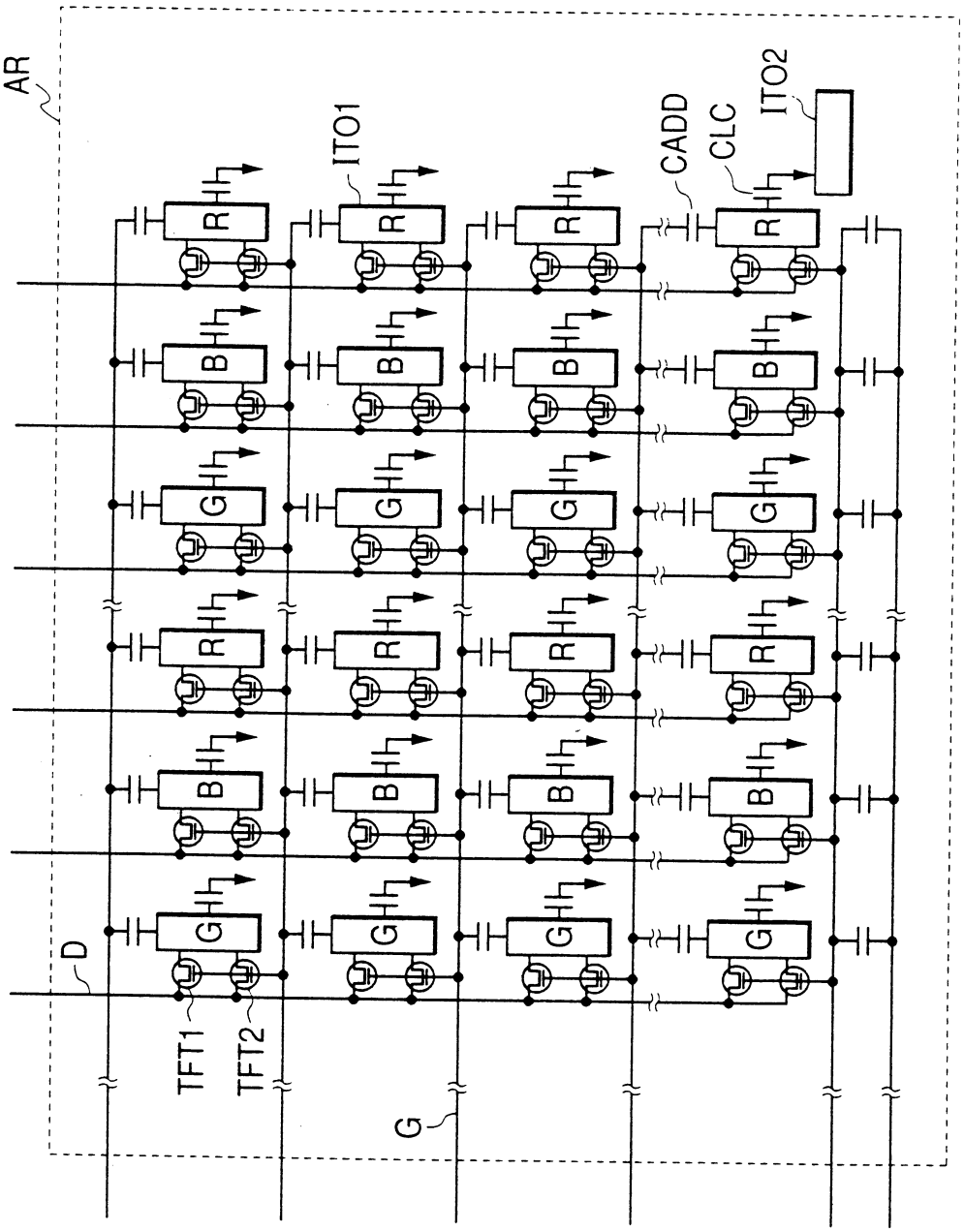
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

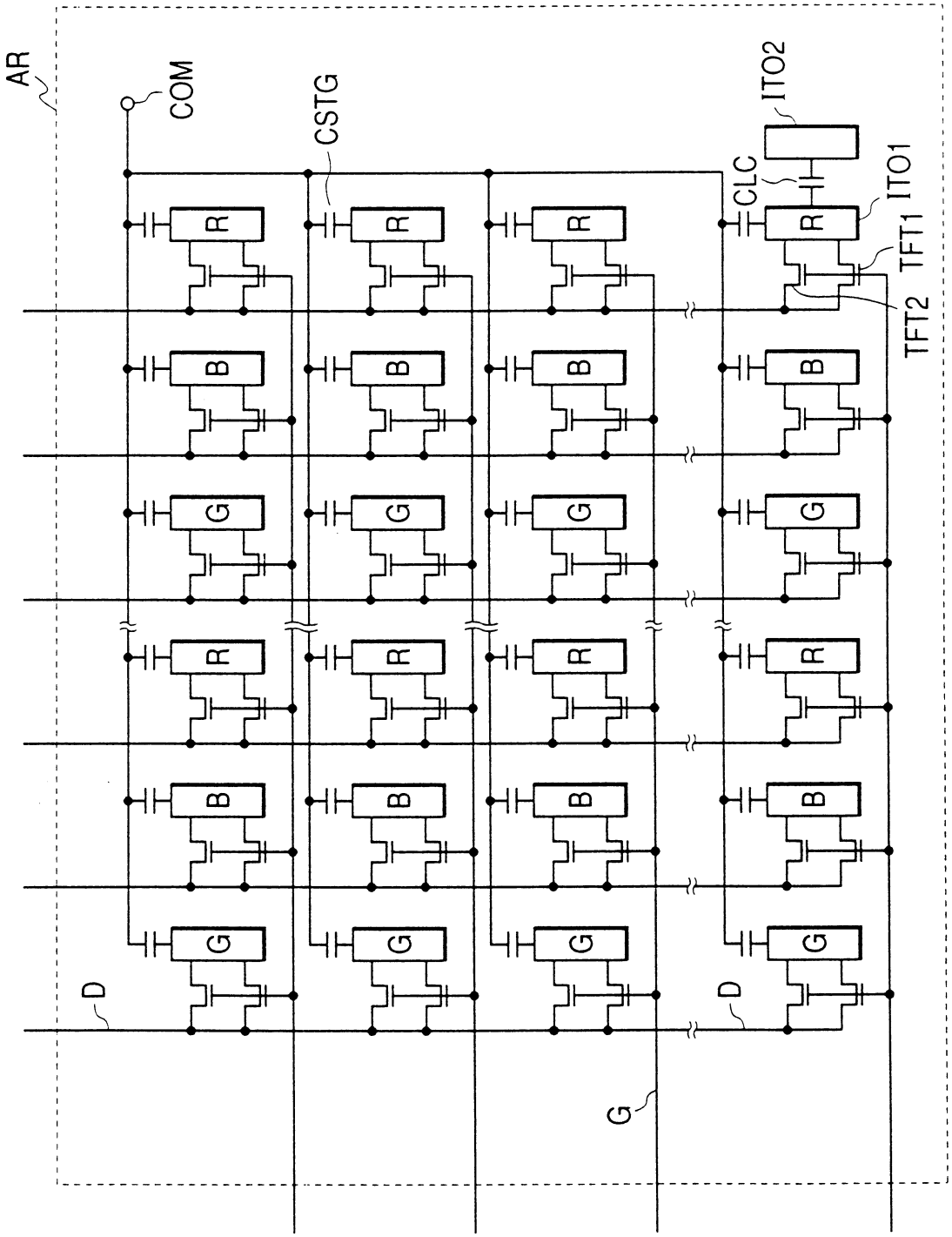
第 1 圖


130
汲極
驅動器
承載信號
汲極
驅動器
汲極
驅動器
像素
R
G
B
TFT-LCD
1024× 3× 768 像素
10
參考電壓 V0-V17
承載信號
131
132
133
資料匯流排
閘極
驅動器
閘極
驅動器
140
142
界面電
源電流
110
141
顯示控
制裝置
100
界面連接器
顯示資料
紅(R)
綠(G)
藍(B)
控制信號時鐘
顯示計時信號
同步信號

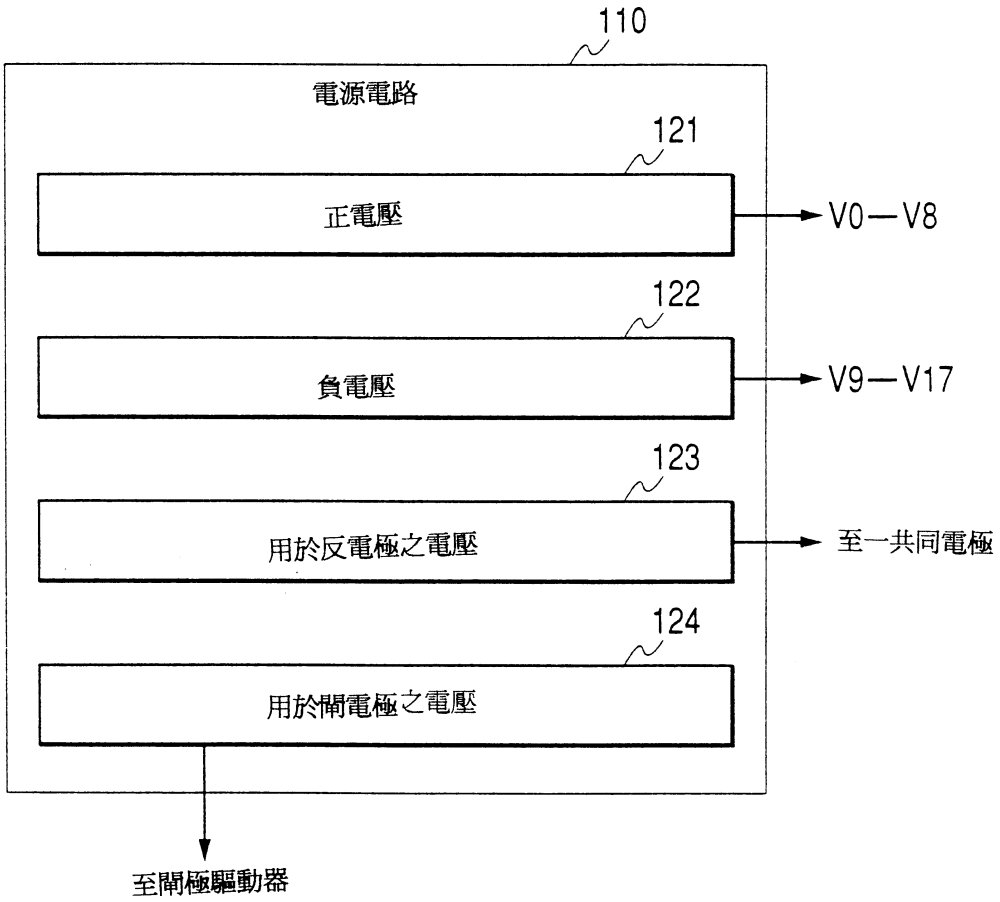
第 2 圖



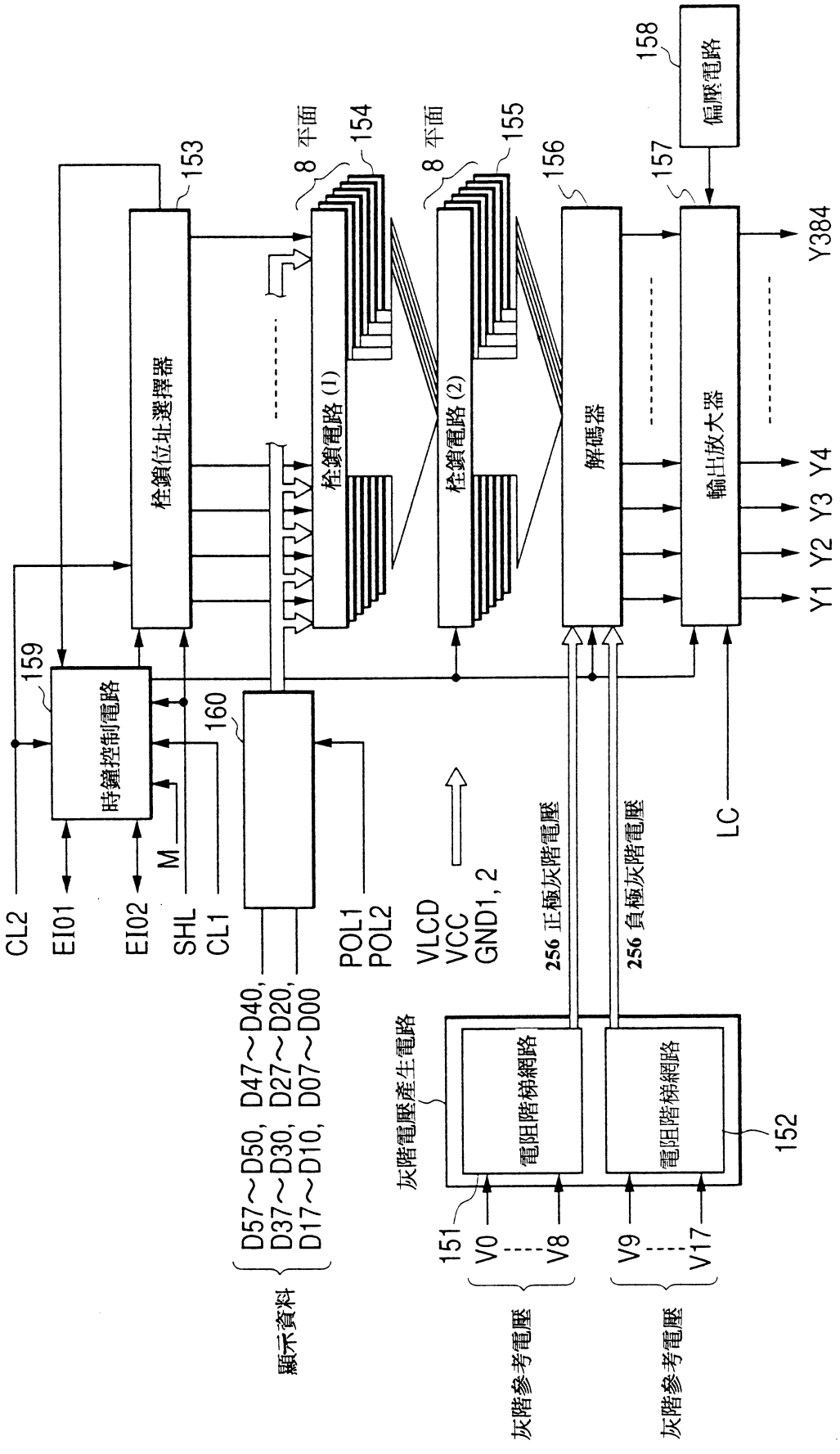
第3圖



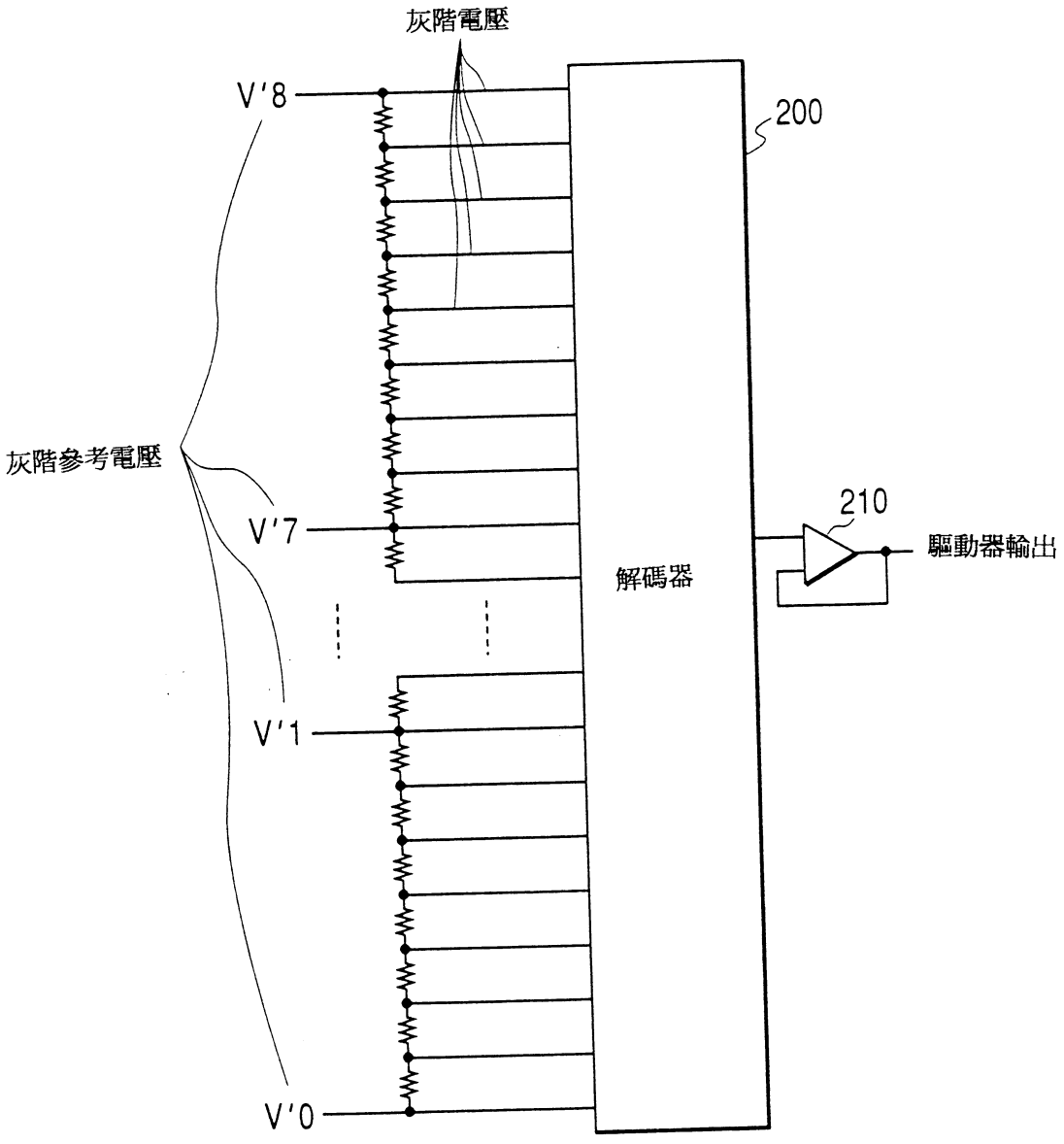
第 4 圖


110
電源電路
121
正電壓
V0—V8
122
負電壓
V9—V17
123
用於反電極之電壓
至一共同電極
124
用於閘電極之電壓
至閘極驅動器

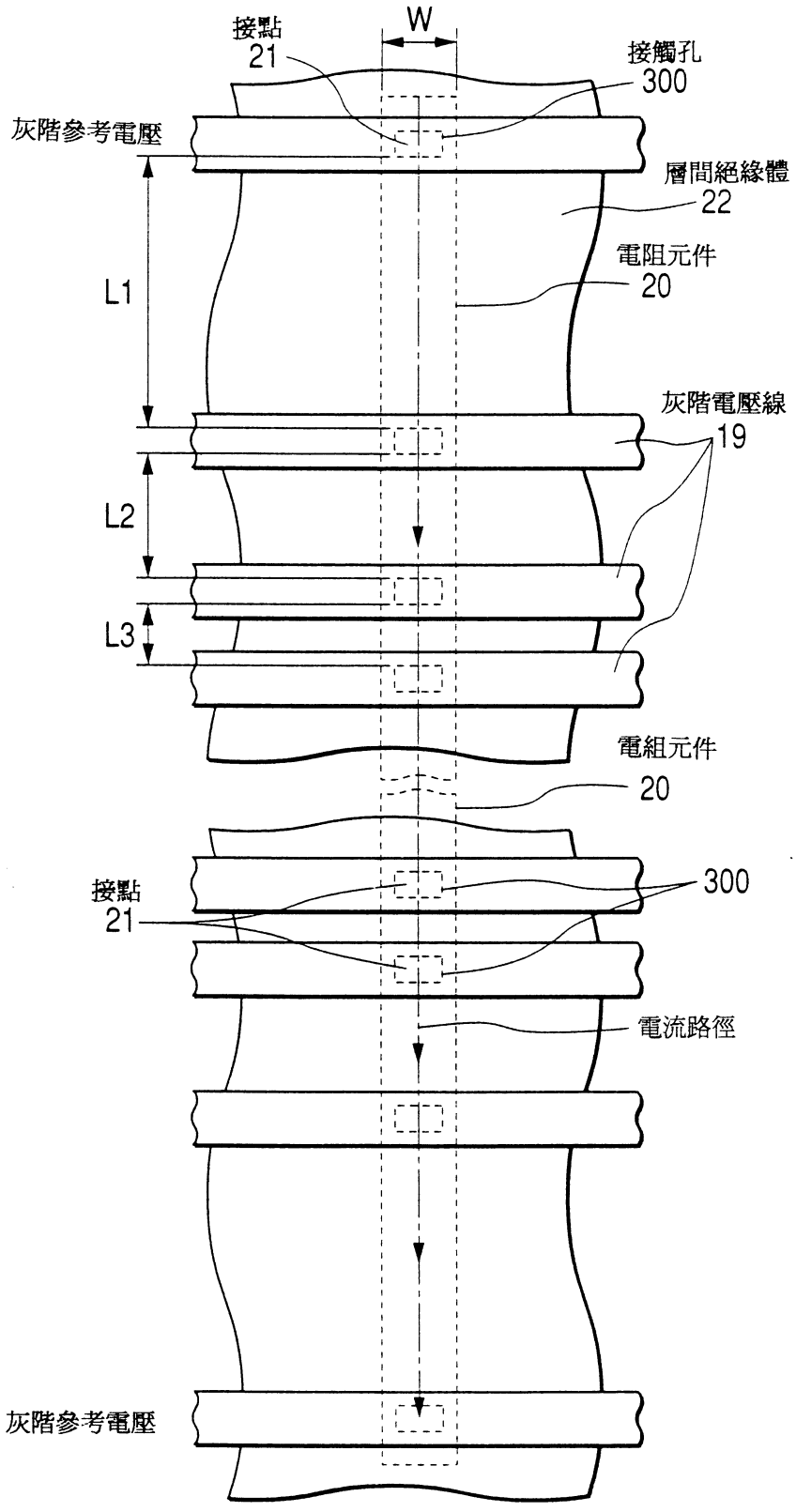
第 5 圖


CL2
EI01
EI02
SHL
M
CL1
159
時鐘控制電路
160
153
栓鎖位址選擇器
8 平面
154
栓鎖電路 (1)
8 平面
155
栓鎖電路 (2)
156
解碼器
157
輸出放大器
158
偏壓電路
Y384
Y1 Y2 Y3 Y4
LC
POL1
POL2
VLCD
VCC
GND1, 2
256 正極灰階電壓
256 負極灰階電壓
D57～D50, D47～D40,
D37～D30, D27～D20,
D17～D10, D07～D00
顯示資料
灰階電壓產生電路
151
電阻階梯網路
電阻階梯網路
152
V0
V8
V9
V17
灰階參考電壓
灰階參考電壓

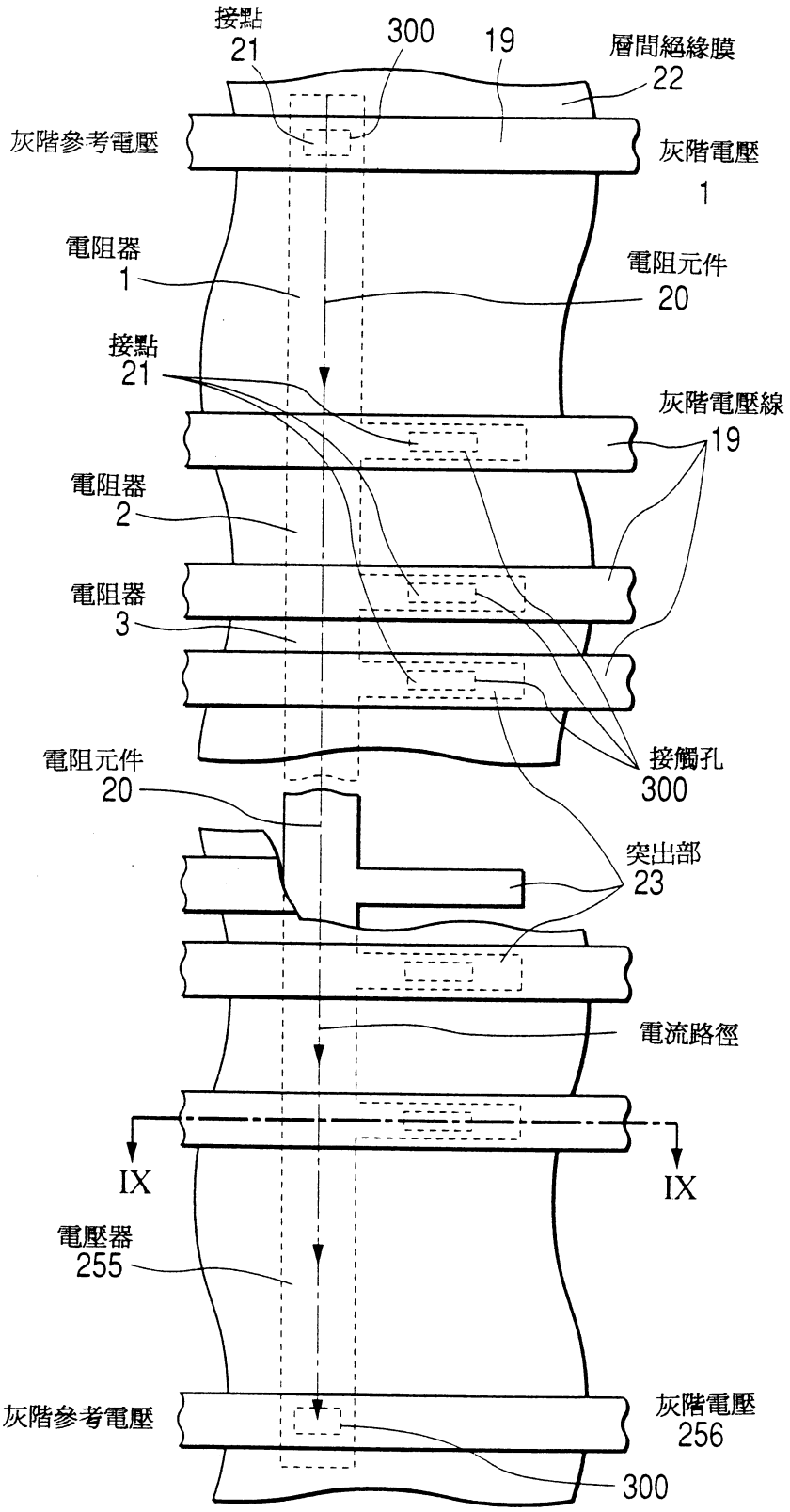
第 6 圖



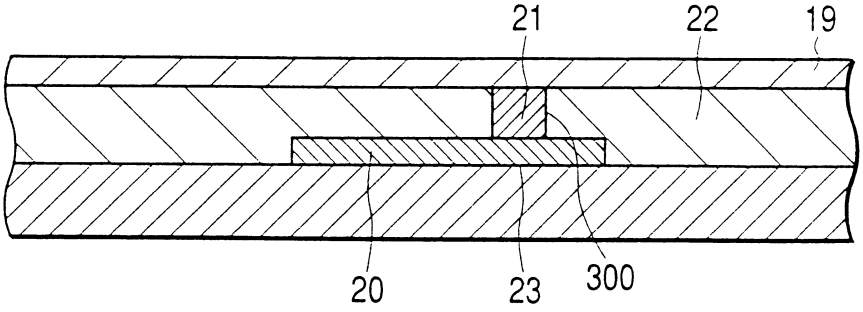
第 7 圖


W
接點
21
接觸孔
300
灰階參考電壓
層間絕緣體
22
電阻元件
20
L1
灰階電壓線
19
L2
L3
電組元件
20
接點
21
300
電流路徑
灰階參考電壓

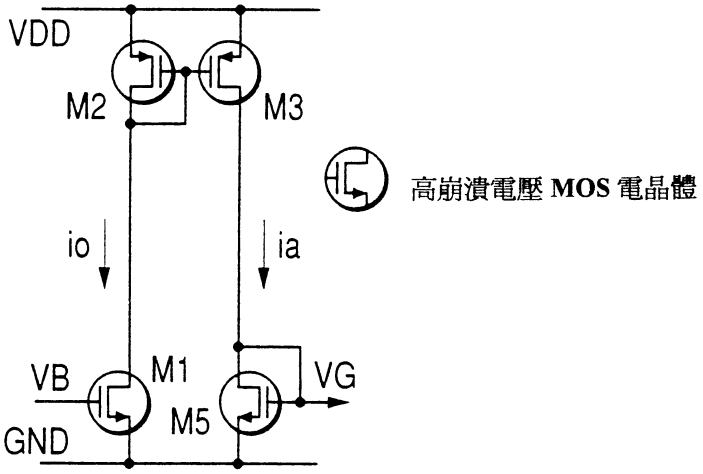
第 8 圖


接點
21
300
19
層間絕緣膜
22
灰階參考電壓
灰階電壓
1
電阻器
1
電阻元件
20
接點
21
灰階電壓線
19
電阻器
2
電阻器
3
電阻元件
20
接觸孔
300
突出部
23
電流路徑
IX
IX
電壓器
255
灰階參考電壓
灰階電壓
256
300

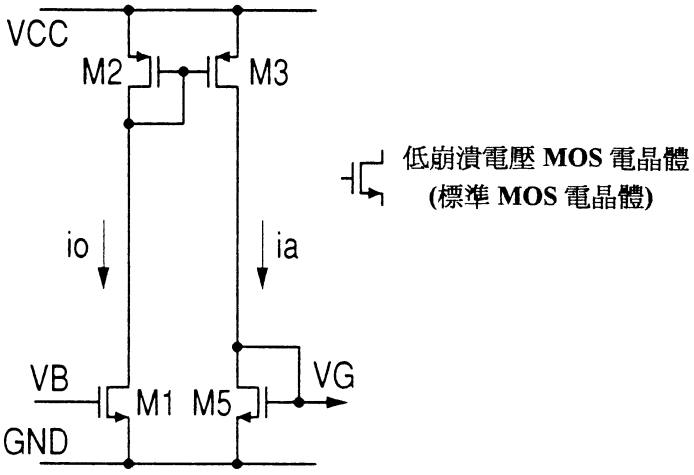
第 9 圖



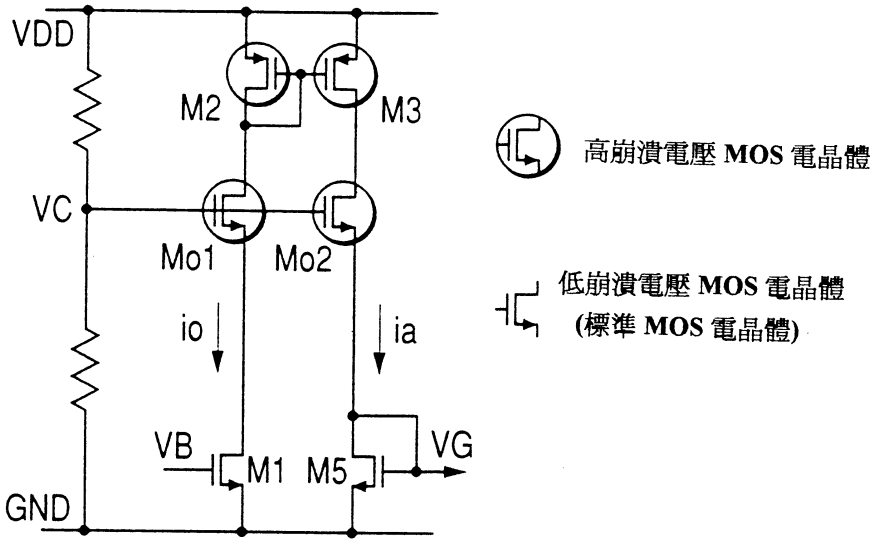
第 10 圖



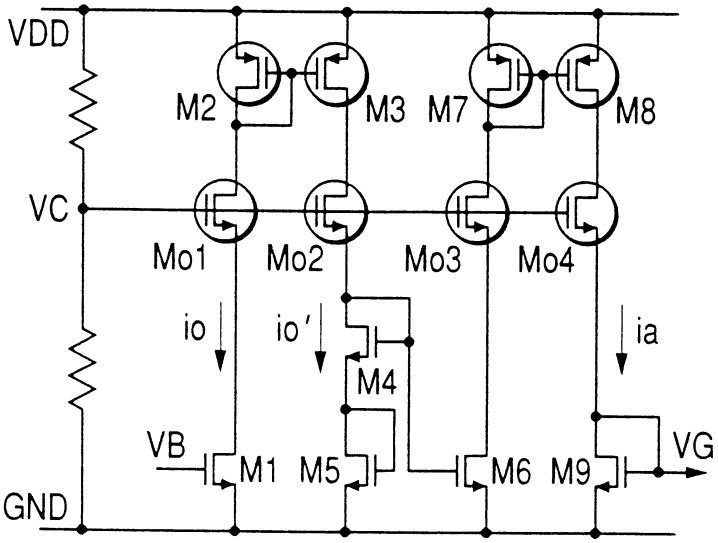
第 11 圖



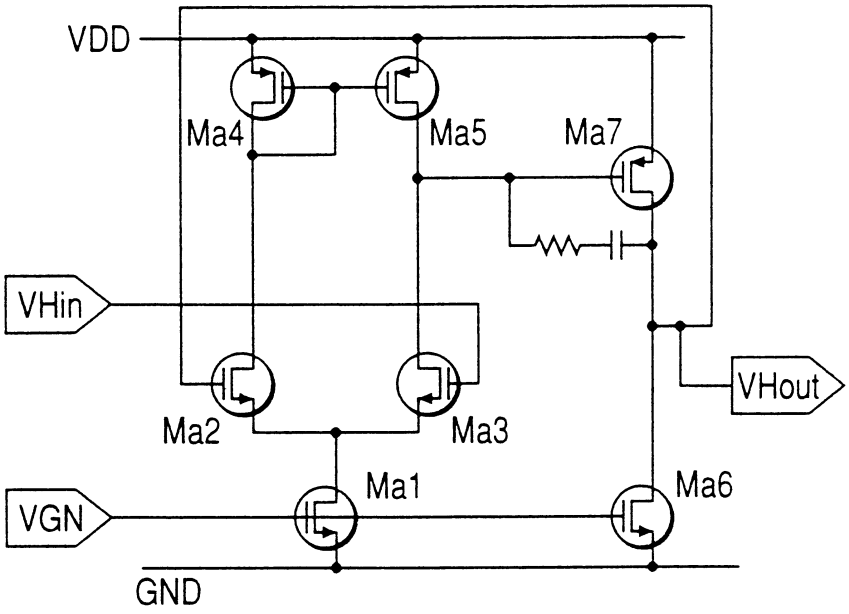
第 12 圖


VDD
M2
M3
VC
Mo1
Mo2
io
ia
VB
M1
M5
VG
GND
高崩潰電壓 MOS 電晶體
低崩潰電壓 MOS 電晶體
(標準 MOS 電晶體)

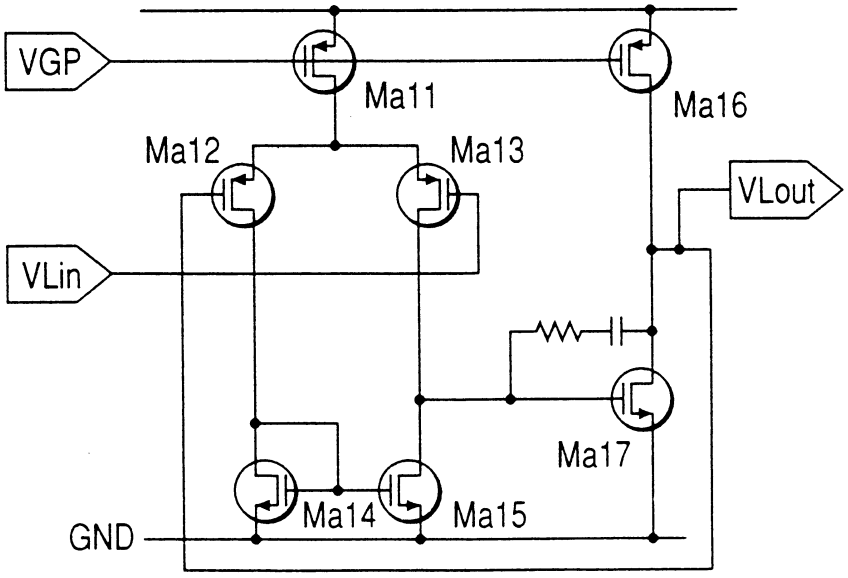
第 13 圖


VDD
M2
M3
M7
M8
VC
Mo1
Mo2
Mo3
Mo4
io
io'
ia
M4
VB
M1
M5
M6
M9
VG
GND

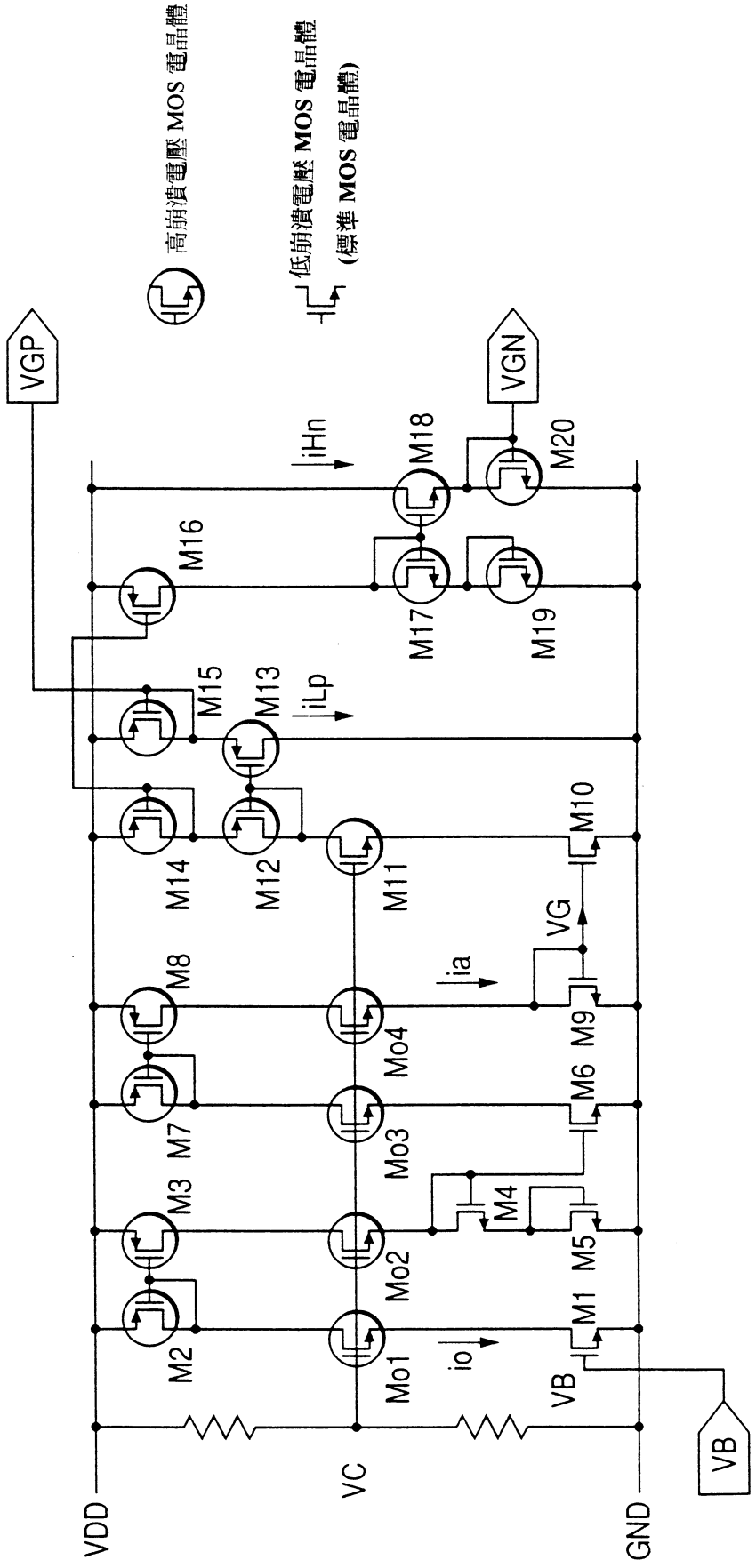
第 14 圖


VDD
Ma4
Ma5
Ma7
VHin
VHout
Ma2
Ma3
Ma1
Ma6
VGN
GND

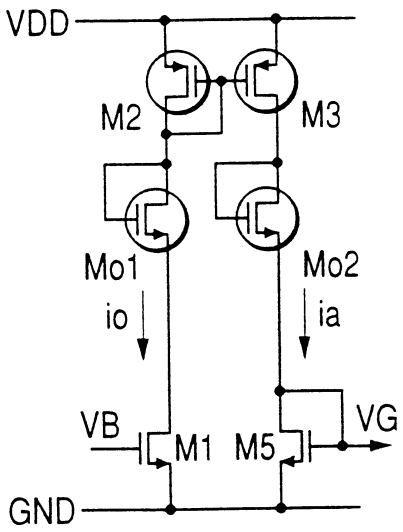
第 15 圖


VGP
Ma11
Ma16
Ma12
Ma13
VLout
VLin
Ma17
Ma14
Ma15
GND

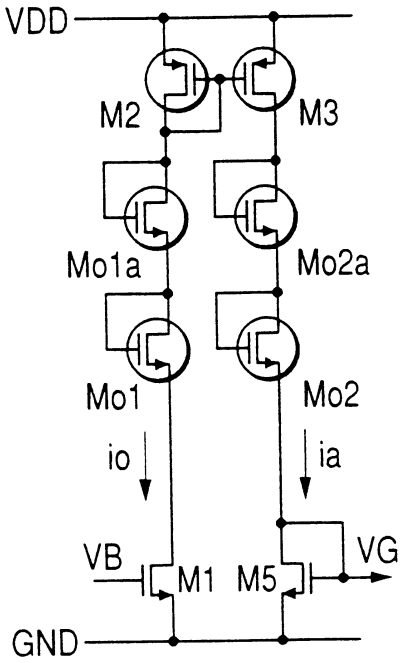
第 16 圖


高崩潰電壓 MOS 電晶體
低崩潰電壓 MOS 電晶體
(標準 MOS 電晶體)
VGP
VGN
VDD
VC
GND
VB
VG
iHn
iLp
ia
io
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M11
M12
M13
M14
M15
M16
M17
M18
M19
M20
Mo1
Mo2
Mo3
Mo4

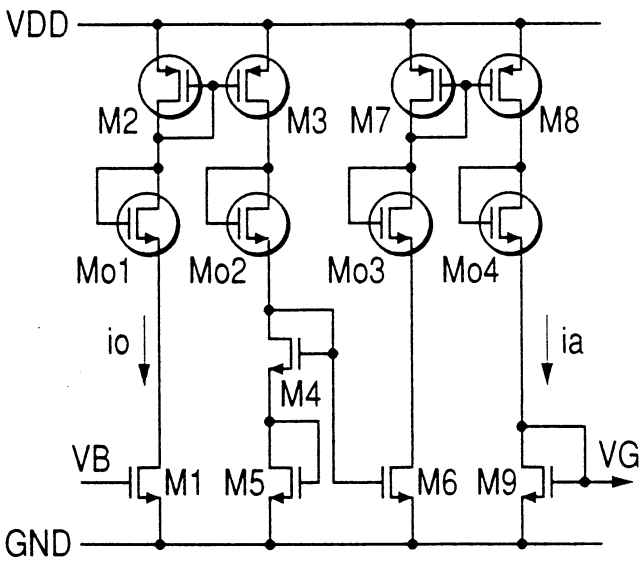
第 17 圖


VDD
M2
M3
Mo1
Mo2
io
ia
VB
M1
M5
VG
GND

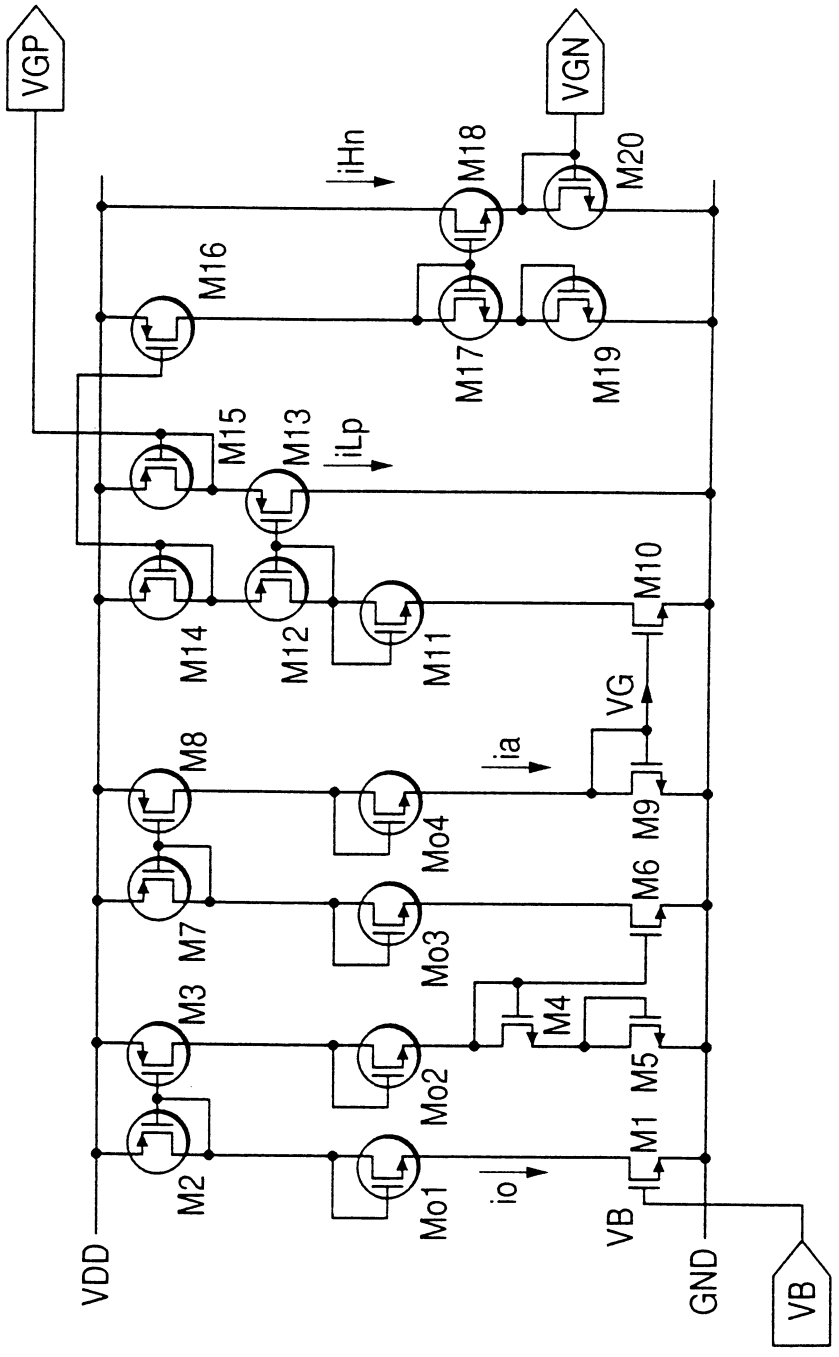
第 18 圖


VDD
M2
M3
Mo1a
Mo2a
Mo1
Mo2
io
ia
VB
M1
M5
VG
GND

第 19 圖



第 20 圖


VGP
VGN
iHn
M18
M20
M16
M17
M19
M15
M13
iLp
M14
M12
M11
M10
VG
M8
ia
M9
Mo4
M7
M6
Mo3
M3
M4
M5
Mo2
M2
M1
Mo1
io
VDD
VB
GND
VB