

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96102989

※ 申請日期： 96.01.26,

※IPC 分類： H01L 27/11

一、發明名稱：(中文/英文)

記憶體元件

MEMORY ARRAY STRUCTURE WITH STRAPPING CELLS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 廖忠志/Jhon-Jhy Liaw

國 籍：(中文/英文)

1. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2006/02/24、11/361,248

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件，特別是一種記憶體元件佈局之積體電路元件。

【先前技術】

概括說來，記憶體晶片包括一個由記憶體單元所構成的陣列，而記憶體單元以多條位元線(bit line)以及字元線(word line)相互連結。字元線與位元線是用來針對每一個記憶體單元讀取或是寫入二進位資料。每一個記憶體單元各自表示一個位元之資料。因為每一個記憶體單元表示一個位元之資訊，且這些記憶體單元可被連接至其他電路，所以這些記憶體單元的電性及操作特性最好是保持一致。

然而，記憶體單元的電性及操作特性會隨著在記憶體單元陣列之佈局位置而有所不同。舉例來說，位於記憶體單元陣列邊緣之記憶體單元的電性及其操作特性就可能與記憶體單元陣列之中心區域的記憶體單元有所差異。導致此差異的原因之一為微影(lithography)之處理過程。一般而言，微影之處理過程需將光罩(mask)層的圖形印刷於一底板上面，之後對於底板執行如離子佈植(implanting)或蝕刻(etching)之處理過程。在微影處理的時候，記憶體單元陣列之中心區域的圖形密度是跟記憶體單元陣列邊緣區域是不一樣的。目前已發現光罩層的圖

形密度可能會影響某些步驟，例如蝕刻速率與離子佈植之濃度(concentration)。因此在記憶體單元趨近同一區域時記憶體單元的電性及操作特性較趨近；而沿著記憶體單元陣列之邊緣(圖形密度稀疏)的記憶體單元之電性及操作特性則與中心區域(圖形密度稠密)的記憶體單元有較顯著之差異。

另一個導致電性及操作特性之差異的原因為井區鄰近效應(well-proximity effect)。佈植光罩(implant masks)，例如圖形化的光阻層，為目前用以形成井(well)結構之方法。在離子佈植過程，某些離子可能從佈植光罩之邊緣散射(scatter)出來然後佈植到靠近光罩邊緣之矽晶圓(silicon)的表面。這些佈植在靠近光罩邊緣之離子可能會改變形成於井中的元件之臨界電壓(threshold voltage)。因為元件以及其相鄰井之距離可能會不一樣而產生不同程度之影響，在記憶體單元陣列中心區域的記憶體單元之電性及操作特性就可能與記憶體單元陣列邊緣的記憶體單元相異。

導致中心的記憶體單元與邊緣的記憶體單元之電性及操作特性之差異的再一原因為由淺溝隔離(shallow-trench isolations, STIs)引起的應力(stress)。目前淺溝隔離作法為在矽基板(substrate)蝕刻出淺溝槽(trench)，再填入介電質(dielectric material)於淺溝槽(一般為高密度氧化物，例如氧化矽)。然而淺溝隔離可能在靠近通道區域(channel region)的電晶體產生張力(tensile)

或壓力 (compressive) 等應力，而改變像是電晶體附近的臨界電壓與開/關電流大小之電性及操作特性。上述淺溝隔離對記憶體單元的電性及操作特性之影響在記憶體單元陣列之邊緣更趨明顯。

因此，如何使記憶體陣列中的記憶體單元之電性及操作特性更為一致，就成為業界所追求的目標。

【發明內容】

為達成上述及其他目的，本發明提出一種記憶體元件，包括一個第一記憶體單元與一個第二記憶體單元以及一個繫帶單元 (strapping cell)。其中，每一個記憶體單元具有至少一個 P 型主動區域 (active area) 與至少一個 N 型主動區域。繫帶單元介於第一記憶體單元與第二記憶體單元之間，在這些繫帶單元中具有多個 P 型繫帶 (strap) 而各自連接至第一記憶體單元與第二記憶體單元之 N 型主動區域。此外，這些繫帶單元中更具有多個 N 型繫帶且各自連接至第一記憶體單元與第二記憶體單元之 P 型主動區域。

本發明又提出一種記憶體元件，包括一個第一列之數個記憶體單元，一個第二列之數個記憶體單元以及一列之數個繫帶單元。其中，在此列繫帶單元中的每一個繫帶單元具有一個第一導電性 (conductivity type) 之第一繫帶，此第一繫帶緊鄰第一列與第二列記憶體單元中的數個第二導電性主動區域。以及覆蓋數個冗餘閘極層

(dummy gate layer)於第一繫帶上，而在一個或數個繫帶單元中形成數個冗餘電晶體。其中上述之第一繫帶為一個具有第一導電性之第一井(well)。

依照本發明的實施例所述之記憶體元件，其中這些冗餘電晶體的汲極端點電性耦接至電壓源 V_{ss} 或記憶體單元之位元線，而冗餘電晶體的源極端點與閘極則電性耦接至 P 井繫帶金屬層，而 P 井繫帶金屬層電性耦接至電壓源 V_{ss} 或一偏壓(bias voltage)。

依照本發明的實施例所述之記憶體元件，其中冗餘電晶體的汲極端點電性耦接至電壓源 V_{cc} ，而冗餘電晶體的源極端點與閘極則電性耦接至 N 井繫帶金屬層，而 N 井繫帶金屬層電性耦接至電壓源 V_{cc} 或相異於電壓源 V_{cc} 之一個電壓源(voltage source)。

依照本發明的實施例所述之記憶體元件，其中每一個繫帶單元更包括具有第二導電性的一個第二繫帶，且電性連接相鄰的記憶體單元中具有第一導電性的數個第二主動區域。

依照本發明的實施例所述之記憶體元件，更包括一個冗餘 N 井，此冗餘 N 井相鄰於沿著記憶體單元陣列的邊緣而形成之井。

依照本發明的實施例所述之記憶體元件，其中第一井電性耦接至電壓源、預設電壓(predetermined voltage)，或漂置(floating)。

依照本發明的實施例所述之記憶體元件，更包括一

條或是一條以上的冗餘導線(dummy conductive line)，電性耦接第一繫帶之其中數個、第二繫帶之其中數個，或是一條或一條以上的第一繫帶與第二繫帶。

依照本發明的實施例所述之記憶體元件，更包括至少二個連續的電晶體，形成於第一繫帶與第二繫帶中，其中電晶體之閘極電性耦接至這些電晶體間的一端點。

依照本發明的實施例所述之記憶體元件，其中記憶體元件為靜態隨機存取記憶體(Static Random Access Memory；SRAM)。

本發明再提出一種記憶體元件，包括一列第一列的數個記憶體單元、一列第二列的數個記憶體單元以及由數個繫帶單元組成之繫帶單元之一列。其中每一繫帶單元具有一個 N 型導電性之第一區域，此第一區域各自且相當的緊靠第一列記憶體單元以及第二列記憶體單元之數個 P 型主動區域。

依照本發明的實施例所述之記憶體元件，更包括一個 P 型傳導性之第二區域，此第二區域各自且相當的緊靠在第一列記憶體單元以及第二列記憶體單元中的數個 N 型主動區域。

依照本發明的實施例所述之記憶體元件，更包括一個冗餘井區(dummy well)相鄰於沿著記憶體單元陣列之邊緣形成的井區，其中上述之冗餘井區為冗餘 N 井區，其電性耦接至電壓源 V_{cc} ，並且為電性浮置。

依照本發明的實施例所述之記憶體元件，更包括一

條以上冗餘導線電性耦接至第一區域的數個、第二區域的數個，第一區域與第二區域之一個或以上。

依照本發明的實施例所述之記憶體元件，更包括至少二個連續的電晶體，形成於每一個第一區域與第二區域中，其中這些電晶體中的閘極電性耦接至這些連續的電晶體中之一個端點。

綜上所述，本發明在兩列記憶體單元間設有一列繫帶單元，而繫帶單元在介於兩列記憶體單元之 N^+ 摻質或 P^+ 摻質作用區間之間設有一個 P^+ 摻質或 N^+ 摻質之繫帶。因此繫帶單元在介於記憶體單元陣列中的兩列記憶體單元之間提供了一絕緣架構，而使各個記憶體單元產生較為一致的操作特性，而不隨著記憶體單元位於記憶體單元陣列中的位置而改變其特性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

接著將以 6 晶體靜態隨機存取記憶體 (6T-SRAM) 作為本發明之實施例，以闡明本發明之技術特徵。然而，在相同的技術特徵下亦可衍生出 8 晶體靜態隨機存取記憶體 (8T-SRAM) 或其他半導體之記憶體元件。為讓本發明之目的、特徵、及優點能更明顯易懂，下文特舉較佳實施，例做詳細之說明。然其並非用以限制其範圍。

第 1 圖為典型 6 晶體靜態隨機存取記憶體之示意圖。請參照第 1 圖，6 晶體靜態隨機存取記憶體包括一個第一傳遞閘極電晶體 PG-1，一個第二傳遞閘極電晶體 PG-2，一個第一提升電晶體 PU-1，一個第二提升電晶體 PU-2，一個第一下降電晶體 PD-1，以及一個第二下降電晶體 PD-2。其中，第一提升電晶體 PU-1 與第二提升電晶體 PU-2 為 P 通道型金氧半導體電晶體 (PMOS)，其餘為 N 通道型金氧半導體電晶體 (NMOS)。

在上述記憶體單元中，節點 NODE-1 與節點 NODE-2 為兩個互補的節點，因為節點 NODE-1 與第二提升電晶體 PU-2 的閘極連接而節點 NODE-2 與第一提升電晶體 PU-1 的閘極連接，使得存於兩點的數值彼此互補。舉例來說，當節點 NODE-1 為高電位時，第二提升電晶體 PU-2 以防止電流由電壓源 V_{cc} 流到節點 NODE-2。同時，第二下降電晶體 PD-2 的閘極被驅動，用以達成將節點 NODE-2 接地之效果。此外，當節點 NODE-2 為低電位時，第一提升電晶體 PU-1 則允許電流由電壓源 V_{cc} 流到節點 NODE-1，且將第一下降電晶體 PD-1 關閉，以避免節點 NODE-1 接地。第一傳遞閘極電晶體 PG-1 與第二傳遞閘極電晶體 PG-2 的閘極電性耦接至字元線 (WL)，用以控制對於記憶體單元之資料讀取或寫入動作。被存放在節點 NODE-1 與節點 NODE-2 的資料將藉由位元線 (BL) 以及補數位元線 (BL-COMPLEMENTARY) 讀取，而位元線 (BL) 以及補數位元線 (BL-COMPLEMENTARY) 電性耦

接至一感測放大器(未顯示)。

第 2 圖為根據本發明之一實施例繪示之 6 晶體靜態隨機存取記憶體的電晶體結構與金屬層 M1 之佈局平面顯示圖。請參照第 2 圖，圖中的記憶體單元佈局 200 為第 1 圖之 6 晶體靜態隨機存取記憶體之佈局。在 P 井 (P-well)272 中可組成一個第一傳遞閘極電晶體 PG-1、一個第二傳遞閘極電晶體 PG-2、一個第一下降電晶體 PD-1、以及一個第二下降電晶體 PD-2。而在 N 井 (N-well)270 中可組成一個第一提升電晶體 PU-1 以及一個第二提升電晶體 PU-2。另外，粗黑未填滿之矩形則代表金屬層 M1，可用來作為連接線。

第一提升電晶體 PU-1 與第二提升電晶體 PU-2 最好皆位在 N 井 (N-well)270 中形成的 P 通道型金氧半導體 (PMOS) 電晶體，而其餘的電晶體則最好位在 P 井 (P-well)272 中形成的 N 通道型金氧半導體 (NMOS) 電晶體。第一提升電晶體 PU-1 以及第二提升電晶體 PU-2 的源極各自電性耦接至電壓源 Vcc 連接線 210 以及 212。連接線 210 位於金屬層 M1 並覆蓋在第一提升電晶體 PU-1 上。透過插塞 214，第一提升電晶體 PU-1 接觸連接線 210，使源極電性耦接至電壓源 Vcc。同理，第二提升電晶體 PU-2 透過插塞 216 與位於金屬層 M1 之連接線 212 接觸，達到將第二提升電晶體 PU-2 的源極電性耦接至電壓源 Vcc。

透過一個位於金屬層 M1 上的內部單元、以及插塞

221、222、223，第一提升電晶體 PU-1 的汲極、第一下降電晶體 PD-1 的汲極、第一傳遞閘極電晶體 PG-1 的汲極、以及第二提升電晶體 PU-2 與第二下降電晶體 PD-2 的閘極，都相互電性耦接。相同的，第二提升電晶體 PU-2 的汲極、第二下降電晶體 PD-2 的汲極、第二傳遞閘極電晶體 PG-2 的汲極，以及第一提升電晶體 PU-1 與第一下降電晶體 PD-1 的多個閘極，都透過一個位於金屬層 M1 上的內部單元連接 224 以及插塞 225、226、227 達到相互電性耦接。

第一下降電晶體 PD-1 的源極端透過 V_{SS} 連接線 228 及插塞 229 而電性耦接至接地端 V_{SS} ；而第二下降電晶體 PD-2 的源極端透過 V_{SS} 連接線 230 及插塞 231 而電性耦接至接地端 V_{SS} 。

第一傳遞閘極電晶體 PG-1 的源極透過連接線 232 以及插塞 233 電性耦接至位元線 BL。第一傳遞閘極電晶體 PG-1 電性耦接至位元線 BL、第一提升電晶體 PU-1 的汲極以及第一下降電晶體 PD-1 的汲極。第一傳遞閘極電晶體 PG-1 的閘極則藉由金屬層 M1 的連接線 234 以及插塞 235 電性耦接至字元線 WL。

第二傳遞閘極電晶體 PG-2 的源極則藉由連接線 236 以及插塞 237 電性耦接至補數位元線 236。同樣地，第二傳遞閘極電晶體 PG-2 電性耦接至補數位元線 236、第二提升電晶體 PU-2 的閘極與第二下降電晶體 PD-2 的閘極。第二傳遞閘極電晶體 PG-2 的閘極藉由在金屬層 M1

上的連接線 238 與插塞 239 而電性耦接至字元線 WL。普通做法之一是定義記憶體單元 260，如虛線矩型區域所示。一般具有相同領域知識的人將會了解，以上的結構，如同虛線內所顯示的，定義了單一一個記憶體單元 260。這樣的記憶體單元 260 也定義了設計記憶體時所需的基本結構，如果要產生大容量記憶體時，可以複製數個記憶體單元 260 來達成。

第 3a 圖為根據本發明之一實施例繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。請參照第 3a 圖，在本發明之一實施例中，記憶體單元陣列 300 包括記憶體單元 314，如圖中深色線矩形所示。而每一個記憶體單元 314 為一儲存單元，譬如第 2 圖中所述之記憶體單元 200。第 3a 圖省略第 2 圖提及的多晶矽、插塞，以及金屬層等，以便闡明本發明之特徵所在。

記憶體單元陣列 300 包括 P 井 310 與 N 井 312，其中 N 井 312 為虛線圍起之區域，而 P 井 310 為介於任兩相鄰 N 井 312 之間的區域。在 P 井 310 中包括 N 型主動區域 316，他們有被 N^+ 摻雜，可用來作為記憶體單元 314 中 N 型半金氧電晶體 (NMOS) 之汲極/源極。上述之 N 型主動區域 316 為圖中填有粗體斜線 ("/") 圖樣之垂直矩形區域。而在 N 井 312 中包括 P 型主動區域 318，被 P^+ 摻雜質，可用來作為記憶體單元 314 中 P 型半金氧電晶體 (PMOS) 之汲極/源極。上述之 P 型主動區域 318 為圖中填有粗體反斜線 ("\") 圖樣之垂直矩形區域。

此外，在兩列記憶體單元 314 之間包括一列繫帶單元 320，每一個繫帶單元 320 更包括一個 P⁺繫帶 322 與一個 N⁺繫帶 324。此 P⁺繫帶 322 與 N⁺繫帶 324 位於兩列相鄰之記憶體單元 314 間，且 P⁺繫帶 322 之兩端與記憶體單元 314 之 N 型主動區域 316 相連，而 N⁺繫帶 324 之兩端與記憶體單元 314 之 P 型主動區域 318 相連。

請繼續參照第 3a 圖，圖中每一繫帶單元 320 中的 P⁺繫帶 322 緊鄰位於上方與下方的記憶體單元內的 N 型主動區域 316。如此，不需形成絕緣架構(例如：淺溝隔離)，便可隔離 N 型主動區域 316，所以可以減少或消除形成隔離架構時所引起的應力問題。同理，每一繫帶單元 320 的 N⁺繫帶 324 亦緊鄰上方與下方的記憶體單元內的 P 型主動區域 318，所以隔離記憶體單元的 P 型主動區域 318。

在一實施例中，P⁺繫帶 322 及 N⁺繫帶 324 各自與 P 型主動區域 318 及 N 型主動區域 316 用一樣的製造方法一起製造。

一井接觸(well contact)可供 P⁺繫帶 322 及 N⁺繫帶之電性連接點之形成，以做為電晶體之井區的井偏壓(well bias)端或源極偏壓端。

在第 3a 圖中也列舉了一個可有可無的冗餘 N 井 340。冗餘 N 井 340 位於記憶體單元陣列 300 的邊緣，大致跟 P 井 310 平行。為了解說上的方便，第 3a 圖僅僅顯示一個冗餘 N 井 340。其他的冗餘 N 井，例如可以位於記憶體單元陣列 300 的對面之另一邊緣的一冗餘 N 井，亦

可用來增加冗餘 N 井的數量或是取代第 3a 圖中的冗餘 N 井 340。在一實施例中，冗餘 N 井 340 電性耦接至電壓源 V_{cc} 、另一預定電壓、或浮置(floating，不接到任何電壓)。

目前已經知道，冗餘 N 井可改善井區絕緣之程度並平衡井鄰近效應。藉此方式，沿著記憶體單元陣列之邊緣的記憶體單元的電性及操作特性則會更趨近於記憶體單元陣列之中心的記憶體單元。

第 3b 圖為根據本發明之另一實施例繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。請參照第 3b 圖，本圖與第 3a 圖相似，相同的元件請參照第 3a 圖對應之編號。本圖與第 3a 圖相異之處為 N 型主動區域 316 與 P 型主動區域 318 延伸到繫帶單元 320 中。N 型主動區域 316 與 P^+ 繫帶 322 之間的接點位於繫帶單元 320 內。相同的，P 型主動區域 318 與 N^+ 繫帶 324 之間的接點亦位於繫帶單元 320 內。

第 3c 圖為根據本發明之再一實施例，繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。請參照第 3c 圖，本圖與第 3b 圖相似，相同的元件請參照第 3b 圖中對應之編號。本圖與第 3b 圖相異之處為 N 型主動區域 316 與 P^+ 繫帶 322 並不相互緊靠。N 型主動區域 316 停止在近乎繫帶單元 320 之末端，且在 N 型主動區域 316 與 P^+ 繫帶 322 之間具有約 400\AA 到 4000\AA 之間隙(gap)。依據以上的實施例，還有一些其他可能的結構，在此不再一一詳述。

根據本發明之一實施例，第 4 圖顯示了一記憶體單元陣列的配置。一系列繫帶單元週期出現於記憶體單元陣列中之相鄰兩列中。在一較佳實施例中，大約每 4 到約 1024 列的記憶體單元陣列即會出現一系列繫帶單元，並重複的以上述之排列方式出現於記憶體單元陣列中，以符合記憶體單元陣列大小的要求。

第 4 圖的實施例中中也顯示了位元線 (BL 以及 BL-COMPLEMENTARY)、電源導線 (也就是 V_{ss} 與 V_{cc} 線)、以及字元線。在本實施例中，字元線平行於列繫帶單元，而位元線以及電壓源導線 V_{cc} 與 V_{ss} (voltage source conductor) 則與列繫帶單元垂直。由上可知，字元線、電源導線，以及字元線可用一或多層覆蓋 (overlay) 於上的金屬層所構成，而且可以有其他種不同的佈局圖。

第 5 圖為第 3b 圖中的記憶體單元陣列之部分平面顯示圖，而且具有一或多個冗餘繫帶導線 510。在此實施例中，冗餘繫帶導線 510 置於 P^+ 繫帶 322 與 N^+ 繫帶 324 上，以形成 P 型繫帶電晶體 520 以及 N 型繫帶電晶體 522 的閘極，而且可以在形成其他記憶體單元電晶體 (請參照第 1 圖與第 2 圖) 的閘極時，同時一起被形成。在本實施例中，預設 P 型繫帶電晶體 520 以及 N 型繫帶電晶體 522 之閘極最好連繫到兩串聯的繫帶電晶體之間。如果 P 型繫帶電晶體 520 以及 N 型繫帶電晶體 522 的閘極彼此透過冗餘繫帶導線 510 而短路，則 P 型繫帶電晶體 520 以及 N 型繫帶電晶體 522 其中之一的閘極不可以連接到兩

串聯的繫帶電晶體之間，以避免電壓源導線 V_{cc} 與 V_{ss} 之短路。第 5 圖所示之兩條冗餘繫帶導線 510 僅用於說明其目的，在此可使用更多或更少的冗餘繫帶導線 510，並不限其範圍。

第 6 圖為顯示繫帶電晶體 520 與 522 之電路示意圖。第 6 圖中，冗餘 N 型半金氧電晶體的閘極連繫在介於兩冗餘 N 型半金氧電晶體之一點，而冗餘 P 型半金氧電晶體的閘極連繫在介於兩冗餘 P 型半金氧電晶體之一點。使用本設計可依特殊的設計需求來協助冗餘 N 型半金氧電晶體 (NMOS) 之井偏壓或源極偏壓。

第 7 圖為根據本發明之另一實施例繪示，顯示第 5 圖中之冗餘繫帶導線 510 的另一種可能的配置。如同第 7 圖所示，在本實施例中，冗餘繫帶導線 510 可分割為多段，並允許對多個冗餘電晶體給予不同的偏壓。具有此領域之通常技術者可知，還有其他不同的配置可以使用。

第 8 圖為根據本發明之另一實施例繪示，為一具有冗餘繫帶導線 (例如第 5 圖與第 7 圖中的冗餘繫帶導線 510) 之記憶體單元陣列。第 8 圖之實施例與第 4 圖之實施例相似，不同之處在於本實施例中 N 井繫帶金屬層 810 以及 P 井繫帶金屬層 820 覆蓋在繫帶單元之一列上，以提供繫帶電晶體之間閘極與節點的電性連接。

第 9 圖為根據本發明之另一實施例繪示，為具有繫帶單元之一記憶體單元陣列。第 9 圖之本實施例中的記憶體單元陣列與第 7 圖闡明之記憶體單元陣列相似，其

中相同的元件請參照第 7 圖中對應之編號。須注意的是，第 9 圖中的繫帶單元中的結構跟第 3c 圖中的結構有部分類似。特別是，N 型主動區域 316 止於近乎繫帶單元 320 之邊緣，並在 N 型主動區域 316 以及 P⁺繫帶 322 之間形成一間隙(gap)。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為典型 6 晶體靜態隨機存取記憶體 (6T-SRAM) 之示意圖。

第 2 圖為根據本發明之一實施例繪示之 6 晶體靜態隨機存取記憶體的電晶體結構與 M1 層之平面顯示圖。

第 3a 圖為根據本發明之一實施例繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。

第 3b 圖為根據本發明之另一實施例繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。

第 3c 圖為根據本發明之再一實施例繪示之具有一列繫帶單元之記憶體單元陣列之平面顯示圖。

第 4 圖為根據本發明之一實施例繪示之說明配置一系列繫帶單元於記憶體單元陣列之示意圖。

第 5 圖為根據本發明之一實施例繪示之具有一列繫帶單元之記憶體單元陣列中以導線電性耦接至多數個繫帶之平面顯示圖。

第 6 圖為根據本發明之一實施例繪示之以串聯多數個電晶體形成繫帶單元之示意圖。

第 7 圖為根據本發明之另一實施例繪示之在具有一列繫帶單元的記憶體單元陣列中以導線電性耦接至多數個繫帶之平面顯示圖。

第 8 圖為根據本發明之另一實施例繪示之說明配置一系列繫帶單元與導線於記憶體單元陣列之示意圖。

第 9 圖為根據本發明之再一實施例繪示之在具有一

列繫帶單元的記憶體單元陣列中以導線電性耦接至多數個繫帶之平面顯示圖。

【主要元件符號說明】

- 200~記憶體單元佈局；
- 210、212、228、230、234、238~連接線；
- 214、216、221、222、223、225、226、227、229、231、233、235、237、239~插頭；
- 220、224~內部單元連接；
- 200、260、314~記憶體單元；
- 300~記憶體單元陣列；
- 270、312~N 井；
- 272、310~P 井；
- 318~P 型主動區域；
- 322~P⁺繫帶；
- 510~冗餘繫帶導線；
- 522~N 型繫帶電晶體；
- 820~P 井繫帶金屬層；
- BLB、236~補數位元線；
- WL、234、238~字元線；
- PG-1~第一傳遞閘極電晶體；
- PG-2~第二傳遞閘極電晶體；
- PU-1~第一提升電晶體；
- PU-2~第二提升電晶體；
- 340~冗餘 N 井；
- 316~N 型主動區域；
- 320~繫帶單元；
- 324~N⁺繫帶；
- 520~P 型繫帶電晶體；
- 810~N 井繫帶金屬層；
- BL、232~位元線；

PD-1~第一下降電晶體；

PD-2~第二下降電晶體；

NODE-1、NODE-2~節點；

V_{cc} ~電壓源；

V_{ss} ~電壓源。

五、中文發明摘要：

本發明提出一種帶有繫帶單元之記憶體元件。此記憶體元件包括一個第一記憶體單元、一個第二記憶體單元以及一個繫帶單元。每一個第一記憶體單元以及第二記憶體單元中具有至少一個 P 型主動區域以及至少一個 N 型主動區域。繫帶單元介於第一記憶體單元與第二記憶體單元之間，此繫帶單元具有數個 P 型繫帶連接至第一記憶體單元與第二記憶體單元之 N 型主動區域，以及具有數個 N 型繫帶連接至第一記憶體單元與第二記憶體單元之 P 型主動區域。本發明之繫帶單元可形成多個電晶體，而在被連繫的兩記憶體單元之間提供額外的絕緣。

六、英文發明摘要：

A memory array with a row of strapping cell is provided. Each memory device comprises a first memory cell, a second memory cell, and a strapping cell. Each first memory cell and second memory cell has at least one P-type active area and at least one N-type active area. The strapping cell which between the first memory cell and the second memory cell has P-type straps connect to the N-type active areas of the first memory cell and the second memory cell. And the strapping cell has N-type straps connect to the P-type active areas of the first memory cell and the second memory cell, also. The strapping cell of the

present invention formed a plurality of transistors, and providing an additional isolation between two memory cells which are connected by the strapping cell.

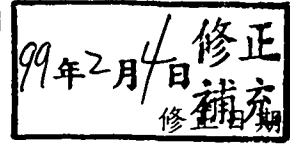
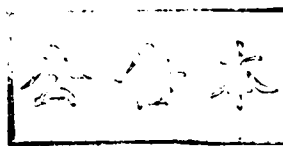
七、指定代表圖：

(一)本案指定代表圖為：第(3a)圖。

(二)本代表圖之元件符號簡單說明：

300~記憶體單元陣列；	310~P 井；
312~N 井；	314~記憶體單元；
316~N 型主動區域；	318~P 型主動區域；
320~繫帶單元；	322~P+繫帶；
324~N+繫帶；	340~冗餘 N 井。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



十、申請專利範圍：

1. 一種記憶體元件，包括：

一第一列之數個記憶體單元；

一第二列之數個記憶體單元；

一冗餘 N 井，該冗餘 N 井位於該第一列記憶體單元與該第二列記憶體單元的邊緣；

一系列之數個繫帶單元，其中每一該些繫帶單元具有一第一導電性 (conductivity type) 之一第一繫帶，該第一繫帶緊鄰該第一列記憶體單元與該第二列記憶體單元之一第二導電性之數個主動區域；以及

多數個冗餘閘極層 (dummy gate layer) 覆蓋在該第一繫帶上，而在一個或數個該些繫帶單元中形成數個冗餘電晶體；

其中該第一繫帶係位於具有該第一導電性之一第一井 (well)。

2. 如申請專利範圍第 1 項所述之記憶體元件，其中該些冗餘電晶體的一汲極端點係電性耦接至電壓源 V_{ss} 或一記憶體單元之位元線，其中該些冗餘電晶體的一源極端點與一閘極係電性耦接至一 P 井繫帶金屬層，而該 P 井繫帶金屬層係電性耦接至電壓源 (V_{ss})。

3. 如申請專利範圍第 1 項所述之記憶體元件，其中該些冗餘電晶體的一汲極端點係電性耦接至輸出電壓源 V_{ss} 或一記憶體單元之位元線，其中該些冗餘電晶體的一源極端點與一閘極係電性耦接至一 P 井繫帶金屬層，且

該 P 井繫帶金屬層係電性耦接至一偏壓(bias voltage)。

4.如申請專利範圍第 1 項所述之記憶體元件，其中該些冗餘電晶體的一汲極端點係電性耦接至電壓源 V_{cc} ，其中該些冗餘電晶體之一源極端點與一閘極係電性耦接至一 N 井繫帶金屬層，而該 N 井繫帶金屬層係電性耦接至電壓源 V_{cc} 。

5.如申請專利範圍第 1 項所述之記憶體元件，其中該些冗餘電晶體的一汲極端點係電性耦接至電壓源 V_{cc} ，其中該些冗餘電晶體之一源極端點與一閘極係電性耦接至一 N 井繫帶金屬層，而該 N 井繫帶金屬層係電性耦接至相異於電壓源 V_{cc} 之一電壓源(voltage source)。

6.如申請專利範圍第 1 項所述之記憶體元件，其中每一該些繫帶單元更包括具有該第二導電性之一第二繫帶，電性連接該些相鄰的記憶體單元中具有該第一導電性之多數個第二主動區域。

7.如申請專利範圍第 1 項所述之記憶體元件，其中該第一井係電性耦接至電壓源 V_{cc} 、一預設電壓(predetermined voltage)、或浮置(floating)。

8.如申請專利範圍第 6 項所述之記憶體元件，更包括一條或是以上的冗餘導線(dummy conductive line)電性耦接該些第一繫帶的其中數個、該些第二繫帶的其中數個或該些第一繫帶與該些第二繫帶的其中一個或數個。

9.如申請專利範圍第 6 項所述之記憶體元件，更包括至少二串聯的電晶體，形成於每一該些第一繫帶與該些

第二繫帶中。

10.如申請專利範圍第 9 項所述之記憶體元件，其中該些電晶體之閘極係電性耦接至該些電晶體間之一端點。

11.如申請專利範圍第 1 項所述之記憶體元件，其中該記憶體元件係一靜態隨機存取記憶體(Static Random Access Memory；SRAM)。

12.一種記憶體元件，包括：

一第一列之數個記憶體單元；

一第二列之數個記憶體單元；

一冗餘井區，該冗餘井區位於該第一列記憶體單元與該第二列記憶體單元的邊緣；以及

一列之數個繫帶單元，其中每一該些繫帶單元具有一 N 型導電性之一第一區域，該第一區域各自且緊鄰該第一列記憶體單元以及該第二列記憶體單元之數個 P 型主動區域。

13.如申請專利範圍第 12 項所述之記憶體元件，更包括一 P 型導電性之一第二區域，該第二區域各自且緊鄰在該第一列記憶體單元以及該第二列記憶體單元中的數個 N 型主動區域。

14.如申請專利範圍第 12 項所述之記憶體元件，其中該冗餘井區係一冗餘 N 井區，而其電性耦接至電壓源 V_{cc} 。

15.如申請專利範圍第 12 項所述之記憶體元件，其中

該冗餘井區係一冗餘 N 井區且其為電性浮置。

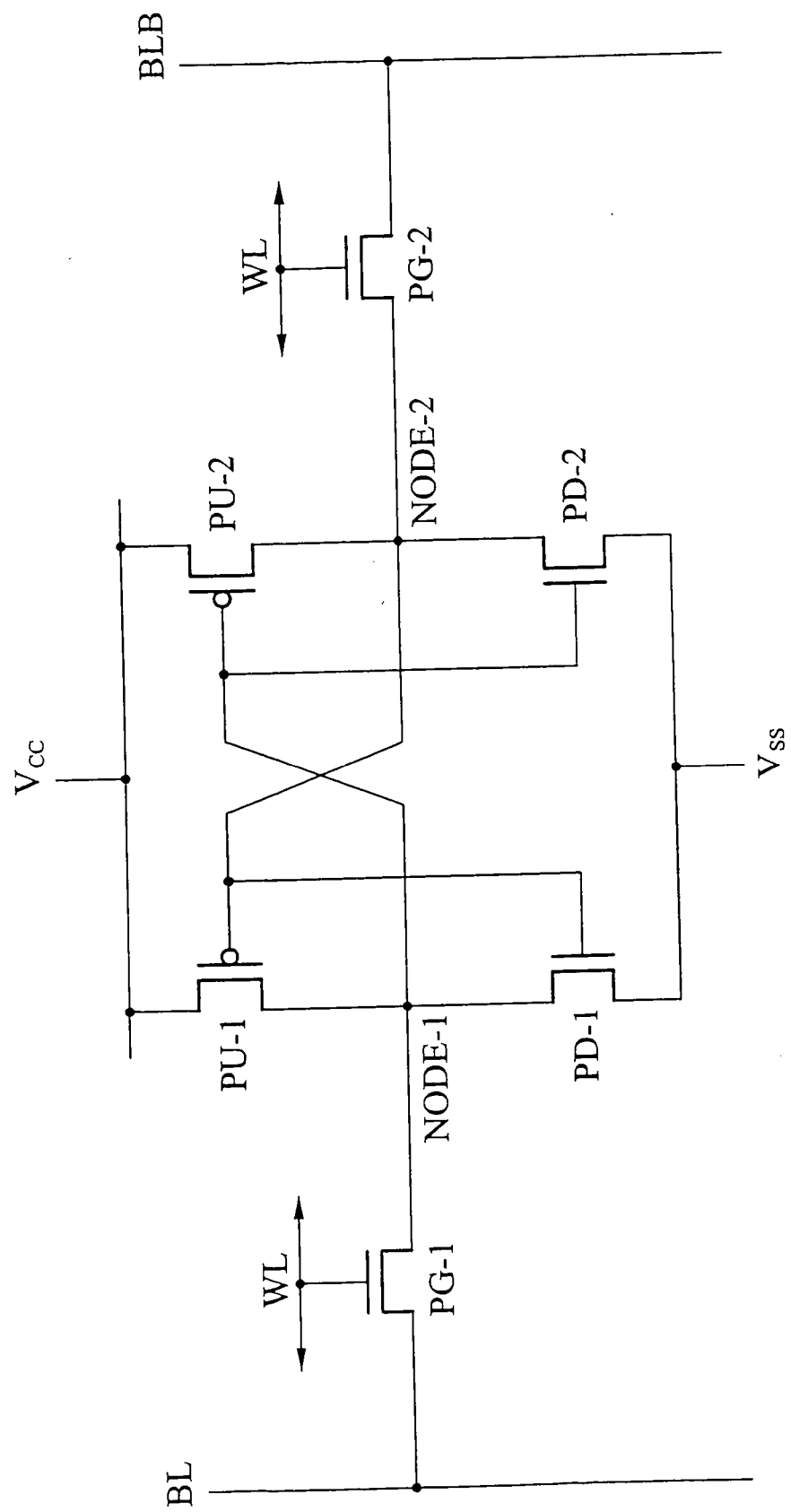
16.如申請專利範圍第 13 項所述之記憶體元件，更包括一條以上冗餘導線電性耦接至該些第一區域的數個、該些第二區域的數個，或該些第一區域與第二區域之一個或以上。

17.如申請專利範圍第 13 項所述之記憶體元件，更包括至少二串聯的電晶體，形成於每一第一區域與第二區域中。

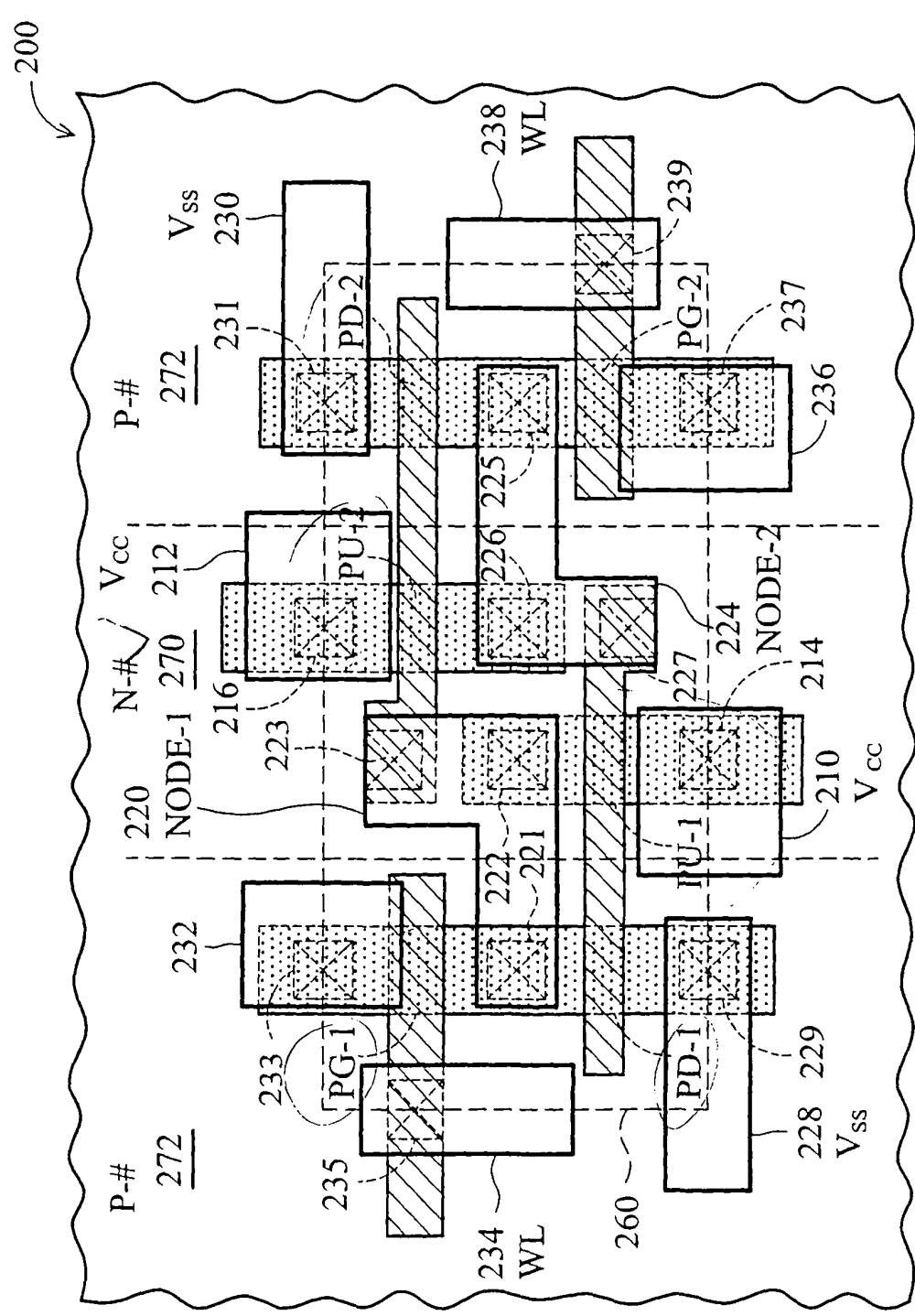
18.如申請專利範圍第 17 項所述之記憶體元件，其中該些電晶體中的閘極係電性耦接至該些電晶體中之一端點。

I342067 102989

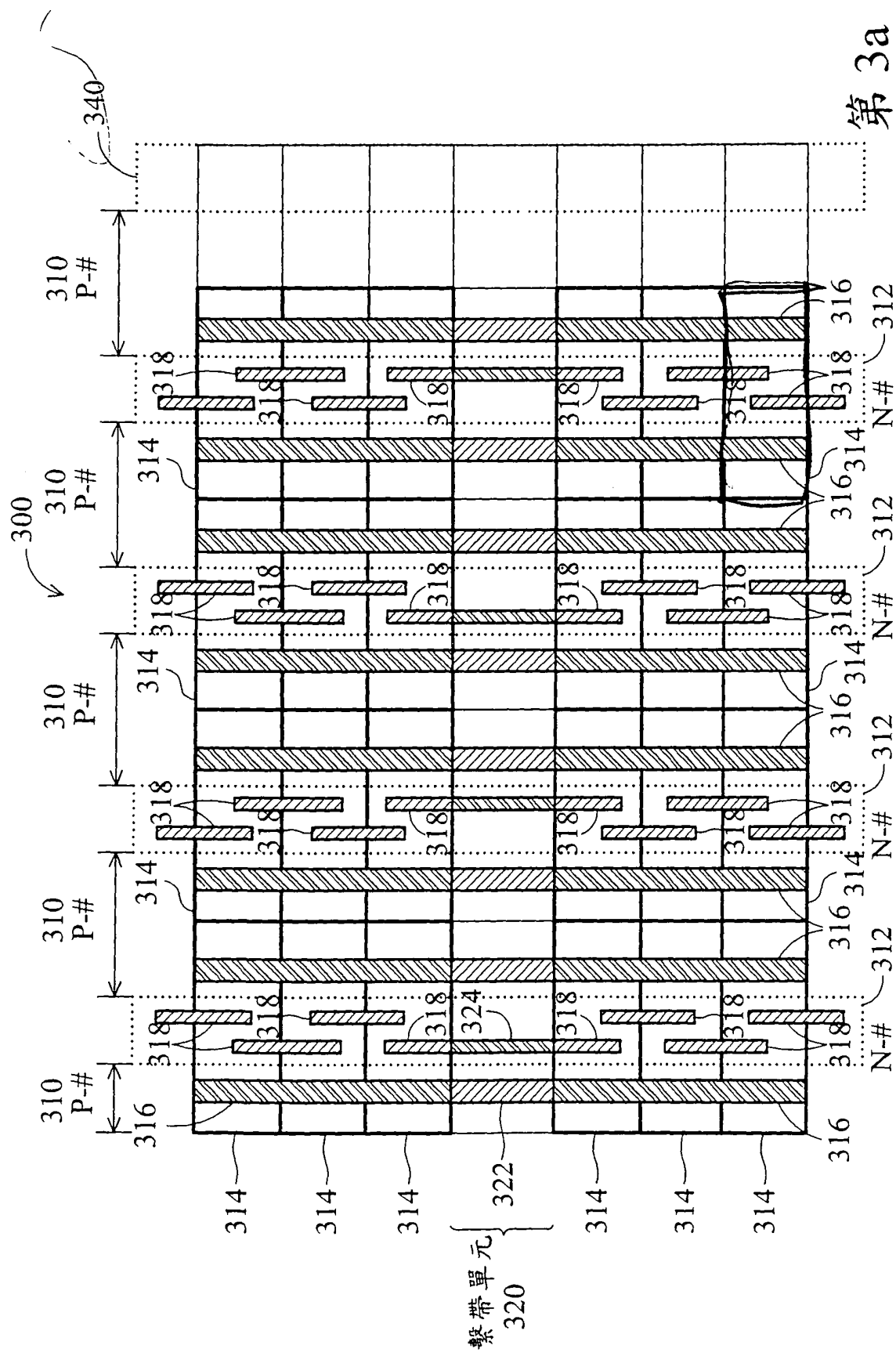
公告本



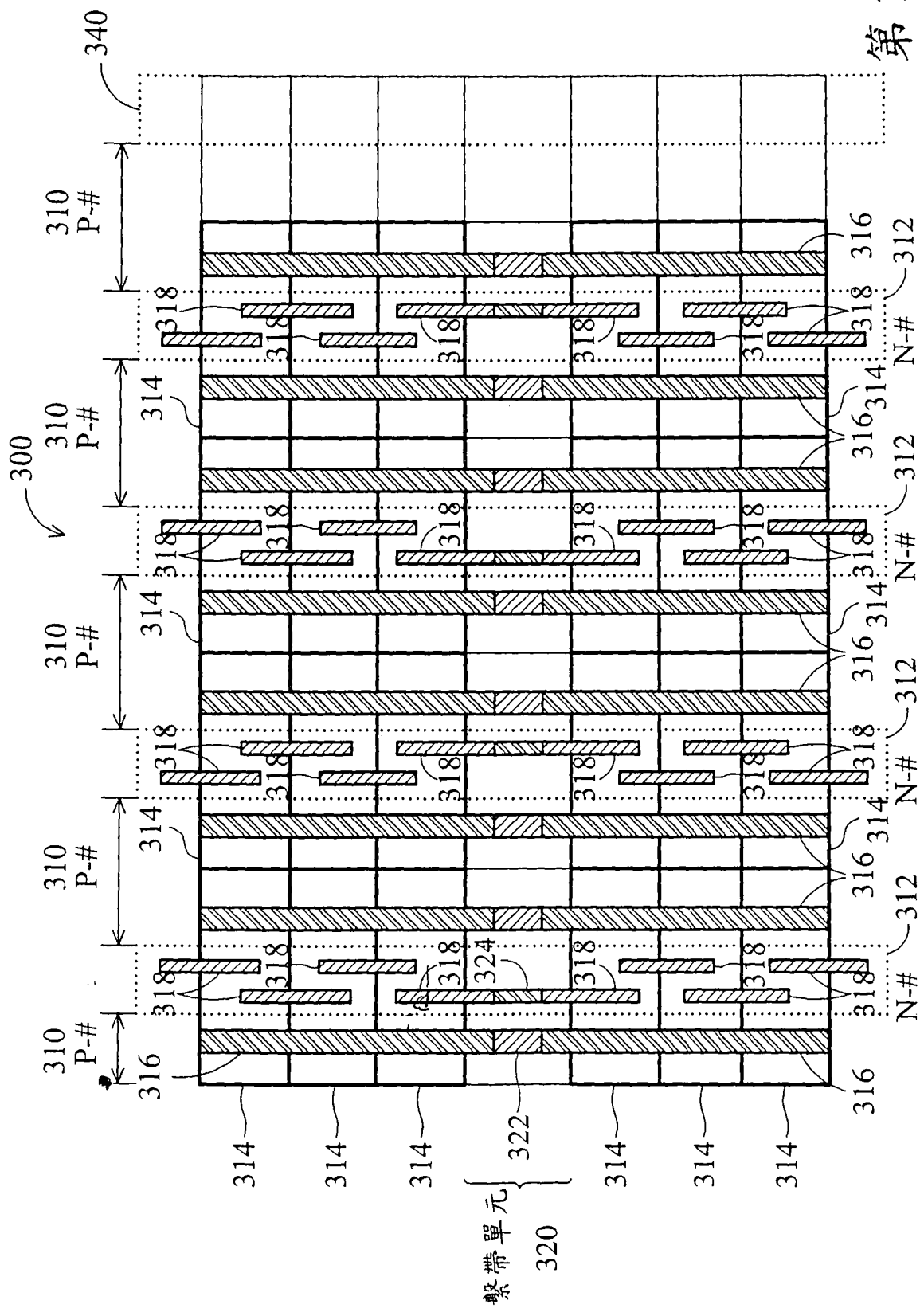
第 1 圖



第 2 圖

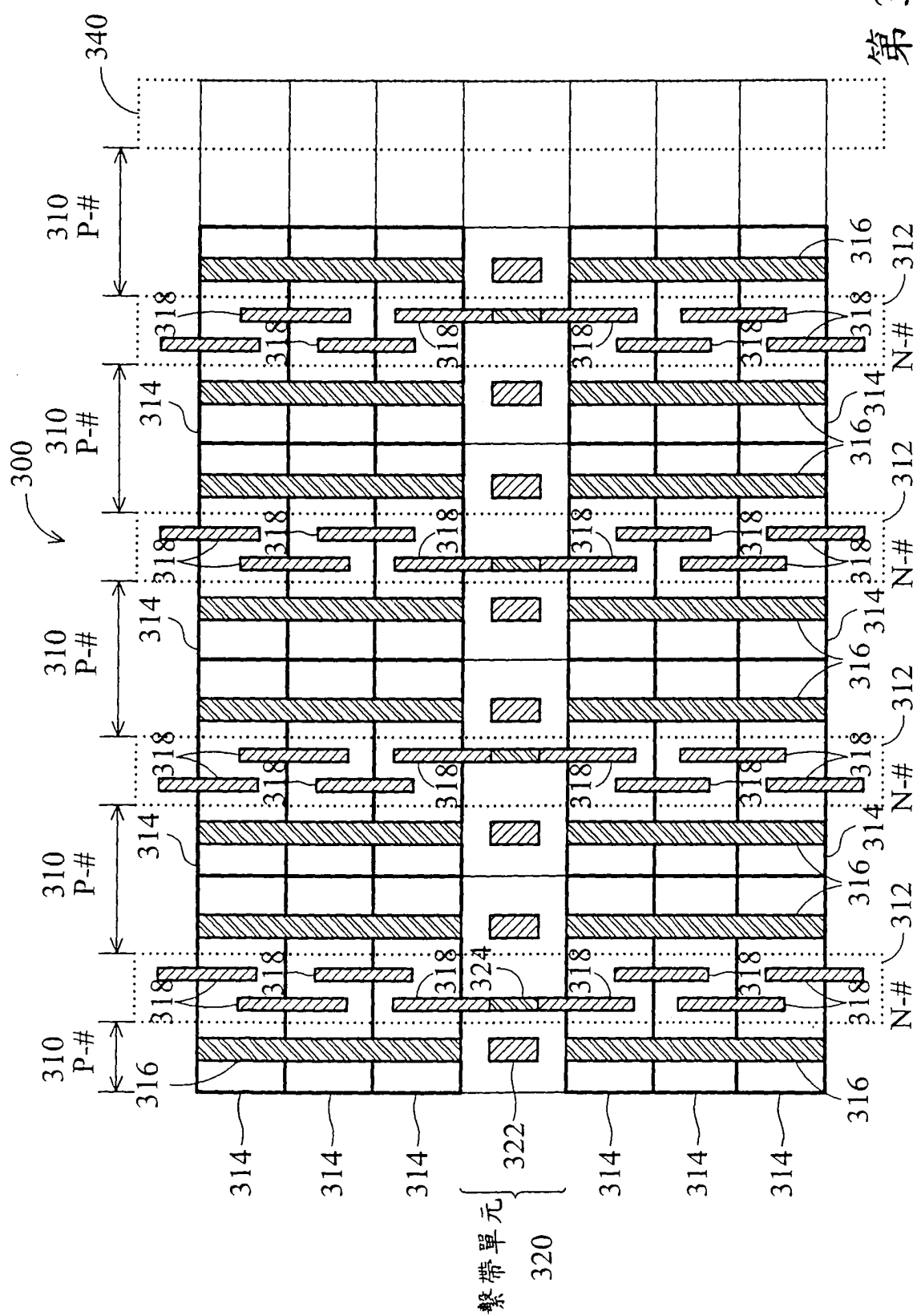


第 3a 圖



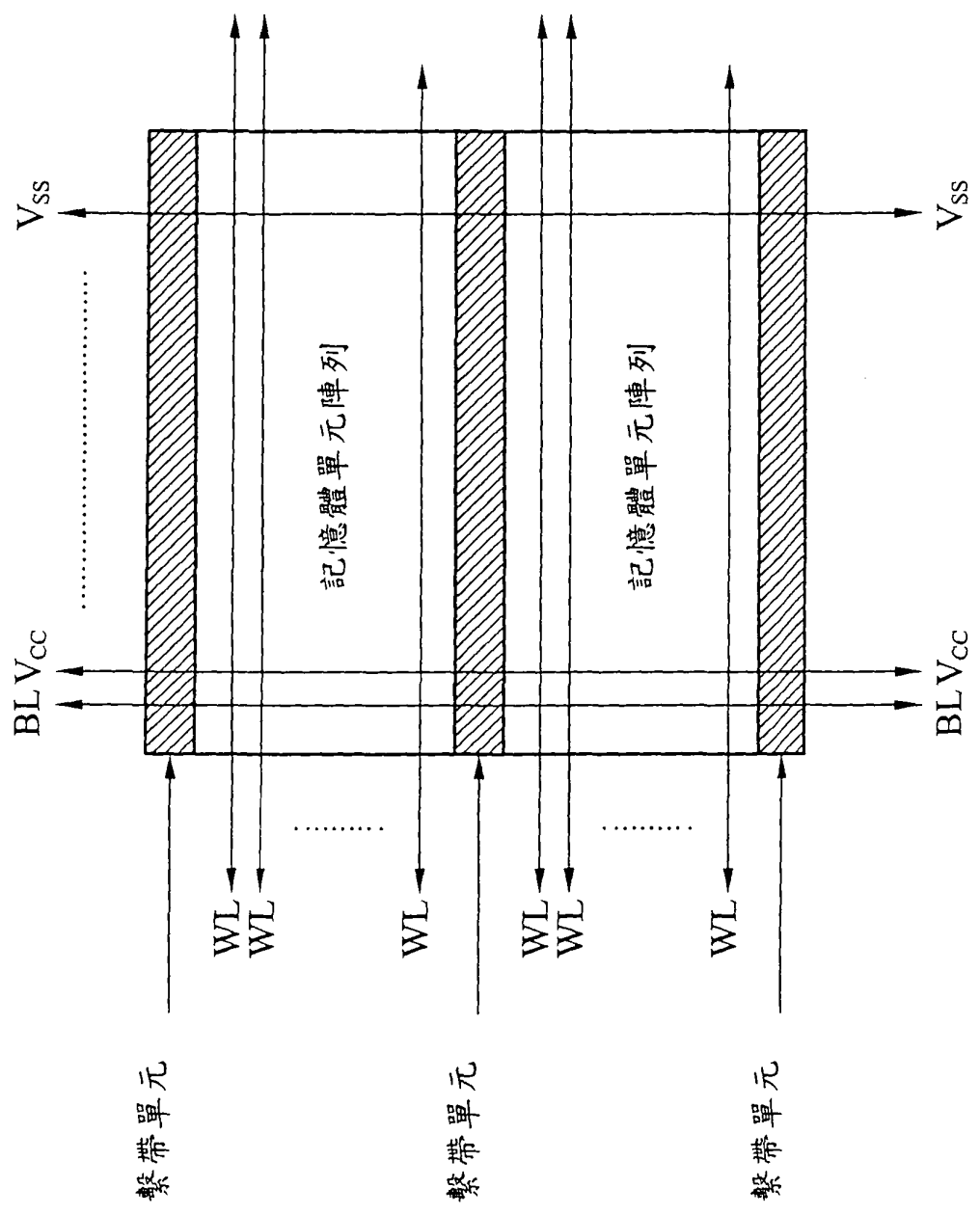
第 3b 圖

繫帶單元
320

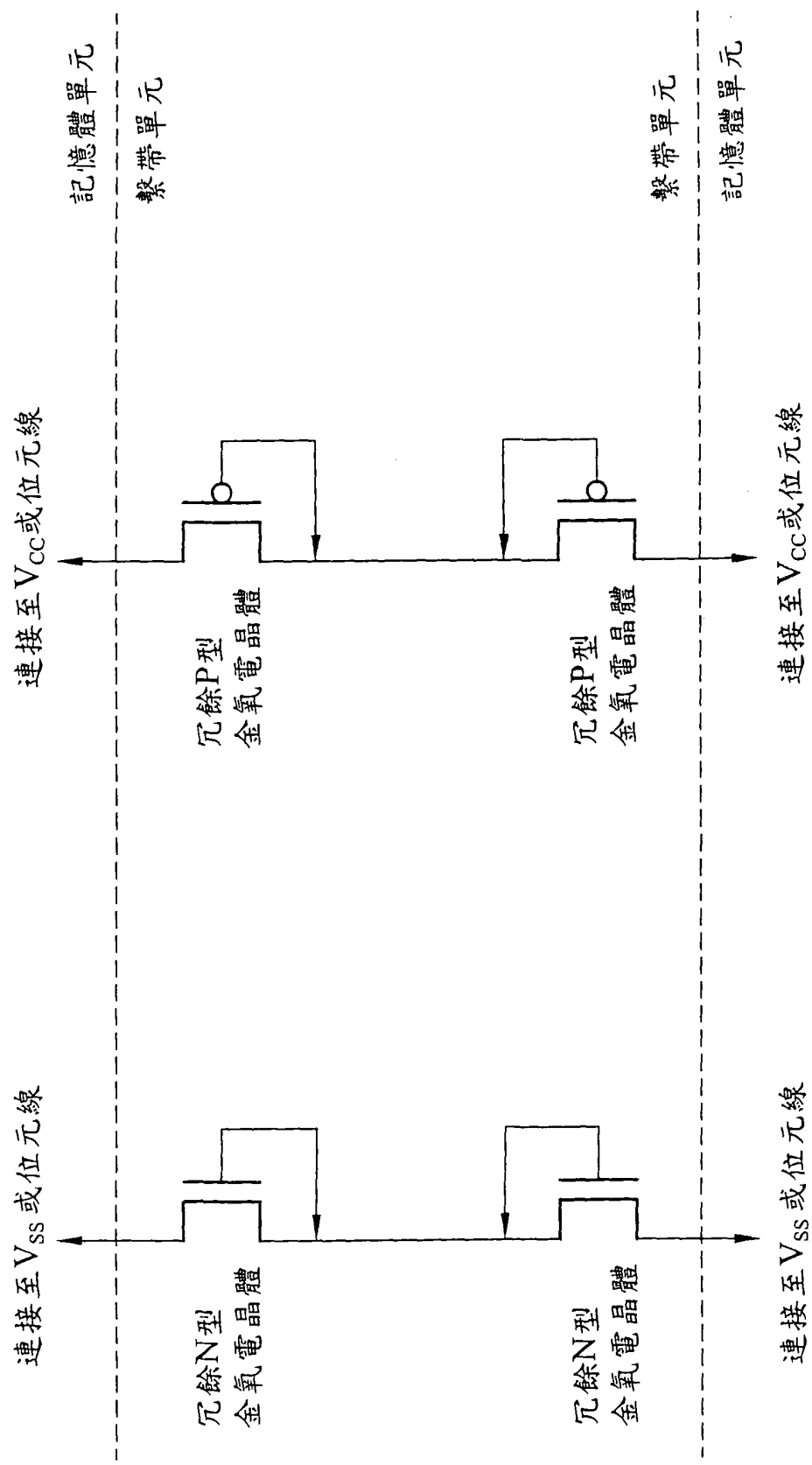


第 3C 圖

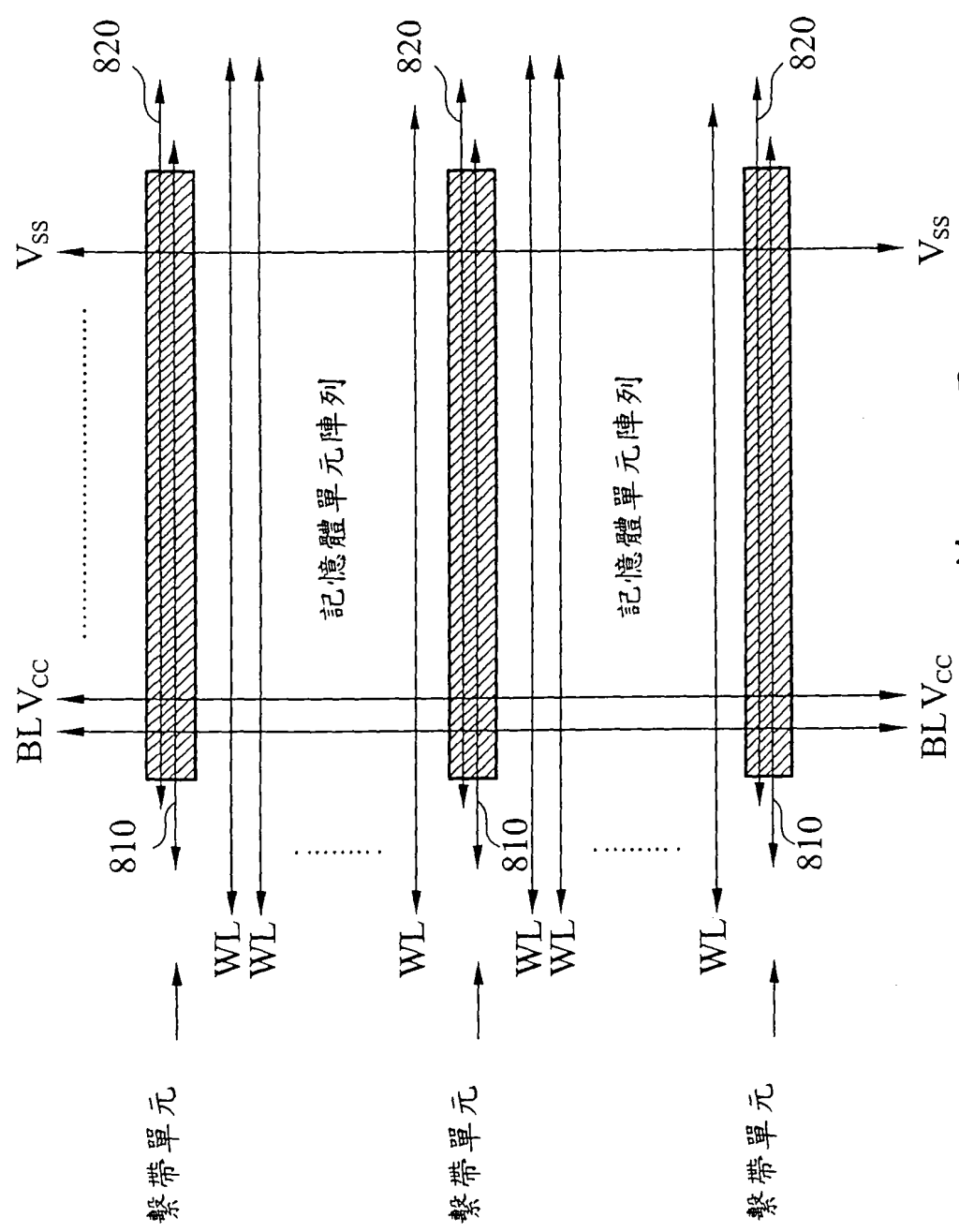
繫帶單元
320



第 4 圖



第 6 圖



第 8 圖

present invention formed a plurality of transistors, and providing an additional isolation between two memory cells which are connected by the strapping cell.

七、指定代表圖：

(一)本案指定代表圖為：第(3a)圖。

(二)本代表圖之元件符號簡單說明：

300~記憶體單元陣列；	310~P 井；
312~N 井；	314~記憶體單元；
316~N 型主動區域；	318~P 型主動區域；
320~繫帶單元；	322~P+繫帶；
324~N+繫帶；	340~冗餘 N 井。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：