



Patent dodatkowy
do patentu _____

Zgłoszono: 29.10.74 (P. 175186)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.09.75

Opis patentowy opublikowano: 20.08.1979

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.² G06F 15/16

Twórca wynalazku: _____

Uprawniony z patentu: Telefonaktiebolaget L. M. Ericsson, Sztokholm
(Szwecja)

Układ ułatwiający współpracę komputera wykonawczego z komputerem rezerwowym

1

Wynalazek dotyczy układu ułatwiającego współpracę komputera wykonawczego z komputerem rezerwowym w czasie ich pracy równoległo-synchronicznej, zwłaszcza, aby komputer rezerwowy, który przed współpracą pracował samodzielnie, uaktualnić danymi wytwarzanymi przez komputer wykonawczy.

Synchronizm uzyskany jest przy pomocy impulsów czasowych generowanych na przykład przez generator zegarowy, który jest wspólny dla obu komputerów i dołączony jest do nich poprzez szynę czasową należącą do systemu szyn.

Każdy komputer zawiera wiele adresowalnych jednostek funkcyjnych, dla przykładu: jednostkę pamięci, jednostkę zliczającą, rejestr przetwarzania. Dane między jednostkami funkcyjnymi przekazywane są przez szynę danych, a adresy i rozkazy przekazywane są przez szynę rozkazów. Przy najmniej jedna z jednostek funkcyjnych zawiera sekwencję wybieralnych rejestrów instrukcji służących do magazynowania instrukcji, które są odczytywane i przetwarzane jedna po drugiej, podczas cyklu przetwarzania pobudzonego generatorem zegarowym i zawierającego kilka faz czasowych.

Komputer wyposażony w szynę rozkazów i szynę danych znany jest z opisu patentowego USA nr 3 631 401. W porównaniu do konwencjonalnego komputera, przeznaczonego tylko do jednego określonego celu, którego stosowanie do nowo prze-

2

widzianych celów jest trudno osiągalne, biorąc pod uwagę możliwość zwiększenia jego pojemności, czy modernizowania w oddzielnych częściach, tak zwany komputer o ujednoliconych szynach, opisany w wymienionym patencie amerykańskim jest elastyczny.

Dzięki ujednoliconemu systemowi szyn, który zawiera wiele równoległych przewodów służących do transmisji danych, adresów i rozkazów w formie równoległej i cyfrowej, do których to przewodów przyłączone są wszystkie części komputera, uzyskuje się zasadę systemu modułowego z jednostkami funkcyjnymi jako modułami. Jednostki funkcyjne przyłączone są do ujednoliconego systemu szyn w jednakowy sposób, jednakowymi stykami, dla przykładu w formie rejestrów dostępnych przez kodowanie. Przez wybieranie odpowiednich modułów uzyskuje się najbardziej różnorodne konstrukcje komputerów, jak mini-komputery, kalkulatory, czy komputery rzeczywisto-czasowe do kierowania prostymi lub skomplikowanymi procesami. Ujednolicony system modułowy jest także używany w czasie sterowanego montażu wyposażenia telekomunikacyjnego.

Sterowanie procesów telekomunikacyjnych często zmusza do odróżnienia pomiędzy szybko i wolno pracującymi jednostkami funkcyjnymi, znaczy to, że należy wprowadzić różne systemy szyn dla różnych szybkości przetwarzania danych, jak również różne jednostki buforowe wyposażone w styki

dla ustalenia środków połączenia pomiędzy systemami szyn. Jeśli centralna jednostka funkcyjna przeprowadzająca procesy własnego komputera i jednostka buforowa pomiędzy jednostką centralną, a jednostką peryferyjną, zbudowane są z bardzo szybko działających elementów logicznych jak układy TTL (Transistor—Transistor—Logic) i są przyłączone do centralnego systemu szyn.

Własności centralnego systemu szyn nakładają ograniczenia, które należy wziąć pod uwagę przy określaniu wynikowej szybkości przetwarzania danych. Na osiągalną szybkość transmisji danych w szynach ma wpływ ilość styków, to jest ilość przyłączonych jednostek funkcyjnych i fizyczna długość przewodów w systemie szyn. Właściwe ograniczenie ilości centralnych części daje w rezultacie optymalnie krótki cykl przetwarzania instrukcji przekazanych przez centralny system szyn. Wynikiem tego będzie skuteczne sterowanie w czasie procesem telekomunikacyjnym.

Sterowany w czasie rzeczywistym komputer, steruje cyklami przetwarzania przy pomocy impulsów czasowych z generatora zegarowego, który poprzez szynę czasową zawartą w systemie szyn jest dołączony do jednostek funkcyjnych.

Przetwarzanie instrukcji trwa w okresie kilku, na przykład czterech impulsów czasowych. Jeśli dane mają zostać przeniesione od jednostki wysyłającej do odbiorczej, instrukcja zawiera oprócz kodu, który wyraża przeniesienie danych w formie cyfrowej, adresy jednostek wysyłającej i odbiorczej. Przełącznik sekwencji instrukcji włącza odpowiedni rejestr instrukcji na okres wszystkich faz czasowych cyklu przetwarzania, tak że kod i adresy są przekazywane do szyny rozkazów systemu szyn podczas całego cyklu przetwarzania. Podczas drugiej do czwartej fazy czasowej dane z poszczególnej jednostki funkcyjnej przekazywane są do szyny danych systemu szyn.

Na koniec, podczas czwartej fazy czasowej przekazywane dane są wpisane do odbiorczej jednostki funkcyjnej. Taki lub podobny podział fazowy cyklu przetwarzania danych jest konieczny ze względu na to, że w połączeniach powstają stany nieustalone przy zmianie stanu logicznego systemu szyn. W celu uzyskania jak najszybszego przetwarzania danych, częstotliwość generatora zegarowego wybrana jest tak, aby opóźnienia w czasie z powodu stanów nieustalonych i czasów zadziałań części składowych były pomijalnie małe. Praktycznie spotyka się częstotliwość 200 MHz jako częstotliwość impulsów czasowych, a 200 ns trwa czas cyklu przetwarzania.

W czasie współpracy komputerów o ujednoliconych szynach — na przykład w systemie składającym się z komputera wykonawczego i komputera rezerwowego, opóźnienia czasowe w połączeniach stwarzają pewne problemy. Jak wiadomo na przykład ze szwedzkiego opisu patentowego nr 227 356, komputer rezerwowo używany jest w celu powiększenia niezawodności sterowania w rzeczywistym czasie przez ciągłe porównywanie pomiędzy chwilowymi danymi wytwarzanymi przez komputery.

W celu powiększenia pewności sterowania, nawet gdy ulegnie uszkodzeniu jeden z kompute-

rów, możliwe jest kontynuowanie procesu sterowania przy pomocy komputera dobrego, lecz już bez możliwości stałego porównywania danych. Po znalezieniu uszkodzenia wadliwego komputera przy pomocy komputera, który oddzielnie prowadzi proces sterowania w rzeczywistym czasie, oraz po naprawie tego uszkodzenia, równoległo-synchroniczna praca zostaje przywrócona. Wówczas sytuacja jest taka, że komputer wykonawczy pracuje sam, a komputer rezerwowo nie jest uaktualniony, to jest, dane magazynowane w komputerach nie odpowiadają sobie. Wynika z tego, że komputer rezerwowo należy włączyć w ściśle określony sposób, równoległo-synchronicznie, uaktualnić dane komputera rezerwowego, ciągle porównywać chwilowe dane komputerów i jednocześnie przeprowadzać diagnozę komputera, który uległ uszkodzeniu.

Synchronizm pomiędzy komputerami jest najłatwiej uzyskiwany przy pomocy wspólnego generatora zegarowego, którego częstotliwość decyduje o fazach czasowych i cyklach przetwarzania odpowiednio w obu komputerach.

W innych znanych systemach równoległo-synchronicznych komputerów, komputery działają przy pomocy własnych generatorów zegarowych synchronizowanych między sobą. Pomimo uzyskiwania, podany wyżej sposób, dokładnego synchronizmu, zdarzają się przesunięcia fazy pomiędzy cyklami przetwarzania komputerów, gdyż na skutek stanów przejściowych i czasów zadziałań elementów, występują opóźnienia czasowe. Jeśli dopiero podczas czwartej fazy czasowej w szynie danych należącej do komputera pracującego oddzielnie uzyskuje się stabilny stan logiczny, występuje zagrożenie ciągłego porównywania chwilowych danych ze współpracujących komputerów przesuniętych już w fazie o fazę czasową.

Problem ten, który powstaje w wyniku przesunięć fazowych, pod względem ciągłego porównywania jest wzięty pod uwagę w szwedzkim opisie patentowym nr 361 368, który przedstawia urządzenia pracujące w podziale częstotliwościowym, gdzie przesunięcia fazowe stają się nieistotne. W takim przypadku porównywane są dane tylko ze wzajemnych cykli przetwarzania.

Biorąc pod uwagę uaktualnianie danych komputera, takie urządzenie z podziałem częstotliwościowym jest zupełnie nie do przyjęcia, ponieważ jeśli uaktualnianie ma być przeprowadzone w oparciu o chwilowe dane wytwarzane przez komputer wykonawczy, wszystkie dane muszą zostać przesłane do komputera rezerwowego bez pomijania wzajemnych cykli przetwarzania. Dlatego znane metody uaktualniania dopuszczają na przykład przerwanie pracy wykonawczej, dopóki nie zakończy się uaktualnianie.

Inne trywialne rozwiązanie problemu uaktualniania polega na zredukowaniu częstotliwości impulsów czasowych tak, że przesunięcia fazowe stają się pomijalne. Rozwiązanie takie jednak ogólnie zmniejsza zdolność przetwarzania danych w kierowaniu rzeczywisto-czasowym.

Przedmiotem wynalazku jest układ, który ułatwia współpracę pomiędzy komputerami bez ujemnego wpływu na szybkość przetwarzania danych

osiągalną w komputerze i bez zakłócania pracy komputera wykonawczego.

Układ ułatwiający współpracę komputera wykonawczego z komputerem rezerwowym w czasie ich pracy równoległo-synchronicznej utrzymuje tę synchroniczną pracę przy pomocy impulsów czasowych generowanych przez generator zegarowy wspólny dla obu komputerów, a przyłączany przez szynę czasu zawartą w systemie szyn.

Każdy z komputerów zawiera wiele adresowanych jednostek funkcyjnych jak jednostka pamięci, jednostka zliczająca, rejestr przetwarzania, między którymi to jednostkami funkcyjnymi przekazywane są dane przez szynę danych, a adresy i rozkazy przez szynę rozkazów. Szyny te wchodzi w skład systemu szyn. Przynajmniej jedna jednostka funkcyjna zawiera sekwencję wybieralnych rejestrów informacji do magazynowania informacji, które są kolejno odczytywane i przetwarzane podczas cyklu przetwarzania zapoczątkowanego przez start generatora zegarowego. Cykl przetwarzania zawiera kilka faz czasowych.

Układ ten według wynalazku zawiera źródło impulsu startowego, które jest przyłączone do generatora zegarowego i do systemu szyn w każdym z dwu komputerów. Pierwotny impuls startowy inicjuje proces startowy do umożliwienia pracy równoległej komputerów rezerwowego i wykonawczego.

Układ ten zawiera ponadto jednokierunkowy kanał transmisji danych prowadzący od szyny danych komputera wykonawczego do szyny danych komputera rezerwowego, oraz przynajmniej jeden element opóźnienia czasowego kompensujący opóźnienie czasowe przekazywanych danych, przekraczające długość fazy czasowej, a powstałe na drodze przejścia danych przez kanał transmisji danych. Źródło impulsu startowego inicjuje start komputera rezerwowego z opóźnieniem w stosunku do startu komputera wykonawczego. Opóźnienie to jest równe opóźnieniu czasowemu przekazywanych danych po ich przejściu przez kanał transmisji danych.

Przedmiot wynalazku uwidocznił w przykładzie wykonania na rysunku, na którym fig. 1—3 przedstawiają system zawierający komputer wykonawczy i komputer rezerwowo razem z proponowanym układem, w trzech wykonaniach. Na wszystkich rysunkach pokazany jest wspólny generator zegarowy CG i jednostki funkcyjne FUE, FUR zawarte w komputerze wykonawczym E i w komputerze rezerwowym R. Między sobą jednostki funkcyjne połączone są odpowiednio przy pomocy systemu szyn składającego się z szyny danych dbe i dbr, szyny rozkazów obr i obe oraz szyny czasowej tbe i tbr. Każdy z komputerów zawiera sekwencję rejestru instrukcji IRSe i IRSr, która składa się z wielu rejestrów magazynujących instrukcje, które wyczytywane są kolejno do szyny rozkazów lub w innej wyznaczonej kolejności, np. przez instrukcję skoku.

Jeden z rejestrów instrukcji, oznaczony BIRE i BIRr jest rejestrem instrukcji początkowej, który magazynuje instrukcję, którą komputer zostaje w jednoznaczny sposób uruchomiony. Rejestr instrukcji początkowej jest wybrany startową in-

strukcją skoku przekazaną na szynie rozkazów. Fazy czasowe poszczególnego komputera podczas następującej współpracy komputerów ustalone są cyklem przetwarzania startowej instrukcji skoku. Zastosowanie instrukcji skoku tworzy część ogólnej znanej techniki komputerowej i sposób przetwarzania instrukcji skoku nie ma wpływu na rozwiązanie według wynalazku więcej, niż zostało wyjaśnione na początku, w związku z przetwarzaniem instrukcji przy pomocy ujednoliconego systemu szyn przyłączonego do jednostek funkcyjnych.

Proponowany według wynalazku układ służący do ułatwienia współpracy komputerów o ujednoliconych szynach składa się, z kanału transmisji danych DCH, źródła impulsu startowego SP z przynajmniej jednym elementem opóźniającym.

Ten kanał transmisji danych DCH jest jednokierunkowy, od komputera wykonawczego do komputera rezerwowego i jest używany do współpracy pomiędzy komputerami, na przykład do uaktualniania komputera rezerwowego, które odbywa się na podstawie danych, które podczas pracy komputera wykonawczego przesyłane są po szynie danych dbe komputera wykonawczego, i które przez kanał transmisji danych przesłane są do maszyny danych dbr komputera rezerwowego, to jest bez przeszkadzania w rzeczywisto-casowym sterowaniu komputera wykonawczego. Jednostki funkcyjne umieszczone są w komputerze skonstruowanym według systemu ujednoliconych szyn tak, że fizyczne wymiary systemu szyn są tak małe, jak to jest tylko możliwe. Jakkolwiek, w równoległej pracy dwu komputerów zdarzają się takie odległości, że na przykład używana jest symetryczna transmisja danych przekazywanych pomiędzy systemami szyn, co znaczy, że kanał transmisji danych zawiera w stosunku do szyny danych podwójną ilość przewodów oraz wzmacniacz impulsowy i regenerator impulsów. Należy jednak zwrócić uwagę, że wszystkie rozwiązania nakładają na przekazywane dane opóźnienie czasowe, które przekracza długość okresu impulsu czasowego generowanego w generatorze CG wspólnym dla obu komputerów.

Podczas uaktualniania danych komputera wytwarzane są przez komputer rezerwowo błędne dane, które nie mogą zostać przesłane do zaadresowanej jednostki funkcyjnej FUR. Dlatego kanał transmisji danych zawiera pamięć kontrolną CM służącą do zapisywania stanów przekazywanych w sposób ręczny lub automatyczny. Pamięć kontrolna sprawuje kontrolę nad logicznymi środkami przekazującymi TL otwierając w chwili nadejścia stanu przekazującego ts kanał transmisji danych i zapobiegając przesłaniu błędnych danych.

Jak przedstawiono na fig. 1 i 3 rysunku, szyna danych dbr komputera rezerwowego jest podzielona na część odbiorczą, przez którą dane są przesłane do jednej z jednostek funkcyjnych i na część wysyłającą, przez którą przychodzą dane od jednej z jednostek funkcyjnych.

Przy pomocy pierwszych elementów bramkujących GI należących do logicznych środków przekazujących danej części szyny, są odpowiednio połączone ze sobą lub rozłączone, w zależności od

rodzaju pracy komputera rezerwowego i stanu przekazywanego w pamięci kontrolnej. Logiczne środki przekazujące łączą podczas uaktualniania danych komputera, przy pomocy drugich elementów bramkujących **G2**, część odbiorczą do szyny danych **db** komputera wykonawczego. W taki sposób stan logiczny szyny danych **db** jest przekazany podczas cyklu przetwarzania do zaadresowanych jednostek funkcyjnych obu komputerów.

W przykładzie wykonania przedstawionym na fig. 2 rysunku, stan przekazywany nie jest zapisywany ogólnie dla całego systemu, lecz oddzielnie dla każdej z jednostek funkcyjnych komputerów. W takim przypadku drugie elementy bramkujące **G2** logicznych środków przekazujących otwierane są dla danych przekazywanych od komputera wykonawczego do komputera rezerwowego przy pomocy bramki **G**, należącej do styku odpowiedniej jednostki funkcyjnej. Bramka **G** zostanie otwarta, gdy dekodery wysyłający **SPEC** zrozumie zwrócenie się odnośnej jednostki funkcyjnej o wysłanie danych, następnie przekaże tę informację po szynie rozkazów komputera do zapisania w pamięci kontrolnej jednostki funkcyjnej, która to pamięć kontrolna jest umieszczona zamiast, lub oprócz, wspólnej pamięci kontrolnej.

Zamiast podziału szyn danych komputera rezerwowego na część odbiorczą i wysyłającą, oraz zamiast pierwszych elementów bramkujących **G1** logicznych środków przekazujących, w tym przypadku zastosowano w komputerze rezerwowym wysyłające elementy bramkujące **SG** zawarte w styku odpowiedniej jednostki funkcyjnej. Elementy bramkujące **SG** mają jedno ze swoich wejść przyłączone do pamięci kontrolnej **CM** jednostki funkcyjnej dla ręcznego, lub automatycznego zapisywania stanu przekazywanego ts jednostki funkcyjnej. Zapisany stan przekazywany zapobiega wysyłaniu danych z komputera rezerwowego, podczas gdy zapisany stan przekazywany, w jednej z jednostek funkcyjnych komputera wykonawczego, nie ma wpływu na wysyłanie danych z komputera wykonawczego.

Ze względu na przejrzystość, na fig. 2 rysunku pokazany jest tylko jeden styk, który należy do systemu szyn komputera rezerwowego i który zawiera rejestr styku **REG**, dekodery odbiorczy **RDEC** i odbiorcze elementy bramkujące **RG**, pamięć kontrolną **CM**, wysyłający dekodery **SDEC** i wysyłające elementy bramkujące **SG**. Wysyłające i odbierające elementy bramkujące kontrolowane są poprzez szynę czasową **tb** systemu szyn tak, że włączenie odbywa się tylko w okresie fazy czasowej przeznaczonej na wysyłanie lub odbieranie.

Wysyłanie danych z rejestru styku przez wysyłające elementy bramkujące do szyny danych systemu szyn, oraz otrzymywanie danych z szyny danych przez odbiorcze środki bramkujące do rejestru styku występuje jeśli dekodery wysyłający i dekodery odbiorczy, przyłączone do szyny rozkazów **ob** systemu szyn, zrozumieją zwrócenie się jednostki funkcyjnej odpowiednio o wysłanie danych i o odebranie danych i uaktywnią jedno z wejść wysyłających i odbierających elementów bramkujących.

Źródło impulsu startowego **SP** zawiera jednostkę sygnału przerywającego **IU** i urządzenie startowe **SDe** i **SDr** służące do włączenia współdziałających komputerów **E**, **R**. Jednostka sygnału przerywającego **IU**, jako dodatkowa jednostka funkcyjna, zawiera styk przyłączony do systemu szyn komputera wykonawczego. Nie znaczy to jednak, że jest zwiększone impedancyjne obciążenie systemu szyn.

W rzeczywistości jednostka sygnału przerywającego wchodzi w skład jednostki przerywającej, która nie jest pokazana na rysunku ze względu na ich przejrzystość. Każdy rzeczywisto-czasowy komputer w celu sterowania układem telekomunikacyjnym jest wyposażony w taką jednostkę przerywającą, której zadaniem jest przyjmowanie wejściowych sygnałów przerywających i nadanie im pierwszeństwa, przy każdej zmianie pierwszeństwa dostarczając instrukcję skoku, która w sekwencji rejestru instrukcji wybiera instrukcję początkową przypisaną odpowiedniemu poziomowi pierwszeństwa.

W systemie składającym się z komputera wykonawczego i komputera rezerwowego pierwotny impuls startowy **ps** służący do rozpoczęcia równoległo-synchronicznej pracy powoduje sygnał przerywający w każdym z komputerów.

W celu wyjaśnienia inicjacji procesu startowego do równoległej pracy komputerów, na rysunku przedstawiony jest przerzutnik **F**, urządzenie wzywające **CD** i dekodery **DEC**. Przerzutnik **F** na skutek impulsu pierwotnego przechodzi do pierwszego stanu stabilnego, przy którym zostaje wyzwolone urządzenie wzywające.

Sekwencja rejestru instrukcji zawiera rejestr wybierany regularnie, magazynujący instrukcje przeniesienia ewentualnych sygnałów przerywających jednostki przerywającej. Sygnał przerywający uzyskany z urządzenia wzywającego **CD** uzyskuje pierwszeństwo w komputerze wykonawczym, tak że przykładowo rzeczywisto-czasowa instrukcja kierowania będąca w toku, zostaje zakończona.

Wybrany zostaje rejestr instrukcji, który zawiera instrukcję przeniesienia zakodowanego sygnału gotowości rozpoczęcia współpracy do jednostki sygnału przerywającego, której dekodery **DEC** przekształca sygnał gotowości na wtórny impuls startowy **ss**, na skutek którego przerzutnik **F** przechodzi do drugiego stanu stabilnego **b**. Zadanie jednostki sygnału przerywającego, pobudzonej pierwotnym impulsem startowym **ps**, polega na przerwaniu pracy wykonawczej będącej w toku, wytworzenie wtórnego impulsu startowego **ss** dla równoległego działania komputerów.

Jeśli przyjmie się przykład wspomniany na początku, to jest taki, gdzie cykl przetwarzania instrukcji zawiera cztery fazy czasowe, a jednostka funkcyjna, do której zwrócono się o przyjęcie danych, rejestruje dane wysłane podczas ostatniej fazy czasowej cyklu przetwarzania, impuls wtórny startowy uzyskany jest na wyjściu jednostki sygnału przerywającego, podczas czwartej fazy czasowej cyklu przetwarzania.

Urządzenie startowe **SDe** i **SDr** znajdujące się w źródle impulsu startowego, jak również jednostka sygnału przerywającego, są układami wy-

stępującymi w obydwu pracujących oddzielnie komputerach.

Rejestry instrukcji startowej **SIR**, pierwszy i drugi generator **PG1** i **PG2** synchronizowane przez generator zegarowy, są pokazane na rysunku w celu wyjaśnienia zasady zapoczątkowania oddzielnej pracy.

Rejestry instrukcji startowej magazynują instrukcje typu instrukcji skoku. Instrukcję startu przekazaną do szyny rozkazów kieruje się do jednostki funkcyjnej wyposażonej w sekwencję rejestru instrukcji i wybiera rejestr instrukcji początkowej **BIR**, ewentualnie przez wiele tak zwanych rejestrów ślepych instrukcji **BLR**.

Pierwszy generator fazy **PG1** zawiera rejestr przesunięcia służący do przeniesienia impulsu wejściowego, na przykład wtórnego impulsu startowego **ss**, przekazanie go w celu określenia wyodrębnionych cykli przetwarzania lub jego części, jak również utworzenia części opóźnienia czasowego.

Drugi generator fazy **PG2** zawiera licznik cykliczny, którego stan odpowiada ilości faz czasowych cyklu przetwarzania. Według przykładu z czterema fazami czasowymi, drugi generator fazy ma cztery stany, które cyklicznie pobudzają wyjście generatora przyłączone do odpowiedniej szyny czasowej.

Licznik cykliczny ma wejście **o**, które w stanie pobudzonym zmienia stan licznika na zero, które utrzymuje się dopóki pobudzone wejście **s** nie zacznie procesu liczenia. W ten sposób stan logiczny szyny czasowej w systemie ujednoliconym szyn określa cykle przetwarzania i ich podział na fazy czasowe.

Na fig. 1 pierwszy generator fazy **PG1** komputera wykonawczego dołączony jest do wyjścia jednostki sygnału przerywającego, która wysyła wtórny impuls startowy **ss**. Do pierwszej bramki typu „OR” **OR1e** przyłączone są takie wyjścia generatora fazy, które są w stanie aktywnym podczas cyklu przetwarzania następującego bezpośrednio po cyklu przeniesienia sygnału gotowości rozpoczęcia współpracy, do jednostki sygnału przerywającego, która przenosi, w jego ostatniej fazie czasowej, rezultaty we wtórnym impulsie startowym. Impuls przychodzący z bramki typu „OR” **OR1e** trwa cały cykl przetwarzania i otwiera pierwszą bramkę wyczytującą **AND1e**, przez którą instrukcja startowa, zmagazynowana w rejestrze instrukcji startowej jest przekazana do szyny rozkazów **obe** komputera wykonawczego. W ten sposób cykle przetwarzania kontynuowane są bez przerywania podczas przejścia z pracy niezależnej do równoległej.

Nie ma zmiany stanu na zero, ani powtórnego startu drugiego generatora fazy **PG2**, a przetwarzanie instrukcji startu jest kontrolowane w normalny sposób, przez szynę czasową komputera wykonawczego. Jeśli w związku z początkiem współpracy pożądane jest określenie od nowa cykli przetwarzania dla komputera wykonawczego i ich faz czasowych, układ z fig. 1 jest zmodyfikowany, jak to przedstawia fig. 2.

Drugi generator fazy **PG2** komputera rezerwowego jest zawsze w stanie zero na początku rów-

noległej pracy. Według fig. 1 pierwszy stabilny stan przerzutnika **F** podaje stan „zero” do generatora impulsów czasowych. W wyniku tego pracujący komputer rezerwowy zostaje zatrzymany. Start komputera rezerwowego następuje zasadniczo razem ze startem komputera wykonawczego. Różnicą jest jedynie to, że pierwszy generator impulsów czasowych **PG1r** komputera rezerwowego z bramką typu „OR” **OR1r** generuje impuls, który jest opóźniony w czasie, w stosunku do impulsu uzyskanego z bramki „OR” **OR1e**.

Opóźnienie czasowe jest zgodnie z fig. 1 uzyskane przez element opóźniający, który jest włączony pomiędzy wyjście jednostki sygnału przerywającego i wejście pierwszego generatora impulsów czasowych **PG1r** w komputerze rezerwowym oraz przez ilość stopni rejestrów przesuwu generatora **PG1r** przed tymi, które włączają bramkę „OR” **OR1r**. Pierwszy z nich włącza drugi generator impulsów czasowych **PG2r** komputera rezerwowego. Obydwa pierwsze generatory impulsów czasowych **PG1r** i **PG1e** mogą być zaprojektowane dokładnie tak samo, przy czym całe opóźnienie czasowe uzyskuje się w elemencie opóźniającym.

Element opóźnienia czasowego jest linią opóźniającą rejestr przesunięcia, który jest synchronizowany przez impulsy zegarowe lub przez impulsy czasowe generatora zegarowego, kanału transmisji, którego konstrukcja zasadniczo odpowiada konstrukcji kanału transmisji danych **DCH** umieszczonego między komputerami, pierwszego generatora fazy **PG1** wspólnego dla obu komputerów, ewentualnie w połączeniu z tak zwanymi rejestrami instrukcji pustych **BLR**.

Jeśli żadne rejestry instrukcji pustych nie są brane pod uwagę, element opóźniający jest wymiarowany niezależnie od wybranej konstrukcji, tak że ogólne opóźnienie czasowe pomiędzy impulsami bramek „OR” **OR1e** i **OR1r**, zasadniczo odpowiada czasowi, który dowolnym danym zajmuje czas na przejście od szyny danych **dbe** komputera wykonawczego przez kanał transmisji danych **DCH** do szyny danych **dbr** komputera rezerwowego.

W układzie według fig. 2 bramki typu „OR” **OR1e** i **OR1r** są przyłączone do wspólnego pierwszego generatora impulsów czasowych **PG1**, przez który przechodzi wtórny impuls startowy **ss**, który zmienia fazy generatorów impulsów czasowych **PG2e** i **PG2r** na zerowe. Następnie zostaje uruchomiony drugi generator impulsów czasowych **PG2e** oraz zaczyna się włączanie bramki typu „OR” **OR1e**. Po dalszych przesunięciach odpowiadających czasowi przejścia przez kanał transmisji danych, ewentualnie zmniejszonemu zależnie od ilości cykli przetwarzania, zostaje uruchomiony drugi generator impulsów czasowych **PG2r** komputera rezerwowego oraz następuje włączanie bramki „OR” **OR1r**. Ewentualne zmniejszenie czasu przejścia przez kanał zależnie od ilości cykli przetwarzania jest istotne, jeśli konieczne opóźnienie czasowe przekracza jeden cykl przetwarzania i jeśli sekwencja rejestru instrukcji komputera rezerwowego zawiera kilka tak zwanych instrukcji ślepych.

Rejestr pustej instrukcji oznacza taki rejestr, którego instrukcja służy tylko do wybrania innego rejestru instrukcji. Wybieranie rejestru pustej instrukcji daje jako rezultat przerwanie pracy komputera na czas równy jednemu cyklowi przetwarzania. Na fig. 2 pokazany jest rejestr instrukcji pustych **BLR** należący do sekwencji rejestru instrukcji komputera rezerwowego. Rejestr instrukcji pustej zawiera instrukcję wybrania rejestru instrukcji początkowej **BIRr**. W tym przypadku rejestr instrukcji startowej **SIRr**, urządzenia startowego **SDr** komputera rezerwowego zawiera instrukcję wybrania rejestru instrukcji pustej **BLR**.

W układzie na fig. 3 kanał transmisji danych **DCH** jest użyty w celu uzyskania tego, że źródło impulsu startowego inicjuje proces startowy dla komputera rezerwowego, opóźniony w czasie, w stosunku do procesu startowego, komputera wykonawczego. Wtórny impuls startowy ss przechodzi stopniowo przez pierwszy generator impulsów czasowych **PG1e** komputera wykonawczego i jest użyty do określenia dwu cykli przetwarzania, następujących po sobie, po wtórnym impulsie startowym.

Podczas późniejszego cyklu bramka „OR” **OR1e** jest włączona dla wyczytania instrukcji startowej do szyny rozkazów **obe** komputera rezerwowego. Przy pomocy impulsu, który jest generowany przez generator **PG1e** podczas pierwszej fazy czasowej cyklu przetwarzania, następującego bezpośrednio po wtórnym impulsie startowym, elementy bramkujące **G2** są otwarte przez pamięć kontrolną kanału transmisji danych. Elementy bramkujące **G1** należą do przekazujących środków logicznych **TL**.

W taki sposób kanał transmisji danych jest połączony do szyny danych komputera rezerwowego. Podczas pozostałej części cyklu przetwarzania, następującej bezpośrednio po wtórnym impulsie startowym, generator impulsów czasowych **PG1e** włącza poprzez drugą bramkę „OR” **OR2** i poprzez drugą bramkę wyczytującą **AND2** odczyt instrukcji startowej do szyny danych komputera wykonawczego, tak że instrukcja startowa jest traktowana w ten sam sposób jak dane, które podczas przetwarzania instrukcji są przekazane do dowolnej jednostki funkcyjnej. Urządzenie startowe **SDr** komputera rezerwowego, którego drugi generator zmienił swój stan na zero, zawiera urządzenie porównujące start, wyposażone w wejścia przyłączone do rejestru instrukcji startowej **SIRr** i do szyny danych komputera rezerwowego. Urządzenie porównujące start jest symbolizowane na fig. 3 przez element różnicy symetrycznej **EXORs** posiadający zanegowane wyjście.

Gdy instrukcja startowa wchodząca przez kanał transmisji danych jest jednakowa z instrukcją startową magazynowaną w rejestrze instrukcji startowej **SIRr**, urządzenie porównawcze wysyła sygnał równości, który przechodzi do pierwszego generatora impulsów czasowych **PG1r** komputera rezerwowego.

Przez odczekanie odpowiedniej ilości przesuwów w rejestrze przesuwu, zanim generator impulsów czasowych **PG1r** włączy generator impulsów czasowych **PG2r**, zanim zacznie otwierać bramkę

„OR” **OR1r** i zanim zamknie drugie elementy bramkujące **G2**, uzyskuje się możliwość dokładnego ustalenia ogólnego opóźnienia czasowego, w celu uzyskania optymalnej współpracy.

Dane przekazywane z komputera wykonawczego, są odbierane w komputerze rezerwowym bezbłędnie podczas fazy czasowej przeznaczonej na przyjęcie danych przez jednostkę funkcyjną, wybraną przez instrukcję przekazaną z sekwencji rejestru instrukcji komputera rezerwowego do szyny rozkazów komputera rezerwowego. Każdy cykl przetwarzania zawiera cztery fazy czasowe i dane są przesyłane do odpowiedniej szyny danych podczas trzech ostatnich faz. Zakłada się również, że najlepsze warunki uaktualniania uzyskuje się jeśli sygnał równości występuje przez dwie fazy czasowe przed przetwarzaniem instrukcji startowej komputera rezerwowego.

W układzie przedstawionym na fig. 3 proces startowy trwa o jeden cykl przetwarzania dłużej niż w układzie według fig. 1 lecz jest mniej wrażliwy na jakość elementów kanału transmisji, na zmiany temperatury.

Przy pomocy wszystkich realizacji układu ułatwiającego współpracę pomiędzy komputerami o ujednoliconych szynach uzyskuje się to, że instrukcje komputera rezerwowego podczas całej współpracy są przetwarzane równoległo-synchronicznie i przy tym są opóźnione w czasie w porównaniu do instrukcji komputera wykonawczego. Opóźnienie czasowe jest takie, że komputer rezerwowy podczas cyklu uaktualniania nie zauważa, że otrzymywane dane nie są przesłane z własnej jednostki funkcyjnej, lecz z odpowiadającej jednostki funkcyjnej komputera wykonawczego.

Przy pomocy źródła impulsu startowego uzyskuje się to, że stan logiczny na wyjściu kanału transmisji danych odpowiada, przynajmniej podczas faz czasowych przeznaczonych na przyjmowanie danych w komputerze rezerwowym, stanowi logicznemu szyny danych komputera rezerwowego. Ten rezultat jest wykorzystywany dla przeprowadzania ciągłego porównywania pomiędzy chwilowymi danymi wytwarzanymi przez komputery za pomocą urządzenia porównującego przesunięcie, jak pokazano na fig. 2, gdzie jest ono symbolizowane przez element różnicy symetrycznej **EXORd**, do którego podczas fazy czasowej przeznaczonej na przyjęcie danych w komputerze rezerwowym, podaje się dwa stany logiczne i który generuje sygnał alarmowy w przypadku wystąpienia różnicy stanów.

Urządzenie porównujące przesunięcie **EXORd** w połączeniu z pamięciami kontrolnymi **CM**, z których jedna jest pokazana na fig. 2, jest korzystne do przeprowadzenia diagnozy wadliwego komputera o ujednoliconych szynach, przy pomocy identycznego lecz bezbłędного komputera.

Celem diagnozy jest określenie modułu, który jest wadliwy tak, że reperacja komputera polega tylko na wymianie wadliwego modułu na dobry. Diagnoza zaczyna się startem równoległego przesunięcia, wadliwy komputer pracuje jako rezerwowy, podczas gdy komputer rezerwowy pracuje jako komputer wykonawczy. Następnie wadliwy komputer jest uaktualniany, stan przekazywany

jest zapisywany we wszystkich pamięciach kontrolnych **CM**. Wobec następującej całkowitej zmiany na normalną równoległo-synchroniczną współpracę między komputerami, urządzenie porównujące przesunięcie **EXORD** generowałoby sygnał alarmowy, gdyby do jednostki funkcyjnej wytwarzającej błędne dane zwrócono się o wysłanie danych.

Jakkolwiek, kolejna zmiana na normalną współpracę, znacząc na przykład, że ilość jednostek funkcyjnych z zapisanym stanem przekazywanym jest redukowana ręcznie, lub automatycznie z odpowiednimi przerwami czasowymi, nie powoduje żadnego sygnału alarmowego, tak długo, jak stan przekazywany do wadliwej jednostki funkcyjnej zostanie zapisany.

Redukcja zapisanych stanów przekazywanych w rezultacie stanowi prostą metodę diagnozy. Sygnał alarmowy określa jednostkę funkcyjną jako wadliwą, a stan przekazywany jako ostatni przed alarmem zostaje unieważniony. Jest wiele modyfikacji tej diagnozy, które używają możliwość zapisywania stanów przekazywanych oddzielnie w jednostkach funkcyjnych. Jeden z przykładów modyfikacji polega na utrzymaniu wszystkich stanów przekazywanych, lub na podzieleniu jednostek funkcyjnych w grupy i określeniu w pierwszym rzędzie grupy, która zawiera wadliwą jednostkę funkcyjną. Podział na grupy skraca średni czas diagnozy, chociaż ponowne uaktualnienie musi zostać przeprowadzone zanim rozpocznie się diagnoza wewnątrz grupy zawierającej wadliwą jednostkę funkcyjną.

Podsumowując, taka współpraca dwu komputerów o ujednoliconych szynach jest ułatwiona przy pomocy proponowanej, powyżej opisanej metody, że jeden z komputerów uaktualnia w zakresie swoich chwilowo wytwarzanych danych drugi komputer, komputery te kontrolują się wzajemnie w taki sposób, że ich chwilowe dane są stale i całkowicie porównywane między sobą i że sterujący komputer przeprowadza diagnozę wadliwego komputera w celu określenia wadliwej jednostki funkcyjnej, używając wyłącznie chwilowych danych rzeczywisto-czasowego sterowania.

Zastrzeżenia patentowe

1. Układ ułatwiający współpracę komputera wykonawczego z komputerem rezerwowym w czasie ich pracy równoległo-synchronicznej, w celu uaktualnienia komputera rezerwowego danymi wytwarzanymi przez komputer wykonawczy, utrzymując synchronizm za pomocą impulsów czasowych generowanych przez generator zegarowy, wspólny dla obu komputerów i połączony z nimi za pomocą szyn czasowych zawartych w systemie szyn, przy czym każdy z komputerów zawiera wiele adresowalnych jednostek funkcyjnych jak jednostkę pamięci, jednostkę zliczającą, rejestr przetwarzania, pomiędzy którymi to jednostkami są przekazywane dane poprzez szyny danych, a adresy i rozkazy są przekazywane poprzez szyny rozkazów, które to szyny są zawarte w systemie szyn, a przynajmniej jedna z tych jednostek

funkcyjnych zawiera sekwencję wybieralnych rejestrów informacji do magazynowania informacji, kolejno wyczytywanych i przetwarzanych w czasie ich cyklu przetwarzania rozpoczętego przez start generatora zegarowego, a zawierającego kilka faz czasowych, **znamienny tym**, że zawiera źródło impulsu startowego (**SP**), połączone z generatorem zegarowym (**CG**) i z systemem szyn w każdym komputerze (**F**, **R**), i który na skutek pierwotnego impulsu startowego (**ps**) inicjuje proces startowy do równoległej pracy komputerów, ponadto zawiera jednokierunkowy kanał transmisji danych (**DCH**) prowadzący od szyny danych (**dbe**) komputera wykonawczego (**E**) do szyny danych (**dbr**) komputera rezerwowego (**R**) oraz przynajmniej jeden element opóźnienia czasowego kompensujący opóźnienie czasowe przekazywanych danych, przekraczające długość fazy czasowej, powstałe na drodze przejścia danych przez kanał transmisji danych (**DCH**), przy czym źródło impulsu startowego (**SP**) inicjuje start komputera rezerwowego (**R**) z opóźnieniem w stosunku do komputera wykonawczego (**E**), które to opóźnienie równe jest opóźnieniu czasowemu przekazywanych danych po ich przejściu przez kanał transmisji danych (**DCH**).

2. Układ według zastrz. 1, **znamienny tym**, że przynajmniej jeden element opóźnienia czasowego zawiera linię opóźniającą.

3. Układ według zastrz. 1, **znamienny tym**, że przynajmniej jeden element opóźnienia czasowego zawiera kanał transmisji danych, którego konstrukcja odpowiada zasadniczo konstrukcji kanału transmisji danych (**DCH**) od szyny danych (**dbe**) komputera wykonawczego (**E**) do szyny danych (**dbr**) komputera rezerwowego (**R**).

4. Układ według zastrz. 1, **znamienny tym**, że przynajmniej jeden element opóźnienia czasowego zawiera rejestr przesuwu, który jest synchronizowany za pomocą impulsów zegarowych, przy czym regulacja okresu impulsów zegarowych oraz ilość przesunięć rejestru określa opóźnienie czasowe.

5. Układ według zastrz. 4, **znamienny tym**, że impulsy zegarowe są wytwarzane przez generator zegarowy (**CG**).

6. Układ według zastrz. 1, **znamienny tym**, że przynajmniej jeden element opóźnienia czasowego zawiera wiele rejestrów instrukcji ślepej (**BLR**) należących do sekwencji rejestru instrukcji (**IRSR**) komputera rezerwowego (**R**), a każdy rejestr instrukcji pustej (**BLR**) zawiera informację, że określony rejestr instrukcji ma zostać wybrany, przy czym rejestry instrukcji pustej są wybierane i przetwarzane jeden po drugim, zaś ich cykle przetwarzania tworzą określone opóźnienie czasowe.

7. Układ według zastrz. 1, lub 6, **znamienny tym**, że źródło impulsu startowego (**SP**) zawiera jednostkę sygnału przerywającego (**IU**), dołączoną do systemu szyn komputera rezerwowego (**R**) i która pobudzona pierwotnym impulsem startowym (**ps**) przerywa pracę wykonawczą będącą

w toku i generuje wtórny impuls startowy (**ss**), oraz dla każdego z komputerów zawiera urządzenia startowe (**SDe**, **SDr**), które na skutek pobudzenia impulsem wejściowym rozpoczynają pracę w celu wybrania rejestru instrukcji początkowej (**BIRe**, **BIRr**) należącego do poszczególnych sekwencji rejestru instrukcji magazynującego instrukcję początkową (**BIRe**, **BIRr**), który inicjuje taką pracę komputera, że pomiędzy jednostkę sygnału przerywającego (**IU**) i rejestr instrukcji początkowej (**BIRr**) komputera rezerwowego (**R**) jest wprowadzony przynajmniej jeden element opóźnienia czasowego, a przekazywanie danych przez kanał transmisji danych (**DCH**) jest sterowane za pomocą przynajmniej jednej pamięci kontrolnej (**CM**), zapisującej przesyłany stan (**ts**), oraz za pomocą logicznych elementów przekazywania (**TL**), otwierających pod wpływem przekazywanego stanu kanał transmisji danych i zapobiegających przenoszeniu danych pomiędzy jednostkami funkcyjnymi komputera rezerwowego (**R**).

8. Układ według zastrz. 7, **znamienny tym**, że elementy logiczne przekazywania danych (**TL**) zawierają układ porównywania przesunięcia (**EXORd**) do generowania sygnału alarmowego przy występującym przesunięciu pomiędzy danymi przeniesionymi na wyjście kanału transmisji danych (**DCH**) i danymi przeniesionymi przez szynę danych (**dbr**) komputera rezerwowego (**R**).

9. Układ według zastrz. 7, **znamienny tym**, że jednostki funkcyjne komputerów zawierają pamięć kontrolną (**CM**) do rejestrowania stanów przekazujących (**ts**) odpowiedniej jednostki funkcyjnej (**FC1**).

10. Układ według zastrz. 7, **znamienny tym**, że urządzenie startowe zawiera przynajmniej jeden pierwszy generator impulsów czasowych (**PG1**, **PG1e**, **PG1r**) sterowany generatorem zegarowym (**CG**), który na skutek pobudzenia impulsem wejściowym określa z ilości wytworzonych faz czasowych te, które składają się na cykl przetwarzania instrukcji startowej zmagazynowanej w rejestrze instrukcji startowej (**SIRe**, **SIRr**) należącym do poszczególnych urządzeń startowych, przy czym wybór odpowiedniego rejestru instrukcji początkowej (**BIRe**, **BIRr**) jest wynikiem przetwarzania instrukcji startowej, a urządzenia startowe zawierają drugie dwa generatory impulsów czasowych (**PG2e**, **PG2r**), sterowane generatorem zegarowym, który generuje fazy czasowe cykli przetwarzania poszczególnych komputerów (**ER**) i jest przyłączony do poszczególnych szyn czasowych, obwód drugich generatorów impulsów czasowych (**PG2e**, **PG2r**), przy czym jeden z tych generatorów (**PG2r**), który należy do urządzenia startowego (**SDr**) komputera rezerwowego (**R**) jest przyłączony do jednostki sygnału przerywającego i równocześnie z generowaniem wtórnego impulsu startowego (**ss**), ustawia na zero drugi z dwóch generatorów impulsów czasowych i w ten sposób przerywa doprowadzanie czasowych impulsów do odpowiedniej szyny czasowej, a ponadto ten generator (**PG2r**) przyłączony jest do pierwszego generatora

impulsów czasowych (**PG1**, **PG1e**, **PG1r**) w celu ponownego włączenia drugiego generatora impulsów czasowych (**PG2e**) za pomocą impulsu czasowego, który zgodny jest w fazie z pierwszą z faz czasowych cyklu przetwarzania instrukcji startowej i wobec tego fazy czasowe ponownie są doprowadzane do odpowiedniej szyny czasowej.

11. Układ według zastrz. 10, **znamienny tym**, że przynajmniej jeden element opóźnienia czasowego zawiera rejestr przesuwu sterowany za pomocą impulsów zegarowych wytwarzanych przez generator zegarowy (**CG**), przy czym regulacja okresu impulsów zegarowych i ilość przesunięć rejestru przesuwu osiąga przynajmniej częściowo określone opóźnienie czasowe, który to rejestr przesuwu jest zawarty w pierwszym generatorze impulsów czasowych (**PG1**) wspólnym dla obu urządzeń startowych, przy czym wtórny impuls startowy (**ss**) wytwarza impuls wejściowy pierwszego generatora impulsów czasowych (**PG1**), który wyznacza cykl przetwarzania instrukcji startowej komputera rezerwowego (**R**) jest opóźniony w czasie względem cyklu przetwarzania instrukcji startowej komputera wykonawczego (**E**).

12. Układ według zastrz. 10, **znamienny tym**, że każde z urządzeń startowych (**SDe**, **SDr**) zawiera pierwszy generator impulsów czasowych (**PG1e**, **PG1r**), a wtórny impuls startowy (**ss**) wytwarza impuls wejściowy dla pierwszego generatora impulsów czasowych (**PG1e**), który jest skojarzony z komputerem wykonawczym (**R**) i który określa cykl przetwarzania instrukcji startowej tak, że pokrywa się on w czasie z jednym z cykli generowanych przez drugi generator impulsów czasowych (**PG2e**), który nie jest przerywany przez jednostkę sygnału przerywającego.

13. Układ według zastrz. 5 albo 12, **znamienny tym**, że rejestr przesuwu jest zawarty w pierwszym generatorze impulsów czasowych (**PG1r**) komputera rezerwowego (**R**), a ten generator (**PG1r**) odbiera wtórny impuls startowy jako impuls wejściowy.

14. Układ według zastrz. 2 albo 3 albo 12, **znamienny tym**, że pierwszy generator impulsów czasowych (**PG1r**) urządzenia startowego (**SDr**) komputera rezerwowego (**R**) odbiera swój impuls wejściowy z elementu opóźniającego w czasie określonym przez wtórny impuls startowy (**ss**).

15. Układ według zastrz. 2 albo 3 albo 5 albo 12, **znamienny tym**, że rejestr przesunięcia jest zawarty w pierwszym generatorze impulsów czasowych (**PG1r**) komputera rezerwowego (**R**), który to generator (**PG1r**) otrzymuje jako impuls wejściowy wtórny impuls startowy (**ss**) opóźniony przy pomocy elementu opóźnienia czasowego.

16. Układ według zastrz. 12, **znamienny tym**, że pierwszy generator impulsów czasowych (**PG1e**) komputera wykonawczego (**E**) określa przed rozpoczęciem cyklu przetwarzania instrukcji startowej, przynajmniej jeden dalszy cykl przetwarzania, podczas którego stan przekazywany (**ts**) jest zapisany w pamięci kontrolnej (**CM**) i podczas

którego instrukcja startowa zmagazynowana w rejestrze instrukcji startowej (**SIR_e**) komputera wykonawczego (**E**) jest wysłana do szyny danych (**dbe**) komputera wykonawczego (**E**) w celu przeniesienia stamtąd przez kanał transmisji (**DCH**) do szyny danych (**dbr**) komputera rezerwowego (**R**), przy czym urządzenie startowe komputera rezerwowego (**R**) zawiera urządzenie porównujące start (**EXORs**), które w przypadku zgodności danych

transmitowanych do szyny danych (**dbr**) komputera rezerwowego (**R**) z instrukcją startową zmagazynowaną w rejestrze instrukcji startowej (**SIR_r**) komputera rezerwowego (**R**), generuje wejściowy impuls dla pierwszego generatora impulsów czasowych (**PG1r**) komputera rezerwowego (**R**), który to generator (**PG1r**) podczas wybierania rejestru instrukcji początkowej (**BIBr**) kasuje stan przekazywany (**ts**).

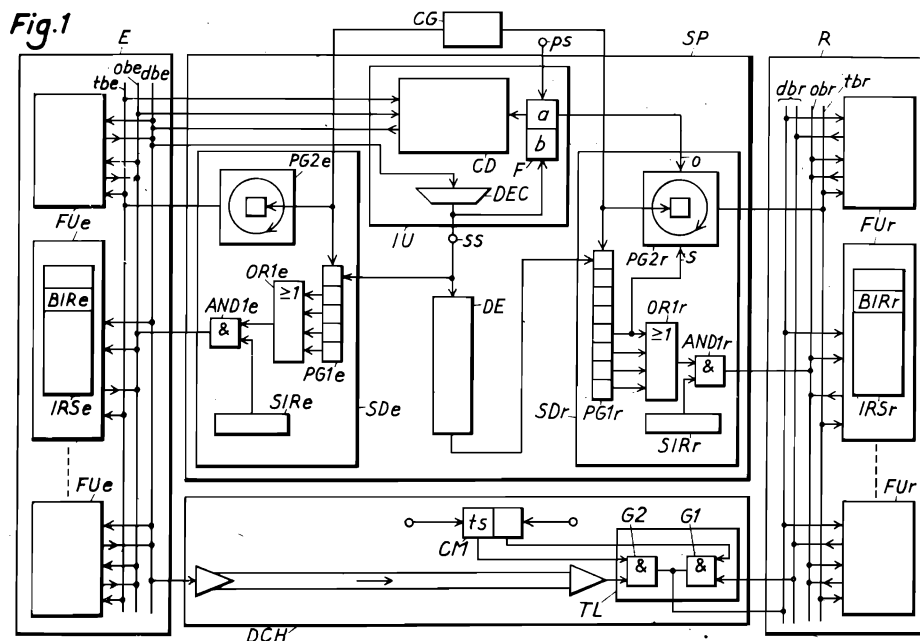


Fig. 2

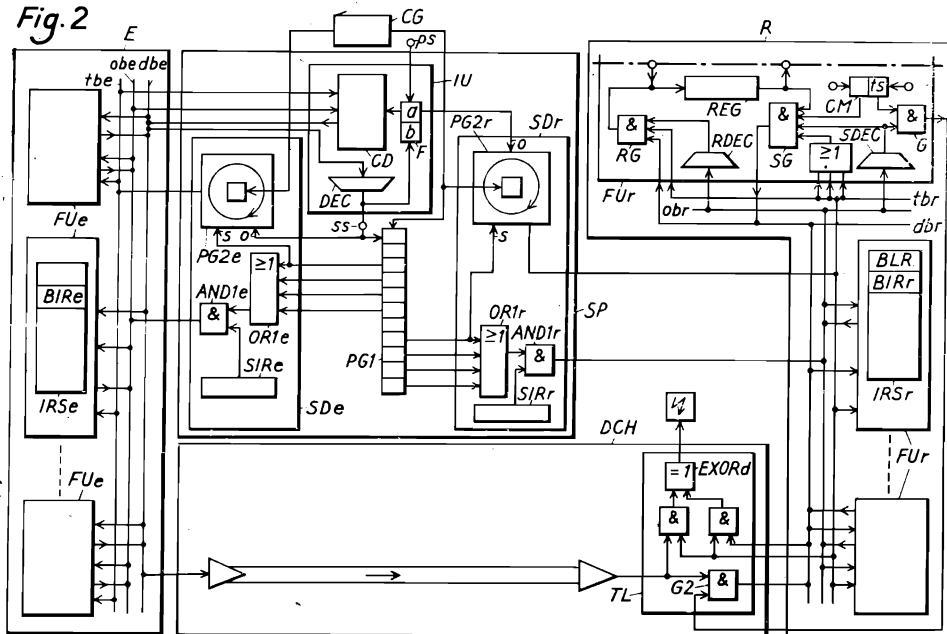


Fig. 3

