公告本

申請日期：90.5.11.	案號：90111243
類別：	

（以上各欄由本局填註）

發明專利說明書 488018

一、發明名稱	中文	形成具有高介電常數及低介電常數區的電晶體閘極介電材料之方法
	英文	Method for forming a transistor gate dielectric with high-k and low-k regions
二、發明人	姓名（中文）	1. 詹姆斯李雍盟 2. 林楊曠
	姓名（英文）	1. James Lee Yong Meng 2. Leung Ying Keung
	國籍	1. 新加坡 2. 香港
	住、居所	1. 大牌103, 佐落東街13號, 新加坡郵區600103(Blk 103, Jurong East St13, #12-208, Singapore 600103) 2. 公寓2301, 卡惕屋, 卡羅巷, 亞伯丁, 香港(Flat 2301, Ka Kit House, Ka Lung Court, Aberdeen, Hong Kong)
三、申請人	姓名（名稱）（中文）	1. 美商・特許半導體製造公司
	姓名（名稱）（英文）	1. Chartered Semiconductor Manufacturing, Inc.
	國籍	1. 美國
	住、居所（事務所）	1. 美國加州95035密勒比達斯市麥卡肯道1450號(1450 McCandless Drive, Milpitas, CA95035, USA)
	代表人姓名（中文）	1. 麥克路庫克
	代表人姓名（英文）	1. Mike J Rekuc

申請日期：	案號：
類別：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名（中文）	3.耶魯漢卡拉瑪雷瑪 4.張齊漢
	姓 名（英文）	3.Yelehanka Ramachandramorthy Pradeep 4.Jia Zhen Zheng
	國 籍	3.印度 4.新加坡
	住、居所	3.大牌279,06-328, 逸仙路22號, 新加坡郵區760279(Blk279,06-328,Yishun St. 22, Singapore 760279) 4.維德園38號,新加坡郵區688570(38, Verde Grove , Singapore 688570)
三、申請人	姓 名（名稱）（中文）	
	姓 名（名稱）（英文）	
	國 籍	
	住、居所（事務所）	
	代表人姓 名（中文）	
	代表人姓 名（英文）	

申請日期：	案號：
類別：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名（中文）	5. 陳蘭 6. 吉薩魁克
	姓 名（英文）	5. Lap Chan 6. Elgin Quek
	國 籍	5. 美國 6. 新加坡
	住、居所	5. 森林工業園區二街60號, 新加坡郵區738406(60 Woolands Industrial Park D, St. 2, Singapore 738406) 6. 羅頓珮239號, #04-98, 新加坡郵區310239羅頓珮239號, #04-98, 新加坡郵區310239(239 Lor Ton Payoh, #04-98, Singapore 310239)
三、申請人	姓 名（名稱）（中文）	
	姓 名（名稱）（英文）	
	國 籍	
	住、居所（事務所）	
	代表人姓 名（中文）	
	代表人姓 名（英文）	

申請日期：	案號：
類別：	

（以上各欄由本局填註）

發明專利說明書

一、發明名稱	中 文	
	英 文	
二、發明人	姓 名（中文）	7. 拉維訊德 8. 潘陽
	姓 名（英文）	7. Ravi Sundaresan 8. Yang Pan
	國 籍	7. 美國 8. 新加坡
	住、居所	7. 美國加州95117聖荷西市華爾頓路3369號(3369, Walton Way, San Jose, CA95117) 8. 大牌1P, 潘尼園, #02-77, 新加坡郵區951401(BLK 1P, Pine Grove #02-77, Singapore 591401)
三、申請人	姓 名（名稱）（中文）	
	姓 名（名稱）（英文）	
	國 籍	
	住、居所（事務所）	
	代表人姓 名（中文）	
	代表人姓 名（英文）	

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	2001/01/26	09/769,810	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

【發明之背景】

1） 發明之領域

本發明一般而言係有關於半導體裝置的製造，並且更特別地是有關於一種用於形成具有高介電常數與低介電常數區域組合之電晶體閘極介電質的方法。

2） 習知技藝之說明

在金屬位於矽上（metal on silicon, MOS）電晶體技術中，一閘極介電質被形成於一矽基板上，以及一閘電極被形成於該閘極介電質上。源極與汲極區域被形成於鄰接該閘電極與閘極介電質。當一電壓被施加於該閘電極時，電子（NMOS）或電洞（PMOS）將流經位於該閘極介電質下之矽基板區域，即為所熟知的通道。由於通道長度減短，所以NMOS電晶體中的電子將由該電場得到足夠的能量，而進入閘極介電質，電子將被捕集於其中，而改變閘極的閥電壓（諸如熱載體效應）。

為降低該熱載體效應，一輕微摻雜的汲極區域（LDD）被形成於該通道與源極/汲極區之間，因而降低電場。然而，在LDD中降低雜質濃度將造成寄生電阻，而降低驅動電流並使電晶體速度降低。

LDD結構之MOS電晶體所存在的另一個問題在於該閘電極重疊於該LDD區域上，並有一個薄的閘極介電質位於其間，其將產生電容量，稱為重疊電容量，這一點將更進一步降低電晶體速率。介電常數越高，則重疊電容量越大。

五、發明說明 (2)

服上述各種缺點的重要性係藉由有關該議題之延伸性的技術發展而被證實，如相關專利與技術文獻為證。在專利文獻中最接近且較為明顯相關的技術發展的收集可考量下列專利。

美國專利第5,952,700號（發明人Yoon）揭示一種用於形成一雙層閘極介電質於該閘極之一側上的製程。

美國專利第5,882,971號（發明人Wen）揭示一種使用間隔物(43)於該閘極溝渠壁面上之用於形成唯讀記憶體（ROM）的方法。

美國專利第5,736,435號（發明人Venkatesan等人）揭示一種在溝渠中的閘極，該溝渠具有間隔物於其上。

【發明之概要】

本發明之一目的在於提供一種用於形成具有不同介電常數區域之閘極介電質的方法。

本發明之另一目的在於提供一種用於增加閘極通道中之驅動電流，並同時降低熱載體效應與重疊電容量的方法。

本發明之另一目的在於提供一種用於縮短通道長度，而未產生有害之短通道效應與重疊電容量的方法。

為了完成上述的目的，本發明提供一種用於形成具有不同介電常數區域之閘極介電質的方法。一個偽介電層（dummy dielectric layer）被形成於一半導體結構上。該偽介電層被刻畫而形成一閘極開口。一個高介電常數介

五、發明說明 (3)

電層被形成於該偽介電質上及該閘極開口中。一個低介電常數層被形成於該高介電常數介電層上。壁面間隔物被形成於該低介電常數介電層之該閘極開口邊緣上。該低介電常數介電層由該壁面間隔物間之該閘極開口底部被移除。該壁面間隔物被移除，而形成一階梯式閘極開口。該階梯式閘極開口具有一個高介電常數介電層與一個低介電常數層於該閘極開口的壁面上與底部邊緣，以及僅有一個高介電常數介電層位於該階梯式閘極開口的底部中心。一閘電極被形成於該階梯式閘極開口中。

本發明將提供優於習知技藝的諸多改良。一閘極介電質可被形成以具有不同介電常數的區域。該高介電常數區域將允許閘極通道中的驅動電流（Id_{sat}）增加。在閘電極邊緣的低介電常數區域將降低熱載體效應與重疊電容量。本發明的閘極介電質將提供一種用於縮短通道長度，而未產生有害之短通道效應與重疊電容量的方法。

本發明係以熟知的製程技術而獲得這些優點。然而，對於本發明之性質與優點的進一步瞭解可藉由參考本專利說明書的後半部與附圖而達成。

【圖號對照說明】

11　半導體基板

20　偽層

25　閘極開口

30　高介電常數介電層

五、發明說明（4）

40　低介電常數層

50　間隔物

60　閘電極層

60A　閘電極

91　輕微摻雜源極與汲極區域（LDD）

92　間隔物

【發明之細節說明】

本發明將參考附圖而被詳細地說明。本發明提供一種用於形成具有不同介電常數區域之閘極介電質的方法。在該通道的邊緣（熱載體效應最可能發生於此），該閘極介電質包含一個高介電常數與一個低介電常數區域。在該通道的中間段，該閘極介電質僅包含有允許驅動電流並降低重疊電容量的一個高介電常數區域。

參考第1圖，本發明起始於提供一個半導體基板（11）。半導體基板（11）應被瞭解可能包含有一個半導體材料的晶圓或基板，諸如單晶矽，或者現今已知或後續開發之類似的結構，諸如矽在絕緣體上（SOI）的結構。半導體基板（11）應進一步被瞭解可能包含有一個或多個被形成於該基板或類似結構上的導電和/或絕緣層，以及一個或多個被形成於該基板或類似結構上的主動和/或被動裝置。

再次參考第1圖，一個偽層（20）被形成於該半導體基板（11）上，並被刻畫而形成一閘極開口（25），該偽

五、發明說明 (5)

層（20）具有至少該閘電極之希冀厚度的厚度，該偽層（20）可由任何可被保形地沈積之材料所組成，最偏好為氮化矽。

如第1圖所示，該偽層（20）被刻畫而形成一閘極開口（25），該半導體結構（11）被暴露於該閘極開口（25）的底部中，該閘極開口（25）的寬度足以容納具有一個高介電常數介電層與一個低介電常數介電層（位於閘電極的各側）的閘電極，其將被說明說下。

現在參考第2圖，一個高介電常數介電層（30）被形成於該該閘極開口（25）中，該高介電常數介電層（30）可由任何現今已知或後續開發之高介電材料所組成，包含下列的材料但並不僅限於此：氧化鋯（ZrO_2），氧化鉭（Ta_2O_5），氧化鈦（TiO_2）以及氮化矽（Si_3N_4）。該高介電常數介電層（30）偏好以濺鍍形成約10埃至100埃之間的厚度，一高介電常數的介電材料應被瞭解為具有大於3.9之介電常數的材料，偏好大於8.0。

再次參考第2圖，一個低介電常數層（40）被形成於該高介電常數介電層（30）上。該低介電常數層（40）將被使用於形成位在閘極介電質邊緣之低介電常數區域，該低介電常數層（40）偏好具有約30埃至100埃之間的厚度，並可由可相對該高介電常數介電層（30）有選擇性地被蝕刻的任何低介電常數材料所組成，最偏好為經氟化的二氧化矽。一低介電常數的介電材料應被瞭解為具有小於3.9之介電常數的材料。

五、發明說明（6）

現在參考第3圖，間隔物（50）被形成於該閘極開口（25）壁面上。該間隔物（50）可諸如藉由沈積一個保形的間隔物層並非等向地回蝕該間隔物層而被形成，該間隔物（50）偏好由可相對該低介電常數層（40）有選擇性地被蝕刻的材料所組成，例如，當該低介電常數層由經氟化的二氧化矽所組成時，該間隔物層可由氮化矽或複晶矽所組成。

現在參考第4圖，該低介電常數介電層（40）被回蝕至該閘極開口（25）底部，位於該閘極開口（25）邊緣之該低介電常數介電層（40）為間隔物（50）所保護而未被蝕刻，該高介電常數介電層（30）偏好作為該低介電常數介電層（40）回蝕的蝕刻阻絕。例如，該高介電常數介電層可由氧化鉭（TaO_6）、氧化鋯（ZrO_2）、氧化鈦（TiO_2）、鋯矽氧（$ZrSiO_4$）或氧化鋁（Al_2O_3）所組成。該低介電常數介電層可由經氟化的二氧化矽、摻雜碳的二氧化矽或低介電常數有機聚合物所組成，就所使用的材料而言，該低介電常數介電層可使用本技藝所熟知的製程，而相對該高介電常數介電層有選擇性地被蝕刻。

現在參考第5圖，該間隔物係使用相對於該低介電常數介電層（40）與該高介電常數介電層（30）有選擇性的蝕刻被移除，在間隔物（50）被移除後，該閘極開口（25）為階梯式，該階梯式閘極開口僅有該高介電常數介電層位於該閘極開口的底部中心，以及具有覆蓋在該高介電常數介電層上之該低介電常數介電層位於該閘極開口的底部

五、發明說明 (7)

邊緣與該閘極開口的壁面上。

再次參考第5圖，一個閘電極層（60）被形成於該閘極開口（25）中之該高介電常數介電層（30）與該低介電常數介電層（40）上。該閘電極層（60）可由金屬、複晶矽或金屬和/或複晶矽的堆疊物，這一點為本技藝所熟知。該閘電極層（60）具有足以填充該閘極開口（25）的厚度。該低介電常數介電層（40）在該閘電極（60A）下方之該閘電極的各邊延伸約50埃至200埃間的距離。該距離約與輕微摻雜汲極（LDD）延伸於該閘極下的距離相同。

如第6圖所示，該閘電極層（60）、該低介電常數介電層（40）與該高介電常數介電層（30）被平坦化並終止於該偽介電層（40），而形成一閘電極（60A）。該平坦化最偏好使用本技藝所熟知的化學機械拋光（CMP）製程進行。該偽介電層（40）偏好作為化學機械拋光的阻絕物。

現在參考第7圖，該偽介電層（未表示於圖中）被移除，偏好使用相對該高介電常數介電層（30）、該低介電常數介電層（40）與該閘電極（60A）有選擇性地蝕刻該偽介電質的蝕刻。一個由氮化矽所組成的偽介電層可相對該由氧化鋯所組成之高介電常數介電層、該由經氟化二氧化矽所組成之低介電常數介電層與該由複晶矽所組成之閘電極有選擇性地被蝕刻。

輕微摻雜源極與汲極區域（LDD）（91）可藉由本技

五、發明說明（8）

藝所熟知的雜質離子植入與擴散退火，而被形成於鄰接該閘電極（60A）的半導體基板（11）中。如本技藝所熟知，間隔物（92）可被形成於鄰接該閘電極（60A）。源極與汲極區域可接著被形成於鄰接該間隔物（92）的半導體結構（11）中。

本發明的主要優點在於所形成的閘極介電質具有不同介電常數的區域。本發明之該閘極介電質提供一種用於增加閘極通道中之驅動電流，並同時降低熱載體效應與重疊電容量的方法。

雖然本發明已被特別地表示，並參考其較佳實施例做說明，惟各種形式上及細節的改變可於不背離本發明之精神與範疇下為之，係為熟習本技藝之人士所能瞭解的。

圖式簡單說明

根據本發明之半導體裝置的特徵與優點，以及根據本發明之製造該半導體裝置的製程的進一步細節將由下列配合附圖的說明而更清楚地被瞭解，其中相同的參考數字代表相似或相當的元件、區域與部分，以及其中：

第1圖至第7圖係說明根據本發明之一種用於形成具有不同介電常數區域之閘極介電質的製程的依序剖面圖。

四、中文發明摘要　（發明之名稱：形成具有高介電常數及低介電常數區的電晶體閘極介電材料之方法）

一種用於形成具有不同介電常數區域之閘極介電質的方法。一個偽介電層（dummy dielectric layer）被形成於一半導體結構上。該偽介電層被刻畫而形成一閘極開口。一個高介電常數介電層被形成於該偽介電質上及該閘極開口中。一個低介電常數層被形成於該高介電常數介電層上。壁面間隔物被形成於該低介電常數介電層之該閘極開口邊緣上。該低介電常數介電層由該壁面間隔物間之該閘極開口底部被移除。該壁面間隔物被移除，而形成一階梯式閘極開口。該階梯式閘極開口具有一個高介電常數介電層與一個低介電常數層於該閘極開口的壁面上與底部邊緣，以及僅有一個高介電常數介電層位於該階梯式閘極開口的底部中心。一閘電極被形成於該階梯式閘極開口中。

英文發明摘要　（發明之名稱：Method for forming a transistor gate dielectric with high-k and low-k regions）



六、申請專利範圍

1．一種用於形成電晶體閘極介電質的方法，包含有的步驟為：

a. 形成一個偽介電層（dummy dielectric layer）於一半導體結構上，並將該偽介電層刻畫而形成一閘極開口；其中該閘極開口的底部為該半導體結構的頂端表面；

b. 形成一個高介電常數介電層於該偽介電層的底部與壁面上，並形成一個低介電常數層於該高介電常數介電層上；

c. 形成間隔物於該閘極開口壁面上；

d. 將未為該間隔物所覆蓋的該低介電常數介電層蝕刻；

e. 將該間隔物移除；以及

f. 形成一個閘電極於該閘極開口中之該高介電常數介電層與該低介電常數層上。

2．如申請專利範圍第1項之方法，其中該低介電常數介電層由經氟化的二氧化矽所組成。

3．如申請專利範圍第1項之方法，其中該高介電常數介電層由氧化鋯（ZrO_2）所組成。

4．如申請專利範圍第1項之方法，其中該高介電常數介電層由氧化鉭（Ta_2O_5）所組成。

5．如申請專利範圍第1項之方法，其中該高介電常數介電層由氧化鈦（TiO_2）所組成。

6．如申請專利範圍第1項之方法，其中該高介電常數

六、申請專利範圍

介電層由氮化矽（Si_3N_4）所組成。

7．如申請專利範圍第1項之方法，其中該低介電常數介電層具有約30埃至100埃之間的厚度，而該高介電常數介電層則具有約10埃至100埃之間的厚度。

8．如申請專利範圍第1項之方法，其中該低介電常數介電層在該閘電極下方之該閘電極的各邊延伸約50埃至200埃間的距離。

9．如申請專利範圍第1項之方法更包含的步驟有：

g. 將該閘電極、該低介電常數介電層與該高介電常數介電層平坦化，並終止於該偽介電層；

h. 將該偽介電層移除；

i. 形成輕微摻雜源極與汲極區域於鄰接該閘電極的該半導體結構中；

j. 形成鄰接該閘電極的間隔物；

k. 形成源極與汲極區域於鄰接該間隔物的半導體結構中。

10．如申請專利範圍第9項之方法，其中該低介電常數介電層延伸超過至少部分的該輕微摻雜源極/汲極區域。

11．一種用於形成電晶體閘極介電質的方法，包含有的步驟為：

a. 形成一個偽介電層於一半導體結構上，並將該偽介電層刻畫而形成一閘極開口；其中該閘極開口的底部為該半導體結構的頂端表面；

六、申請專利範圍

b. 形成一個高介電常數介電層於該偽介電層的底部與壁面上，並形成一個低介電常數層於該高介電常數介電層上；

c. 形成間隔物於該閘極開口壁面上；

d. 將未為該間隔物所覆蓋的該低介電常數介電層蝕刻；

e. 將該間隔物移除；

f. 形成一個閘電極於該閘極開口中之該高介電常數介電層與該低介電常數層上，其中該低介電常數介電層在該閘電極下方之該閘電極的各邊延伸約50埃至200埃間的距離；

g. 將該閘電極、該低介電常數介電層與該高介電常數介電層平坦化，並終止於該偽介電層；

h. 將該偽介電層移除；

i. 形成輕微摻雜源極與汲極區域於鄰接該閘電極的該半導體結構中；

j. 形成鄰接該閘電極的間隔物；以及

k. 形成源極與汲極區域於鄰接該間隔物的半導體結構中。

12. 如申請專利範圍第11項之方法，其中該低介電常數介電層由經氟化的二氧化矽所組成。

13. 如申請專利範圍第11項之方法，其中該高介電常數介電層由氧化鋯（ZrO_2）所組成。

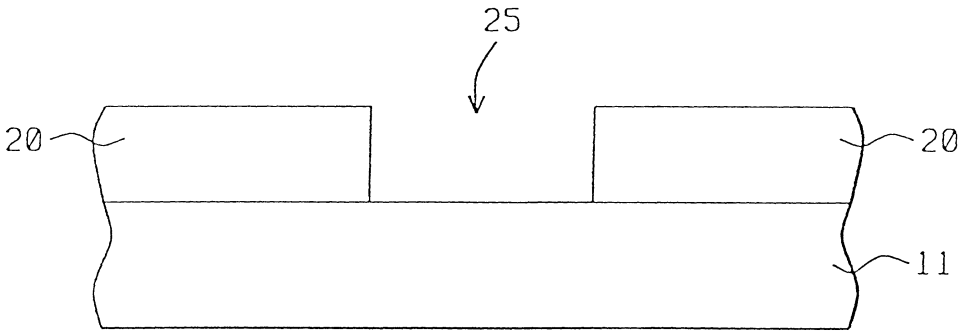
14. 如申請專利範圍第11項之方法，其中該高介電常數介電層由氧化鉭（Ta_2O_5）所組成。

六、申請專利範圍

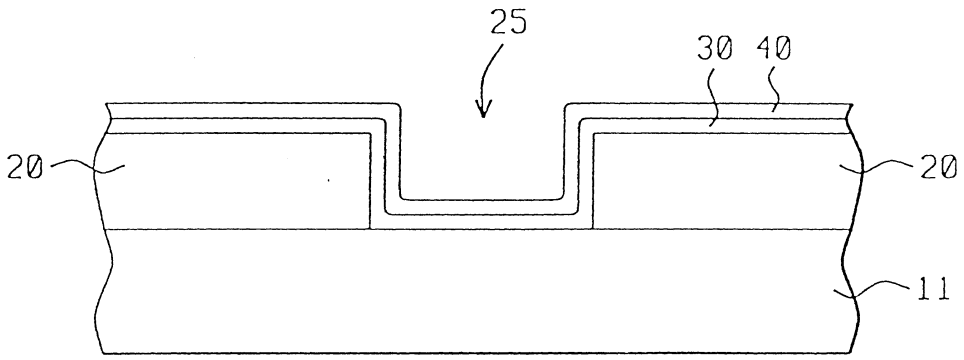
15. 如申請專利範圍第11項之方法，其中該高介電常數介電層由氧化鈦（TiO_2）所組成。

16. 如申請專利範圍第11項之方法，其中該高介電常數介電層由氮化矽（Si_3N_4）所組成。

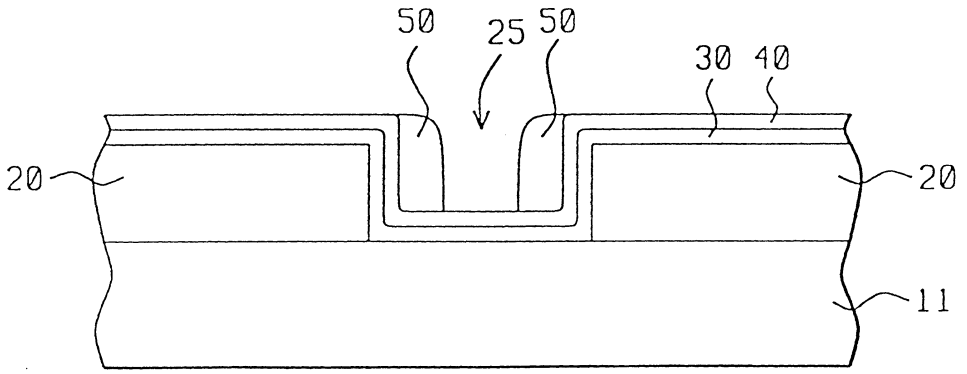
17. 如申請專利範圍第11項之方法，其中該低介電常數介電層具有約30埃至100埃之間的厚度，而該高介電常數介電層則具有約10埃至100埃之間的厚度。



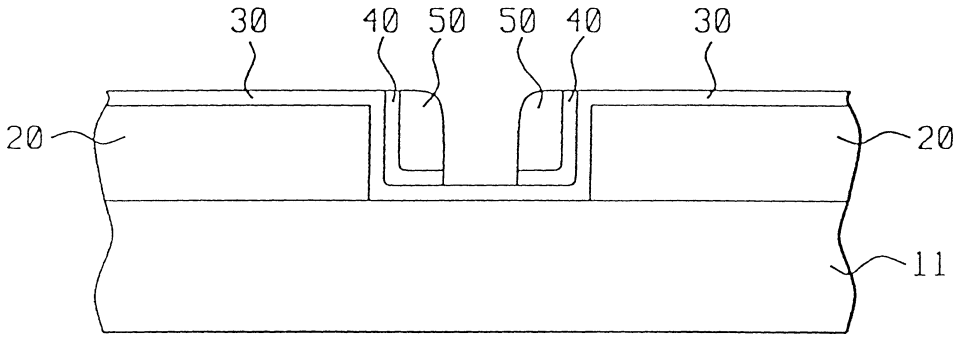
第 1 圖



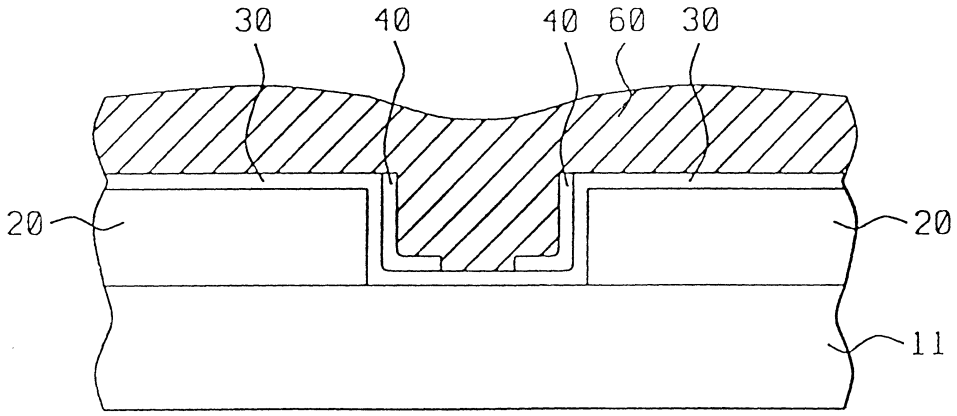
第 2 圖



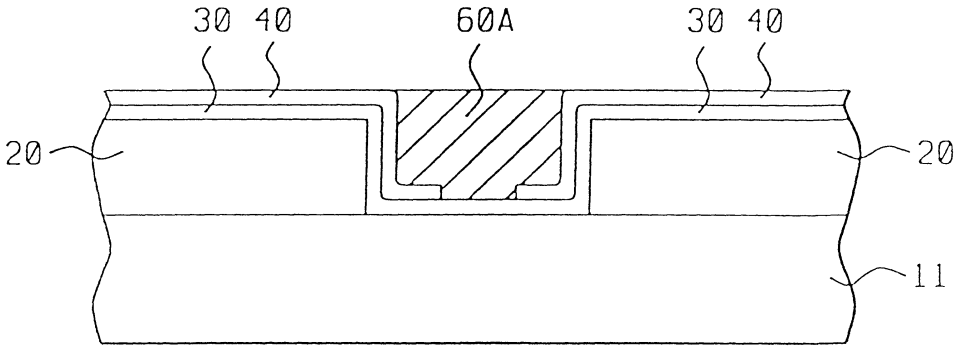
第 3 圖



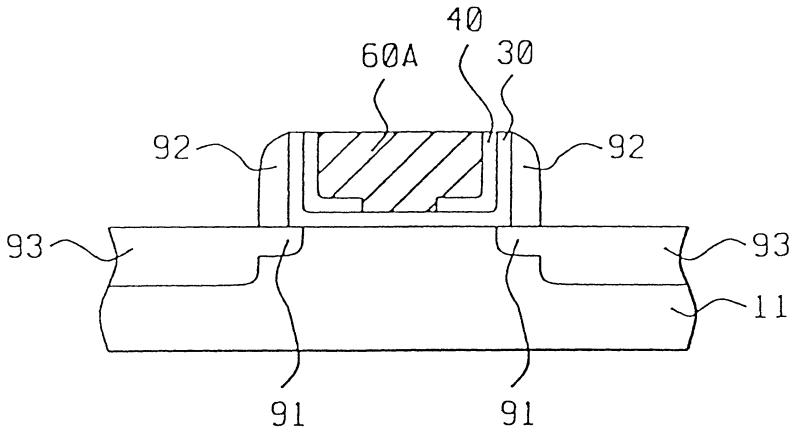
第 4 圖



第 5 圖



第 6 圖



第 7 圖