

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03M 1/66

H03M 3/02



[12] 发明专利说明书

[21] ZL 专利号 00128673.0

[45] 授权公告日 2005 年 4 月 6 日

[11] 授权公告号 CN 1196267C

[22] 申请日 2000.9.20 [21] 申请号 00128673.0

[30] 优先权

[32] 1999.9.21 [33] US [31] 09/400,257

[71] 专利权人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 迈克尔·R·梅

审查员 李 倩

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

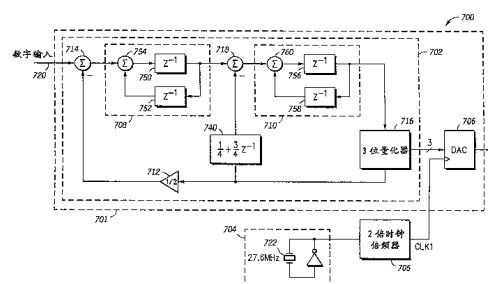
代理人 王以平

权利要求书 3 页 说明书 10 页 附图 6 页

[54] 发明名称 信号处理电路

[57] 摘要

一种模拟/数字或数字/模拟系统，包含一个转换器。为转换器提供时钟信号，其频率为 f_s 。频率 f_s 是从频率为 f_s/N 的晶体频率导出的，导出中使用了边沿触发的时钟倍频器，时钟倍频器将晶体频率乘以因子 N 。其结果是一种低成本时钟的解决方案，将时钟抖动集中在局部频率 f_s/N 处。然后，使用 $\Sigma - \Delta$ 处理电路在时钟抖动噪声高的相同频率处设置量化噪声的零点，从而抵消了这两种类型噪声的不利的积累效果。



1. 一种信号处理装置，其特征在于，包括：
一个数字/模拟转换器；
一个时钟电路，被耦合以向所述的数字/模拟转换器提供一个时钟信号；和
电路系统，耦合到所述的数字/模拟转换器的数据输入端，该数字/模拟转换器用于处理输入的数据，所述的电路系统包括：一个 $\Sigma-\Delta$ 电路，用以向耦合于所述的数字/模拟转换器的所述数据输入端的一个零点布置电路提供已处理的数据。
2. 根据权利要求1所述的信号处理装置，其特征在于，所述的电路系统还包括：一个反馈电路，用于根据来自所述电路系统的至少两个不同时间域的输出来改变所述电路系统的输出。
3. 根据权利要求2所述的信号处理装置，其特征在于，所述的反馈电路将 az^0+bz^{-1} 作为输入提供给所述的第二加法器的所述第二输入端，其中 a 是一个常数， b 是一个常数， z^0 代表所述量化器电路的当前输出， z^{-1} 代表所述量化器电路的一个先前的输出。
4. 根据权利要求1所述的信号处理装置，其特征在于，所述的零点布置电路在零赫兹与所述数字/模拟转换器的采样频率之间的频谱范围内产生一个零点。
5. 根据权利要求1所述的信号处理装置，其特征在于，所述的时钟电路包括：
一个时钟输入端，用于提供重复的时钟信号；
一个时钟倍频器，耦合到所述的时钟输入端，用于增大所述重复的时钟信号的频率，以产生一个内部时钟信号，该内部时钟信号作为所述的时钟信号提供给所述的数字/模拟转换器；和
其中所述的零点布置电路，用于将频率域零点放置在所述的 $\Sigma-\Delta$ 电路的输出数据的功率谱密度中的一个非零频率处。
6. 根据权利要求1所述的信号处理装置，其特征在于，所述的数

字/模拟转换器以采样频率 f_s 工作，其中所述的时钟电路包括：

一个晶体输入端，用于提供以频率大约为 f_s/N 工作的振荡信号；

一个时钟倍频器，耦合在晶体和所述数字/模拟转换器之间，用于以因数 N 来倍增所述时钟的频率，以产生一个以所述采样频率 f_s 工作的时钟，供所述的数字/模拟转换器使用；和

其中所述的零点布置电路根据 N 值产生至少一个频率域零点，以减小对于小于 f_s 的频率的所述数字/模拟转换中时钟抖动的影响。

7. 一种信号处理装置，其特征在于，包括：

一个时钟输入端，用于提供重复的时钟信号；

一个时钟倍频器，耦合到所述时钟输入端，用于改变所述重复的时钟信号的频率，以产生一个内部时钟信号；

一个第一加法器，它具有：一个第一输入端、一个第二输入端和一个输出端，所述的第一输入端用于接收数据的数字流；

一个第一电路，它在至少两个不同的频率处具有高增益，所述的第一电路具有：一个输入端和一个输出端，所述的第一电路的输入端耦合到所述第一加法器的输出端；

一个第二加法器，它具有：一个输入端、一个第二输入端和一个输出端，所述的输入端耦合到所述第一电路的输出端；

一个第二电路，它在至少两个不同的频率处具有高增益，所述第二电路具有：一个输入端和一个输出端，所述的第二电路的输入端耦合到所述第二加法器的输出端；

一个量化器电路，它具有：一个输入端和一个输出端，它的输入端耦合到所述第二电路的输出端；

一个增益电路，它具有：一个输入端，耦合到所述量化器电路的输出端，和一个输出端，耦合到所述第一加法器的所述第二输入端；

一个反馈电路，耦合在所述量化器电路的所述输出端与所述第二加法器的所述输入端之间；和

一个数字/模拟转换器，耦合到所述量化器电路和耦合所述内部时钟信号。

8. 根据权利要求 7 所述的信号处理装置, 其特征在于, 所述的第一电路和所述的第二电路其中之一被实施成为一个电路, 该电路包括:

一个内部加法器, 具有: 一个第一输入端、一个第二输入端和一个输出端, 所述的第一输入端用于接收所述的输入数据;

一个第一存储装置, 具有: 一个输入端和一个输出端, 所述输入端耦合到所述的内部加法器的所述输出端; 和

一个第二存储装置, 具有: 一个输入端和一个输出端, 所述输入端耦合到所述第一存储装置的所述输出端, 所述输出端耦合到所述内部加法器的所述第二输入端。

9. 根据权利要求 7 所述的信号处理装置, 其特征在于, 所述的第一电路和所述的第二电路两者被实施成为一个电路, 该电路包括:

一个内部加法器, 具有: 一个第一输入端、一个第二输入端和一个输出端, 所述的第一输入端用于接收所述的输入数据;

一个第一存储装置, 具有: 一个输入端和一个输出端, 所述输入端耦合到所述的内部加法器的所述输出端; 和

一个第二存储装置, 具有: 一个输入端和一个输出端, 所述输入端耦合到所述第一存储装置的所述输出端, 所述输出端耦合到所述内部加法器的所述第二输入端。

10. 根据权利要求 7 所述的信号处理装置, 其特征在于, 所述的反馈电路将 az^0+bz^{-1} 作为输入提供给所述的第二加法器的所述第二输入端, 其中 a 是一个常数, b 是一个常数, z^0 代表所述量化器电路的当前输出, z^{-1} 代表所述量化器电路的一个先前的输出。

11. 根据权利要求 10 所述的信号处理装置, 其特征在于, a 基本上等于 $1/4$, b 基本上等于 $3/4$ 。

信号处理电路

技术领域:

本发明一般来说涉及数字/模拟(D/A)转换器或模拟/数字(A/D)转换器,本发明具体来说涉及使用较低频率的晶体时钟源但不会遭受由于时钟抖动引起的明显性能下降的转换器。

背景技术:

在数字/模拟(D/A)转换器电路中,期望的是使用低精度部件得到高精度的转换。为了满足这一目的,通常使用 Σ - Δ 调制器。具体来说, Σ - Δ 转换器允许使用标准的较低精度的部件实施高分辨率信号至较低分辨率信号的转换。图1就表示出一个说明性的 Σ - Δ 转换器电路,用标号100概括表示之。 Σ - Δ 转换器电路100包括一个 Σ - Δ 调制器102和一个数字/模拟转换器(DAC)106。

Σ - Δ 调制器102包括积分器108和110、量化器116、加法器118、和反馈回路中的一个增益系数模块112。量化器116的输出作为负反馈提供给加法电路118和增益系数模块112的输入端。增益系数模块112的输出作为负反馈提供给另一个加法电路114。加法电路114的另一个输入端接收数字输入信号120。例如,数字输入信号120可以是一个定序的数据流提供的17位的用户数据。量化器116例如可以是一个3位的量化器。积分器108的输入端连接到加法电路模块114的输出端。积分器108的输出端连接到加法器118的输入端。加法器118的输出端连接到加法电路模块110的输入端。加法电路模块110的输出端驱动量化器116的输入端。

时钟源104为数字/模拟转换器106计时。时钟电路104一般情况下要求有一个高精度的晶体,例如55.2兆赫兹的晶体122,为数字/模拟转换器106计时。这种高频晶体是有缺点的,因为高频晶体一般是极其昂贵,并且因此限制了加入这种高频晶体的产品的市场接受能力。

减少图1计时电路的成本的一种途径是在计时电路中使用低频晶体,并且使用锁相回路(PLL)倍频器。例如,图2表示的就是一个

现有技术的 Σ - Δ 转换电路 200, 其中使用具有一个慢速的较低成本的 27.6 兆赫兹晶体 222 的计时电路 204, 这个晶体与 55.2 兆赫兹晶体是不同的。为了实现和图 1 所示的电路相同的时钟速度 (55.2 兆赫兹), 在时钟电路 204 的输出端提供一个锁相回路 (PLL) 时钟倍频器 205。在图 2 中, 锁相回路 (PLL) 时钟倍频器 205 的输出端提供到数字/模拟转换器 206 的时钟输入端。在图 2 中, PLL 是需要的, 因为如果时钟速度减小 1 倍, Σ - Δ 转换电路的信噪比将要明显下降。

虽然图 2 的电路对于成本问题可能是一个可以采纳的解决方案, 但是, 图 2 中 PLL205 的设计和可制造性使这个解决方案不那么引人入胜。图 2 增加了需经过锁相回路时钟倍频器 205 的复杂性。引入锁相回路时钟倍频器 205 的另一个缺点是: 它还引入了不希望出现的整个数字/模拟转换器电路信号的宽频带的时钟抖动。在数字/模拟转换器时钟信号上的时钟抖动在频域中将与输入到数字/模拟转换器的数字输入数据混合, 使转换器的噪声本底状态严重恶化。对于 Σ - Δ 转换电路, 限制这一恶化出现的时钟抖动要求是极其严格的, 需要艰难的 PLL 设计。因此, 虽然图 2 的电路解决了和转换电路有关的成本问题, 但却又产生了设计和可制造性的问题。

例如, 图 3 表示功率谱密度 (PSD) 相对于频率的一个说明性的 x-y 曲线。曲线 300 代表图 2 中 Σ - Δ 转换电路 200 的特征。曲线 300 表示量化噪声 302 的功率谱和锁相回路引起的时钟抖动 304 的功率谱。锁相回路 (PLL) 引起的时钟抖动来源于锁相回路 205 的性能缺陷。量化噪声 302 来源于在 3 位的量化器 216 的输出端 17 位输入流向 3 位数据流的转换。

如图 3 所示可见, 在量化噪声 302 和锁相回路引起的时钟抖动 304 之间有一个明显的重叠。如在本领域中所公知的那样, 可以用数学方法模拟数字/模拟转换的过程, 以使在数字/模拟转换器中存在一个时钟抖动与数字数据的“混合”。这个混合的功能等效于卷积时钟抖动谱和数字数据谱, 结果可以得到数字模拟转换器的一个输出信号谱。在这个过程中, 时钟抖动谱将与量化噪声谱在一个相近的频区组合, 并且

提高了信号频带中的噪声本底接近直流。这就是说，量化噪声和锁相回路引起的噪声在数字/模拟转换过程中不期望地混合起来，导致在DAC206的输出端信号质量的下降，在某些情况下，已测得的这种信号质量下降高达40分贝。

因此，使用较高频率的晶体受到成本的限制，而使用较低频率的晶体和PLL将导致宽带时钟抖动的产生，引起数字/模拟转换过程的性能恶化。

于是，虽然从成本观点考虑使用较低频率的晶体是期望的，但这种使用却导致系统性能恶化。据此，在集成电路(IC)和通信工业中需要一种既有高性能又要低成本的改进的数字/模拟转换结构。

发明内容：

通过本发明的数字/模拟(D/A)或模拟/数字(A/D)转换电路在很大程度上克服了现有技术中的这些缺点和其它缺点。简而言之，按照这里给出的教导配置一个D/A或A/D转换电路，以使大多数时钟抖动噪声都集中在一个窄的频带上，从而使时钟抖动噪声和量化噪声基本上分开，或者说从量化噪声中滤除时钟抖动噪声。通过保证量化噪声中的零点与时钟抖动噪声中的较高功率重合，或者与此相反，该系统可以防止量化噪声和锁相回路引起的时钟抖动混入数字/模拟转换过程中的信号频带中，借此以较低的成本可实现强化的系统性能。

根据本发明的一个方面，这里提供一种信号处理装置，其特征在于，包括：一个数字/模拟转换器；一个时钟电路，被耦合以向所述的数字/模拟转换器提供一个时钟信号；和电路系统，耦合到所述的数字/模拟转换器的数据输入端，该数字/模拟转换器用于处理输入的数据，所述的电路系统包括：一个 $\Sigma-\Delta$ 电路，用以向耦合于所述的数字/模拟转换器的所述数据输入端的一个零点布置电路提供已处理的数据。

根据本发明的另一个方面，这里提供一种信号处理装置，其特征在于，包括：一个时钟输入端，用于提供重复的时钟信号；一个时钟倍频器，耦合到所述时钟输入端，用于改变所述重复的时钟信号的频率，以产生一个内部时钟信号；一个第一加法器，它具有：一个第一输入端、一个第二输入端和一个输出端，所述的第一输入端用于接收数据的数字流；一个第一电路，它在至少两个不同的频率处具有高增益，所述的第一电路具有：一个输入端和一个输出端，所述的第一电路的输入端耦合到所述第一加法器的输出端；一个第二加法器，它具有：一个输入端、一个第二输入端和一个输出端，该输入端耦合到所述第一电路的输出端；一个第二电路，它在至少两个不同的频率处具有高增益，所述第二电路具有：一个输入端和一个输出端，所述的第二电路的输入端耦合到所述第二加法器的输出端；一个量化器电路，它具有：一个输入端和一个输出端，它的输入端耦合到所述第二电路的输出端；一个增益电路，它具有：一个输入端，耦合到所述量化器电路的输出端，和一个输出端，耦合到所述第一加法器的所述第二输

入端；一个反馈电路，耦合在所述量化器电路的所述输出端与所述第二加法器的所述输入端之间；和一个数字/模拟转换器，耦合到所述量化器电路和耦合所述内部时钟信号。

附图说明：

图 1 是现有技术高频晶体 Σ - Δ 数字/模拟 (D/A) 转换电路示意图；

图 2 是现有技术低频晶体和锁相回路 (PLL) Σ - Δ 数字/模拟 (D/A) 转换电路示意图；

图 3 是图 2 的 Σ - Δ 数字/模拟转换电路的存在问题的功率谱密度的曲线图；

图 4 是按照本发明的一个实施例的具有改进性能的低频晶体数字/模拟 (D/A) 转换结构的一个方块图；

图 5 是按照本发明的一个实施例的典型的数字/模拟转换结构的一个示意图；

图 6 是图 5 的数字/模拟转换结构的功率谱密度曲线；

图 7 是按照本发明的另一个实施例的数字/模拟转换结构示意图；

图 8 是表示按照本发明的一个时钟倍频器的输入端和输出端的典型时钟波形的曲线图；

图 9 是按照本发明的一个实施例的模拟/数字 (A/D) 转换结构方块图。

具体实施方式：

一般来说，本发明是一种改进的数字模拟 (D/A) 或模拟数字 (A/D) 转换器电路，用于高性能信号处理，例如高性能音频和视频、xDSL、G.Lite、有线调制解调器、高质量的声音识别、和类似的设备。按照这里给出的教导的 Σ - Δ 转换器使用了一种成本较低的晶体时钟源，其操作频率为 f_s/N ，这里 f_s 是 D/A 或 A/D 的采样频率， N 一般来说是一个大于 1 的有限正整数。通过一个倍频器（如时钟二倍频器或时钟四倍频器）倍频 f_s/N 信号，所说的倍频器不像 PLL 那样，没有宽带时钟抖动分量。具体来说，时钟二倍频器可以借助于一个结构来实施，这种结构能够把时钟抖动集中在频域中的局部区。

由于时钟抖动噪声有严格的频率限制，所以可以重新设计 Σ - Δ 电路，以便将量化噪声的零点放在与时钟抖动能量的集中点重合的频谱的非零频率位置。所说的一个或多个附加的零点将减轻由于量化噪声和时钟抖动噪声的混合引起的噪声本底的恶化。在这个实施例中，保持时钟抖动谱和进入数字/模拟转换器的数据谱大体上是相互排斥的，因此在数字/模拟转换器中混合操作的结果基本上不会增加接近直流的信号频带的噪声本底。对于本发明，可以节省重要的 IC 表面面积（例如，不需要更先进的多位 D/A 或 A/D），在某些情况下，可以以较低的成本获得数字/模拟转换器噪声性能的最高为 40 分贝的改进。

在另一些实施例中，如果信号频带不是接近直流，而是集中在频率 f_{signal} ，则处理方法可以是：设计 Σ - Δ 调制器，以使量化噪声的零

点位于距时钟抖动的光谱位置（一个或多个）为 f_{signal} 的频道处。以此方式，量化噪声和时钟抖动的混合将不会恶化数字/模拟转换器在信号频带区的性能。

参照附图 4-9 进一步理解本发明。

现在参照附图 4，图 4 表示出一个数字/模拟（D/A）转换结构 400。对于按照本发明的一个实施例的数字/模拟转换结构 400 进行配置，使其可以从输入到数字/模拟转换器的数字数据谱中分离出时钟倍频器引起的时钟抖动的频谱，如下面将要更加详细讨论的。广义来说，数字/模拟转换结构 400 包括一个数字/模拟转换单元 401，它接收一个数字输入信号 420。数字/模拟转换单元 401 包括一个信号处理单元 402 和一个数字/模拟转换器（DAC）406。数字/模拟转换器接收信号处理单元 402 的输出作为输入。信号处理单元模块 402 处理数字输入流，以使输出到数字/模拟转换器 406 的数字数据谱具有频域零点。将这些零点放在该频域中，以使数字数据与来自于数字/模拟转换器 406 的时钟倍频器 405 的时钟抖动的混合功能在数字/模拟转换过程中产生可接受的信噪比性能。这个信号处理单元模块 402 可以是一个 Σ - Δ 调制器，或者可以是在数字/模拟转换器处理之前的可替换的数字处理数据方法。数字/模拟转换器 406 另外还接收一个时钟信号（CLK1）作为输入。时钟信号（CLK1）是作为时钟发生器 404 和时钟倍频器电路 405 的输出提供的。时钟发生器 404 包括一个相当低成本的相对较低频率的晶体 422。时钟发生器 404 的输出提供给时钟倍频器 405。时钟倍频器电路 405 可以实施为高质量的锁相回路或另一种时钟倍频器电路，如边沿触发的时钟倍频器（见图 8），从成本和性能方面考虑后者是最佳的。当晶体 422 提供频率信号 f_c/N 并且设计 DAC 在采样频率 f_s 下操作时，时钟倍频器电路 405 将输入的频率乘以整数倍 N 。

具体来说，对于时钟倍频器 405 进行配置，以便基于晶体 422 的频率产生一个时钟信号 CLK1，结果当 $N=2$ 时，最终的抖动能量集中在单个频率 $f_c/2$ 处。对于这种边沿触发的时钟倍频器的一个例子，图 8 表示出一个典型的晶体波形 800 和倍频器 405 的一个典型的输出 802。

在图 8 所示的例子中，时钟倍频器 405 是一个 2 倍的倍频器，或 2 倍频器。从晶体波形 800 产生 2 倍频器输出，使每个晶体波形时钟循环 800 的时钟瞬变都引起一个对应的时钟 2 倍频器的输出脉冲。晶体信号 800 的上升沿在信号 802 中引起第一个时钟循环，晶体信号 800 的下降沿在信号 802 中引起第二个时钟循环，从而产生时钟倍频功能。由于晶体时钟源具有最小的抖动量，并且倍频器 405 是作为边沿触发的 2 倍频器起作用的，所以最终的时钟抖动局限在窄的频带，这个频带是 f_s/N 的整数倍。数字/模拟转换单元 401 还可以接收一个第二时钟信号 (CLK2)，第二时钟信号 (CLK2) 可以用于一种或多种信号处理功能。例如，CLK2 可以用来操作其中降低抖动可能并不那么重要的信号信号处理电路 402 并且完成其它的一些功能。值得注意的是，CLK2 可能和 CLK1 具有相同的频率，或者，实际上，在某些实施例中，CLK2 可能和 CLK1 是同一个信号。

现在参照附图 5，其中表示的是具体实施图 4 的数字/模拟转换结构的一个示意图。图 5 的数字/模拟转换结构 500 包括一个数字/模拟转换单元 501，它包括信号处理单元 502 和数字/模拟转换器 (DAC) 506。一个时钟信号 (CLK1) 为数字/模拟转换器 (DAC) 506 计时。时钟脉冲 CLK1 由一个时钟发生器 504 产生，时钟脉冲 CLK1 按照和以上所述类似的方式提供给一个时钟 2 倍频器 505。

在图 5 所示的实施例中，时钟发生器 504 按一种形式包括频率为 27.6 兆赫兹的一个晶体 522。按照所述的实施例，信号处理单元 501 包括一个 Σ - Δ 调制器 503 和一个量化噪声滤波器 508。 Σ - Δ 调制器 503 接收一个期望的数字输入信号 520，以此作为输入。 Σ - Δ 调制器 503 的功能是把多位的数字输入转换成较少位的数字输入。 Σ - Δ 调制器 503 在节点 A 产生一个输出，这个输出是量化噪声滤波器 508 的一个输入。量化噪声滤波器 508 在节点 B 向数字/模拟转换器 506 提供一个输出。参照附图 6 讨论在节点 A 和 B 的噪声谱密度。

广义来说，量化噪声滤波器 508 的一种形式可能完成二次函数 $(1 + Z^{-1})^2$ ，所说的滤波器 508 将滤去输入到 DAC506 的输入数据中的

频率为在时钟线 CLK1 上有明显时钟抖动的频率的内容。参照附图 6 说明量化噪声滤波器 508 的功能。图 6 是图 5 电路的功率谱密度相对于频率的曲线 600。曲线 600 表示在节点 A 的量化噪声 602 和在节点 B 的已处理的量化噪声 604。

如图可见，在频率 $f_s/2$ ，节点 B 的量化噪声 604 的功率谱密度相对于节点 A 的功率谱密度 602 有所减小。在图 6 中还表示出时钟抖动的功率谱密度 608，它集中在位于频率 $f_s/2$ 附近的严格的频带内，如以上参照附图 8 所描述的。因此，量化噪声滤波器 508（图 5）的功能是减小节点 B 的量化噪声相对于节点 A 的量化噪声的功率谱密度。值得注意的是，对于在节点 B 的功率谱密度，功率谱密度 604 在频率 $f_s/2$ 处有一个零点。虽然“零点”的通常含义是零功率输出，但应该说明的是，在频率 $f_s/2$ 处的一个明显的减少（降低，但是功率值不是 0）也足以表征为这里所讨论所需的一个零点。换言之，在某些应用中，只提及减小量化噪声的功率谱密度就足够了，而不必说将它减小到 0。于是，图 6 只是说明性的，除了如图 6 所示的 0 赫兹和 $f_s/2$ 赫兹以外，还可以在功率谱密度中加不止一个零点。

此外，量化噪声滤波器 508 可以是足以在时钟抖动频率减小量化噪声到期望的水平任何阶的任何其它的滤波器，在这个实施例中的时钟抖动频率是 $f_s/2$ 。方程 $H(z)=(1+Z^{-1})^2$ 给出了用于这样一个量化噪声滤波器的典型的传递函数。

附图 7 表示的是按照本发明的数字/模拟转换结构 700 的一个可替换实施例。数字/模拟转换结构 700 包括一个数字/模拟转换单元 701，它具有信号处理单元 702，信号处理单元 702 的输出提供给数字/模拟转换器（DAC）706。按照所述的实施例，将信号处理单元 702 实施为一个改进的二阶的 $\Sigma-\Delta$ 调制器，其传递函数基本上由下式确定：

$$Y(z) = \frac{z^{-2}X(z) + e_n(1-z^{-1})^2(1+z^{-1})^2}{f(z^{-1})}$$

其中 $X(z)$ 是至信号处理单元 702 的输入 720， $Y(z)$ 是输出， $f(z^{-1})$ 是 z 的某个函数， e_n 代表量化噪声（通常将其模拟成附加的白噪声）。虽然这里表示的 $Y(z)$ 是直流附近的二价噪声形式和 $f_s/2$ 的时

钟抖动区附近的二价噪声形式，但本发明适合于任何阶的 Σ - Δ 调制器，或者说在时钟抖动频率（一个或多个）附近的任何阶的噪声形式。可以很容易地将本发明用于改善数字/模拟转换器中遭受时钟抖动引起的性能下降的任何通用的数据流的性能。对于数字数据流进行滤波，以便可以除去在数字/模拟转换器中与时钟抖动谱混合的数据的频率的内容。当时钟抖动已经集中在一个小的频率区或多个频率区时，并且当在这些频率提供数字数据的一个零点时，这种处理方法是最成功的。但是，一个数字滤波器产生一个零点，并且这个零点只能降低在所说的感兴趣的区域中的数据的频率内容，这将是不必要的。

按另一种方式，可以在与图 5 的电路、图 1 的电路、或不同阶或不同形式的其他滤波器内部连接的同一块电路板上形成图 7 的电路。在单块电路板上形成几个不同的结构是有益的，因为终端用户可以动态地配套它的系统的性能（通过设置一个或多个控制位，执行一个软件指令，或者通过自动 CPU 检测）。进而，通过按照动态的和可编程的方式简单地改变某些开关，该系统就能够动态地适应多个晶体或多个采样频率 f_s 。因此，可以将不同的晶体有选择地加到图 7 的电路，在这里，电路本身可以在不同的操作方式之间进行动态调节。

在图 7 中，DAC706 接收一个时钟输入 CLK1，CLK1 是时钟 2 倍频器 705 的输出。时钟 2 倍频器 705 从时钟发生器 704 接收它的输入。按照本发明的一个实施例，时钟发生器 704 包括一个 27.6 兆赫兹的晶体 722，并且 $f_s = 55.2$ 兆赫兹。应该说明的是，在这里所述的实施例中，还可以使用许多其他的频率。所产生的时钟信号 CLK1 应使它的时钟抖动功率谱密度集中在频率 $f_s/2$ （即采样频率 f_s 的一半）。从改善如图所示的 Σ - Δ 调制器的观点来看，能够产生多个宽带抖动的多个时钟速度的可替换实施例可能也是有益的。

信号处理单元模块 702 接收至加法电路 714 的数字输入 720。加法电路 714 的输出提供到多频率高增益电路 708。多频率高增益电路 708 在直流以及在 $f_s/2$ 有高的增益。按照所示的实施例，多频率高增益电路 708 的传递函数基本上由下式确定：

$$H(z) = \frac{z^{-1}}{1 - z^{-2}}$$

如图所示, 电路 708 实施成为加法电路 754、延迟算子 754、和在反馈回路中的算子 752。延迟算子 750、752 可以实施成锁存器或其它临时存储器件。

多频率高增益电路 708 的输出提供给加法电路 718, 加法电路 718 的输出提供给另一个多频率高增益电路 710。图 7 的电路在频率 f_s 提供两个重叠的零点, 然而, 可以改变图 7 的电路, 使其在频率 f_s 只提供一个零点。为此, 或者去掉元件 752, 或者去掉元件 758, 并且改变图 7 电路的元件 740 以形成另外的实施例。

和多频率高增益电路 708 类似, 多频率高增益电路 710 包括加法电路 760、延迟算子 756、和在反馈回路中的延迟算子 758。再一次地, 延迟算子 756、758 可以实施成锁存器或其它临时存储器件。多频率高增益电路 710 的输出提供给量化器, 如一个 3 位的量化器 716。3 位的量化器 716 的输出提供到反馈回路。

增益因子 712 是作为从量化器的输出端到加法电路 714 的负反馈提供的。在从量化器的输出端到加法电路 718 的负反馈回路中, 提供一个负反馈滤波器 740。负反馈滤波器 740 和多频率高增益电路 710 的综合作用是在直流和 $f_s/2$ 产生高增益。负反馈滤波器 740 例如可以实施为一个延迟算子, 并且一般来说有一个传递函数, 导出这个传递函数以优化具体应用中的性能。在所说的实施方案中, 反馈回路滤波器 740 有一个传递函数: $H(z)=a+bz^{-1}$ 。其优选形式为: $H(z)=1/4+3/4(3/4)z^{-1}$, 其中 $a=1/4$, $b=3/4$ 。在另一些实施例中, 可以使用 a 和 b 的其它一些值。

值得注意的是, 虽然图 7 的实施例中使用多频率高增益电路 708 和多频率高增益电路 710 这两者, 但使用电路 708 或 710 中一个或另一个都可获得期望的性能。因此, 图 7 只是说明性的。

值得注意的还有, 尽管上面叙述的是关于数字/模拟转换的, 本发

明的教导完全可以应用到模拟/数字转换。具体来说,如图9所示,模拟/数字转换器900可以使用一个模拟/数字信号处理结构902,它能够 在时钟抖动功率谱的频率减小量化噪声功率谱。因此,模拟/数字转换器900包括一个时钟源904和一个时钟倍频器905,时钟倍频器905是至模拟/数字信号处理结构902的输入。例如,在一般情况下,模拟/数字信号处理结构902可能类似于图7的数字/模拟信号转换器结构702。

虽然已经参照特定的实施例描述了本发明,但本领域的普通技术人员可能作出进一步的修改和改进。例如,可以扩充这里教导的构思,使用 $f_s/4$ 的晶体,借此可以在图7中在0赫兹和 f_s/N 之间的频率谱中提供4个零点。例如,可以使用一个甚至于更低成本的大约13.8兆赫兹晶体,同时使用一个4倍时钟倍频器以输出 $f_s = 55.2$ 兆赫兹。在这种情况下, Σ - Δ 电路可能根据系统的需要在0赫兹、 $f_s/4$ 、 $f_s/2$ 、和可能是 $3f_s/4$ 附近产生零点或低能区。因此,应该理解,本发明包括不偏离在所附的权利要求书中限定的本发明的构思和范围的所有这样一些改进。

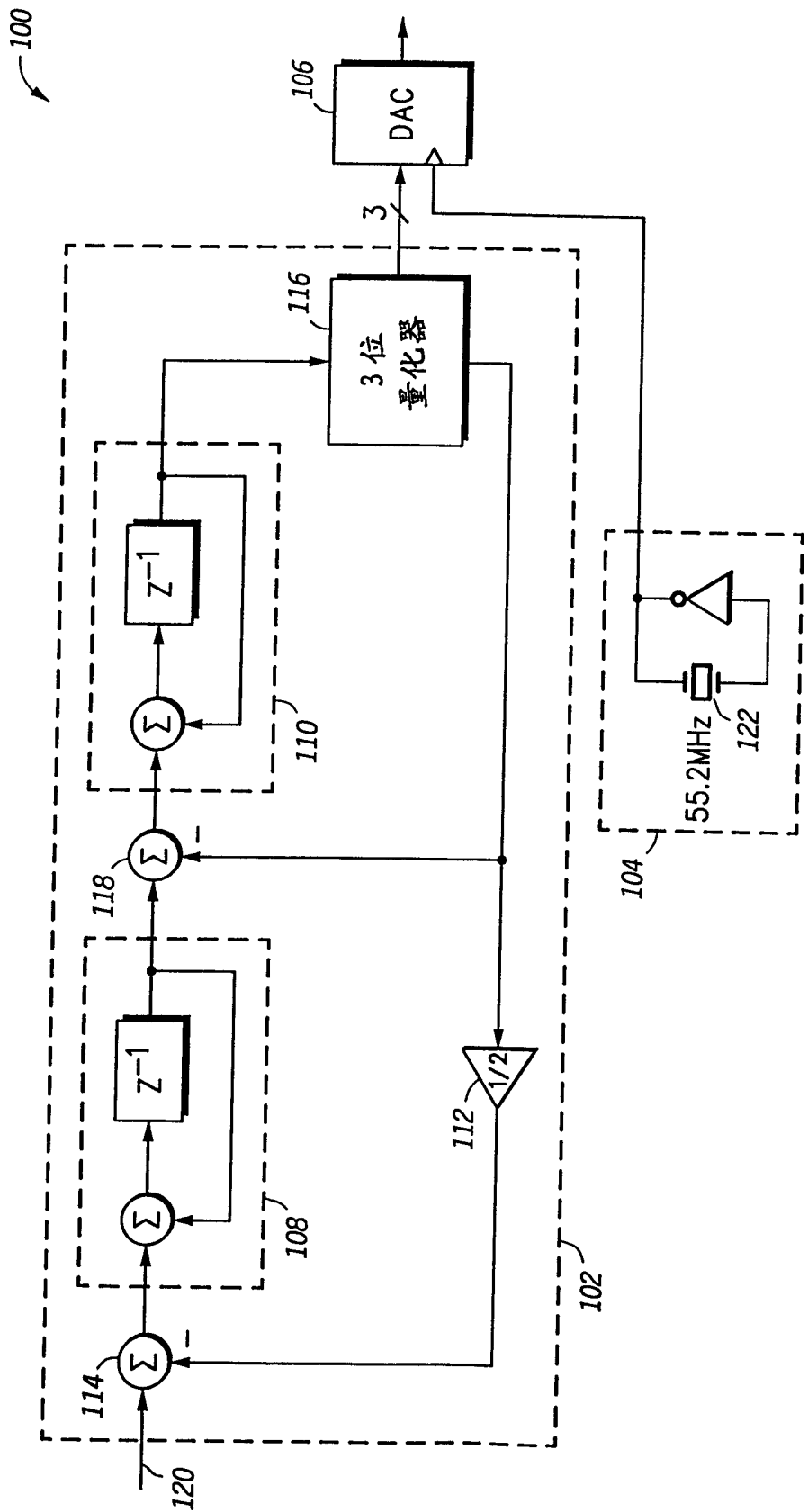


图 1
现有技术

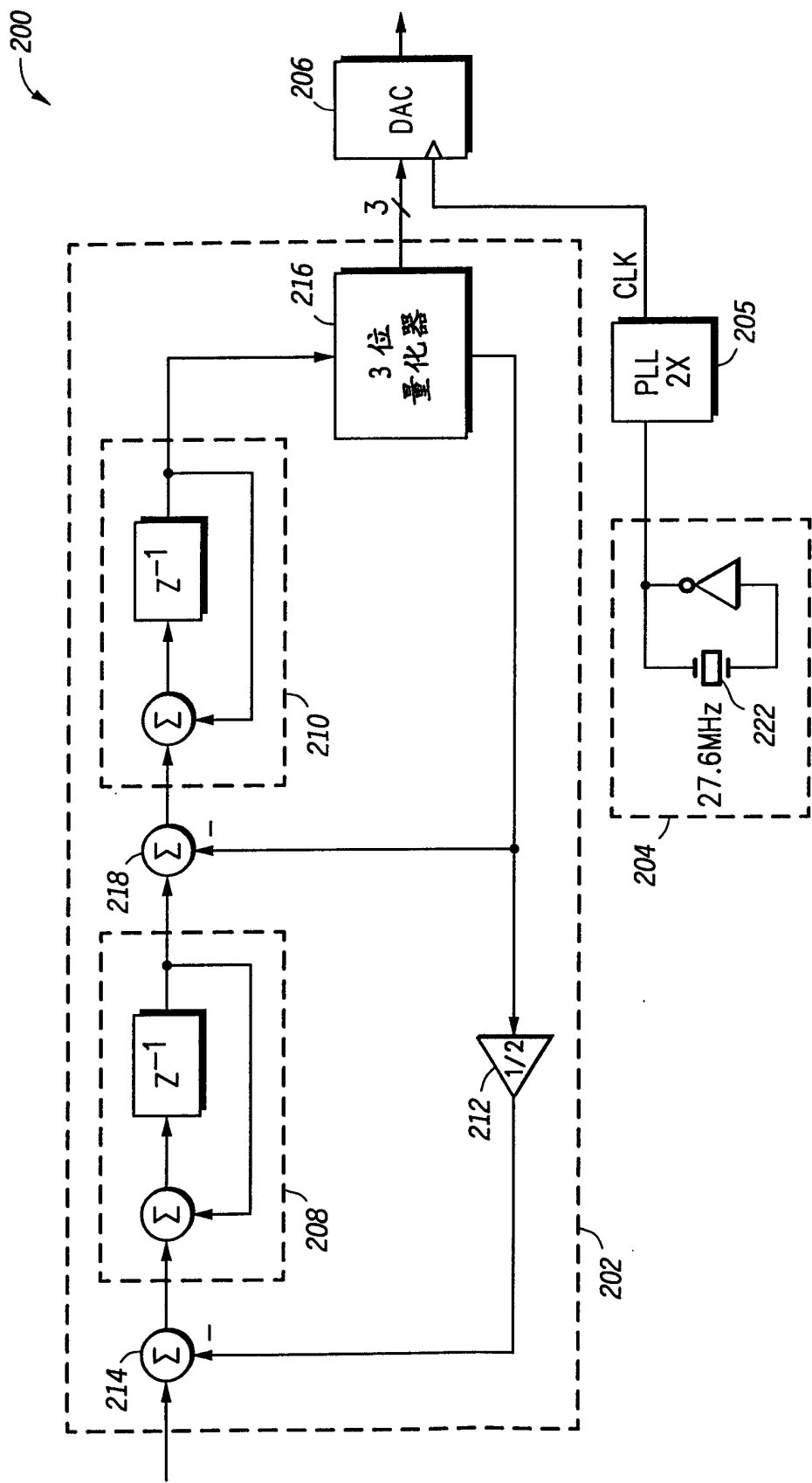


图 2
现有技术

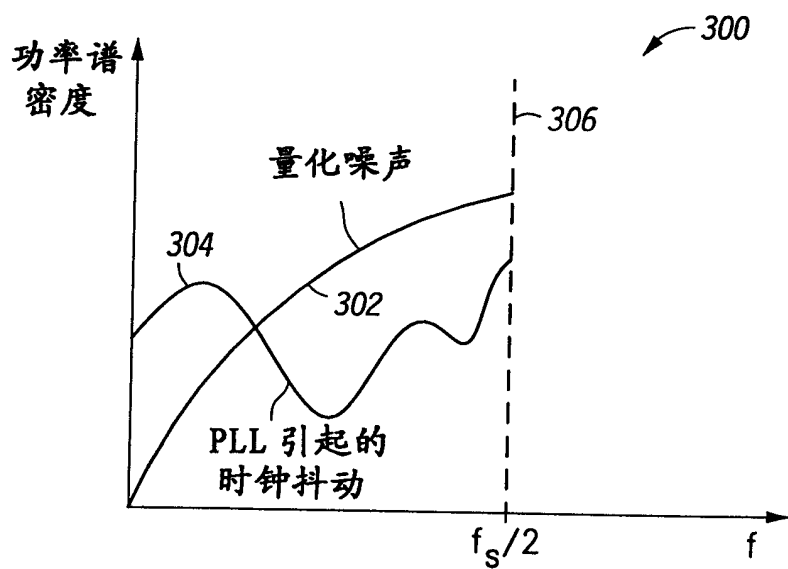


图 3
现有技术

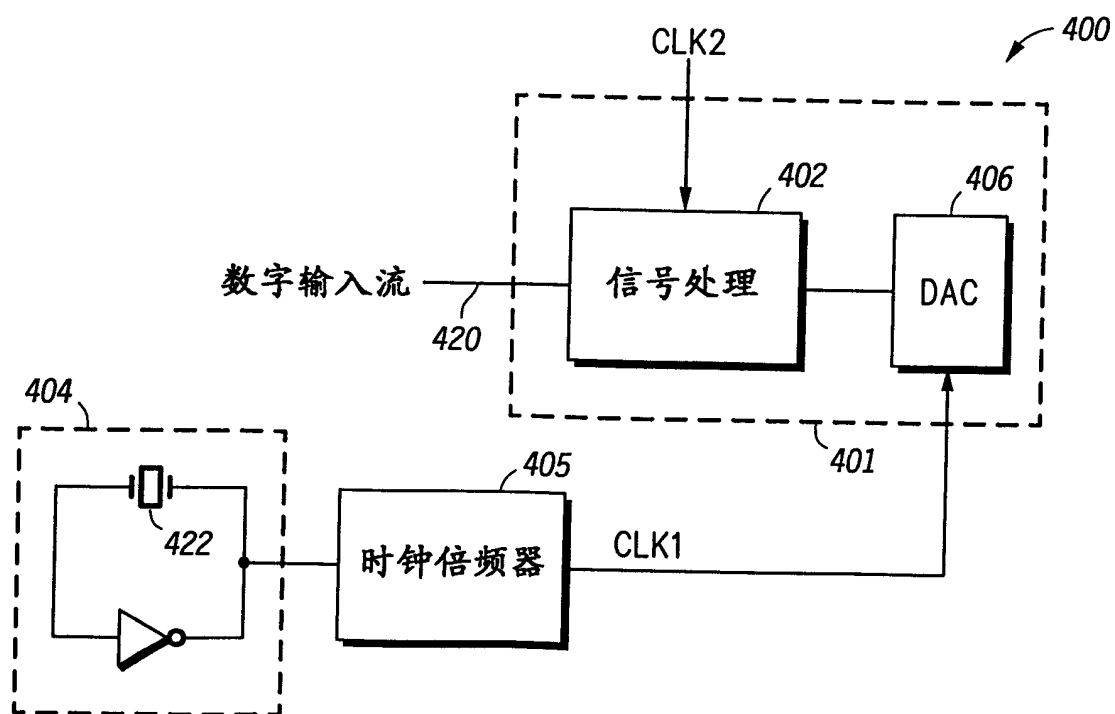


图 4

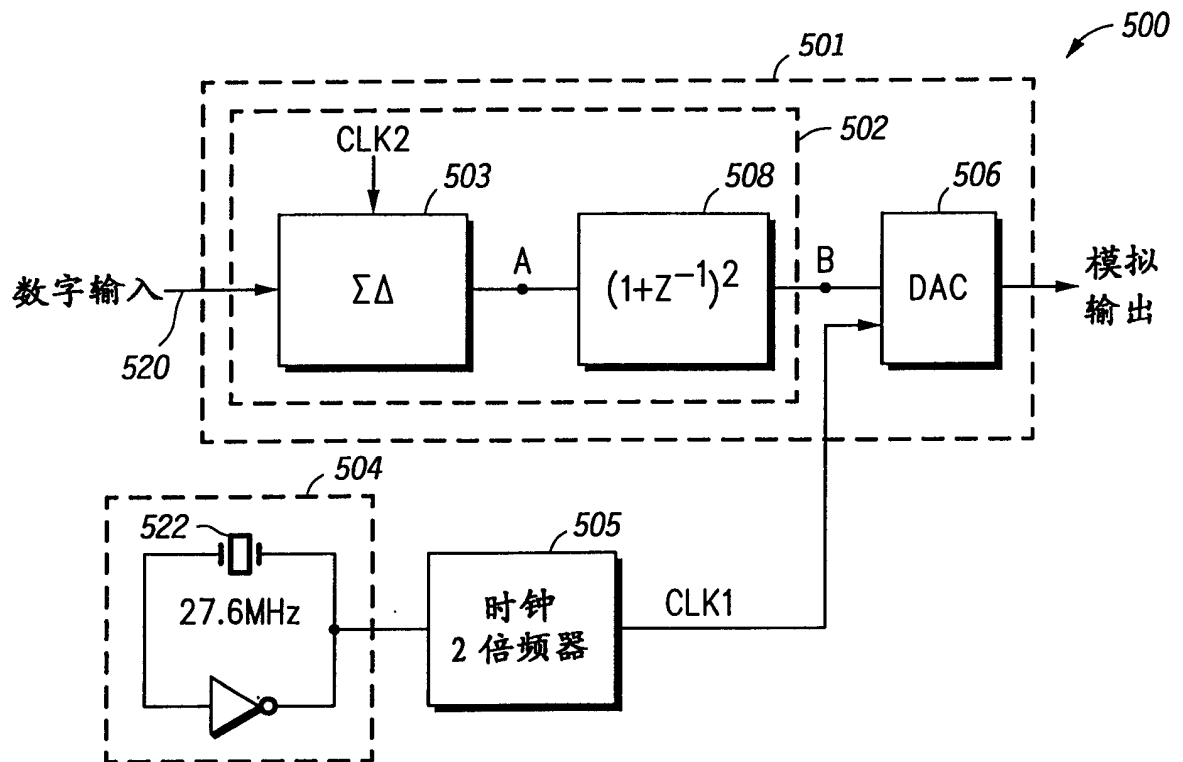


图 5

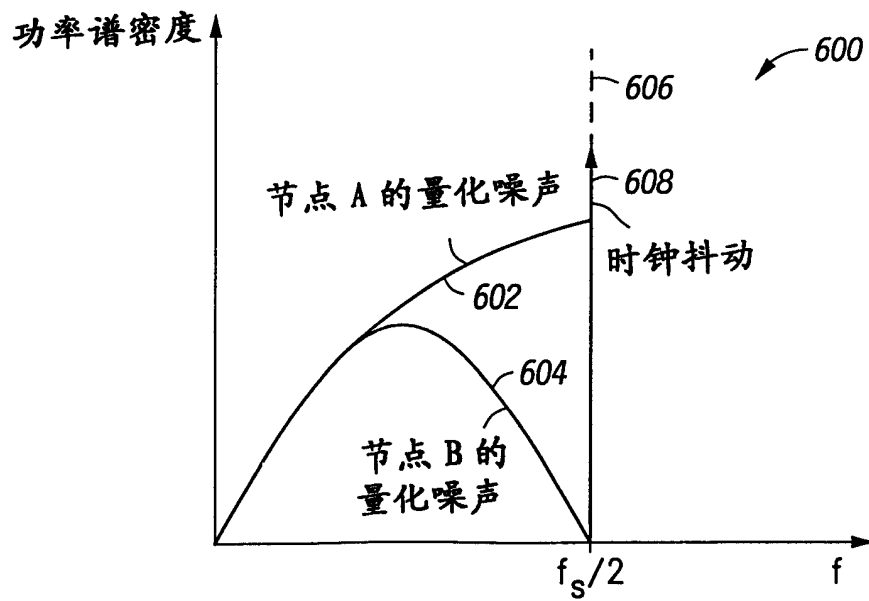


图 6

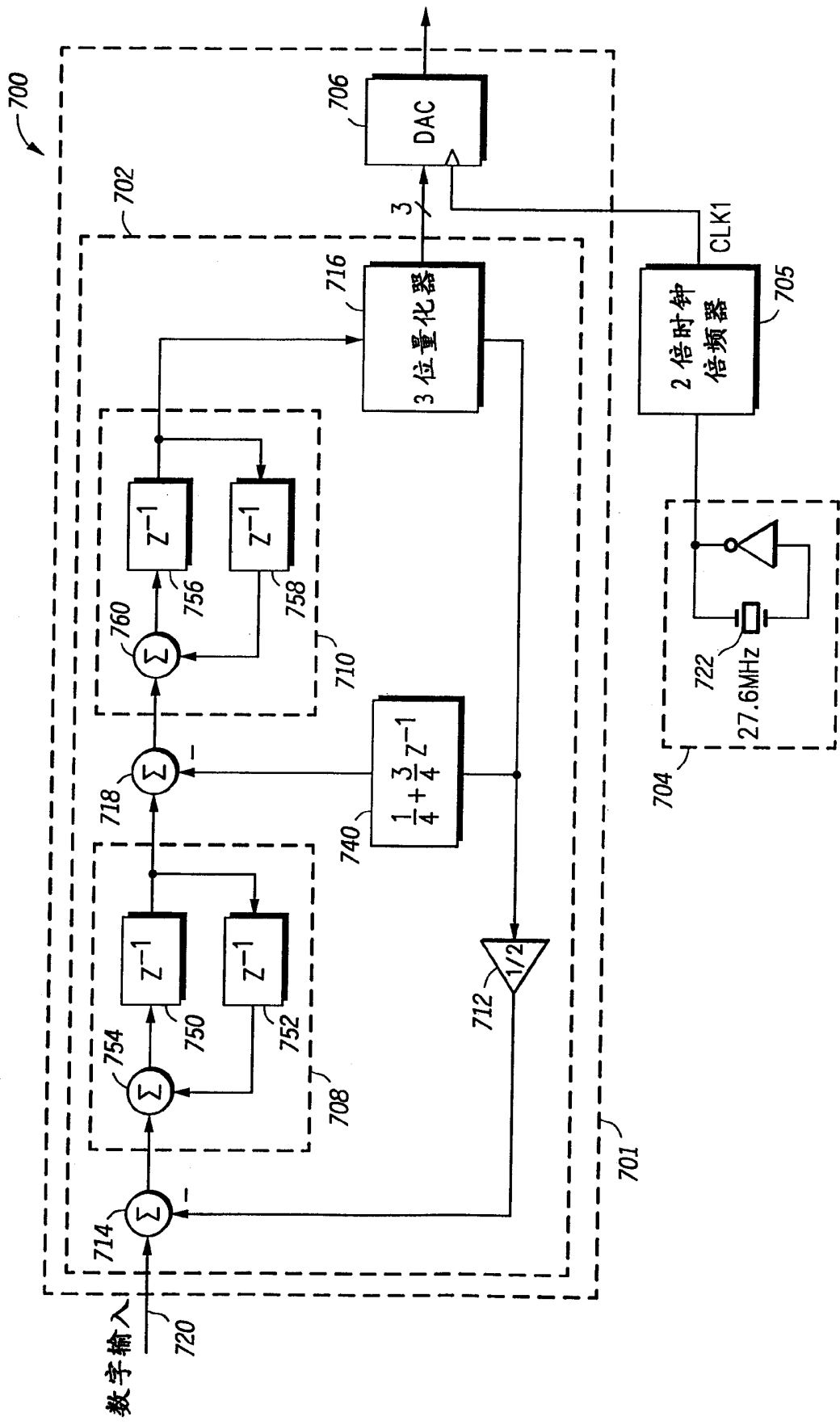


图 7

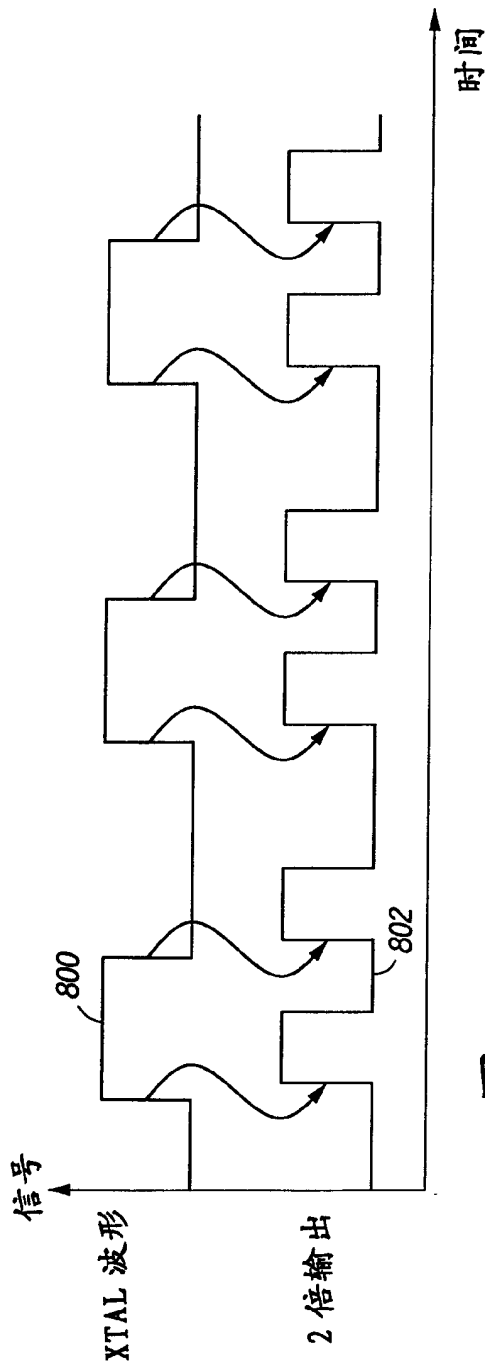


图 8

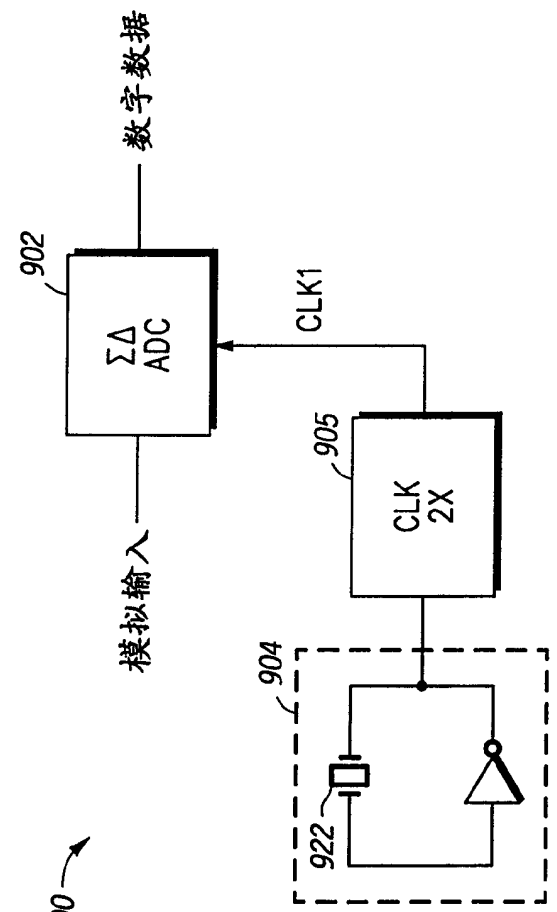


图 9