

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-201856
(P2006-201856A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int. Cl.			F I	テーマコード (参考)	
G06F 1/04 (2006.01)			G06F 1/04		A
H03K 21/40 (2006.01)			H03K 21/40		D

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2005-10470 (P2005-10470)
(22) 出願日 平成17年1月18日 (2005.1.18)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(71) 出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(74) 代理人 100089071
弁理士 玉村 静世
(72) 発明者 築地 治孝
東京都小平市上水本町5丁目22番1号
株式会社日立超エル・エス・アイ・システムズ内

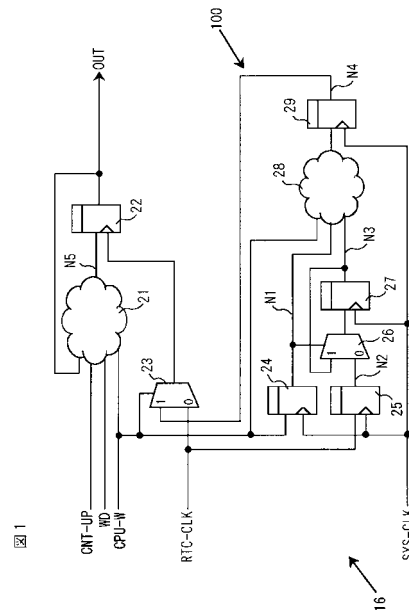
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 リアルタイムクロックモジュールにおけるレジスタの誤更新を排除する。

【解決手段】 第1クロック信号に基づいてカウント動作可能なリアルタイムクロックモジュール(16)と、上記第1クロック信号より周波数が高い第2クロック信号に基づいて動作され、上記リアルタイムクロックモジュールに対してライトアクセス可能なCPUとを含んで半導体集積回路が構成されるとき、上記リアルタイムクロックモジュールは、上記CPUによってライトアクセス信号がネゲートされた際の論理状態が、上記CPUによってライトアクセス信号がアサートされた際の第1クロック信号の論理状態に等しい第3クロック信号を形成可能なクロック制御回路(100)を設け、上記CPUからのライトアクセスが発生した場合の論理の正常化を図ることにより、不所望なハザードの発生を阻止し、リアルタイムクロックモジュールにおけるレジスタの誤更新を排除する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 クロック信号に基づいてカウント動作可能なリアルタイムクロックモジュールと、
上記第 1 クロック信号より周波数が高い第 2 クロック信号に基づいて動作され、上記リアルタイムクロックモジュールに対してライトアクセス可能な中央処理装置と、を含む半導体集積回路であって、

上記リアルタイムクロックモジュールは、

上記中央処理装置からのライトアクセスによってライトデータの書き込みが可能とされる第 1 レジスタと、

カウントアップ信号に基づいて上記第 1 レジスタの保持値をカウントアップするとともに、上記中央処理装置からのライトアクセスに応じてライトデータを上記第 1 レジスタへ伝達可能な第 1 論理回路と、

上記中央処理装置によってライトアクセス信号がネゲートされた際の論理状態が、上記中央処理装置によって上記ライトアクセス信号がアサートされた際の上記第 1 クロック信号の論理状態に等しい第 3 クロック信号を形成可能なクロック制御回路と、

上記中央処理装置によってライトアクセス信号がアサートされた場合には、上記第 3 クロック信号を上記第 1 レジスタに供給することによって上記第 1 レジスタを上記第 3 クロック信号に同期動作させ、上記中央処理装置によって上記ライトアクセス信号がネゲートされた場合には、上記第 1 クロック信号を上記第 1 レジスタに供給することによって上記第 1 レジスタを上記第 1 クロック信号に同期動作させるための第 1 セレクタと、を含んで成る半導体集積回路。

【請求項 2】

上記クロック制御回路は、上記第 2 クロック信号に同期して上記ライトデータを取り込むための第 2 レジスタと、

上記第 1 クロック信号を上記第 1 クロック信号に同期して取り込むための第 3 レジスタと、

上記上記第 1 クロック信号に同期動作される第 4 レジスタと、

上記第 2 レジスタの出力信号に応じて上記第 4 レジスタの出力信号と上記第 3 レジスタの出力信号とを選択的に上記第 4 レジスタに供給するための第 2 セレクタと、

上記中央処理装置からのライトアクセス信号と上記第 2 レジスタの出力信号に基づいて上記第 4 レジスタの出力信号を選択可能な第 2 論理回路と、

上記第 2 クロック信号に同期して上記第 2 論理回路の出力信号を取り込むための第 5 レジスタと、を含み、

上記第 5 レジスタの出力信号が上記クロック制御回路の出力信号として上記第 1 セレクタに伝達される請求項 1 記載の半導体集積回路。

【請求項 3】

上記第 2 論理回路は、上記中央処理装置からのライトアクセス信号が論理値“0”の場合、上記第 2 レジスタの出力論理値にかかわらず、論理値“0”を出力し、上記中央処理装置からのライトアクセス信号が論理値“1”で、上記第 2 レジスタの出力信号が論理値“0”の場合、論理値“1”を出力し、上記中央処理装置からのライトアクセス信号が論理値“1”で、上記第 2 レジスタの出力信号が論理値“1”の場合、上記第 2 レジスタの出力信号をそのまま出力する請求項 2 記載の半導体集積回路。

【請求項 4】

上記中央処理装置によるアクセスが無い場合、上記第 2 レジスタ、上記第 3 レジスタ、上記第 4 レジスタ、上記第 5 レジスタへの上記第 2 クロック信号の供給を停止するための第 3 論理回路を含む請求項 3 記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路に関し、例えばシステム L S I に適用して有効な技術に関する

る。

【背景技術】

【0002】

コンピュータ等の情報処理装置およびその他の電子機器において使用されるリアルタイムクロック(RTC)信号を供給可能なモジュールとして、リアルタイムクロックモジュールが知られている(例えば特許文献1参照)。システムLSIに内蔵されるリアルタイムクロックモジュールは、秒カウントのための秒カウンタ、分カウントのための分カウンタ、時カウントのための時カウンタ、曜日カウントのための曜日カウンタ、日カウントのための日カウンタ、月カウントのための月カウンタ、及び年カウントのための年カウンタなど、各種カウンタを備える。

10

【0003】

上記秒カウンタは、64Hzのカウンタで1Hz毎に発生するキャリによってカウンタアップするレジスタとされる。このレジスタは、CPU(中央処理装置)によって書き込み可能とされ、キャリによるレジスタ更新とCPUによるレジスタ書き込みとは異なる周波数のクロック信号で制御する論理構成となっている。

【0004】

上記CPUによるレジスタ書き込みには、システムの消費電力を抑えるため、CPUの非動作時にクロック発振を停止させたり、スタンバイモード時にクロック発振を停止させたりするためのシステムクロック信号が使用される。それに対して秒カウンタのカウントアップに使用されるクロック信号には、スタンバイモード時にも停止されないRTC生成用クロック信号が用いられる。

20

【0005】

【特許文献1】特開平7-248844号公報(図1)

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記のようにリアルタイムクロックモジュールに内蔵される秒カウンタは、キャリによるレジスタ更新とCPUによるレジスタ更新とは異なる周波数のクロック信号で制御する必要があるため、キャリによるレジスタ更新の際のRTC生成用クロック信号と、CPUによるレジスタ書き込みの際のシステムクロック信号とを切り換える必要がある。このクロック信号の切り換えはセクタで行われる。しかしながら、本願発明者がそれについて検討したところ、両クロック信号の位相差によっては、更新されるレジスタに供給されるクロック信号にハザードが発生することがあり、かかる場合には、CPUによるレジスタ書き込みが正常に行われないなど、レジスタの誤更新を生ずることが見いだされた。

30

【0007】

本発明の目的は、リアルタイムクロックモジュールにおけるレジスタの誤更新を排除するための技術を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、第1クロック信号に基づいてカウント動作可能なリアルタイムクロックモジュールと、上記第1クロック信号より周波数が高い第2クロック信号に基づいて動作され、上記リアルタイムクロックモジュールに対してライトアクセス可能な中央処理装置とを含んで半導体集積回路が構成されるとき、上記リアルタイムクロックモジュールは、上記中央処理装置からのライトアクセスによってライトデータの書き込みが可能とされる第1

50

レジスタと、カウントアップ信号に基づいて上記第1レジスタの保持値をカウントアップするとともに、上記中央処理装置からのライトアクセスに応じてライトデータを上記第1レジスタへ伝達可能な第1論理回路と、上記中央処理装置によってライトアクセス信号がネゲートされた際の論理状態が、上記中央処理装置によって上記ライトアクセス信号がアサートされた際の上記第1クロック信号の論理状態に等しい第3クロック信号を形成可能なクロック制御回路と、上記中央処理装置によってライトアクセス信号がアサートされた場合には、上記第3クロック信号を上記第1レジスタに供給することによって上記第1レジスタを上記第3クロック信号に同期動作させ、上記中央処理装置によって上記ライトアクセス信号がネゲートされた場合には、上記第1クロック信号を上記第1レジスタに供給することによって上記第1レジスタを上記第1クロック信号に同期動作させるための第1セクタとを含んで構成する。 10

【0011】

上記の手段によれば、クロック制御回路は、上記中央処理装置によってライトアクセス信号がネゲートされた際の論理状態が、上記中央処理装置によって上記ライトアクセス信号がアサートされた際の上記第1クロック信号の論理状態に等しい第3クロック信号を形成し、第1セクタは、上記中央処理装置によってライトアクセス信号がアサートされた場合には、上記第3クロック信号を上記第1レジスタに供給することによって上記第1レジスタを上記第3クロック信号に同期動作させ、上記中央処理装置によって上記ライトアクセス信号がネゲートされた場合には、上記第1クロック信号を上記第1レジスタに供給することによって上記第1レジスタを上記第1クロック信号に同期動作させる。第1セクタによって第1クロック信号が選択された場合、第1レジスタのクロック端子の論理変化は、それまでの論理値から、第1クロック信号の現在の論理値に遷移する立ち上がりとなり、それは上記中央処理装置からのライトアクセスが無い場合の論理変化と同じであり、不所望なハザードの発生が排除される。そのことが、リアルタイムクロックモジュールにおけるレジスタの誤更新を排除する。 20

【0012】

このとき、上記クロック制御回路は、上記第2クロック信号に同期して上記ライトデータを取り込むための第2レジスタと、上記第1クロック信号を上記第1クロック信号に同期して取り込むための第3レジスタと、上記上記第1クロック信号に同期動作される第4レジスタと、上記第2レジスタの出力信号に応じて上記第4レジスタの出力信号と上記第3レジスタの出力信号とを選択的に上記第4レジスタに供給するための第2セクタと、上記中央処理装置からのライトアクセス信号と上記第2レジスタの出力信号に基づいて上記第4レジスタの出力信号を選択可能な第2論理回路と、上記第2クロック信号に同期して上記第2論理回路の出力信号を取り込むための第5レジスタとを含んで構成することができる。 30

【0013】

また、上記第2論理回路は、上記中央処理装置からのライトアクセス信号が論理値“0”の場合、上記第2レジスタの出力論理値にかかわらず、論理値“0”を出力し、上記中央処理装置からのライトアクセス信号が論理値“1”で、上記第2レジスタの出力信号が論理値“0”の場合、論理値“1”を出力し、上記中央処理装置からのライトアクセス信号が論理値“1”で、上記第2レジスタの出力信号が論理値“1”の場合、上記第2レジスタの出力信号をそのまま出力するように構成することができる。 40

【0014】

さらに、消費電力の低減を図るには、上記中央処理装置によるアクセスが無い場合、上記第2レジスタ、上記第3レジスタ、上記第4レジスタ、上記第5レジスタへの上記第2クロック信号の供給を停止するための第3論理回路を設けると良い。

【発明の効果】**【0015】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

10

20

30

40

50

【 0 0 1 6 】

すなわち、リアルタイムクロックモジュールにおけるレジスタの誤更新を排除することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

図 4 には、本発明にかかる半導体集積回路の一例であるシステム L S I が示される。図 4 に示されるシステム L S I 2 0 は、特に制限されないが、C P U (中央処理装置) 1 0、R A M (ランダムアクセスメモリ) 1 1、C P G (クロックパルスジェネレータ) 1 2、B S C (バーステートコントローラ) 1 3、第 1 周辺モジュール (P U 1) 1 4、第 2 周辺モジュール (P U 2) 1 5、R T C M (リアルタイムクロックモジュール) 1 6 を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。C P G 1 2 は、各モジュールの動作基準クロックとされるシステムクロック信号 S Y S - C L K を発生させる。このシステムクロック信号 S Y S - C L K は、C P U 1 0、R A M 1 1、B S C 1 3、第 1 周辺モジュール 1 4、第 2 周辺モジュール 1 5、及び R T C M 1 6 に供給される。C P U 1 0 は、データバス D - B U S 1 及びアドレスバス A - B U S 1 に結合され、所定のプログラムに従って各種演算処理及び各部の動作制御を可能とする。R A M 1 1 は、データバス D - B U S 1 及びアドレスバス A - B U S 1 に結合され、上記 C P U 1 0 での演算処理における作業領域などに利用される。B S C 1 3 は、データバス D - B U S 1、アドレスバス A - B U S 1 と、データバス D - B U S 2、アドレスバス A - B U S 2 と、データバス D - B U S 3、アドレスバス A - B U S 3 との間で発生するデータ転送の制御を行う。データバス D - B U S 2、アドレスバス A - B U S 2 には、外部に配置された外部メモリ (M E M) 1 7 が結合される。データバス D - B U S 3、アドレスバス A - B U S 3 には、第 1 周辺回路 1 4、第 2 周辺回路 1 5、及び R T C M 1 6 が結合される。第 1 周辺回路 1 4 及び第 2 周辺回路 1 5 は、特に制限されないが、入力アナログ信号をデジタル信号に変換するための A D コンバータや、外部との間でシリアル通信を可能とするインタフェースなどとされる。R T C M 1 6 はリアルタイムクロック生成用クロック信号に基づいてリアルタイムクロック信号を生成する。上記複数のレジスタは、キャリによるレジスタ更新と、C P U 1 0 によるレジスタ更新が可能とされる。キャリによるレジスタ更新は、外部から入力されたリアルタイムクロック生成用クロック信号 R T C - C L K に基づいて行われ、C P U 1 0 によるレジスタ更新は、システムクロック信号 S Y S - C L K に基づいて行われる。

【 0 0 1 8 】

図 1 には上記 R T C M 1 6 における主要部の構成が示される。

【 0 0 1 9 】

図 1 に示されるように上記 R T C M 1 6 は、論理回路 2 1, 2 8、レジスタ 2 2, 2 4, 2 5, 2 7, 2 9、セレクタ 2 3, 2 6、論理回路 2 8 を含む。論理回路 2 1 は、カウントアップ信号 C N T - U P、ライトデータ W D、C P U ライトアクセス信号 C P U - W を取り込んで所定の論理出力を得る。この論理出力は後段のレジスタ 2 2 に伝達される。セレクタ 2 3 は、C P U ライトアクセス信号 C P U - W が論理値 “ 1 ” の場合にはレジスタ 2 9 の出力信号を選択的にレジスタ 2 2 に伝達し、C P U ライトアクセス信号 C P U - W が論理値 “ 0 ” の場合にはリアルタイムクロック生成用クロック信号 R T C - C L K を上記レジスタ 2 2 に伝達する。上記レジスタ 2 2 は、上記セレクタ 2 3 の出力信号に同期して上記論理回路 2 1 の出力信号を取り込む。レジスタ 2 2 の出力信号は、R T C M 1 6 におけるカウンタを構成する別のレジスタにキャリとして伝達される。

【 0 0 2 0 】

図 8 には、上記論理回路 2 1 の真理値表が示される。

【 0 0 2 1 】

上記論理回路 2 1 は、C P U ライトアクセス信号 C P U - W が論理値 “ 1 ” の場合には、カウントアップ信号 C N T - U P の論理値にかかわらず、入力されたライトデータ W D をレジスタ 2 2 に出力する。また、上記論理回路 2 1 は、C P U ライトアクセス信号 C P

U - Wが論理値“ 0 ”で、カウントアップ信号CNT - UPが論理値“ 1 ”の場合にはレジスタ22の現在の出力値に対して+ 1 (カウントアップ)し、CPUライトアクセス信号CPU - Wが論理値“ 0 ”で、カウントアップ信号CNT - UPが論理値“ 0 ”の場合にはレジスタ22の現在の出力値を保持させる。ここで、上記カウントアップ信号CNT - UPは、リアルタイムクロック生成用クロック信号RTC - CLKを分周することで得られた信号である。

【0022】

レジスタ24は、システムクロック信号SYS - CLKに同期してライトデータWDを取り込む。このレジスタ24の出力信号(N1)は論理回路28に伝達される。レジスタ25は、システムクロック信号SYS - CLKに同期してリアルタイムクロック生成用クロック信号RTC - CLKを保持する。レジスタ25の出力信号(N2)はセクタ26に伝達される。セクタ26は、上記レジスタ24の出力が論理値“ 1 ”の場合にレジスタ27の出力信号(N3)を選択し、上記レジスタ24の出力値が論理値“ 0 ”の場合にレジスタ25の出力信号を選択する。

10

【0023】

図2には、上記論理回路28の真理値表が示される。

【0024】

上記論理回路28は、CPUライトアクセス信号CPU - Wと上記レジスタ24の出力信号とに基づいて所定の論理出力を得る。具体的には、図2に示されるように、CPUライトアクセス信号CPU - Wが論理値“ 0 ”の場合には、レジスタ24の出力信号にかかわらず、論理回路28から論理値“ 0 ”が出力され、CPUライトアクセス信号CPU - Wが論理値“ 1 ”で、レジスタ24の出力信号が論理値“ 0 ”の場合には、論理回路28から論理値“ 1 ”が出力され、CPUライトアクセス信号CPU - Wが論理値“ 1 ”で、レジスタ24の出力信号が論理値“ 1 ”の場合には、上記レジスタ27の出力信号がそのまま論理回路28から出力される。

20

【0025】

ここで、上記レジスタ24, 25, 27, 29、セクタ26、論理回路28は、上記CPU10によってCPUライトアクセス信号CPU - Wがネゲートされた際の論理状態が、上記CPU10によって上記CPUライトアクセス信号がアサートされた際のリアルタイムクロック生成用クロック信号RTC - CLKの論理状態に等しいクロック信号を形成するために設けられている。このような意味で上記レジスタ24, 25, 27, 29、セクタ26、及び論理回路28をクロック制御回路100と総称する。また、上記論理回路21が本発明における第1論理回路に対応し、上記論理回路28が本発明における第2論理回路に対応する。レジスタ22が本発明における第1レジスタに対応し、レジスタ24が本発明における第2レジスタに対応し、レジスタ25が本発明における第3レジスタに対応し、レジスタ27が本発明における第4レジスタに対応し、レジスタ29が本発明における第5レジスタに対応する。セクタ23が本発明における第1セクタに対応し、セクタ26が本発明における第2セクタに対応する。

30

【0026】

次に、上記構成の動作について説明する。

40

【0027】

図3には、図1における主要部の動作タイミングが示される。尚、図3(A)は、CPUライトアクセス直前にリアルタイムクロック生成用クロック信号RTC - CLKが立ち上がるケース、図3(B)は、CPUライトアクセス直後にリアルタイムクロック生成用クロック信号RTC - CLKが立ち上がるケースである。

【0028】

先ず、図3(A)に示されるように、CPUライトアクセス直前にリアルタイムクロック生成用クロック信号RTC - CLKが立ち上がるケースについて説明する。

【0029】

この場合、セクタ23での切り換え動作においてハザードが発生する虞れがあるが、

50

直後のCPUライトアクセスにおいて、レジスタ22の内容がライトデータWDによって書き換えられてしまうため、上記ハザードの発生によって不都合は生じない。

【0030】

次に、図3(B)に示されるように、CPUライトアクセス直後にリアルタイムクロック生成用クロック信号RTC-CLKが立ち上がるケースについて説明する。

【0031】

CPU10からのライトアクセスが発生した場合、アクセス開始時のリアルタイムクロック生成用クロック信号RTC-CLKの状態がレジスタ27に保持され、それに基づいてレジスタ29の出力信号(N4)の論理が決定される。つまり、CPU10によってCPUライトアクセス信号CPU-Wがネゲートされた際の論理状態が、CPU10によって上記ライトアクセス信号RTC-Wがアサートされた際の上記リアルタイムクロック生成用クロック信号RTC-CLKの論理状態に等しくなるようなクロック信号がレジスタ29が出力される。例えば、図3(B)に示されるように、CPU10によって上記ライトアクセス信号RTC-Wが論理値“1”にアサートされた際の上記リアルタイムクロック生成用クロック信号RTC-CLKの論理状態がローレベルで論理値“0”であった場合、CPUライトアクセス信号CPU-Wがネゲートされた際の上記レジスタ29の出力信号(N4)は、論理値“0”とされる。従って、CPUライトアクセス信号CPU-Wが論理値“0”にネゲートされ、セレクタ23によってリアルタイムクロック生成用クロック信号RTC-CLKが選択された場合、レジスタ22のクロック端子の論理変化は、それまでの論理値“0”から、リアルタイムクロック生成用クロック信号RTC-CLKの現在の論理値“1”に遷移する立ち上がりとなり、それはCPU10からのライトアクセスが無い場合の論理変化と同じであり、その限りにおいて不所望なハザードは発生しない。

【0032】

上記例によれば、以下の作用効果を得ることができる。

【0033】

図7に示されるように、クロック制御回路100が存在しない場合には、セレクタ30によってシステムクロック信号SYS-CLKと、リアルタイムクロック生成用クロック信号RTC-CLKとが選択的にレジスタ22に伝達されるようになっていたため、両クロック信号の位相差によっては、更新されるレジスタ22に供給されるクロック信号にハザードが発生することがあり、かかる場合には、ハザードによる不所望なパルスが入力されるため、システムクロックSYS-CLKに基づくレジスタ更新が正常に行われない虞がある。これに対して図1に示されるようにクロック制御回路100を設けた場合には、CPU10からのライトアクセスが発生した場合、アクセス開始時のリアルタイムクロック生成用クロック信号RTC-CLKの状態がレジスタ27に保持され、それに基づいてレジスタ29の出力信号(N4)の論理が決定されることにより、不所望なハザードの発生を阻止することができるので、リアルタイムクロックモジュールにおけるレジスタの誤更新を排除することができる。

【0034】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0035】

例えば、図5に示されるように、CPU10によるアクセスが無い場合に、上記R16M16へのシステムクロック信号SYS-CLKの供給を停止するための論理回路30を設けることができる。図6には論理回路30の真理値表が示される。CPUライトアクセス信号CPU-W又はレジスタ24の出力が論理値“1”の場合にはシステムクロック信号SYS-CLKがレジスタ24, 25, 27, 29に供給される。しかし、CPUライトアクセス信号CPU-W及びレジスタ24の出力が論理値“0”の場合には、論理回路30の出力信号が論理値“1”に固定されることによって、レジスタ24, 25, 27, 29へのシステムクロック信号SYS-CLKの供給が停止される。このシステムクロッ

ク信号 S Y S - C L K の供給の停止により、消費電力の低減を図ることができる。

【 0 0 3 6 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシステム L S I に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【 0 0 3 7 】

本発明は、リアルタイムクロックモジュールを含むことを条件に適用することができる。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 本発明にかかる半導体集積回路の一例であるシステム L S I に含まれる R T C M の構成例ブロック図である。

【 図 2 】 上記 R T C M における主要部の動作説明図である。

【 図 3 】 上記 R T C M における主要部の動作タイミング図である。

【 図 4 】 上記システム L S I の全体的な構成例ブロック図である。

【 図 5 】 上記 R T C M の別の構成例ブロック図である。

【 図 6 】 図 5 に示される R T C M における主要部の動作説明図である。

【 図 7 】 上記 R T C M の比較対象とされる回路の構成例ブロック図である。

【 図 8 】 図 1 における主要部の動作説明図である。

【 符号の説明 】

【 0 0 3 9 】

1 0 C P U

1 1 R A M

1 2 C P G

1 3 B S C

1 4 , 1 5 周辺モジュール

1 6 R T C M

2 2 , 2 4 , 2 5 , 2 7 , 2 9 レジスタ

2 3 , 2 6 セレクタ

2 1 , 2 8 論理回路

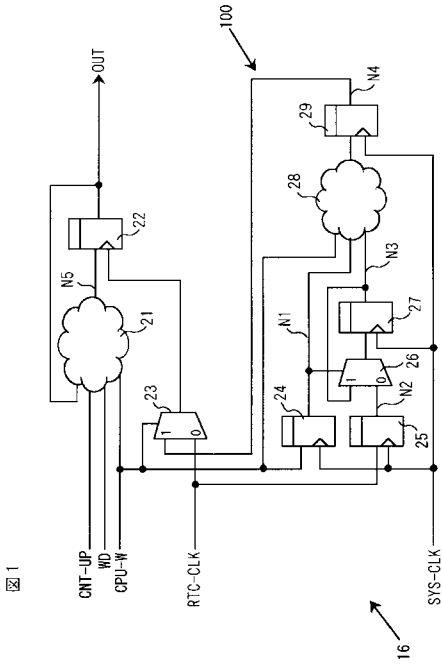
1 0 0 クロック制御回路

10

20

30

【 図 1 】



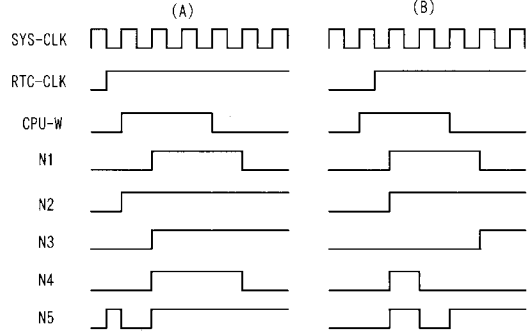
【 図 2 】

図 2

入 力		出 力
CPU-W	レジスタ24の出力	
0	*	0(通常時, カウントアップ時)
1	0	1(CPUライトアゲス開始時)
1	1	レジスタ27の出力(CPUライトアゲス終了時)

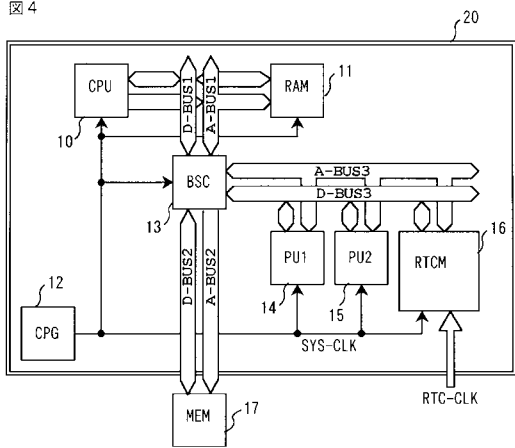
【 図 3 】

図 3

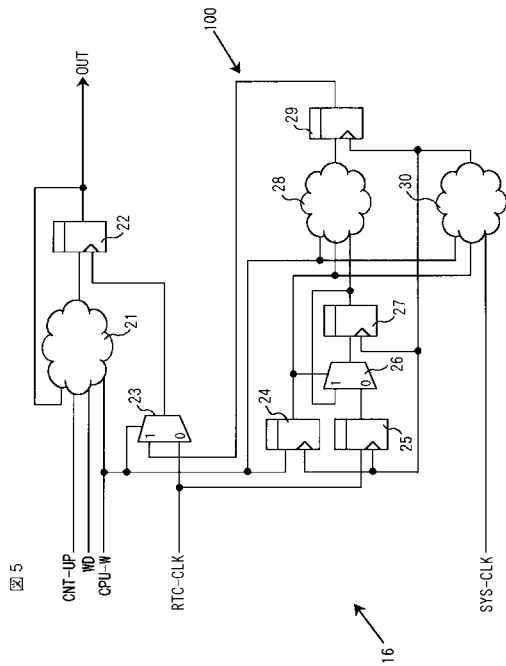


【 図 4 】

図 4



【 図 5 】



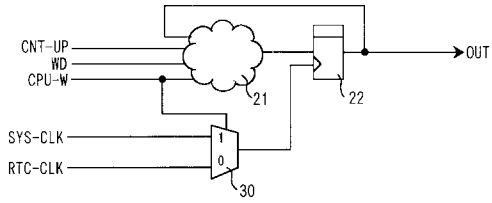
【図 6】

図 6

入 力		出 力
CPU-W	レジスタ24の出力	
0	0	1 (通常時, カウントアップ時)
1	*	システムクロック (CPUライトアクセス開始時)
0	1	システムクロック (CPUライトアクセス終了時)

【図 7】

図 7



【図 8】

図 8

入 力		出 力
CPU-W	CNT-UP	
1	*	WD
0	1	「レジスタ22」 + 1 (カウントアップ時)
0	0	「レジスタ22」 (データ保持)