(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0023519
(43) 공개일자 2009년03월05일

(51) Int. Cl.
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2007-0088710
(22) 출원일자 2007년09월01일
심사청구일자 2007년09월01일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
성만영
서울 중랑구 묵동 신내 두산아파트 521동 604호
경신수
서울 강북구 우이동 대우아파트 103동 405호
(74) 대리인
현종철

전체 청구항 수 : 총 14 항

(54) 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치절연 게이트 양극성 트랜지스터 및 그 제조방법

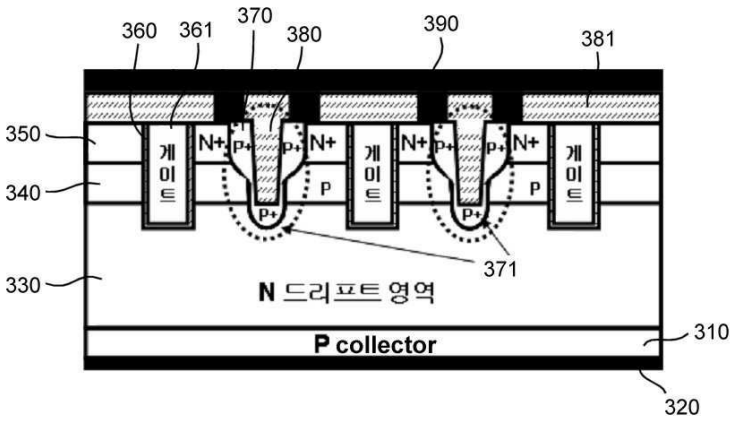
(57) 요 약

불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터 및 그 제조방법이 개시된다.

본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터는 반도체 기판상에 형성되며, 도전 채널을 통하여 캐리어의 전달을 수행하는 드리프트 영역; 상기 드리프트 영역의 상부에 형성된 제 1 도전형의 베이스 영역; 상기 베이스 영역의 상부에 형성된 제 2 도전형의 에미터 영역; 상기 제 1 도전형의 베이스 영역 및 제 2 도전형의 에미터 영역을 수직으로 관통하여 상기 드리프트 영역에 형성된 게이트 절연막; 상기 게이트 절연막상에 형성된 트랜치 게이트; 상기 트랜치 게이트와 이격되고, 상기 제 1 도전형의 베이스 영역으로부터 제 2 도전형의 에미터 영역을 관통하여 상기 드리프트 영역에 이르는 트랜치; 상기 1 도전형의 베이스, 제 2 도전형의 에미터 영역 및 상기 드리프트 영역과 접하며 상기 트랜치를 감싸는 불순물 주입층; 및 상기 트랜치에 충전된 트랜치 충전 절연물를 포함한다.

본 발명에 의하면, 트랜치를 이용하여, 트랜치 게이트와 평행한 방향으로 트랜치를 형성하고, 그 트랜치의 측면 및 하부면에 이온 주입 또는 확산 공정을 하여, P 층을 형성함으로써 트랜치 코너에 몰리는 전계를 분산할 수 있으며, 이로 인하여 항복전압을 향상시킬 수 있는 효과가 있다.

대 표 도 - 도3



특허청구의 범위

청구항 1

반도체 기판상에 형성되며, 도전 채널을 통하여 캐리어의 전달을 수행하는 드리프트 영역;

상기 드리프트 영역의 상부에 형성된 제 1 도전형의 베이스 영역;

상기 베이스 영역의 상부에 형성된 제 2 도전형의 에미터 영역;

상기 제 1 도전형의 베이스 영역 및 제 2 도전형의 에미터 영역을 수직으로 관통하여 상기 드리프트 영역에 형성된 게이트 절연막;

상기 게이트 절연막상에 형성된 트랜치 게이트;

상기 트랜치 게이트와 이격되고, 상기 제 1 도전형의 베이스 영역으로부터 제 2 도전형의 에미터 영역을 관통하여 상기 드리프트 영역에 이르는 트랜치;

상기 1 도전형의 베이스, 제 2 도전형의 에미터 영역 및 상기 드리프트 영역과 접하며 상기 트랜치를 감싸는 불순물 주입층; 및

상기 트랜치에 트랜치 충전 절연물를 포함하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 불순물 주입층은 P+ 이온이 주입되어 형성되며,

상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5 배의 깊이로 형성되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 3

제 2 항에 있어서,

상기 P+ 이온은

붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 4

제 1 항에 있어서,

상기 트랜치 충전 절연물은

실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 게이트 절연막은

옥사이드(SiO2), 옥시 나이트라이드(SiON), 실리콘 나이트라이드(SiN), 하프늄옥사이드(HfO) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 게이트 도전체는

폴리실리콘, 텅스텐, 알루미늄 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 7

제 1 항에 있어서,

상기 드리프트 영역은 저농도로 도핑된 N 타입의 드리프트 영역이고,

제 1 도전형의 베이스 영역은 P 타입의 베이스가 고농도로 도핑된 영역이며, 상기 제 2 도전형의 에미터 영역은 N 타입의 에미터가 고농도로 도핑된 영역인 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터.

청구항 8

실리콘에 불순물을 주입하여 캐리어 전달을 위한 N 드리프트 영역을 형성하는 단계;

상기 N 드리프트 영역의 상부에 P 베이스를 형성하고, 사진 식각 공정과 이온 주입을 이용하여 N 에미터 영역 및 P 불순물 주입층을 형성한 후, 사진 식각 공정을 이용하여 트랜치 게이트 형성을 위한 복수의 트랜치를 형성하는 단계;

상기 형성된 복수의 트랜치에 게이트 산화막을 형성하고, 게이트 도전물을 상기 게이트 산화막이 형성된 복수의 트랜치에 충전하여 트랜치 게이트를 형성하는 단계;

사진 식각 공정을 수행하여 상기 트랜치 게이트 사이에 트랜치를 생성하고, 상기 생성된 트랜치의 측벽 및 하부에 이온 주입 또는 확산 공정을 이용하여 깊은 P 불순물 주입층을 생성하는 단계; 및

상기 생성된 트랜치에 트랜치 충전 절연물을 충진하는 단계를 포함하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 9

제 8 항에 있어서,

상기 트랜치 게이트는 상기 N 에미터 영역으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 10

제 8 항에 있어서,

상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5배의 깊이로 형성되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 11

제8 항에 있어서,

상기 트랜치는

상기 P 불순물 주입층으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 12

제 8 항에 있어서,

상기 트랜치 충전 절연물은

실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 13

제 8 항에 있어서,

상기 깊은 P 불순물 주입층을 생성하는 단계는

상기 생성된 트랜치의 측벽 및 하부에 P+ 이온 주입 또는 확산을 수행하여 상기 깊은 P 불순물 주입층을 생성하고,

상기 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

청구항 14

제 8 항에 있어서,

상기 게이트 도전물은

폴리실리콘, 텅스텐, 알루미늄 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 절연 게이트 양극성 트랜지스터에 관한 것으로서, 특히, 절연 게이트 양극성 트랜지스터 소자 중 스위칭 온 시의 전압 강하 지표인 온 저항을 낮추고, 집적성을 향상시키면서, 전계를 분산시켜 공핍층을 확장하고, 이에 의해 순방향 항복전압을 향상시킬 수 있는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터 및 그 제조방법에 관한 것이다.

배 경 기 술

<2> 절연 게이트 양극성 트랜지스터(Insulated Gate Bipolar Transistor:IGBT)는 소수 캐리어의 주입으로 모스 전계 효과 트랜지스터인 MOSFET 보다 동작 저항을 작게 할 수 있는 3단자 양극성 MOS 복합 반도체 소자로, 고내압이면서 비교적 고속의 파워 트랜지스터이다.

<3> 절연 게이트 양극성 트랜지스터는 인버터와 모터 구동과 같은 고전압, 고전류 응용분야에 널리 사용되고 있다. 이 분야의 소자들의 전기적 특성의 목표는 스위칭 오프(switching off)시의 저지 전압을 나타내는 항복전압의 향상, 스위칭 온(switching on) 시의 전압 강하량을 나타내는 전압강하의 감소, 스위치 온 오프시의 스위칭 시간의 향상 등이 있다.

<4> 그 중에서, 특히 초고압 시스템에 적용시에는 항복전압에 대한 내성 및 신뢰성이 중요한 요구 조건이며, 이를 위한 특성 개선 연구가 활발히 진행중이다. 현재 절연 게이트 양극성 트랜지스터로 상용화된 초고압 소자는 주로 1200V 내지 1500V 급의 전압 내성이 있으며, 이를 2000V 급 이상까지 증가시키려는 연구가 시도되고 있다.

<5> 절연 게이트 양극성 트랜지스터는 게이트에 전압을 가하여 채널을 형성하고, 여기에 N+ 이미터(emitter)의 전자와 P 컬렉터(collector)의 홀을 흐르게 하여 소자의 온 오프를 제어하는 반도체 소자이다.

<6> 즉, 일종의 스위칭 소자로서 게이트 정압으로 턴 온, 턴 오프를 제어하며, 특히 오프 상태에서 견딜 수 있는 최

대 콜렉터 전압을 항복전압이라고 정의한다. 항복전압은 주로 P 베이스(base)에 집중되는 최대 전계에 의해 결정되며, 이때 스위칭 오프시에 발생하는 공핍층 영역에 분포한 전계를 적분한 면적분이 항복전압이 된다.

<7> 일반적으로 플래너 게이트를 가지는 절연 게이트 양극성 트랜지스터는 이중 확산 MOS 트랜지스터(Double diffused MOS transistor:DMOS) 공정을 사용하여 제작하는데, 이러한 소자는 기술적으로 확산에 의한 영향을 받고, 물리적으로 기생 접합형 전계 효과 트랜지스터(Junction Field Effect Transistor:JFET) 영역에 의해 제한되는데, 이는 플래너 게이트 아래의 두 개의 P 벽 사에에 있는 드리프트층으로의 공핍층 확산으로 인해 야기된다.

<8> 트랜치 절연 게이트 양극성 트랜지스터는 DMOS-IGBT보다 뛰어난 온 상태의 특성을 보이는데 그 이유는 구조상 기생 JFET 영역 성분이 발생하지 않으며 수직적으로 형성된 보다 큰 대면적의 채널을 통한 전류의 흐름이 자연스럽기 때문이다. 또한 1개의 소자가 차지하는 면적인 셀 피치의 감소로 집적도를 향상시킬 수가 있어서 온 상태의 전압이 크게 낮아진다.

<9> 그러나, 트랜치 절연 게이트 양극성 트랜지스터에 있어서 순방향 오프시의 항복전압은 트랜치 게이트 하단의 코너에 집중되는 전계에 영향을 많이 받는다.

<10> 도 1은 종래의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 수직구조를 도시한 것이다.

<11> 도 1을 참조하면, 순방향 항복시의 P 베이스와 N 드래프트 영역의 정션에 역방향 바이어스 전압에 의해 공핍층이 형성되어 확장되는데 이때 공핍층 확장의 굴곡이 트랜치 게이트의 코너에 의해 평탄하지 않다. 따라서 공핍층에 걸리는 전계가 게이트의 코너에 몰려 본래 설계된 드래프트 영역 내에서의 공핍층 확장보다 작은 공핍층 확장을 보여 낮은 항복전압을 가지게 된다.

<12> 도 2는 도 1의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 3차원 전계분포를 도시한 것이다.

<13> 도 2를 참조하면, 트랜치 게이트의 코너부근의 전계분포가 가장 높은 피크값을 표시함을 볼 수 있다. 이는 코너부근에서 전계의 집중현상이 발생함을 의미하며, 이의 전계 집중으로 인하여 고르지 못한 공핍층의 확장으로 전계의 확장이 240㎛에 머물렀음을 보여준다. 따라서 공핍층 양의 적분값으로 얻어지는 전계의 분포와 다시 그 적분값으로 얻어지는 항복전압이 낮아지며, 이 항복전압의 감소 효과는 트랜치 게이트를 가지는 모든 구조에서 가지는 문제점이다.

<14> 이것을 해결하기 위한 방안으로, 논문 "Improvement of Electrical Characteristics of Vertical NPT Trench gate IGBT Using Trench Emitter Electrode",(J. S. Lee, E. G. Kang, M. Y. Sung, KIEEME, Vol. 19, No. 10, p. 912, 2006.)에서는 트랜치 게이트와 수평적으로 위치한 폴리 실리콘과 산화막으로 채운 트랜치를 형성하여 전계의 분산을 획득하였으나, 산화막의 부분형성과 폴리실리콘의 형성이라는 과제로 인하여 트랜치 게이트를 가지는 절연 게이트 양극성 트렌지스터의 형성이 공정상 매우 복잡하다는 문제점이 있으며,

<15> 대한민국 특허공개공보 제1999-0007492호는 마스크와 셀 피치를 줄이기 위한 구조를 제안하고 있으나, 이 구조는 전극을 트랜치로 하는 점과 측벽에 P 도핑에 대한 제안이 없어 항복전압의 향상을 기대하기 어렵다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<16> 따라서, 본 발명이 해결하고자 하는 첫 번째 과제는 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터에서 게이트 코너에서의 전계집중을 완화시켜, 전계가 분산되어 공핍층을 확장시킬 수 있고, 이로 인하여 항복전압을 증가시킬수 있는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터를 제공하는 것이다.

<17> 그리고, 본 발명이 해결하고자 하는 두 번째 과제는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법을 제공하는 것이다.

과제 해결수단

<18> 상기 첫 번째 과제를 해결하기 위하여 본 발명은,

<19> 반도체 기판상에 형성되며, 도전 채널을 통하여 캐리어의 전달을 수행하는 드리프트 영역; 상기 드리프트 영역

의 상부에 형성된 제 1 도전형의 베이스 영역; 상기 베이스 영역의 상부에 형성된 제 2 도전형의 에미터 영역; 상기 제 1 도전형의 베이스 영역 및 제 2 도전형의 에미터 영역을 수직으로 관통하여 상기 드리프트 영역에 형성된 게이트 절연막; 상기 게이트 절연막상에 형성된 트랜치 게이트; 상기 트랜치 게이트와 이격되고, 상기 제 1 도전형의 베이스 영역으로부터 제 2 도전형의 에미터 영역을 관통하여 상기 드리프트 영역에 이르는 트랜치; 상기 1 도전형의 베이스, 제 2 도전형의 에미터 영역 및 상기 드리프트 영역과 접하며 상기 트랜치를 감싸는 불순물 주입층; 및 상기 트랜치에 충전된 트랜치 충전 절연물를 포함하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터를 제공한다.

<20> 그리고, 상기 불순물 주입층은 P+ 이온이 주입되어 형성되며, 상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5배의 깊이로 형성될 수 있다.

<21> 한편, 상기 트랜치 충전 절연물은 실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<22> 아울러, 상기 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 한다.

<23> 또한, 상기 게이트 절연물질은 옥사이드(SiO2), 옥시 나이트라이드(SiON), 실리콘 나이트라이드(SiN), 하프늄옥사이드(HfO) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<24> 그리고, 상기 게이트 도전체는 폴리실리콘, 텅스텐, 알루미늄 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<25> 아울러, 상기 드리프트 영역은 저농도로 도핑된 N 타입의 드리프트 영역이고, 제 1 도전형의 베이스 영역은 P 타입의 베이스가 고농도로 도핑된 영역이며, 상기 제 2 도전형의 에미터 영역은 N 타입의 에미터가 고농도로 도핑된 영역인 것을 특징으로 할 수 있다.

<26> 상기 두 번째 과제를 해결하기 위하여 본 발명은,

<27> 실리콘에 불순물을 주입하여 캐리어 전달을 위한 N 드리프트 영역을 형성하는 단계; 상기 N 드리프트 영역의 상부에 P 베이스를 형성하고, 사진 식각 공정과 이온 주입을 이용하여 N 에미터 영역 및 P 불순물 주입층을 형성한 후, 사진 식각 공정을 이용하여 트랜치 게이트 형성을 위한 복수의 트랜치를 형성하는 단계; 상기 형성된 복수의 트랜치에 게이트 산화막을 형성하고, 게이트 도전물을 상기 게이트 산화막이 형성된 복수의 트랜치에 충전하여 트랜치 게이트를 형성하는 단계; 사진 식각 공정을 수행하여 상기 트랜치 게이트 사이에 트랜치를 생성하고, 상기 생성된 트랜치의 측벽 및 하부에 이온 주입 또는 확산 공정을 이용하여 트랜치를 생성하는 단계; 및 상기 생성된 트랜치에 트랜치 충전 절연물을 충진하는 단계를 포함하는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법을 제공한다.

<28> 그리고, 상기 트랜치 게이트는 상기 N 에미터 영역으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성될 수 있다.

<29> 아울러, 상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5배의 깊이로 형성될 수 있다.

<30> 또한, 상기 트랜치는 상기 P 불순물 주입층으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성되는 것을 특징으로 할 수 있다.

<31> 그리고, 상기 트랜치 충전 절연물은 실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<32> 또한, 상기 트랜치를 생성하는 단계는, 상기 생성된 트랜치의 측벽 및 하부에 P+ 이온은 주입하여 트랜치를 감싸는 불순물 확산 영역을 생성하고, 상기 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 할 수 있다.

<33> 그리고, 상기 게이트 도전물은 폴리실리콘, 텅스텐, 알루미늄 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 할 수 있다.

효 과

<34> 본 발명에 의하면, 트랜치를 이용하여, 트랜치 게이트와 평행한 방향으로 트랜치를 형성하고, 그 트랜치의 측면 및 하부면에 이온 주입 또는 확산 공정을 수행하여, P 층을 형성함으로써 트랜치 코너에 몰리는 전계를 분산할

수 있으며, 이로 인하여 항복전압을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<35> 이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 상세히 설명하기로 한다.

<36> 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형할 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공된다.

<37> 도 3은 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 구조도를 도시한 것이다.

<38> 도 3에 도시된 바와 같이 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터는 종래의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터에서 P 베이스 영역의 일부에 트랜치를 구성하고 이온 주입 또는 확산 공정을 동하여 P 타입의 층을 형성하고, P 타입의 층에 트랜치를 형성한다,

<39> 상기 도 3과 같은 구조를 형성할 경우, 트랜치의 P 층이 전계를 분산 시키는 역할을 하여 항복전압을 높일 수 있다.

<40> 즉, 트랜치 게이트와 일정 간격으로 이격을 두고 트랜치를 형성하여, 이온 주입 또는 확산 공정을 통하여 P+ 층을 형성한 경우, 상기 깊은 P 불순물 주입층에 의해 전계 집중이 분산되는 전계 분산 효과로 N 드리프트 영역에서의 공핍층 확장이 증가하여 항복전압을 향상시킬수 있는 특성을 확보한다.

<41> 고전압용 트랜치 절연 게이트 양극성 트랜지스터에서 순방향시 P 베이스와 N 드리프트 영역의 정션에서의 공핍층 확장에서 가장 중요한 것은 전체 정션에서의 고른 전계 분포이다. 전계의 분포가 고를시에 가장 넓게 공핍층이 확장되고, 이 공핍층의 너비의 적분인 전계값이 커진다. 또한 전계값의 적분인 항복전압값도 커지는 것이다. 즉, 역방향 전압이 걸리는 정션인 P 베이스와 N 드리프트 영역 사이의 정션에서의 고른 전계분포가 항복전압을 결정한다

<42> 우선, 캐소드 영역(310)은 실리콘의 전면층에 불순물을 주입하여 생성된다.

<43> 도 3에서 상기 캐소드 영역(310)의 하부에 컨택(contact)(320)이 형성되고, 캐소드 영역은 N 드리프트 영역(330)에 제 1 도전형의 P 타입의 베이스(base)(340)가 도핑될 수 있으며, P 타입의 베이스에 고농도로 도핑된 N 타입의 확산 영역(350)이 형성된 제 2 도전형의 에미터 영역을 가질 수 있다. 그런 후, 제 1 도전형의 P 타입의 베이스(base)(340) 및 N 타입의 확산 영역이 형성된 제 2 도전형의 에미터 영역(350)에 고농도로 도핑된 P 형의 불순물 주입층(370)을 형성할 수 있다.

<44> 그리고, 트랜치 게이트가 형성될 곳에 사진 식각 공정을 이용하여 트랜치를 형성한 후에 건식 산화로 게이트 절연막(360)을 형성하고, 게이트 도전물을 디포지션(deposion)하여 트랜치 게이트(361)를 형성한다.

<45> 상기 게이트 절연막은 옥사이드(SiO2), 옥시 나이트라이드(SiON), 실리콘 나이트라이드(SiN), 하프늄옥사이드(HfO) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있으며, 상기 게이트 도전체는 폴리실리콘, 텅스텐, 알루미늄 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<46> 상기 트랜치 게이트(361)를 형성한 후, 사진 식각 공정을 이용한 게이트의 패터닝 후에 중간 절연층(381)을 덮고, 사진 식각 공정과 식각을 이용하여 상기 고농도로 도핑된 P 형의 불순물 주입층(370)에서부터 P 타입의 베이스(340)를 관통하여 N 드리프트에 이르는 깊은 P 불순물 주입층(371)을 형성할 트랜치를 형성한다.

<47> 상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5배의 깊이로 형성될 수 있다.

<48> 상기 트랜치는 트랜치 게이트와 일정 간격으로 이격을 두고 형성되어, 이온 주입 또는 확산 공정을 통하여 P+ 층을 형성한 경우, 이 깊은 P 불순물 주입층(371)에 의해 전계 집중이 분산되는 전계 분산 효과로 N 드리프트 영역에서의 공핍층 확장이 증가하여 항복전압을 향상시킬수 있는 특성을 확보하는데, 상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5배의 깊이보다 작거나, 1.5배의 깊이보다 클 경우, 상술한 전계 분산 효과를 이룰 수가 없으므로 항복 전압의 감소 효과를 유도할 수 없다.

<49> 그런 후, 깊은 P 불순물 주입층(371)에 P+ 이온을 주입하여 상기 제 1 도전형의 P 타입의 베이스(340), 제 2

도전형의 에미터 영역(350) 및 상기 N 드리프트 영역(330)과 접하며 상기 트랜치를 감싸는 불순물 주입층을 구성하게 된다.

<50> 한편, 상기 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 할 수 있다.

<51> 그런 다음, 불순물 주입층을 구성하는 트랜치에 트랜치 충전 절연물(381)을 충전한다.

<52> 상기 트랜치 충전 절연물은 실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.

<53> 추가적으로 사진 식각 공정과 식각을 이용한 N 타입의 에미터와 P 베이스의 동시 접촉을 위한 콘택을 형성하고, 도전성 물질(390)을 디포지션하여 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터를 완성한다.

<54> 도 4는 도 3의 구조에 따른 스위칭 오프시의 N 드리프트 영역의 전계 분포를 도시한 것이다.

<55> 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 항복전압은 전계의 적분으로 나타낼 수 있다. 즉, 3차원 전계의 분포의 적분으로 나타낼 수 있는데 이 항복전압은 다시 P 베이스와 N 드리프트 층 사이의 공핍층 확장량과도 같다. 따라서 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 항복전압 변화 원인을 분석하기 위하여 전계의 분포를 3차원으로 시뮬레이션하여 도 4에 도시하고 있다.

<56> 이를 도 2와 비교하면, 도 2에 따른 종래의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 경우, 트랜치 게이트의 코너에서 전계가 집중되어 있음을 알 수 있으며, N 드리프트층 전체를 활용하지 못하고 240㎛ 부근에서 멈추어 있음을 알 수 있다.

<57> 그러나, 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 경우 트랜치 게이트의 코너와 트랜치의 코너에 전계가 분산되어 전계가 가장 높은 지점(전계의 바닥면 부근)에서 전계가 고르게 분포함을 알 수 있다. 이로 인하여 전계의 분포가 N 드리프트층 전체를 활용하여 270㎛까지 공핍층이 확장되어 가장 높은 전계의 분산으로 항복전압의 향상이 이루어짐을 알 수 있다.

<58> 깊은 P 불순물 주입층을 형성하지 않은 트랜치 게이트와 이격된 트랜치를 가지는 절연 게이트 양극성 트랜지스터의 경우 트랜치 게이트의 코너에 오히려 전계의 집중도가 높아져서 N 드리프트층의 공핍층 확장도 제한되어 220㎛에서 공핍층 확장이 멈추게 되는데 이는 깊은 P 불순물 주입층을 형성하지 않아서 N 드리프트 층과 전극이 직접 접촉하여 쇼트키 정션을 구성하게 되어 트랜치 게이트의 코너에 더 많은 전계가 집중됨으로 인하여 비효율성을 야기한다.

<59> 도 5는 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법의 흐름도이다.

<60> 도 5를 참조하면 먼저, 실리콘에 불순물을 주입하여 캐리어 전달을 위한 N 드리프트 영역을 형성한다(510 과정). 이 영역은 실리콘에 N 타입으로 저농도로 도핑된 영역일 수 있다.

<61> 그 다음, 상기 N 드리프트 영역의 상부에 P 베이스를 형성하고, 사진 식각 공정과 이온 주입 또는 확산 공정을 이용하여 P 불순물 주입층 및 N 에미터 영역을 형성한 후, 식각 공정을 이용하여 복수의 트랜치를 형성한다(520 과정).

<62> 이는 캐리어 전달을 위한 N 드리프트 영역의 상부에 이온 주입을 이용하여 P 베이스를 형성하고, 형성된 P 베이스의 상부에 포토 레지스트를 이용하여 오믹 컨택(Ohmic contact)을 위한 P 불순물 주입층을 형성한다.

<63> 그리고, P 베이스와 P 불순물 주입층의 오믹 컨택(Ohmic contact)의 활성을 위하여 어닐링을 수행하고, 사진 식각 공정과 이온 주입을 이용하여 N 에미터를 형성한다.

<64> 그리고, 포토레지스트를 제거한 후, 사진 식각 공정과 식각 공정을 수행하여 트랜치 게이트 형성을 위한 복수의 트랜치를 형성하게 된다.

<65> 그 다음, 상기 형성된 복수의 트랜치에 게이트 산화막을 형성하고, 게이트 도전물을 상기 게이트 산화막이 형성된 복수의 트랜치에 충전하여 트랜치 게이트를 형성한다(530 과정).

<66> 이는 형성된 복수의 트랜치면에 건식 산화를 수행하여 트랜치면의 산화막을 형성하고, 게이트 도전물을 상기 산

화막이 형성된 복수의 트랜치에 충전하여 트랜치 게이트를 형성하게 된다. 그런 다음, 사진 식각 공정을 이용하여 게이트의 패터닝후에 중간 절연층을 디포지션하여 형성한다.

<67> 상세하게는, 상기 트랜치 게이트는 상기 N 에미터 영역으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성될 수 있다.

<68> 그 다음, 사진 식각 공정을 수행하여 상기 트랜치 게이트 사이에 트랜치를 생성하고, 상기 생성된 트랜치의 측벽 및 하부에 이온 주입 또는 확산 공정을 이용하여 깊은 P 불순물 주입층을 생성한다(540 과정).

<69> 이는, 상기 트랜치 게이트 사이에 상기 식각 공정을 수행하여 트랜치를 생성하는데, 상기 트랜치는 인접한 트랜치 게이트 깊이의 0.5 내지 1.5배의 깊이로 형성하고, 상기 트랜치는 상기 P 불순물 주입층으로부터 상기 P 베이스를 관통하여 N 드리프트 영역에 이르는 깊이로 형성될 수 있다.

<70> 이와 같이 트랜치를 생성한 다음, 상기 생성된 트랜치의 측벽 및 하부에 이온 주입 또는 확산 공정을 수행하기 위하여 상기 중간 절연층의 상부에 포토레지스트를 형성하여, 트랜치에 P+ 이온을 주입한다.

<71> 상기 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것을 특징으로 할 수 있다.

<72> 마지막으로, 상기 생성된 트랜치에 트랜치 충전 절연물을 충진한다(550 과정).

<73> 이는 열처리 공정을 이용한 깊은 P 불순물 주입층과 N 에미터의 활성화 후에 트랜치에 트랜치 충전 절연물을 충진하는 것으로, 상기 트랜치 충전 절연물은 실리콘 다이옥사이드(SiO2), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 할 수 있다.

<74> 그 다음, 부가적으로 상기 트랜치 충전 절연물에 대한 평탄화 과정을 수행하고, 사진 식각 공정과 식각 공정을 이용하여 N 에미터와 P 베이스의 동시 접촉을 위한 컨택을 형성하고, 도전성 물질을 디포지션하여 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터를 제조한다.

<75> 이하에서는 도 6 내지 도 19를 참조하여 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조과정을 상술한다.

<76> 먼저, 도 6과 같이 N 드리프트 영역을 가지는 N형 반도체(610) 상에 이온 주입을 이용하여 P 베이스(620)를 형성한다.

<77> 그 다음, 도 7과 같이 P 베이스(720)가 형성된 영역에서 포토레지스트(721)를 이용하여 사진식각 공정과 이온 주입을 이용하여 베이스 영역의 오믹 컨택(Ohmic contact)을 위한 P 불순물 주입층을 P+ 이온을 이용하여 형성한다.

<78> 여기서 P+ 이온은 붕소(boron), 인(Phosphorus), 비소(arsenic) 및 이들의 혼합물로 이루어진 군 중에서 선택된 적어도 어느 하나를 이용하여 주입되는 것일 수 있다.

<79> 그 다음, 도 8과 같이 P 베이스와 P+ 오믹 컨택의 활성을 위하여 어닐링을 수행하고, 도 9에서 도시된 바와 같이 사진 식각 공정과 N+ 이온 주입을 이용하여 N+ 에미터(940)를 형성한다.

<80> 그 다음, 도 10과 같이 포토레지스트를 제거한 후, 사진 식각 공정과 식각 공정을 이용하여 N 에미터 영역으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 트랜치(1050)를 형성하고, 도 11에 도시된 바와 같이 건식 산화를 이용하여 게이트 산화막(1160)을 생성한다.

<81> 그 다음, 도 12에서 도시된 바와 같이 게이트 도전물(1270)을 트랜치에 충전하여 게이트를 형성하고, 도 13에 도시된 바와 같이 사진 식각 공정을 이용하여 게이트를 패터닝한 후에 중간 절연층(1380)을 덮는다.

<82> 그 다음, 도 14에서 도시된 바와 같이 사진 식각 공정과 식각 공정을 수행하여 깊은 P 불순물 주입층을 형성하기 위하여 트랜치(1490)를 형성한다.

<83> 상기 트랜치는 상기 P 불순물 주입층으로부터 상기 P 베이스를 관통하여 상기 N 드리프트 영역에 이르는 깊이로 형성되는 것을 특징으로 할 수 있다.

<84> 그 다음, 도 15에 도시된 바와 같이 포토레지스트와 패터닝된 중간절연층(1500)을 마스크로 이용하여 이온 주입 공정 또는 확산 공정으로 깊은 P 불순물 주입층을 형성한다.

<85> 그 다음, 도 16에 도시된 바와 같이 열처리 공정을 이용한 깊은 P 불순물 주입층과 N 에미터를 활성화한 후에 트랜치를 절연물(1610)로 채우고 도 17과 같이 평탄화를 진행한다.

<86> 그 다음, 도 18에 도시된 바와 같이 사진 식각 공정과 식각 공정을 이용하여 N 에미터와 P 베이스의 동시접촉을 위한 컨택을 형성하고, 마지막으로 도 19에 도시된 바와 같이 도전층(1920)을 디포지션한다.

<87> 또한 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터를 제조하기 위한 공정 순서로, (1)실리콘에 적절한 불순물 주입을 진행하는 공정, (2) 사진, 현상 및 불순물 주입을 하여 P 불순물 영역을 만드는 공정, (3) 열처리를 진행하는 공정, (4) 게이트용 트랜치를 형성하는 공정, (5) 게이트용 절연물을 형성하는 공정, (6) 게이트용 도전물을 형성하는 공정, (7) 사진 식각 공정을 이용하여 게이트 패턴을 형성하는 공정, (8) 사진, 현상 및 이온 주입을 하여 N 이온 영역을 만드는 공정, (9) 층간 절연물을 퇴적하는 공정, (10) 깊은 P 불순물 주입층 형성을 위한 트랜치(9)를 형성하는 공정, (11) 깊은 P 불순물 주입층과 측벽 P+ 불순물 주입층 형성을 위한 이온 주입 공정 또는 확산 공정, (12) 열처리를 하는 공정, (13) 트랜치(9)를 절연물로 채우는 공정, (14) 충전 절연물의 평탄화를 하는 공정, (15) 층간 절연물을 형성하는 공정, (16) 사진 식각 공정을 이용하여 contact 홀을 형성하는 공정, (17) 도전체로 컨택 홀(contact hole)을 채우는 공정, (18) 사진 식각 공정을 이용하여 도전체로 배선을 형성하는 공정 로 이루어지는 것을 특징을 하는 공정을 포함할 수 있으며, 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터 뿐만 아니라, 트랜치 게이트를 가지는 모든 전계 효과 트랜지스터(MOSFET) 등에도 적용될 수 있다.

<88> 도 20은 본 발명에 적용되는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 항복 전압의 특성을 나타낸 그래프이다. 이는 트랜치의 깊이에 따라 항복 전압이 어떻게 변화하는지를 도시하는 그래프이다.

<89> 이를 위하여 하기의 표 1과 같은 파라미터를 설정하였다.

표 1

파라미터	깊이(㎛)	농도(/cm^3)	파라미터	길이(㎛)
N+ 에미터	1.2	4.0×10^{19}	게이트 산화막의 두께	0.01
P 베이스	4.8	1.8×10^{16}	채널 길이	1.8
트렌치 게이트의 깊이	6		트렌치 게이트의 너비	1
트렌치 깊이	6		트렌치 너비	2.5

<90>

<91> 상기 표 1을 기반으로 P 불순물 주입층(깊은 P 불순물 주입층을 포함)의 농도를 1.6×1018 cm-3으로 일정하게 한 후에 트랜치의 깊이와 트랜치와 트랜치 게이트 간의 거리를 각각 조정하여 항복전압의 변화를 시뮬레이션하여 그 결과를 도 20에 도시하고 있다.

<92> 도 20에 따르면 트랜치의 깊이가 0 내지 2㎛에서는 종래의 트랜치를 가지는 절연 게이트 양극성 트랜지스터의 항복전압의 차이가 거의 없음을 확인할 수 있고, 트랜치의 깊이가 깊어짐에 따라서 항복전압이 증가함을 알 수 있다. 항복 전압은 트랜치 불순물 주입층의 깊이가 트랜치 게이트의 깊이인 6㎛와 동일한 값을 기준으로 더 이상 항복 전압의 증가가 없고, 다시 감소하는 것을 확인할 수 있는데, 이는 트랜치 게이트의 깊이가 6㎛에서 가장 전계 분산 효과가 큰 것을 의미한다.

<93> 아울러, 트랜치 게이트와 트랜치 간의 거리가 가까울수록 전계분산의 효과가 커져서 항복전압이 증가함을 알 수 있다.

<94> 상기 도 20에 의하면 트랜치를 둘러싸는 P 불순물 주입층으로 인한 전계분산 효과는 트랜치 게이트의 코너와 트랜치의 코너가 가까울수록 상승한다고 할 수 있다.

<95> 본 발명은 컴퓨터로 읽을 수 있는 기록 매체에 컴퓨터(정보 처리 기능을 갖는 장치를 모두 포함한다)가 읽을 수 있는 코드로서 구현하는 것이 가능하다.

<96> 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록 장치의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장장치 등이 있다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 장치에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

<97> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사항에 의해 정해져야 할 것이다.

도면의 간단한 설명

<98> 도 1은 종래의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 수직구조를 도시한 것이다.

<99> 도 2는 도 1의 트랜치 게이트를 가지는 절연 게이트 양극성 트랜지스터의 3차원 전계분포를 도시한 것이다.

<100> 도 3은 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 구조도를 도시한 것이다.

<101> 도 4는 도 3의 구조에 따른 전계 분포를 도시한 것이다.

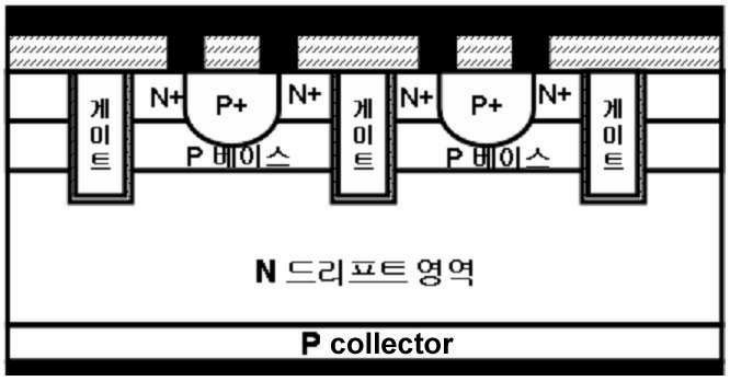
<102> 도 5는 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법의 흐름도이다.

<103> 도 6 내지 도 19는 본 발명에 따른 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 제조방법을 수행하는 과정의 일 예를 도시한 것이다.

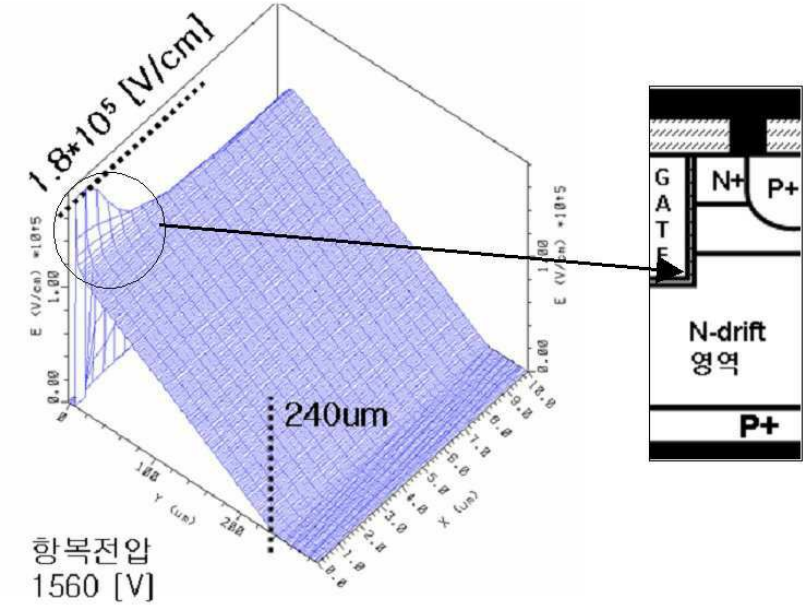
<104> 도 20은 본 발명에 적용되는 불순물 주입층이 형성된 트랜치를 가지는 고전압용 트랜치 절연 게이트 양극성 트랜지스터의 항복 전압의 특성을 나타낸 그래프이다.

도면

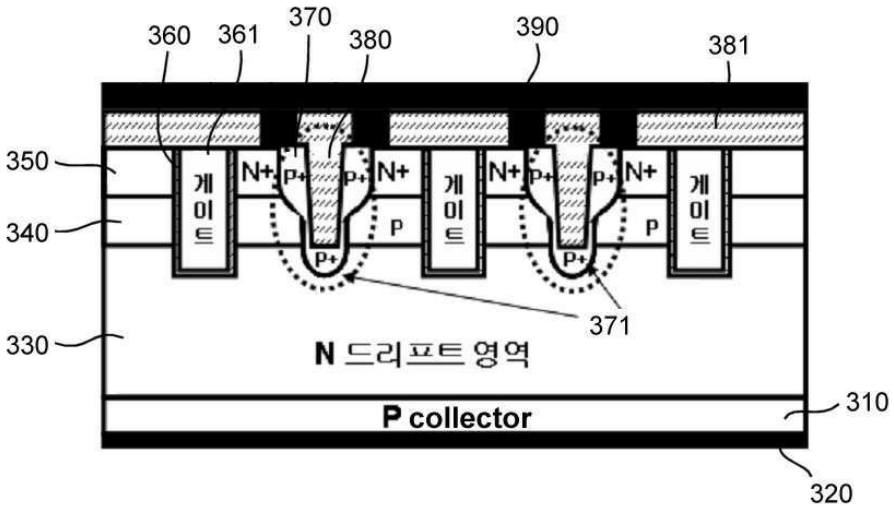
도면1



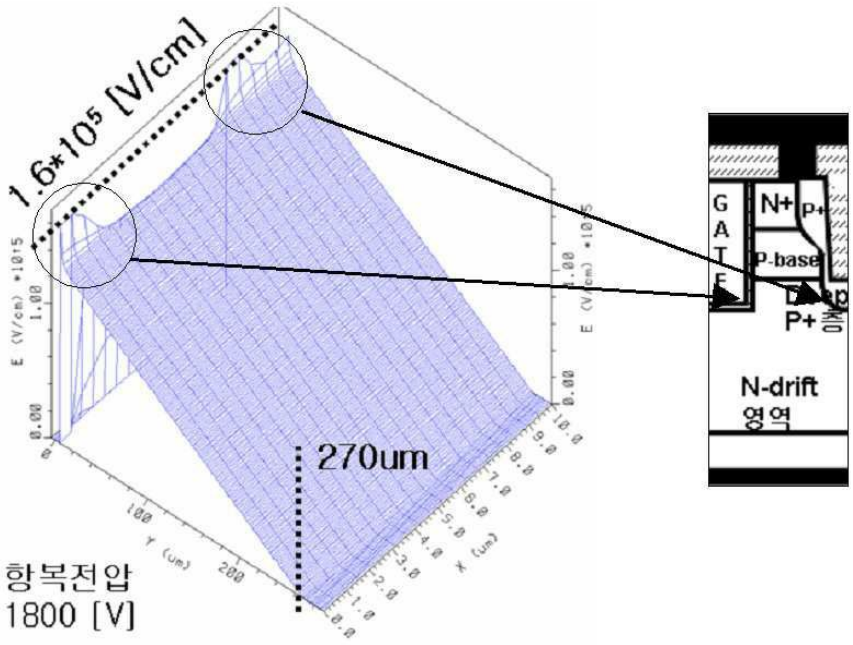
도면2


1.8*10⁵ [V/cm]
240um
항복전압
1560 [V]
GATE
N+
P+
N-drift
영역
P+

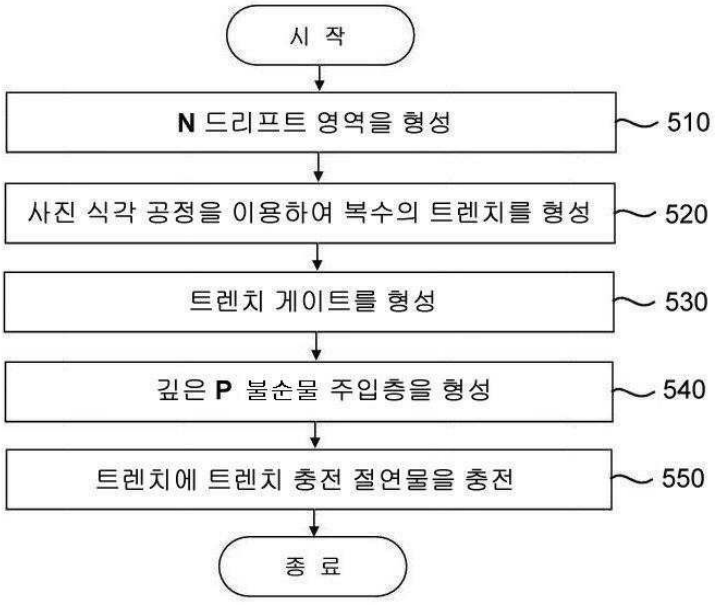
도면3


360
361
370
380
390
381
350
340
330
310
320
371
게이트
N+
P+
P
N 드리프트 영역
P collector

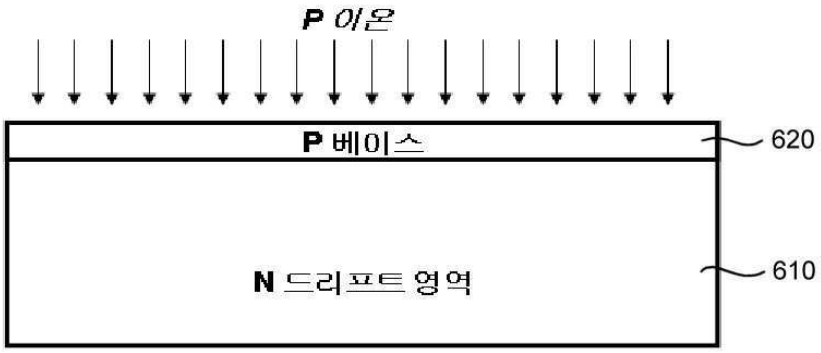
도면4


1.6*10⁵ [V/cm]
270um
항복전압
1800 [V]
G
A
T
E
N+
P+
P-base
P+층
N-drift
영역

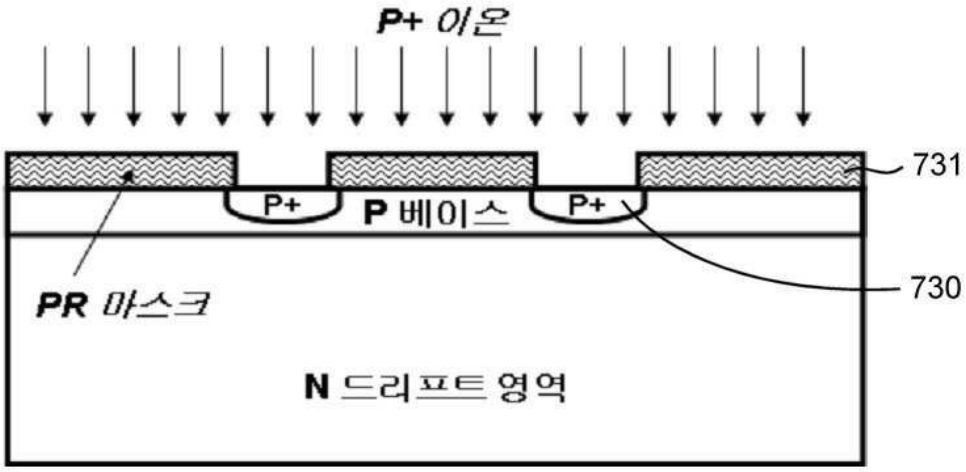
도면5


시 작
N 드리프트 영역을 형성
510
사진 식각 공정을 이용하여 복수의 트렌치를 형성
520
트렌치 게이트를 형성
530
깊은 P 불순물 주입층을 형성
540
트렌치에 트렌치 충전 절연물을 충전
550
종 료

도면6


P 이온
P 베이스
620
N 드리프트 영역
610

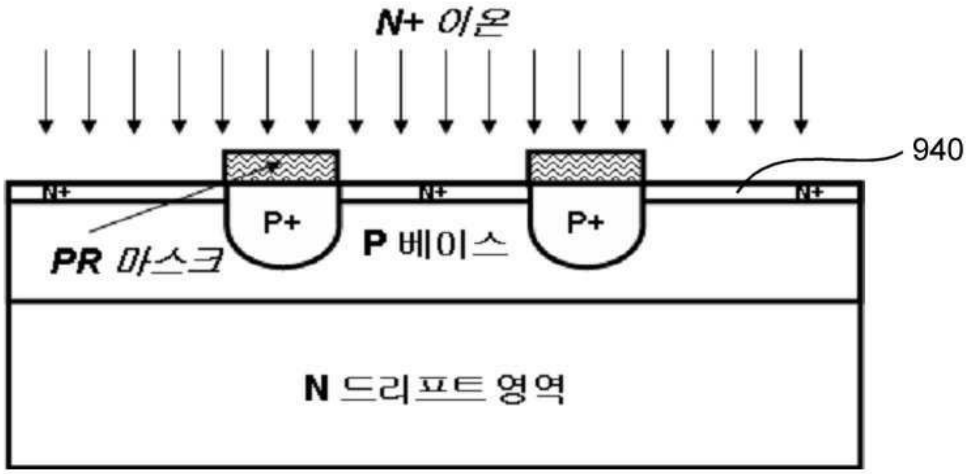
도면7


P+ 이온
731
P+
P 베이스
P+
730
PR 마스크
N 드리프트 영역

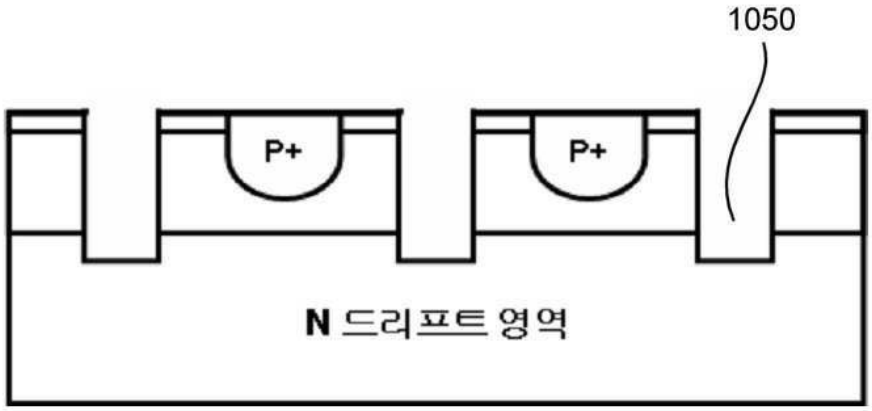
도면8


P+
P 베이스
P+
N 드리프트 영역

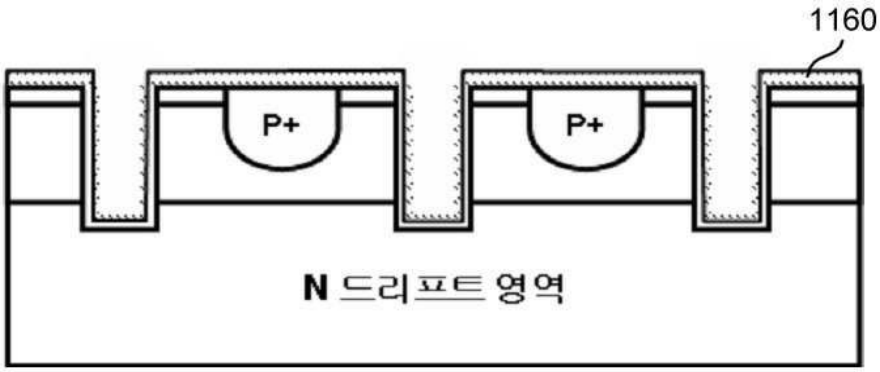
도면9



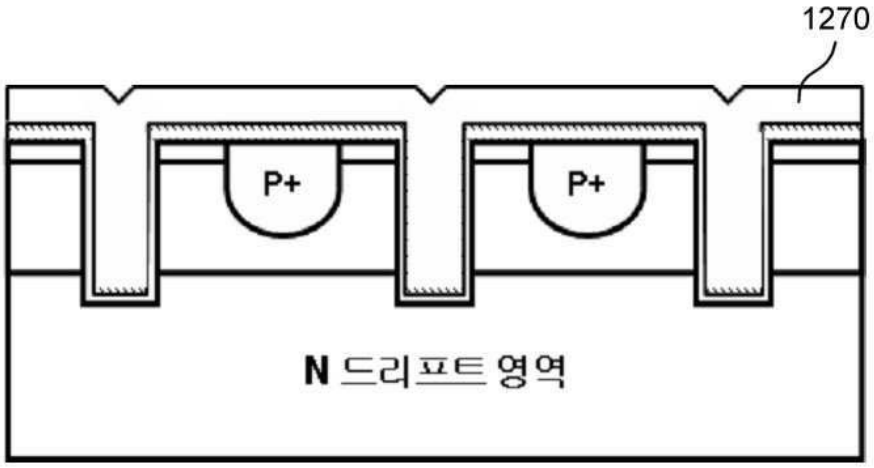
도면10



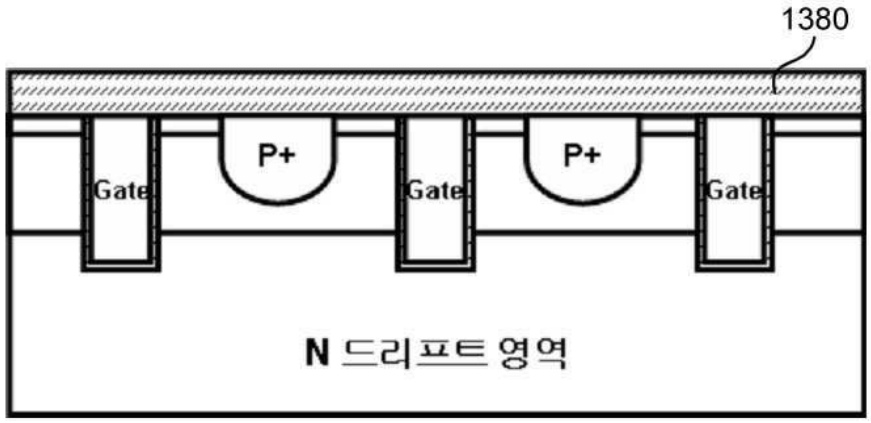
도면11



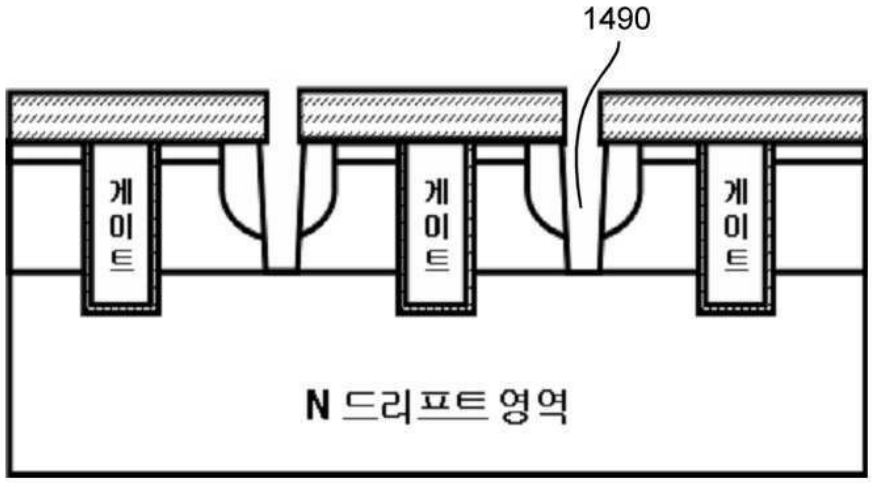
도면12



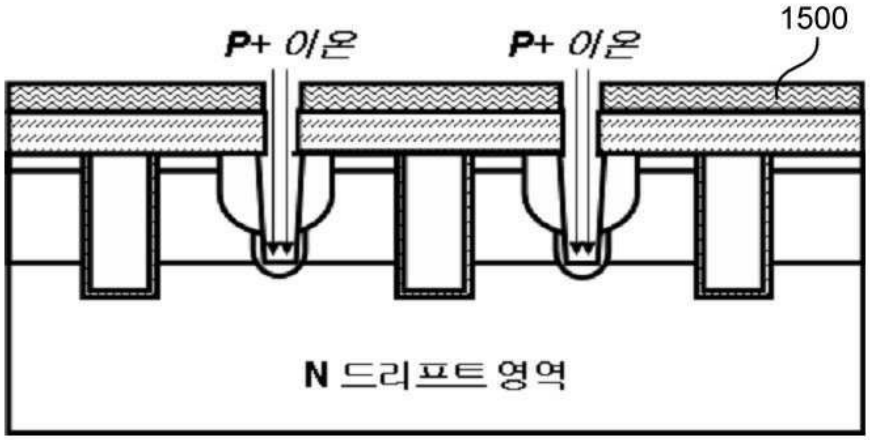
도면13



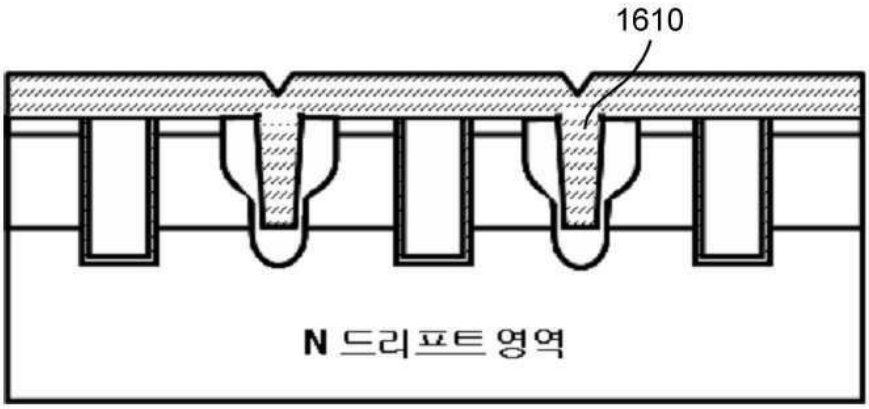
도면14



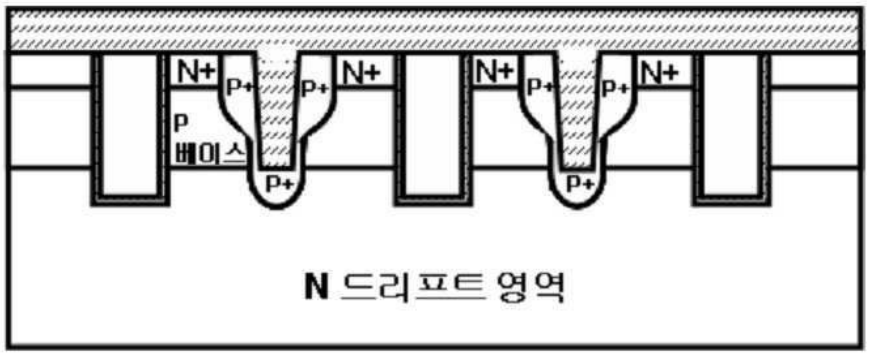
도면15



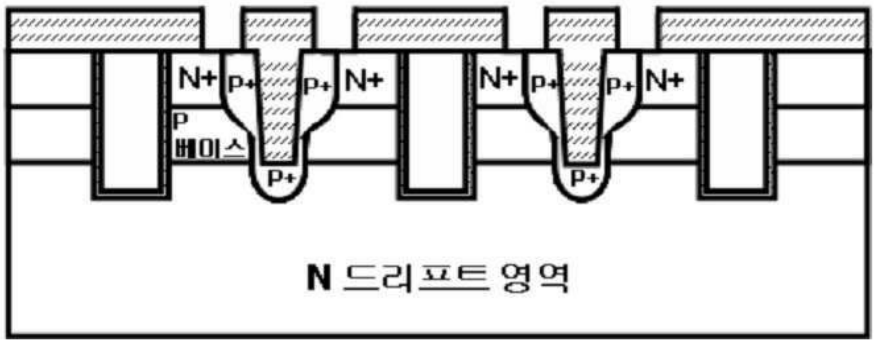
도면16



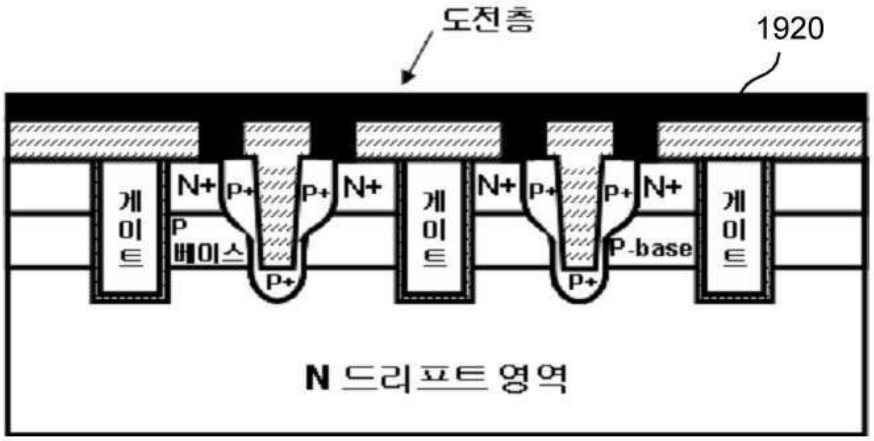
도면17



도면18



도면19



도면20

