

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4817718号  
(P4817718)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月9日(2011.9.9)

(51) Int. Cl.		F I	
<b>G02F</b>	<b>1/1343</b>	<b>(2006.01)</b>	G02F 1/1343
<b>G02F</b>	<b>1/1335</b>	<b>(2006.01)</b>	G02F 1/1335 520
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F 9/30 338

請求項の数 14 (全 29 頁)

<p>(21) 出願番号 特願2005-155630 (P2005-155630)</p> <p>(22) 出願日 平成17年5月27日 (2005.5.27)</p> <p>(65) 公開番号 特開2006-330471 (P2006-330471A)</p> <p>(43) 公開日 平成18年12月7日 (2006.12.7)</p> <p>審査請求日 平成19年9月7日 (2007.9.7)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号</p> <p>(74) 代理人 100101214 弁理士 森岡 正樹</p> <p>(72) 発明者 星野 淳之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内</p> <p>(72) 発明者 美崎 克紀 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内</p>
--	---

最終頁に続く

(54) 【発明の名称】 表示装置用基板及びそれを備えた液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に形成されたゲートバスライン、ゲートバスライン端子部及び薄膜トランジスタのゲート電極と、

前記ゲートバスライン、前記ゲートバスライン端子部及び前記ゲート電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜上に形成された動作半導体層と、

第1の下層部と、ZnOからなり前記第1の下層部上に形成された第1の上層部とを有する積層構造を備えた、前記薄膜トランジスタのソース電極と、

前記ソース電極を覆う保護膜と、

前記ソース電極上の前記保護膜が開口された第1のコンタクトホールと、

前記保護膜上に形成され、前記第1のコンタクトホールを介して前記ソース電極の前記第1の上層部に直接接続された画素電極と、

前記ゲートバスライン端子部上の前記ゲート絶縁膜及び前記保護膜が開口された第2のコンタクトホールと、

前記画素電極と同層に形成され、前記第2のコンタクトホールを介して前記ゲートバスライン端子部に直接接続された上部電極とを有し、

前記ゲートバスライン、前記ゲートバスライン端子部及び前記ゲート電極は、第2の下層部と、ZnOからなり前記第2の下層部上に形成された第2の上層部とを有する積層構造を備えた積層電極であり、

10

20

前記上部電極は、前記第2のコンタクトホールを介して前記ゲートバスライン端子部の前記第2の上層部に直接接続されていること

を特徴とする表示装置用基板。

【請求項2】

請求項1記載の表示装置用基板において、

前記ゲートバスラインと同層に形成された蓄積容量バスライン及びその端子部と、

前記ソース電極と同層に形成された中間電極と、

前記中間電極上の前記保護膜が開口された第3のコンタクトホールとを有し、

前記画素電極は、前記第3のコンタクトホールを介して前記中間電極に直接接続されていること

10

を特徴とする表示装置用基板。

【請求項3】

請求項1又は2に記載の表示装置用基板において、

前記ソース電極と同層に形成されたドレインバスライン端子部と、

前記ドレインバスライン端子部上の前記保護膜が開口されたコンタクトホールとをさらに有すること

を特徴とする表示装置用基板。

【請求項4】

請求項1乃至3のいずれか1項に記載の表示装置用基板において、

前記第1の下層部及び前記第1の上層部は、ほぼ同一形状にパターンニングされていること

20

を特徴とする表示装置用基板。

【請求項5】

請求項4記載の表示装置用基板において、

前記第1の下層部及び前記第1の上層部は、同一のフォトリソグラフィ工程により形成されていること

を特徴とする表示装置用基板。

【請求項6】

請求項1乃至5のいずれか1項に記載の表示装置用基板において、

前記第1の下層部は、Al又はAl合金からなること

を特徴とする表示装置用基板。

30

【請求項7】

請求項1乃至6のいずれか1項に記載の表示装置用基板において、

前記基板上に形成され、凹凸状の表面を有する樹脂層をさらに有し、

前記画素電極は、前記樹脂層上に形成されて前記樹脂層表面に倣った凹凸状の表面を有し、光を透過する透明電極と光を反射する反射電極とが少なくとも一部で積層された構造を有し、

前記透明電極と前記反射電極とが積層された反射領域と、凹凸状の前記画素電極のうち頂部若しくは底部又はその両方に相当する領域で前記反射電極が除去された透過領域とをそれぞれ有する複数の画素領域を備えること

40

を特徴とする表示装置用基板。

【請求項8】

請求項7記載の表示装置用基板において、

前記樹脂層は透明であること

を特徴とする表示装置用基板。

【請求項9】

請求項7又は8に記載の表示装置用基板において、

前記透過領域は、前記樹脂層表面の基板面に対する傾斜角が6°以下の領域に配置されていること

を特徴とする表示装置用基板。

50

## 【請求項 10】

請求項 7 乃至 9 のいずれか 1 項に記載の表示装置用基板において、  
前記透明電極は、ITO、ZnOx、又は ZnOx に Al 若しくは Ga を含有させた化合物からなること  
を特徴とする表示装置用基板。

## 【請求項 11】

請求項 7 乃至 10 のいずれか 1 項に記載の表示装置用基板において、  
前記反射電極は、Mo、窒素を含む Mo、又は Ti からなる下層部と、Al、Al 合金、Ag、又は Ag 合金からなる上層部とを含む 2 層以上の積層構造を有すること  
を特徴とする表示装置用基板。

10

## 【請求項 12】

請求項 7 乃至 9 のいずれか 1 項に記載の表示装置用基板において、  
前記透明電極は、ZnOx、又は ZnOx に Al 若しくは Ga を含有させた化合物からなり、  
前記反射電極は、Al、Al 合金、Ag、又は Ag 合金の単層膜からなること  
を特徴とする表示装置用基板。

## 【請求項 13】

対向配置された一对の基板と、前記一对の基板間に封止された液晶とを備えた液晶表示装置であって、  
前記一对の基板の一方に、請求項 1 乃至 12 のいずれか 1 項に記載の表示装置用基板が  
用いられていること  
を特徴とする液晶表示装置。

20

## 【請求項 14】

基板上にゲートバスライン、ゲートバスライン端子部及び薄膜トランジスタのゲート電極を形成し、  
前記ゲートバスライン、前記ゲートバスライン端子部及び前記ゲート電極上にゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に動作半導体層を形成し、  
前記ゲート絶縁膜上に、第 1 の下層部と ZnO からなる第 1 の上層部とを有する積層構造を備えた前記薄膜トランジスタのソース電極を、前記第 1 の下層部及び前記第 1 の上層部を同一のフォトリソグラフィ工程でほぼ同一形状にパターンニングすることにより形成し、

30

前記ソース電極上に保護膜を形成し、  
前記ソース電極上の前記保護膜を開口して第 1 のコンタクトホールを形成するとともに、前記ゲートバスライン端子部上の前記絶縁膜及び前記保護膜を開口して第 2 のコンタクトホールを形成し、  
前記第 1 のコンタクトホールを介して前記ソース電極の前記第 1 の上層部に直接接続される画素電極と、前記第 2 のコンタクトホールを介して前記ゲートバスライン端子部に直接接続される上部電極とを前記保護膜上に同時に形成し、

前記ゲートバスライン、前記ゲートバスライン端子部及び前記ゲート電極は、第 2 の下層部と、ZnO からなり前記第 2 の下層部上に形成された第 2 の上層部とを有する積層構造を備えた積層電極であり、

40

前記上部電極は、前記第 2 のコンタクトホールを介して前記ゲートバスライン端子部の前記第 2 の上層部に直接接続されること  
を特徴とする表示装置用基板の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、テレビ受像機やモニタ等又は携帯端末の表示部等に用いられる液晶表示装置及びそれに用いられる表示装置用基板に関する。

50

## 【背景技術】

## 【0002】

透過型の液晶表示装置に用いられる従来のチャネルエッチ型の薄膜トランジスタ（TFT）基板の製造工程について図24（a）～（c）を用いて説明する。図24（a）はTFT基板の画素領域の断面図であり、図24（b）は端子部150（ゲートバスライン端子）近傍の断面図であり、図24（c）は端子部151（ドレインバスライン端子）近傍の断面図である。

（1）透明な絶縁基板110上にAl膜（膜厚150nm）とMo膜（膜厚50nm）をスパッタ法により成膜し、積層膜を形成する。

## 【0003】

（2）ゲート電極112、ゲートバスライン、蓄積容量（Cs）バスライン118、及びそれらの端子部150、並びに必要に応じたマーク類などのレジストパターンをフォトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。

## 【0004】

（3）次に、上記のバスラインなどの積層電極を覆うように、ゲート絶縁膜130となるSiN膜（膜厚400nm）、動作半導体層127となるa-Si膜（膜厚100nm）、及びコンタクト層129となるn<sup>+</sup>a-Si膜（膜厚50nm）を同一CVD工程で真空を破らずに連続して成膜する。

## 【0005】

（4）次に、フォトリソグラフィ法を用いて、ゲート電極112上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてn<sup>+</sup>a-Si膜及びa-Si膜のドライエッチングを行い、島状のコンタクト層及び動作半導体層127を形成する。その後、レジストを剥離して洗浄する。

## 【0006】

（5）続いて、Mo膜（膜厚50nm）、Al膜（膜厚150nm）及びMo膜（膜厚50nm）をスパッタ法により成膜する。

## 【0007】

（6）このあと、フォトリソグラフィ法を用いて、ドレインバスライン、ドレイン電極121、ソース電極122、端子部151及び中間電極119などの形成領域にレジストパターンを形成する。次に、燐酸系のAlエッチャントによりMo/Al/Mo膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、チャネル部上のコンタクト層をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。以上の工程によって、TFTの3端子が形成される。

## 【0008】

（7）これらのTFTを覆うように、保護膜132としてSiN膜（膜厚300nm）をCVD法により成膜する。

## 【0009】

（8）フォトリソグラフィ法を用いて、ゲートバスライン、Csバスライン118及びドレインバスラインのそれぞれの端子部150、151上、並びにソース電極122や中間電極119の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより上記の端子部150、151上及び電極122、119上の保護膜132を除去し、コンタクトホール140、141、142を形成する。このとき、Mo膜はフッ素系ガスによるドライエッチングに対して選択性を有さないため、膜減りが生じる。場合によっては、Mo膜の下層にあるAl膜が剥き出しになってしまうことがある。このとき、特許文献1に開示されているように、コンタクトホール140、141、142の外周部ではレジストパターンの後退によるサイドエッチングが起こる。このため、コンタクトホール140、141、142外周部にはMo膜も残存するのでこの部分でITOとのコンタクトは可能である。その後、レジストを剥離して洗浄する。

## 【0010】

10

20

30

40

50

(9) この上部に透明導電膜として、ITO膜(膜厚70nm)をスパッタ法により成膜する。

【0011】

(10) フトリソグラフィ法を用いて、画素電極116や、各端子部150、151上のコンタクトホール141、142を覆う接続用の上部電極152、153などの形成領域にレジストパターンを形成する。続いて、シュウ酸などの有機酸を用いたウエットエッチングによりITO膜をエッチングする。その後、レジストを剥離して洗浄する。最後に、ITO膜の結晶化及びTFTの安定化のために200℃で1時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、チャンネルエッチ型のTFT基板が完成する。

10

【0012】

次に、透過型液晶表示装置に用いられる従来のハーフトーンチャンネルエッチ型のTFT基板の製造工程について図25(a)~(c)を用いて説明する。図25(a)はTFT基板の画素領域の断面図であり、図25(b)は端子部150(ゲートバスライン端子)近傍の断面図であり、図25(c)は端子部151(ドレインバスライン端子)近傍の断面図である。

(1) 透明な絶縁基板110上にAl膜(膜厚150nm)とMo膜(膜厚50nm)をスパッタ法により成膜し、積層膜を形成する。

【0013】

(2) ゲート電極112、ゲートバスライン、Csバスライン118、及びそれらの端子部150、並びに必要な応じたマーク類などのレジストパターンをフトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。

20

【0014】

(3) 次に、上記のバスラインなどの積層電極を覆うように、ゲート絶縁膜130となるSiN膜(膜厚400nm)、動作半導体層127となるa-Si膜(膜厚100nm)、及びコンタクト層129となるn<sup>+</sup>a-Si膜(膜厚50nm)を同一CVD工程で真空を破らずに連続して成膜する。続いて、Mo膜(膜厚50nm)、Al膜(膜厚150nm)、Mo膜(膜厚50nm)をスパッタ法により成膜する。

【0015】

(4) フトリソグラフィ法を用い、ゲートバスラインに交差するドレインバスライン、中間電極119、端子部151、及びTFTの各形成領域にレジストパターンを形成する。この工程で用いる露光マスクは、TFTのチャンネル部となるソース電極及びドレイン電極間の領域のハーフトーン露光(例えば露光量が他の露光領域の半分程度)が可能になっている。これにより、得られるレジストパターンの断面形状は例えば階段状となり、チャンネル部上のレジストパターンの膜厚は他の領域よりも薄くなる。

30

【0016】

(5) 次に、燐酸系のAlエッチャントによりMo/Al/Mo膜をエッチングする。続いて、n<sup>+</sup>a-Si膜及びa-Si膜をドライエッチングし、酸素を含むガスを用いたアッシング処理により、階段状のレジストパターンの一部(上側)を除去して、TFTのチャンネル部となるソース電極及びドレイン電極間の領域においてMo/Al/Mo膜を露出させ、前記エッチャントによりエッチングを行う。続いて、塩素系ガスを用いたドライエッチング等により、TFTのチャンネル部となる領域のn<sup>+</sup>a-Si膜をエッチング除去して素子分離を行う。その後、レジストを剥離して洗浄する。

40

【0017】

(6) 以上の工程によってTFTの3端子が形成される。

【0018】

(7) これらTFTを覆うように、保護膜132としてSiN膜(膜厚300nm)をCVD法により成膜する。

【0019】

50

(8) フォトリソグラフィ法を用いて、ゲートバスライン、Csバスライン118及びドレインバスラインのそれぞれの端子部150、151上、並びにソース電極122や中間電極119の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより上記の端子部150、151上及び電極122、119上の保護膜132を除去し、コンタクトホール140、141、142を形成する。このとき、Mo膜はフッ素系ガスによるドライエッチングに対して選択性を有さないため、膜減りが生じる。場合によっては、Mo膜の下層にあるAl膜が剥き出しになってしまうことがある。このとき、特許文献1に開示されているように、コンタクトホール140、141、142の外周部ではレジストパターンの後退によるサイドエッチングが起こる。このため、コンタクトホール140、141、142外周部にはMo膜も残存するのでこの部分でITOとのコンタクトは可能である。その後、レジストを剥離して洗浄する。

10

## 【0020】

(9) この上部に透明導電膜として、ITO膜(膜厚70nm)をスパッタ法により成膜する。

## 【0021】

(10) フォトリソグラフィ法を用いて、画素電極116や、各端子部150、151上のコンタクトホール141、142を覆う接続用の上部電極152、153などの形成領域にレジストパターンを形成する。続いて、シュウ酸などの有機酸を用いたウエットエッチングによりITO膜をエッチングする。その後、レジストを剥離して洗浄する。最後に、ITO膜の結晶化及びTFETの安定化のために200で1時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、ハーフトーンチャンネルエッチ型のTFET基板が完成する。

20

## 【0022】

次に、透過型液晶表示装置に用いられる従来のチャンネル保護膜型のTFET基板の製造工程について図26(a)~(c)を用いて説明する。図26(a)はTFET基板の画素領域の断面図であり、図26(b)は端子部150(ゲートバスライン端子)近傍の断面図であり、図26(c)は端子部151(ドレインバスライン端子)近傍の断面図である。  
(1) 透明な絶縁基板110上にAl膜(膜厚150nm)とMo膜(膜厚50nm)をスパッタ法により成膜し、積層膜を形成する。

## 【0023】

(2) ゲート電極112、ゲートバスライン、Csバスライン118、及びそれらの端子部150、並びに必要な応じたマーク類などのレジストパターンをフォトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。

30

## 【0024】

(3) 次に、上記のバスラインなどの積層電極を覆うように、ゲート絶縁膜130となるSiN膜(膜厚400nm)、動作半導体層127となるa-Si膜(膜厚100nm)、及びチャンネル保護膜128となるSiN膜(膜厚150nm)を同一CVD工程で真空を破らずに連続して成膜する。

## 【0025】

(4) 次に、フォトリソグラフィ法を用いて、ゲート電極112上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてSiN膜のドライエッチングを行い、島状のチャンネル保護膜128を形成する。その後、レジストを剥離して洗浄する。

40

## 【0026】

(5) 続いて、バッファードフッ酸等を用いてa-Si膜上の酸化膜を除去したのち、コンタクト層129となるn<sup>+</sup>a-Si(膜厚50nm)をCVD法により成膜し、Mo膜(膜厚50nm)、Al膜(膜厚150nm)及びMo膜(膜厚50nm)をスパッタ法により成膜する。

## 【0027】

50

(6) このあと、フォトリソグラフィ法を用いて、ドレインバスライン、ドレイン電極 121、ソース電極 122、端子部 151 及び中間電極 119 などの形成領域にレジストパターンを形成する。次に、燐酸系の Al エッチャントにより Mo / Al / Mo 膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、コンタクト層をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。以上の工程によって、TFT の 3 端子が形成される。

【0028】

(7) これらの TFT を覆うように、保護膜 132 として SiN 膜 (膜厚 300 nm) を CVD 法により成膜する。

【0029】

(8) フォトリソグラフィ法を用いて、ゲートバスライン、Cs バスライン 118 及びドレインバスラインのそれぞれの端子部 150、151 上、並びにソース電極 122 や中間電極 119 の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより上記の端子部 150、151 上及び電極 122、119 上の保護膜 132 を除去し、コンタクトホール 140、141、142 を形成する。このとき、Mo 膜はフッ素系ガスによるドライエッチングに対して選択性を有さないため、膜減りが生じる。場合によっては、Mo 膜の下層にある Al 膜が剥き出しになってしまうことがある。このとき、特許文献 1 に開示されているように、コンタクトホール 140、141、142 の外周部ではレジストパターンの後退によるサイドエッチングが起こる。このため、コンタクトホール 140、141、142 外周部には Mo 膜も残存するのでこの部分

【0030】

(9) この上部に透明導電膜として、ITO 膜 (膜厚 70 nm) をスパッタ法により成膜する。

【0031】

(10) フォトリソグラフィ法を用いて、画素電極 116 や、コンタクトホール 141、142 を覆う接続用の上部電極 152、153 などの形成領域にレジストパターンを形成する。続いて、シュウ酸などの有機酸を用いたウエットエッチングにより ITO 膜をエッチングする。その後、レジストを剥離して洗浄する。最後に、ITO 膜の結晶化及び TFT の安定化のために 200 °C で 1 時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、チャンネル保護膜型の TFT 基板が完成する。

【0032】

次に、反射型液晶表示装置に用いられる従来のチャンネルエッチ型の TFT 基板の製造工程について図 27 (a) ~ (c) を用いて説明する。図 27 (a) は TFT 基板の画素領域の断面図であり、図 27 (b) は端子部 150 (ゲートバスライン端子) 近傍の断面図であり、図 27 (c) は端子部 151 (ドレインバスライン端子) 近傍の断面図である。

透過型のチャンネルエッチ型の TFT 基板の製造工程と同様の工程 (1) ~ (8) の後に、端子部 150、151 上の上部電極 152、153 を透明導電膜により形成する。透過型の TFT 基板と異なり、透明な画素電極 116 は形成しない。その後、画素領域内に部分的に凹凸形成用突起 160 を形成し、凹凸形成用突起 160 上の全面に有機膜 161 を形成する。有機膜 161 表面には凹凸形成用突起 160 に倣った凹凸が形成される。なお凹凸形成用突起 160 に代えて、工程 (1) ~ (8) で何らかの凹凸形成用の下地を形成してもよい。

【0033】

次に、Mo / Al 膜をスパッタ法により成膜する。次に、フォトリソグラフィ法を用いて、反射電極 117 の形成領域にレジストパターンを形成する。続いて、Mo / Al 膜をウエットエッチングし、反射電極 117 を形成する。反射電極 117 は、ゲートバスラインやドレインバスラインと重なるように大きくパターンニングされる。ここで、Al 膜単層ではなくその下層に Mo 膜を積層するのは、端子部 150、151 上の上部電極 152、153 (ITO) と Al 層とがフォトリソグラフィ工程の現像工程等で電池効果により消

10

20

30

40

50

失するのを防ぐバッファ膜としての機能をMo膜が有するためである。このように反射型のTFT基板では、ゲート電極112を形成するゲート工程、ドレイン電極121やソース電極122を形成するソース/ドレイン工程、上部電極152、153を形成する端子工程、及び反射電極117を形成する反射電極工程と、最低4回の電極プロセスが必要であった。

以上のように、従来の液晶表示装置は、製造プロセスが煩雑であるという問題を有している。

【0034】

【特許文献1】特開2000-77666号公報

【特許文献2】特開平6-291318号公報

【特許文献3】特開2003-57638号公報

【発明の開示】

【発明が解決しようとする課題】

【0035】

本発明の目的は、簡易な製造工程により高い信頼性の得られる表示装置用基板及びそれを備えた液晶表示装置を提供することにある。また本発明の目的は、良好な表示特性の得られる液晶表示装置及びそれに用いられる表示装置用基板を提供することにある。

【課題を解決するための手段】

【0036】

上記目的は、基板上に形成された下層部と、ZnOからなり前記下層部上に形成された上層部とを有する積層構造を備えた積層電極と、前記積層電極を覆う絶縁膜と、前記積層電極上の前記絶縁膜が開口されたコンタクトホールと、前記絶縁膜上に形成され、前記コンタクトホールを介して前記積層電極の前記上層部に直接接続された画素電極とを有することを特徴とする表示装置用基板によって達成される。

【0037】

上記本発明の表示装置用基板において、前記積層電極と同層に形成された端子部と、前記端子部上の前記絶縁膜が開口されたコンタクトホールとをさらに有することを特徴とする。

【0038】

上記本発明の表示装置用基板において、前記下層部及び前記上層部は、ほぼ同一形状にパターニングされていることを特徴とする。

【0039】

上記本発明の表示装置用基板において、前記下層部及び前記上層部は、同一のフォトリソグラフィ工程により形成されていることを特徴とする。

【0040】

上記本発明の表示装置用基板において、前記下層部は、Al又はAl合金からなることを特徴とする。

【0041】

また上記目的は、対向配置された一对の基板と、前記一对の基板間に封止された液晶とを備えた液晶表示装置であって、前記一对の基板の一方に、上記本発明の表示装置用基板が用いられていることを特徴とする液晶表示装置によって達成される。

【発明の効果】

【0042】

本発明によれば、簡易な製造工程により高い信頼性の得られる表示装置用基板及びそれを備えた液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【0043】

[第1の実施の形態]

(実施例1-1)

本発明の第1の実施の形態の実施例1-1による表示装置用基板及びそれを備えた液晶

10

20

30

40

50



表示装置について説明する。図1は、本実施例による透過型の液晶表示装置の概略構成を示している。図1に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン及びドレインバスラインと、画素毎に形成された薄膜トランジスタ(TFT)及び画素電極とを備えたTFT基板(表示装置用基板)62を有している。また、液晶表示装置は、カラーフィルタ(CF)や共通電極が形成されてTFT基板62に対向配置された対向基板64を有している。両基板62、64間には液晶が封止され、液晶層が形成されている。

#### 【0044】

TFT基板62には、複数のゲートバスラインを駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスラインを駆動するドライバICが実装されたドレインバスライン駆動回路82とが接続されている。これらの駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。TFT基板62のTFT素子形成面と反対側の面には偏光板87が配置され、対向基板64の共通電極形成面と反対側の面には、偏光板86が偏光板87に対しクロスニコルに配置されている。偏光板87のTFT基板62と反対側の面にはバックライトユニット88が配置されている。

#### 【0045】

次に、TFT基板62の構成及びその製造方法について説明する。図2は本実施例によるTFT基板62の1画素の構成を示している。図3(a)は図2のA-A線で切断したTFT基板62の断面構成を示し、図3(b)はゲートバスライン端子近傍の断面構成を示し、図3(c)はドレインバスライン端子近傍の断面構成を示している。本実施例によるTFT基板62に形成されたゲートバスライン(ゲート電極)1及びドレインバスライン10は、Al又はAl合金等の低抵抗金属からなる下層部と、ZnO膜(例えばAl2wt%ZnO膜)19a、19bからなり下層部上に形成された上層部(最上層部)とを備えた積層構造をそれぞれ有している。これらの下層部と上層部は同一のフォトリソグラフィ工程で形成され、ほぼ同一形状にパターンニングされている。

#### 【0046】

TFT基板62は、以下の工程を経て作製される。

(1) 透明な絶縁基板20上にAl膜(膜厚150nm)とAl2wt%ZnO膜(膜厚50nm)とをスパッタ法によりこの順に成膜し、積層膜を形成する。

#### 【0047】

(2) 次に、ゲートバスライン(ゲート電極)1、Csバスライン2、及びそれらの端子の下部電極(端子部)21、並びに必要なマーク類などのレジストパターンをフォトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、ゲートバスライン1、Csバスライン2、下部電極21、及びマーク類などが形成される。

#### 【0048】

(3) 次に、上記のバスラインなどの積層電極を覆うように、絶縁膜(ゲート絶縁膜)3となるSiN膜(膜厚400nm)、動作半導体層4となるa-Si膜(膜厚100nm)、コンタクト層18となるn<sup>+</sup>a-Si膜(膜厚50nm)を同一CVD工程で真空を破らずに連続して成膜する。

#### 【0049】

(4) 次に、フォトリソグラフィ法を用いて、ゲート電極1上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてn<sup>+</sup>a-Si膜及びa-Si膜のドライエッチングを行い、島状のコンタクト層18及び動作半導体層4を形成する。その後、レジストを剥離して洗浄する。

#### 【0050】

(5) 続いて、Mo膜(膜厚50nm)、Al膜(膜厚150nm)、Al2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜する。

## 【 0 0 5 1 】

( 6 ) このあと、フォトリソグラフィ法を用いて、ドレインバスライン 1 0、ドレイン電極 6、ソース電極 7、ドレインバスライン端子の下部電極 2 2 及び中間電極 8 などの形成領域にレジストパターンを形成する。次に、燐酸系の A l エッチャントにより上記の M o / A l / Z n O 膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、チャンネル部上のコンタクト層 1 8 をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。これにより、ドレインバスライン 1 0、ドレイン電極 6、ソース電極 7、下部電極 2 2 及び中間電極 8 などが形成される。以上の工程によって、T F T の 3 端子が形成される。

## 【 0 0 5 2 】

( 7 ) これらの T F T を覆うように、保護膜 9 として S i N 膜 ( 膜厚 3 0 0 n m ) を C V D 法により成膜する。

## 【 0 0 5 3 】

( 8 ) フォトリソグラフィ法を用いて、各バスライン端子の下部電極 2 1、2 2 上、及びソース電極 7 や中間電極 8 の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより下部電極 2 1、2 2 上及び電極 7、8 上の保護膜 9 ( 及び絶縁膜 3 ) を除去し、コンタクトホール 2 3、2 4、2 5、2 6 を形成する。このとき、Z n O 膜 1 9 a、1 9 b はフッ素系ガスによるドライエッチングに対して選択性を有するため、膜減りは生じない。その後、レジストを剥離して洗浄する。

## 【 0 0 5 4 】

( 9 ) この上部に透明導電膜として、I T O 膜 ( 膜厚 7 0 n m ) をスパッタ法により成膜する。

## 【 0 0 5 5 】

( 1 0 ) フォトリソグラフィ法を用いて、画素電極 ( 透明電極 ) 1 6 や、各下部電極 2 1、2 2 上のコンタクトホール 2 5、2 6 を覆う接続用の上部電極 2 7、2 8 などの形成領域にレジストパターンを形成する。続いて、シュウ酸などの有機酸を用いたウエットエッチングにより I T O 膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、画素電極 1 6 及び上部電極 2 7、2 8 が形成される。最後に、I T O 膜の結晶化及び T F T の安定化のために 2 0 0 ° で 1 時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、T F T 基板 6 2 が完成する。

## 【 0 0 5 6 】

外部との間あるいは T F T 基板 6 2 内で電氣的接続が行われる部分のうち、ゲートバスライン端子及び C s バスライン端子は、下部電極 2 1 の上層部である Z n O 膜 1 9 a と、画素電極 1 6 と同時に形成される上部電極 ( I T O ) 2 7 とが、絶縁膜 3 及び保護膜 9 が開口されたコンタクトホール 2 5 を介して直接接続された構成を有する。ドレインバスライン端子は、下部電極 2 2 の上層部である Z n O 膜 1 9 b と、画素電極 1 6 と同時に形成される上部電極 ( I T O ) 2 8 とが、保護膜 9 が開口されたコンタクトホール 2 6 を介して直接接続された構成を有する。また、ソース電極 7 の上層部である Z n O 膜 1 9 b と画素電極 ( I T O ) 1 6 とはコンタクトホール 2 3 を介して直接接続され、中間電極 8 の上層部である Z n O 膜 1 9 b と画素電極 1 6 とはコンタクトホール 2 4 を介して直接接続される。

## 【 0 0 5 7 】

( 実施例 1 - 2 )

次に、本実施の形態の実施例 1 - 2 による反射型の T F T 基板 6 2 及びその製造方法について説明する。図 4 は、本実施例による T F T 基板 6 2 の 1 画素の構成を示している。図 5 ( a ) は図 4 の B - B 線で切断した T F T 基板 6 2 の断面構成を示し、図 5 ( b ) はゲートバスライン端子近傍の断面構成を示し、図 5 ( c ) はドレインバスライン端子近傍の断面構成を示している。本実施例による T F T 基板 6 2 では、反射電極 ( 画素電極 ) 1 7 及びバスライン端子の上部電極 2 7、2 8 が下層部の A l 膜と上層部の Z n O 膜 1 9 c とを有する 2 層構造になっている。

10

20

30

40

50

## 【0058】

TFT基板62は、以下の工程を経て作製される。

(1) 透明な絶縁基板20上にAl膜(膜厚150nm)とAl2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜し、積層膜を形成する。

## 【0059】

(2) 次に、ゲートバスライン(ゲート電極)1、Csバスライン2、及びそれらの端子の下部電極21、並びに必要なマーク類などのレジストパターンをフォトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、ゲートバスライン1、Csバスライン2、下部電極21、及びマーク類などが形成される。

10

## 【0060】

(3) 次に、上記のバスラインなどの積層電極を覆うように、絶縁膜3となるSiN膜(膜厚400nm)、動作半導体層4となるa-Si膜(膜厚100nm)、コンタクト層18となるn<sup>+</sup>a-Si膜(膜厚50nm)を同一CVD工程で真空を破らずに連続して成膜する。

## 【0061】

(4) 次に、フォトリソグラフィ法を用いて、ゲート電極1上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてn<sup>+</sup>a-Si膜及びa-Si膜のドライエッチングを行い、島状のコンタクト層18及び動作半導体層4を形成する。その後、レジストを剥離して洗浄する。

20

## 【0062】

(5) 続いて、Mo膜(膜厚50nm)、Al膜(膜厚150nm)、Al2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜する。

## 【0063】

(6) このあと、フォトリソグラフィ法を用いて、ドレインバスライン10、ドレイン電極6、ソース電極7、ドレインバスライン端子の下部電極22及び中間電極8などの形成領域にレジストパターンを形成する。次に、燐酸系のAlエッチャントにより上記のMo/Al/ZnO膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、チャンネル部上のコンタクト層18をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。これにより、ドレインバスライン10、ドレイン電極6、ソース電極7、下部電極22及び中間電極8などが形成される。以上の工程によって、TFTの3端子が形成される。

30

## 【0064】

(7) これらのTFTを覆うように、保護膜9としてSiN膜(膜厚300nm)をCVD法により成膜する。

## 【0065】

(8) フォトリソグラフィ法を用いて、各バスライン端子の下部電極21、22上、及びソース電極7や中間電極8の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより下部電極21、22上及び電極7、8上の保護膜9(及び絶縁膜3)を除去し、コンタクトホール23、24、25、26を形成する。このとき、ZnO膜19a、19bはフッ素系ガスによるドライエッチングに対して選択性を有するため、膜減りは生じない。その後、レジストを剥離して洗浄する。次に、画素領域内に部分的に凹凸形成用突起29を形成する。続いて、凹凸形成用突起29上の全面に有機膜30を形成し、パターンングによりコンタクトホール23、24の形成領域及び端子部近傍の有機膜30を除去する。有機膜30表面には、凹凸形成用突起29にある程度倣った凹凸が形成される。

40

## 【0066】

(9) この上部に反射導電膜として、Al膜(膜厚150nm)とAl2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜する。

## 【0067】

50

(10) フトリソグラフィ法を用いて、反射電極17や、各下部電極21、22上のコンタクトホール25、26を覆う接続用の上部電極27、28などの形成領域にレジストパターンを形成する。続いて、燐酸系エッチャントを用いたウエットエッチングにより反射導電膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、反射電極17及び上部電極27、28が形成される。反射電極17及び上部電極27、28の上層部はZnO膜19cとなる。反射電極17の表面には、下地の有機膜30に倣った凹凸が形成される。最後に、TFTの安定化のために200℃で1時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、TFT基板62が完成する。

#### 【0068】

外部との間あるいはTFT基板62内で電氣的接続が行われる部分のうち、ゲートバスライン端子及びCsバスライン端子は、下部電極21の上層部であるZnO膜19aと、反射電極17と同時に形成される上部電極27(Al/ZnO膜)の下層部(Al)とが、絶縁膜3及び保護膜9が開口されたコンタクトホール25を介して直接接続された構成を有する。ドレインバスライン端子は、下部電極22の上層部であるZnO膜19bと、反射電極17と同時に形成される上部電極28(Al/ZnO膜)の下層部(Al)とが、保護膜9が開口されたコンタクトホール26を介して直接接続された構成を有する。各バスライン端子の最上層は、酸化物導電膜であるZnO膜19cである。また、ソース電極7の上層部であるZnO膜19bと反射電極17(Al/ZnO膜)の下層部(Al)とはコンタクトホール23を介して直接接続され、中間電極8の上層部であるZnO膜19bと反射電極17の下層部(Al)とはコンタクトホール24を介して直接接続される。

#### 【0069】

したがって、本実施例では各バスライン端子の最上層が酸化物導電膜のZnO膜19cであるため、端子表面が酸化されたとしても導電性が維持され、信頼性の高い端子が得られる。

#### 【0070】

(実施例1-3)

次に、本実施の形態の実施例1-3による反射型のTFT基板62及びその製造方法について説明する。図6(a)はTFT基板62の画素の断面構成を示し、図6(b)はゲートバスライン端子近傍の断面構成を示し、図6(c)はドレインバスライン端子近傍の断面構成を示している。本実施例では、バスライン端子が下部電極のみで形成されており、下部電極は下層部のAl膜と上層部のZnO膜とを有する2層構造になっている。

#### 【0071】

TFT基板62は、以下の工程を経て作製される。

(1) 透明な絶縁基板20上にAl膜(膜厚150nm)とAl2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜し、積層膜を形成する。

#### 【0072】

(2) 次に、ゲートバスライン(ゲート電極)1、Csバスライン2、及びそれらの端子の下部電極21、並びに必要なマーク類などのレジストパターンをフトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、ゲートバスライン1、Csバスライン2、下部電極21、及びマーク類などが形成される。

#### 【0073】

(3) 次に、上記のバスラインなどの積層電極を覆うように、絶縁膜3となるSiN膜(膜厚400nm)、動作半導体層4となるa-Si膜(膜厚100nm)、コンタクト層18となるn<sup>+</sup>a-Si膜(膜厚50nm)を同一CVD工程で真空を破らずに連続して成膜する。

#### 【0074】

(4) 次に、フトリソグラフィ法を用いて、ゲート電極1上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてn<sup>+</sup>a-Si膜及

び a - S i 膜のドライエッチングを行い、島状のコンタクト層 1 8 及び動作半導体層 4 を形成する。その後、レジストを剥離して洗浄する。

【 0 0 7 5 】

( 5 ) 続いて、M o 膜 ( 膜厚 5 0 n m )、A l 膜 ( 膜厚 1 5 0 n m )、A l 2 w t % Z n O 膜 ( 膜厚 5 0 n m ) をスパッタ法によりこの順に成膜する。

【 0 0 7 6 】

( 6 ) このあと、フォトリソグラフィ法を用いて、ドレインバスライン 1 0、ドレイン電極 6、ソース電極 7、ドレインバスライン端子の下部電極 2 2 及び中間電極 8 などの形成領域にレジストパターンを形成する。次に、燐酸系の A l エッチャントにより上記の M o / A l / Z n O 膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、チャンネル部上のコンタクト層 1 8 をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。これにより、ドレインバスライン 1 0、ドレイン電極 6、ソース電極 7、下部電極 2 2 及び中間電極 8 などが形成される。以上の工程によって、T F T の 3 端子が形成される。

【 0 0 7 7 】

( 7 ) これらの T F T を覆うように、保護膜 9 として S i N 膜 ( 膜厚 3 0 0 n m ) を C V D 法により成膜する。

【 0 0 7 8 】

( 8 ) フォトリソグラフィ法を用いて、各バスライン端子の下部電極 2 1、2 2 上、及びソース電極 7 や中間電極 8 の上部が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより下部電極 2 1、2 2 上及び電極 7、8 上の保護膜 9 ( 及び絶縁膜 3 ) を除去し、コンタクトホール 2 3、2 4、2 5、2 6 を形成する。このとき、Z n O 膜 1 9 a、1 9 b はフッ素系ガスによるドライエッチングに対して選択性を有するため、膜減りは生じない。その後、レジストを剥離して洗浄する。次に、画素領域内に部分的に凹凸形成用突起 2 9 を形成する。続いて、凹凸形成用突起 2 9 上の全面に有機膜 3 0 を形成し、パターニングによりコンタクトホール 2 3、2 4 の形成領域及び端子部近傍の有機膜 3 0 を除去する。有機膜 3 0 表面には、凹凸形成用突起 2 9 にある程度做った凹凸が形成される。

【 0 0 7 9 】

( 9 ) この上部に反射導電膜として、A l 膜 ( 膜厚 1 5 0 n m ) をスパッタ法により成膜する。

【 0 0 8 0 】

( 1 0 ) フォトリソグラフィ法を用いて、反射電極 1 7 の形成領域にレジストパターンを形成する。続いて、塩素系ガスを用いたドライエッチングにより反射導電膜をエッチングする。ここで、端子部の下部電極 2 1、2 2 の上層部は Z n O 膜 1 9 a、1 9 b である。Z n O 膜 1 9 a、1 9 b はドライエッチング耐性があるので、膜減りなどは生じない。その後、レジストを剥離して洗浄する。これにより、各画素に反射電極 1 7 が形成される。反射電極 1 7 の表面には、下地の有機膜 3 0 に做った凹凸が形成される。最後に、T F T の安定化のために 2 0 0 ° で 1 時間程度熱処理を行う。上記処理の後、電気特性等の所定の検査を必要に応じて行い、T F T 基板 6 2 が完成する。

【 0 0 8 1 】

外部との間あるいは T F T 基板 6 2 内で電氣的接続が行われる部分のうち、ゲートバスライン端子及び C s バスライン端子は、絶縁膜 3 及び保護膜 9 が開口されたコンタクトホール 2 5 を介して下部電極 2 1 の上層部である Z n O 膜 1 9 a が露出する構成を有する。ドレインバスライン端子は、保護膜 9 が開口されたコンタクトホール 2 6 を介して下部電極 2 2 の上層部である Z n O 膜 1 9 b が露出する構成を有する。このように、各バスライン端子の最上層は、酸化物導電膜である Z n O 膜 1 9 a 又は 1 9 b である。また、ソース電極 7 の上層部である Z n O 膜 1 9 b と反射電極 ( A l 膜 ) 1 7 とはコンタクトホール 2 3 を介して直接接続され、中間電極 8 の上層部である Z n O 膜 1 9 b と反射電極 ( A l 膜 ) 1 7 とはコンタクトホール 2 4 を介して直接接続される。

10

20

30

40

50

## 【 0 0 8 2 】

したがって、本実施例ではバスライン端子の最上層が酸化物導電膜のZnO膜19a又は19bであるため、端子表面が酸化されたとしても導電性が維持され、信頼性の高い端子が得られる。また本実施例では、下部電極21を形成するゲート工程、下部電極22を形成するドレイン工程、及びコンタクトホール25、26を形成する端子工程というわずか3回のフォトリソグラフィ工程(3枚マスク)により端子を形成できる。

## 【 0 0 8 3 】

(実施例1-4)

次に、本実施の形態の実施例1-4によるTFT基板62及びその製造方法について説明する。図7はTFT基板62の1画素の構成を示している。図8(a)は図7のC-C線  
10  
で切断したTFT基板62の断面構成を示し、図8(b)はゲートバスライン端子近傍の断面構成を示し、図8(c)はドレインバスライン端子近傍の断面構成を示している。本実施例のTFT基板62は、横電界により液晶を駆動するIPSモードの液晶表示装置に用いられる。本実施例では、酸化物導電膜端子を有する低抵抗配線を3枚マスクにより得られる。

## 【 0 0 8 4 】

TFT基板62は、以下の工程を経て作製される。

(1) 透明な絶縁基板20上にAl膜(膜厚150nm)とAl2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜し、積層膜を形成する。

## 【 0 0 8 5 】

20  
(2) 次に、ゲートバスライン(ゲート電極)1、Csバスライン2、及びそれらの端子の下部電極21、共通電極31、並びに必要なマーク類などのレジストパターンをフォトリソグラフィ法を用いて形成する。続いて、燐酸系のAlエッチャントにより積層膜をエッチングする。その後、レジストを剥離して洗浄する。これにより、ゲートバスライン1、Csバスライン2、下部電極21、共通電極31、及びマーク類などが形成される。ここで、共通電極31はCsバスライン2から分岐しており、後の工程で形成される櫛歯状の画素電極16に所定の間隙を介して対向するような櫛歯状に形成される。

## 【 0 0 8 6 】

30  
(3) 次に、上記のバスラインなどの積層電極を覆うように、絶縁膜3となるSiN膜(膜厚400nm)、動作半導体層4となるa-Si膜(膜厚100nm)、コンタクト層18となるn<sup>+</sup>a-Si膜(膜厚50nm)を同一CVD工程で真空を破らずに連続して成膜する。

## 【 0 0 8 7 】

(4) 次に、フォトリソグラフィ法を用いて、ゲート電極1上に島状のレジストパターンを形成する。このあと、SF<sub>6</sub>やCF<sub>4</sub>などのフッ素系のガスを用いてn<sup>+</sup>a-Si膜及びa-Si膜のドライエッチングを行い、島状のコンタクト層18及び動作半導体層4を形成する。その後、レジストを剥離して洗浄する。

## 【 0 0 8 8 】

40  
(5) 続いて、Mo膜(膜厚50nm)、Al膜(膜厚150nm)、Al2wt%ZnO膜(膜厚50nm)をスパッタ法によりこの順に成膜する。

## 【 0 0 8 9 】

(6) このあと、フォトリソグラフィ法を用いて、ドレインバスライン10、ドレイン電極6、ソース電極7、画素電極16、及びドレインバスライン端子の下部電極22などの形成領域にレジストパターンを形成する。次に、燐酸系のAlエッチャントにより上記のMo/Al/ZnO膜をエッチングする。続いて、塩素系ガスを用いたドライエッチングにより、チャンネル部上のコンタクト層18をエッチング除去して、素子分離を行う。その後、レジストを剥離して洗浄する。これにより、ドレインバスライン10、ドレイン電極6、ソース電極7、画素電極16、及び下部電極22などが形成される。画素電極16は、先の工程で形成済の共通電極31に対応した櫛歯状に形成される。以上の工程によって、TFTの3端子が形成される。

## 【0090】

(7) これらのTFTを覆うように、保護膜9としてSiN膜(膜厚300nm)をCVD法により成膜する。

## 【0091】

(8) フォトリソグラフィ法を用いて、各バスライン端子の下部電極21、22上が開口されたレジストパターンを形成する。続いて、フッ素系ガスを用いたドライエッチングにより下部電極21、22上の保護膜9(及び絶縁膜3)を除去し、コンタクトホール25、26を形成する。このとき、ZnO膜19a、19bはフッ素系ガスによるドライエッチングに対して選択性を有するため、膜減りは生じない。その後、レジストを剥離して洗浄する。以上の工程を経てTFT基板62が完成する。

10

## 【0092】

外部との間あるいはTFT基板62内で電氣的接続が行われる部分のうち、ゲートバスライン端子及びCsバスライン端子は、絶縁膜3及び保護膜9が開口されたコンタクトホール25を介して下部電極21の上層部であるZnO膜19aが露出する構成を有する。ドレインバスライン端子は、保護膜9が開口されたコンタクトホール26を介して下部電極22の上層部であるZnO膜19bが露出する構成を有する。このように、各バスライン端子の最上層は、酸化物導電膜であるZnO膜19a又は19bである。

## 【0093】

したがって、本実施例ではバスライン端子の最上層が酸化物導電膜のZnO膜19a又は19bであるため、端子表面が酸化されたとしても導電性が維持され、信頼性の高い端子が得られる。また本実施例では、下部電極21を形成するゲート工程、下部電極22を形成するドレイン工程、及びコンタクトホール25、26を形成する端子工程というわずかに3回のフォトリソグラフィ工程(3枚マスク)により端子を形成できる。

20

## 【0094】

以上のように、本実施の形態によれば、酸化物導電膜からなる上層部を有することによる接続信頼性の高い端子と、Alからなる下層部を有することによる低抵抗の配線とを簡易な製造工程によって得られる。

## 【0095】

## [第2の実施の形態]

次に、本発明の第2の実施の形態による表示装置用基板及びそれを備えた液晶表示装置について図9乃至図23を用いて説明する。本実施の形態は、特に半透過型の液晶表示装置及びそれに用いられる表示装置用基板に関する。

30

## 【0096】

液晶表示装置は、現在パーソナルコンピュータ、テレビ受像機、携帯情報端末等の表示部として広く用いられている。中でもバックライトの透過光と外光の両方を表示に利用できる半透過型液晶表示装置は、太陽光が強く明るい屋外でも、それより暗い室内でも表示が鮮明に見えるため、携帯情報端末等に用いられる表示装置の主流となりつつある。

## 【0097】

図9は従来の半透過型のTFT基板62の1画素の構成を示し、図10は図9のD-D線で切断した断面構成を示している。図9及び図10に示すように、各画素領域内は反射領域Rと透過領域Tとに分けられている。透過領域Tには、ITO等の透明導電膜からなる透明電極16が形成されている。反射領域Rには、透明電極16と、外光を反射するために透明電極16上に積層されたAl等からなる反射電極17とが形成されている。また反射領域Rでは、透明電極16の下層にあらかじめ凹凸を形成しておき、その上の反射電極17表面にも凹凸が形成されるようになっている。これにより、入射光が反射される際に反射方向が特定方向以外にも適度に広がるようになる。

40

## 【0098】

携帯電話やPDA等の携帯端末は、一人だけで使用されることが多い。そのためほとんどの場合は表示が最も見やすくなる正面から表示画面を見ることになる。しかし、表示装置の周囲の環境が太陽により明るく照らされている場合は、太陽光はバックライトより遥

50

かに明るいため、透過型液晶表示装置では表示の明暗が周囲の光に埋もれてしまい非常に見づらくなる。これに対して反射型や半透過型の液晶表示装置はこのような場合に適しており、使用者は太陽光を利用して表示を鮮明に見ることが可能になる。よって、太陽光を正面から当てて表示画面も正面から見るのが、反射型及び半透過型液晶表示装置の明るい環境下での理想的な使用方法となる。

【 0 0 9 9 】

図 1 1 及び図 1 2 は、使用者と携帯端末の表示画面との位置関係を示している。図 1 1 に示すように、使用者 4 0 の背面側から太陽光が当たると、当然ながら携帯端末 4 1 の表示画面は使用者の陰になり、太陽光をうまく表示に利用することができない。そのため使用者 4 0 は、表示画面を見るたびに携帯端末 4 1 や使用者 4 0 自身の向き及び位置を図 1 2 に示すように変える必要があった。ところが、液晶表示装置は斜めから画面を見ると正面に比べ表示特性が一般的には劣るため、このような見方では最善の表示を見ることができない。特に、太陽光直射の有無や、太陽と使用者及び携帯端末との位置関係などが度々変わる自動車内や電車内で携帯端末を使用する場合、良好な表示を得るのが困難であり非常に不便であった。

10

【 0 1 0 0 】

また、半透過型液晶表示装置は、反射表示及び透過表示の短所を補い合うことで屋外でも室内環境でも表示が鮮明に見えるのが特徴であるが、当然ながら各画素領域には反射領域 R だけではなく透過領域 T も設ける必要がある。このため半透過型液晶表示装置は、反射型液晶表示装置に比べ反射領域 R が狭くなり、反射特性の向上が難しいという問題もある。このため、より効率的な反射特性が得られるよう画素設計を改善する必要がある。

20

【 0 1 0 1 】

本実施の形態の目的は、良好な表示特性の得られる半透過型の液晶表示装置及びそれに用いられる表示装置用基板を提供することにある。

【 0 1 0 2 】

上記目的は、透明基板上に形成され、凹凸状の表面を有する樹脂層と、前記樹脂層上に形成されて前記樹脂層表面に倣った凹凸状の表面を有し、光を透過する透明電極と光を反射する反射電極とが少なくとも一部で積層された構造を有する画素電極と、前記透明電極と前記反射電極とが積層された反射領域と、凹凸状の前記画素電極のうち頂部若しくは底部又はその両方に相当する領域で前記反射電極が除去された透過領域とをそれぞれ有する複数の画素領域とを有することを特徴とする表示装置用基板によって達成される。

30

【 0 1 0 3 】

上記本実施の形態の表示装置用基板において、前記樹脂層は透明であることを特徴とする。

【 0 1 0 4 】

上記本実施の形態の表示装置用基板において、前記透過領域は、前記樹脂層表面の基板面に対する傾斜角が  $6^\circ$  以下の領域に配置されていることを特徴とする。

【 0 1 0 5 】

上記本実施の形態の表示装置用基板において、前記透明電極は、ITO、 $ZnO_x$ 、又は  $ZnO_x$  に Al 若しくは Ga を含有させた化合物からなることを特徴とする。

40

【 0 1 0 6 】

上記本実施の形態の表示装置用基板において、前記反射電極は、Mo、窒素を含む Mo、又は Ti からなる下層部と、Al、Al 合金、Ag、又は Ag 合金からなる上層部とを含む 2 層以上の積層構造を有することを特徴とする。

【 0 1 0 7 】

上記本実施の形態の表示装置用基板において、前記透明電極は、 $ZnO_x$ 、又は  $ZnO_x$  に Al 若しくは Ga を含有させた化合物からなり、前記反射電極は、Al、Al 合金、Ag、又は Ag 合金の単層膜からなることを特徴とする。

【 0 1 0 8 】

また上記目的は、対向配置された一对の基板と、前記一对の基板間に封止された液晶と

50



を備えた液晶表示装置であって、前記一对の基板の一方に、上記本実施の形態の表示装置用基板が用いられていることを特徴とする液晶表示装置によって達成される。

【0109】

本実施の形態によれば、良好な表示特性の得られる半透過型の液晶表示装置及びそれに用いられる表示装置用基板を実現できる。

【0110】

本実施の形態では、半透過型液晶表示装置において、画素電極が透明電極とその上層の少なくとも一部に形成された反射電極との積層構造を有し、かつ反射電極（又はその下地層）の凹凸の頂部若しくは底部又はその両方に相当する位置に、光が透過できるように反射電極を除去した開口領域が設けられる。開口領域には、画素電極として透明電極のみが存在している。本実施の形態では、反射電極形成領域と開口領域とが混在する領域を半透過領域TRともいう。なお半透過領域TRは、微視的には、反射電極形成領域である反射領域Rと、開口領域である透過領域Tとを有していることは言うまでもない。すなわち、凹凸の頂部若しくは底部又はその両方に相当する領域が透過領域Tになっており、それ以外の領域が反射領域Rになっている。開口領域では透明電極が残存しているため、画素電位は透明電極によって保持される。開口領域でバックライトからの光が効率良く透過するように、反射電極下層の樹脂層には透明樹脂が用いられるか、又はブリーチング（色抜き）処理を行って透明にした樹脂が用いられる。なお、画素内には上記の半透過領域TRと透過領域Tの双方が設けられても良いが、半透過領域TRでの透過特性が十分であれば、画素領域全体を半透過領域TRとしても構わない。

【0111】

図13は本実施の形態の作用を説明するTF基板の模式的な断面図であり、図14は本実施の形態と比較するための従来の半透過型のTF基板の模式的な断面図である。一般に、反射型や半透過型の液晶表示装置では、反射電極での反射率の高さが重要な性能の一つである。ところが、上記のような問題があるため、正面-正面反射率（正面からの入射光に対する正面への反射光の強度の割合）よりも、むしろ正面方向に対し30°程度斜めからの入射光に対する反射率の方が重要となる。

【0112】

図14に示すような従来の構成の場合、画素内の反射領域では反射電極17表面に下地の樹脂層45に倣った凹凸が設けられている。しかし、凹凸の頂部又は底部に相当する領域では、光が仮に30°程度斜めから入射しても-30°の方向に反射されるため、正面方向への反射には寄与しない。ただし、正面-正面反射や斜め-斜め反射には寄与する。本実施の形態では、図13に示すようにこの領域の反射電極17を除去して開口領域42とし、この領域を透過領域として用いる。これによって当該領域を有効に活用でき、画素の実質的な開口率が向上する。また、この分だけ半透過領域を広くとり、反射特性を向上させる設計にしてもよい。こうすることにより、表示画面斜め方向からの光を表示画面法線方向により多く反射できる。このため、図15に示すような使用者40の斜め後方からの光を有効に利用でき、良好な反射表示が得られる。

【0113】

また開口領域42は、基板面に平行な方向を0°とした場合の凹凸表面の傾斜角（0°）が6°以下の領域に設けるのが望ましい。この理由について図16及び図17を用いて説明する。液晶表示装置43を搭載した携帯端末を見る場合、使用者は液晶表示装置43の表示画面の正面（法線方向）に自分の目が位置するように携帯端末を保持することが多い。このとき、表示画面と目との間の距離は、個人差や状況による差はあると思われるがおおよそ35cmである。ここで、太陽のような光源と表示画面との間に使用者の頭部44が位置して光の入射が遮られるような場合を考える。使用者の頭部44の幅を15cmとすると、表示画面への光の入射が頭部44によって遮られる最大の角度（0°

$$\begin{aligned} & < 90^\circ) \text{は、表示画面法線方向を } 0^\circ \text{ とすると、} \\ & = \arctan \{ (150 \text{ mm} / 2) / 350 \text{ mm} \} \\ & = 12.09^\circ \end{aligned}$$

10

20

30

40

50

となる。図 17 に示すように、入射光を表示画面法線方向に反射させる反射電極 17 の微小表面の傾斜角は、光の入射角の  $1/2$  である。すなわち、反射電極 17 のうち傾斜角が  $1/2$  ( $6^\circ$ ) 以下の領域は、光源、表示画面及び使用者の位置関係に基づき表示にあまり寄与しないことになる。したがって、開口領域 42 は、反射電極 17 が形成された場合にその表面の基板面に対する傾斜角が  $6^\circ$  以下になる領域（つまり樹脂層 45 表面又は透明電極 16 表面の傾斜角が  $6^\circ$  以下である領域）に形成されるのが望ましい。

#### 【0114】

（実施例 2 - 1）

図 18 は本実施の形態の実施例 2 - 1 による TFT 基板の 1 画素の構成を示している。図 19 は図 18 の E - E 線で切断した TFT 基板の断面構成を示している。ガラス等の絶縁基板 20 上にゲートバスライン（ゲート電極）1 及び Cs バスライン 2 が形成されている。ゲートバスライン 1 及び Cs バスライン 2 は、例えば Al 層 46、MoN 層 47、Mo 層 48 の積層膜からなる。その上層には絶縁膜 3、動作半導体層 4、チャネル保護膜 5 が形成され、さらにその上層にコンタクト層 ( $n^+a-Si$ ) 18、ドレイン電極 6、ソース電極 7 及び中間電極 8 が形成される。ドレイン電極 6、ソース電極 7 及び中間電極 8 は、例えば Ti 層 49、Al 層 50、Ti 層 51 の積層膜からなる。その上層には SiN などからなる保護膜 9 が成膜されているが、これは必要なければ省いてもよい。その上層には、凹凸を形成するため複数のアイランド状にパターニングされた凹凸形成用突起 29 が樹脂等で形成されている。凹凸形成用突起 29 上には有機膜（樹脂膜）30 が形成されている。凹凸形成用突起 29 による凹凸が有機膜 30 によりレベリングされることで、有機膜 30 表面には適度な凹凸が形成されている。さらにその上層には、ITO からなる透明電極 16 と、その上層に配置され MoN（窒素を含む Mo）層 52 及び Al 層 53 の積層膜からなる反射電極 17 とを含む画素電極が画素毎に形成されている。画素電極は、有機膜 30 の凹凸に倣った凹凸状の表面を有し、本実施例では凹凸の底部に相当する位置に、画素電極のうちの反射電極 17 が除去された開口領域 42 が配置されている。開口領域 42 は、反射電極 17 が除去されて透明電極 16 が残されることにより透過領域として用いられる。もちろん凹凸の頂部に相当する位置、あるいは図 20 に示すように底部及び頂部の両方の位置に開口領域 42 を形成してもよい。

#### 【0115】

Al は反射率が比較的高いため反射電極 17 としてしばしば用いられるが、ITO が下層に存在すると現像時に電池反応を起こして劣化してしまう。このため本実施例では、画素電極 16（ITO）と Al 層 53 との間に、カバーメタルとして MoN 層 52 を設けている。なお本実施例では画素のほぼ全域を半透過領域 TR としたが、図 21 に示すように例えば画素の下半分を画素電極として透明電極 16 のみが形成された透過領域 T としてもよい。

#### 【0116】

（実施例 2 - 2）

図 22 は本実施の形態の実施例 2 - 2 による TFT 基板の 1 画素の構成を示している。図 23 は図 22 の F - F 線で切断した TFT 基板の断面構成を示している。ガラス等の絶縁基板 20 上にゲートバスライン（ゲート電極）1 及び Cs バスライン 2 が形成されている。その上層には絶縁膜 3、動作半導体層 4、チャネル保護膜 5 が形成され、さらにその上層にコンタクト層 ( $n^+a-Si$ ) 18、ドレイン電極 6、ソース電極 7 及び中間電極 8 が形成される。その上層には SiN などからなる保護膜 9 が成膜されているが、これは必要なければ省いてもよい。その上層には、表面に皺状の凹凸を有する樹脂層 54 が形成されている。この皺状凹凸は、樹脂層 54 を塗布、露光、現像及び熱処理した後、UV 処理又はイオンドープを行い、その後熱処理することにより形成される。さらにその上層には、 $ZnO_x$  からなる透明電極 16 と、その上層に配置された Al からなる反射電極 17 とを含む画素電極が画素毎に形成されている。透明電極 16 は、 $ZnO_x$  に Al 又は Ga を含有させた化合物で形成してもよい。 $ZnO_x$  や、 $ZnO_x$  に Al 又は Ga を含有させた化合物は、Al を上層に直接積層しても現像処理での電池反応が発生しない。このため

、カバーメタルを形成する必要はない。画素電極の表面には、樹脂層 54 の凹凸に倣った皺状凹凸が形成されている。本実施例では皺状凹凸の頂部に相当する位置に、画素電極のうちの反射電極 17 が除去された線状の開口領域 42 が配置されている。開口領域 42 は、反射電極 17 が除去されて透明電極 16 が残されることにより透過領域として用いられる。

【0117】

なお、実施例 2 - 1、2 - 2 ではチャンネル保護膜型の TFT 基板を例に挙げたが、本実施の形態はチャンネルエッチ型の TFT 基板にも適用できる。

【0118】

以下、本実施の形態による TFT 基板の製造方法を簡単に説明する。

10

(1) 絶縁基板 20 上に第 1 の導電層として Al 層 46、MoN 層 47、Mo 層 48 を成膜し、ゲートバスライン 1 及び Cs バスライン 2 を形成する。

【0119】

(2) 次に、絶縁膜 3、a-Si 膜、SiN 膜を連続的に成膜する。次に、SiN 膜をチャンネル上に島状にパターニングし、チャンネル保護膜 5 を形成する。

【0120】

(3) 次に、 $n^+$  a-Si 膜、そして第 2 の導電層として Ti 層 49、Al 層 50、Ti 層 51 を順に成膜する。この第 2 の導電層によりドレイン電極 6、ソース電極 7、ドレインバスライン 10 及び中間電極 8 を形成する。

20

【0121】

(4) 次に保護膜 9 を成膜する。保護膜 9 は、CVD で形成される窒化シリコン層の他にも酸化シリコン等の絶縁層、又は樹脂絶縁層を用いてもよい。

【0122】

(5) その後、樹脂層を複数のアイランド状にパターニングして凹凸形成用突起 29 を形成し、その上層に有機膜 30 を形成する。凹凸形成用突起 29 による凹凸が適度に平坦化されることで、有機膜 30 には適度な凹凸が形成される。

【0123】

(6) 次に、透明電極 16 となる ITO 層、反射電極 17 の下層部となる MoN 層 52、及び反射電極 17 の上層部となる Al 層 53 を成膜する。MoN 層 52 に代えて Mo、Ti 等の高融点金属層を形成してもよく、また Al 層 53 に代えて Al 合金、Ag 又は Ag 合金からなる層を形成してもよい。また、ITO に代えて  $ZnO_x$ 、又は  $ZnO_x$  に Al 若しくは Ga (あるいは Al、Ga の両方) が添加された化合物を用いてもよい。その場合は、Al や Ag などが Mo などの高融点金属層を介さずに直接積層されても、現像時に電池反応は生じない。このため、反射電極 17 は Al、Al 合金、Ag 又は Ag 合金のいずれかの単層により形成してもよい。これらの材料が成膜された後、フォトリソグラフィ法によるレジストマスク形成、エッチング、及びレジスト剥離処理を行い、画素電極をパターニングする。画素電極には、下地の有機膜 30 の凹凸に倣った凹凸が形成される。例えば凹凸の頂部に相当する領域に開口領域 42 を形成する場合には、材料成膜後又は画素電極のパターニング後に基板全面の研磨を行い、凹凸の頂部に相当する領域の反射電極 17 のみを自己整合的に除去してもよい。もちろんフォトリソグラフィ法を用いて開口領域 42 を形成しても構わない。以上の工程を経て TFT 基板が完成する。

30

40

【0124】

その後、例えば TN 液晶を用いた液晶表示装置の場合、配向膜印刷、ラビング、対向基板との貼合せ、切断、液晶注入等の工程を経て、半透過型液晶表示装置が完成する。

【0125】

以上説明したように、本実施の形態によれば、良好な表示特性の得られる半透過型の液晶表示装置及びそれに用いられる表示装置用基板を実現できる。

【図面の簡単な説明】

【0126】

【図 1】本発明の第 1 の実施の形態の実施例 1 - 1 による液晶表示装置の概略構成を示す

50

図である。

【図 2】本発明の第 1 の実施の形態の実施例 1 - 1 による T F T 基板の 1 画素の構成を示す図である。

【図 3】本発明の第 1 の実施の形態の実施例 1 - 1 による T F T 基板の構成を示す断面図である。

【図 4】本発明の第 1 の実施の形態の実施例 1 - 2 による T F T 基板の 1 画素の構成を示す図である。

【図 5】本発明の第 1 の実施の形態の実施例 1 - 2 による T F T 基板の構成を示す断面図である。

【図 6】本発明の第 1 の実施の形態の実施例 1 - 3 による T F T 基板の構成を示す断面図である。

10

【図 7】本発明の第 1 の実施の形態の実施例 1 - 4 による T F T 基板の 1 画素の構成を示す図である。

【図 8】本発明の第 1 の実施の形態の実施例 1 - 4 による T F T 基板の構成を示す断面図である。

【図 9】本発明の第 2 の実施の形態の前提となる従来の T F T 基板の構成を示す図である。

【図 10】本発明の第 2 の実施の形態の前提となる従来の T F T 基板の構成を示す断面図である。

【図 11】使用者と表示画面の位置関係を示す図である。

20

【図 12】使用者と表示画面の位置関係を示す図である。

【図 13】本発明の第 2 の実施の形態の作用を説明する T F T 基板の模式的な断面図である。

【図 14】従来の半透過型の T F T 基板の模式的な断面図である。

【図 15】使用者と表示画面の位置関係を示す図である。

【図 16】本発明の第 2 の実施の形態の原理を説明する図である。

【図 17】本発明の第 2 の実施の形態の原理を説明する図である。

【図 18】本発明の第 2 の実施の形態の実施例 2 - 1 による T F T 基板の 1 画素の構成を示す図である。

【図 19】本発明の第 2 の実施の形態の実施例 2 - 1 による T F T 基板の断面構成を示す図である。

30

【図 20】本発明の第 2 の実施の形態の実施例 2 - 1 による T F T 基板の変形例を示す図である。

【図 21】本発明の第 2 の実施の形態の実施例 2 - 1 による T F T 基板の変形例を示す図である。

【図 22】本発明の第 2 の実施の形態の実施例 2 - 2 による T F T 基板の 1 画素の構成を示す図である。

【図 23】本発明の第 2 の実施の形態の実施例 2 - 2 による T F T 基板の断面構成を示す図である。

【図 24】従来の T F T 基板の構成を示す断面図である。

40

【図 25】従来の T F T 基板の構成を示す断面図である。

【図 26】従来の T F T 基板の構成を示す断面図である。

【図 27】従来の T F T 基板の構成を示す断面図である。

【符号の説明】

【 0 1 2 7 】

1 ゲートバスライン

2 C s バスライン

3 絶縁膜

4 動作半導体層

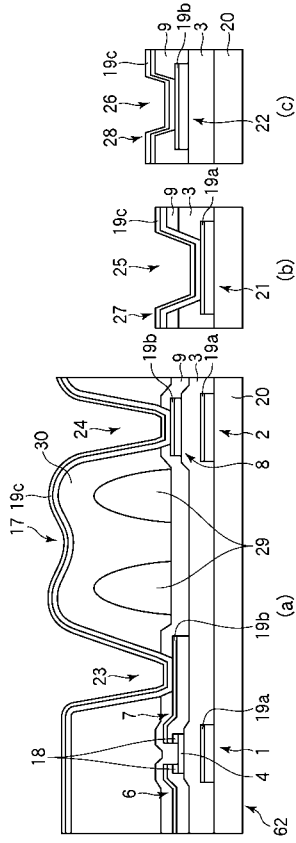
5 チャネル保護膜

50

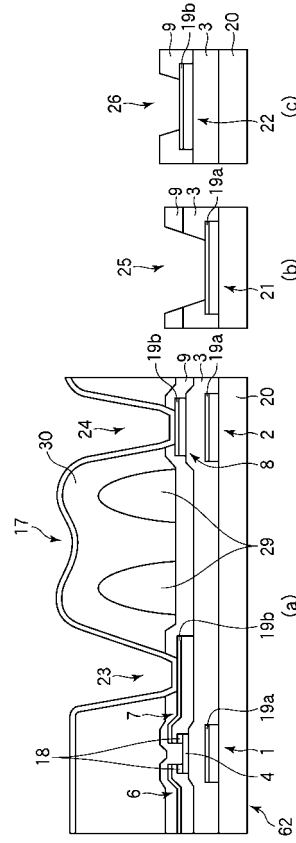
6	ドレイン電極	
7	ソース電極	
8	中間電極	
9	保護膜	
10	ドレインバスライン	
11、12	樹脂層	
13	I T O膜	
14	M o N膜	
15	A l膜	
16	画素電極	10
17	反射電極	
18	コンタクト層	
19 a、19 b、19 c	Z n O膜	
20	絶縁基板	
21、22	下部電極	
23、24、25、26	コンタクトホール	
27、28	上部電極	
29	凹凸形成用突起	
30	有機膜	
31	共通電極	20
40	使用者	
41	携帯端末	
42	開口領域	
43	液晶表示装置	
44	頭部	
45、54	樹脂層	
46、50、53	A l層	
47、52	M o N層	
48	M o層	
49、51	T i層	30
62	T F T基板	
64	対向基板	
80	ゲートバスライン駆動回路	
82	ドレインバスライン駆動回路	
84	制御回路	
86、87	偏光板	
88	バックライトユニット	



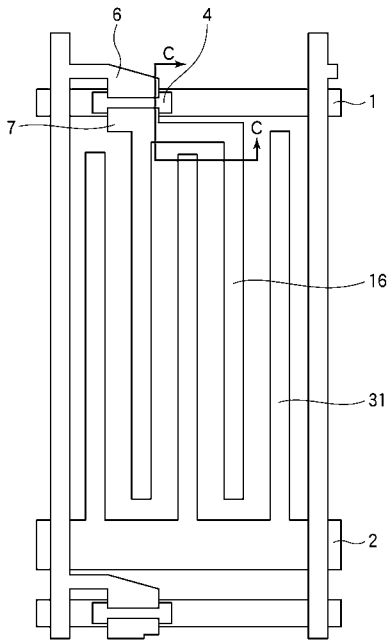
【 図 5 】



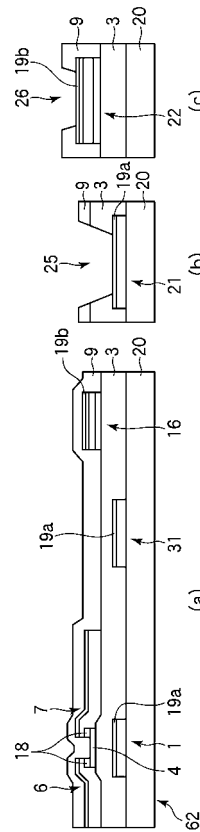
【 図 6 】



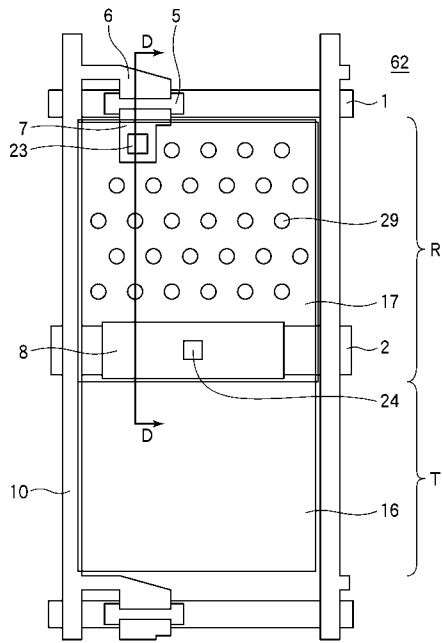
【 図 7 】



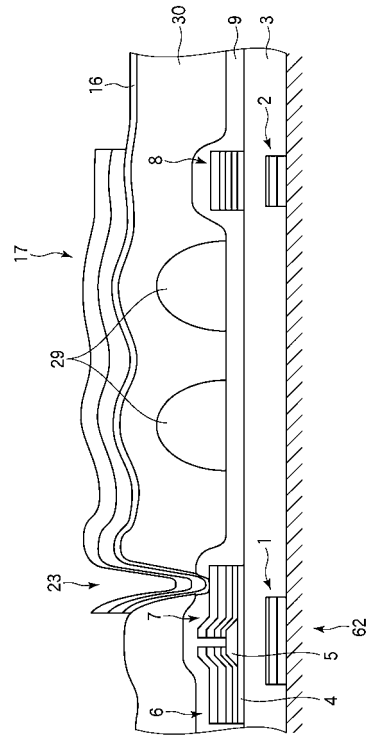
【 図 8 】



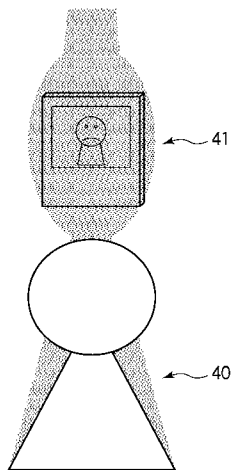
【図 9】



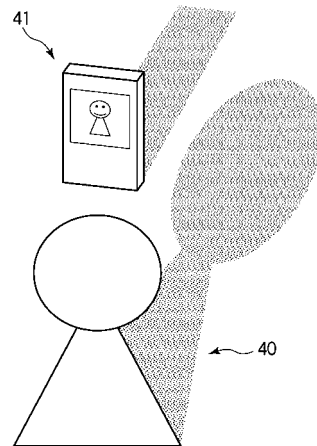
【図 10】



【図 11】

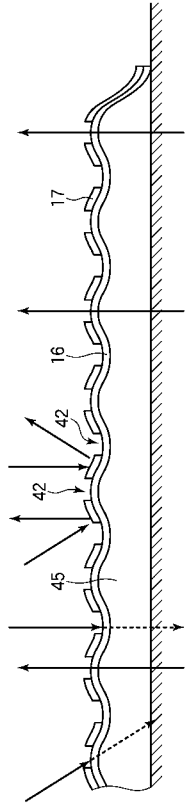


【図 12】

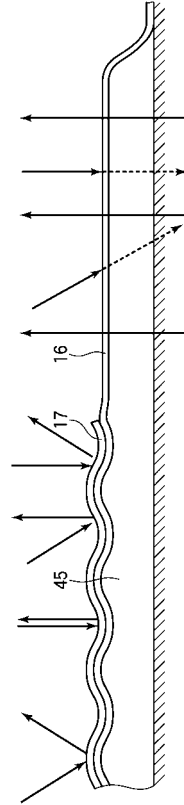




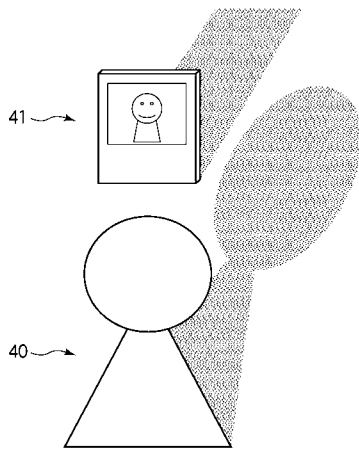
【図 13】



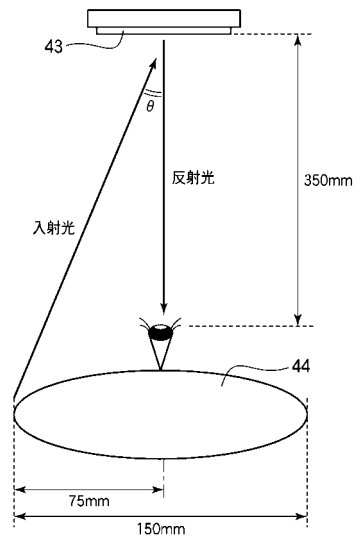
【図 14】



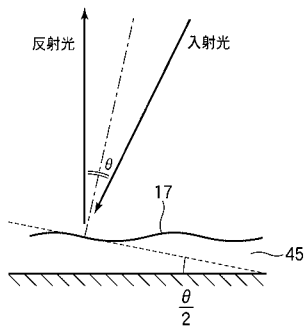
【図 15】



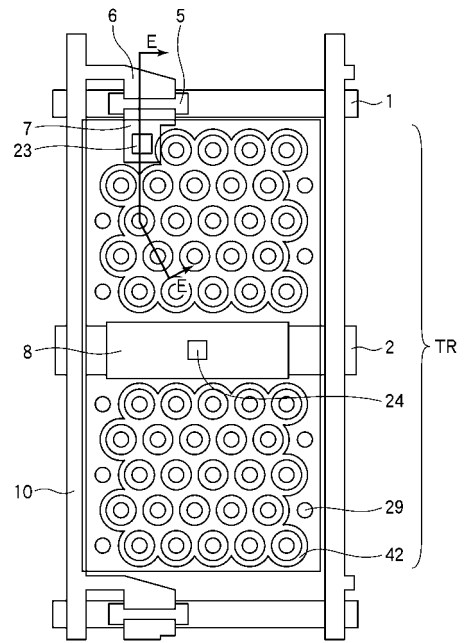
【図 16】



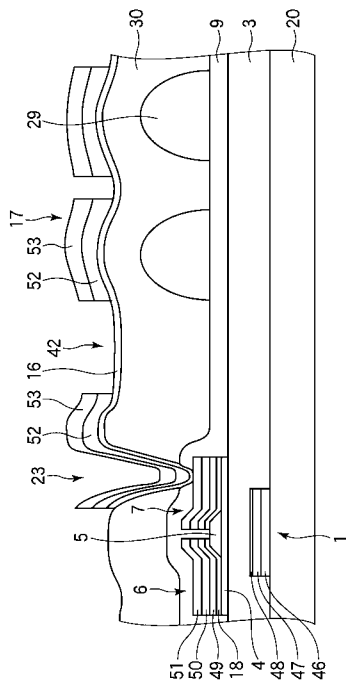
【図 17】



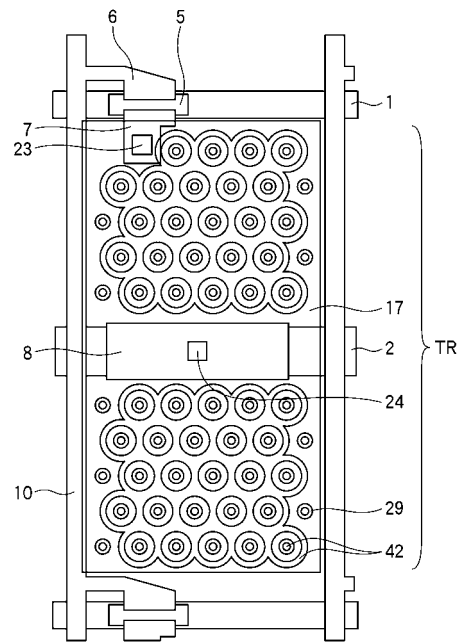
【図 18】



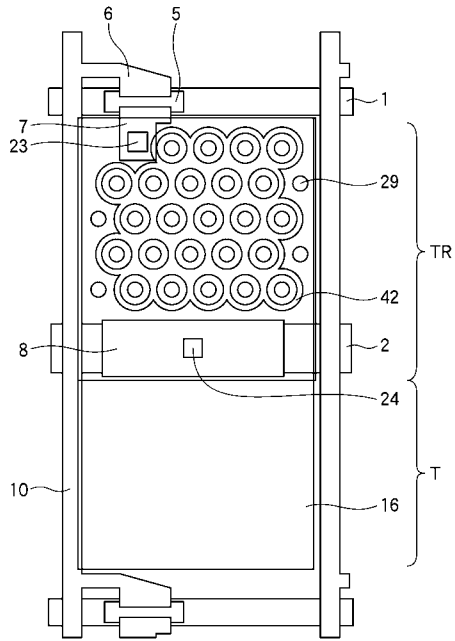
【図 19】



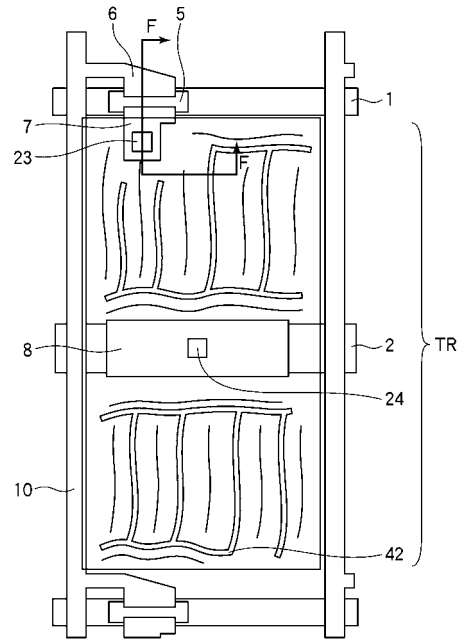
【図 20】



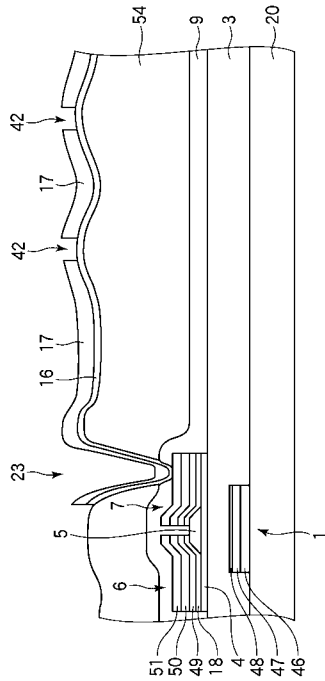
【図 2 1】



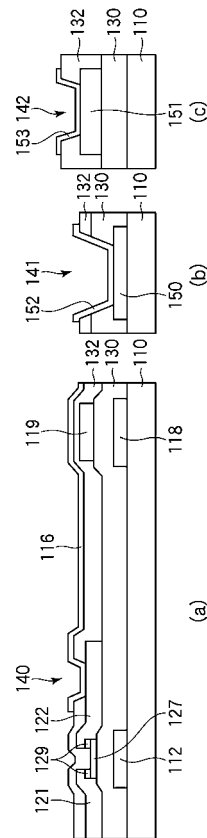
【図 2 2】



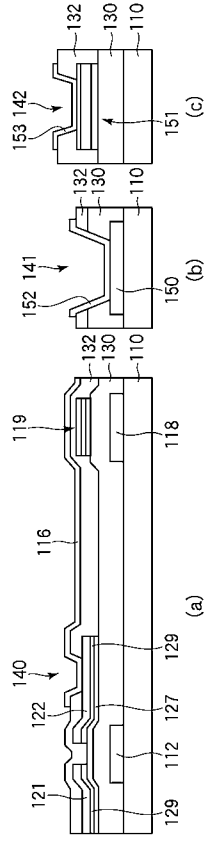
【図 2 3】



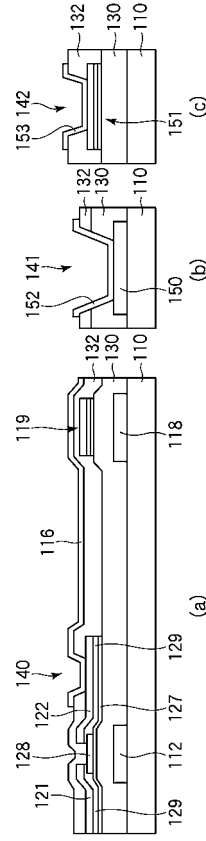
【図 2 4】



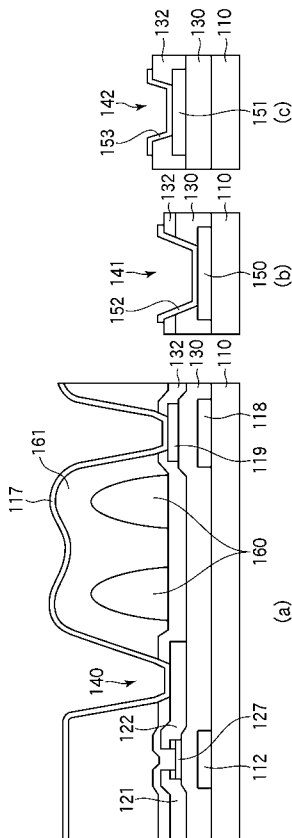
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



---

フロントページの続き

- (72)発明者 松井 章宏  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
- (72)発明者 橋井 秀弥  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 福田 知喜

- (56)参考文献 特開2004-341186(JP,A)  
特開2003-057638(JP,A)  
特開2003-084302(JP,A)  
特開2004-047566(JP,A)  
特開平06-291318(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343  
G02F 1/1335  
G09F 9/30