



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I822820 B

(45) 公告日：中華民國 112 (2023) 年 11 月 21 日

(21) 申請案號：108125918

(22) 申請日：中華民國 108 (2019) 年 07 月 23 日

(51) Int. Cl. : *H04N5/225 (2006.01)**H01L27/146 (2006.01)*

(30) 優先權：2018/08/16 日本

2018-153248

(71) 申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72) 發明人：馬上崇 MOUE, TAKASHI (JP)；矢津田宏智 YATSUDA, HIROAKI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW I458333B

US 20030071748A1

審查人員：謝瑞航

申請專利範圍項數：7 項 圖式數：17 共 96 頁

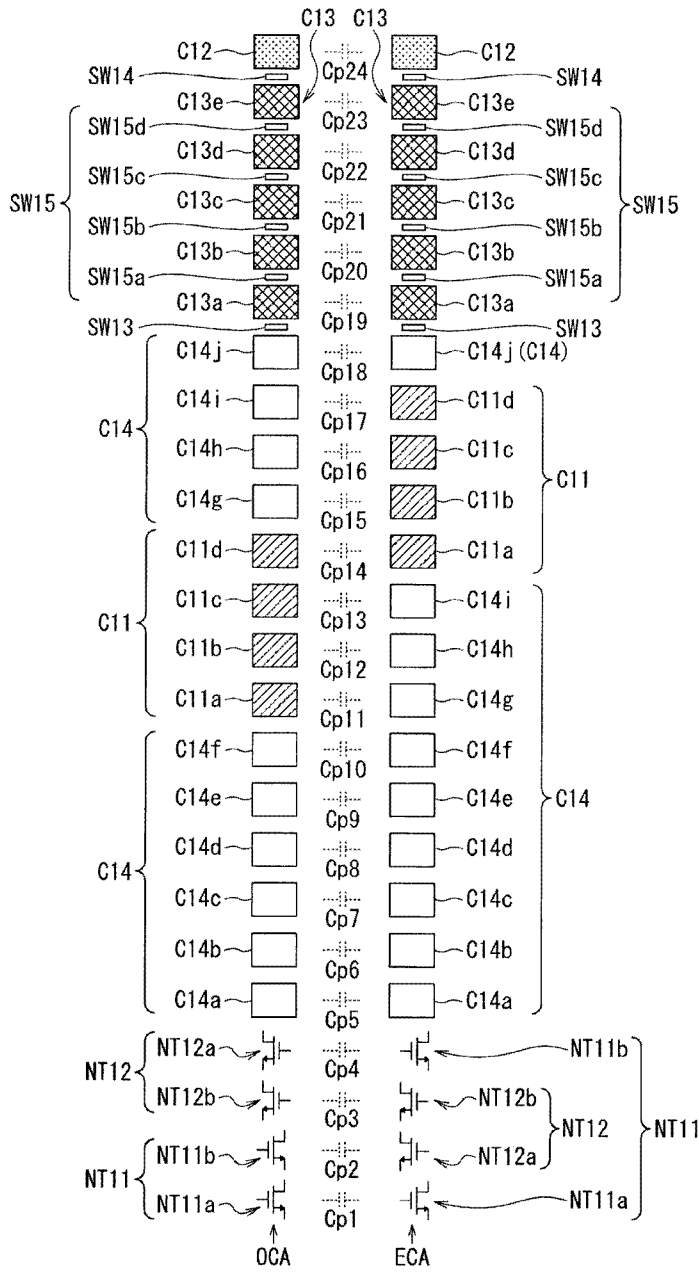
(54) 名稱

攝像元件

(57) 摘要

本技術之目的在於提供一種可謀求減少 AD 轉換部中之串擾之攝像元件。攝像元件具備偶數行區域之電容器及以不同之面積與該電容器對向地配置之奇數行區域之電容器。

指定代表圖：



【圖7】

符號簡單說明：

- C11: 電容器
- C11a~C11d: 分割電容器
- C12: 電容器
- C13: 電容器
- C13a~C13e: 分割電容器
- C14: 電容器
- C14a~C14j: 分割電容器
- Cp1: 寄生電容
- Cp2: 寄生電容
- Cp3: 寄生電容
- Cp4: 寄生電容
- Cp5: 寄生電容
- Cp6: 寄生電容
- Cp7: 寄生電容
- Cp8: 寄生電容
- Cp9: 寄生電容
- Cp10: 寄生電容
- Cp11: 寄生電容
- Cp12: 寄生電容
- Cp13: 寄生電容
- Cp14: 寄生電容
- Cp15: 寄生電容
- Cp16: 寄生電容
- Cp17: 寄生電容
- Cp18: 寄生電容
- Cp19: 寄生電容
- Cp20: 寄生電容
- Cp21: 寄生電容
- Cp22: 寄生電容
- Cp23: 寄生電容
- Cp24: 寄生電容
- ECA: 偶數行區域
- NT11: NMOS 電晶體
- NT11a: 分割電晶體

NT11b:分割電晶體

NT12:NMOS 電晶體

NT12a:分割電晶體

NT12b:分割電晶體

OCA:奇數行區域

SW13:開關

SW14:開關

SW15:開關群

SW15a:開關

SW15b:開關

SW15c:開關

SW15d:開關



公告本

I822820

【發明摘要】

【中文發明名稱】

攝像元件

【中文】

本技術之目的在於提供一種可謀求減少AD轉換部中之串擾之攝像元件。攝像元件具備偶數行區域之電容器及以不同之面積與該電容器對向地配置之奇數行區域之電容器。

【指定代表圖】

圖7

【代表圖之符號簡單說明】

C11	電容器
C11a~C11d	分割電容器
C12	電容器
C13	電容器
C13a~C13e	分割電容器
C14	電容器
C14a~C14j	分割電容器
Cp1	寄生電容
Cp2	寄生電容
Cp3	寄生電容
Cp4	寄生電容
Cp5	寄生電容
Cp6	寄生電容

Cp7	寄生電容
Cp8	寄生電容
Cp9	寄生電容
Cp10	寄生電容
Cp11	寄生電容
Cp12	寄生電容
Cp13	寄生電容
Cp14	寄生電容
Cp15	寄生電容
Cp16	寄生電容
Cp17	寄生電容
Cp18	寄生電容
Cp19	寄生電容
Cp20	寄生電容
Cp21	寄生電容
Cp22	寄生電容
Cp23	寄生電容
Cp24	寄生電容
ECA	偶數行區域
NT11	NMOS電晶體
NT11a	分割電晶體
NT11b	分割電晶體
NT12	NMOS電晶體

NT12a	分割電晶體
NT12b	分割電晶體
OCA	奇數行區域
SW13	開關
SW14	開關
SW15	開關群
SW15a	開關
SW15b	開關
SW15c	開關
SW15d	開關

【發明說明書】

【中文發明名稱】

攝像元件

【技術領域】

【0001】 本技術係關於一種攝像元件。

【先前技術】

【0002】 先前，已知有一種具備像素部之固體攝像裝置，該像素部具有呈矩陣狀配置之複數個像素(例如參考專利文獻1)。固體攝像裝置具有將類比像素信號進行AD(Analog to Digital，類比-數位)轉換的AD轉換部，該類比像素信號係基於藉由設置於複數個像素之光電轉換元件進行光電轉換所得之電信號而產生。基於利用AD轉換部進行AD轉換所得之數位像素信號使圖像顯示於顯示裝置等。

[先前技術文獻]

[專利文獻]

【0003】 [專利文獻1]日本專利特開2014-023065號公報

【發明內容】

[發明所欲解決之問題]

【0004】 AD轉換部係針對設置於像素部之複數個像素行之每一行予以設置。因此，複數個AD轉換部並列地配置於一行。又，相鄰之AD轉換部彼此近接地配置。設置於AD轉換部之比較器具有輸入電容。對應於類比像素信號之電壓在經AD轉換時被保持於該輸入電容，故而於AD轉換時施加至該輸入電容之電壓發生變動。有該電壓變動干擾到設置於鄰接之AD轉換部之比較器之輸入電容而產生串擾的情形。當AD轉換部產生串擾

時，自鄰接之AD轉換部受到影響之側之AD轉換部(受干擾側之AD轉換部)會將自像素輸入之類比像素信號中重疊有鄰接之AD轉換部之電壓變動之類比信號進行AD轉換。其結果，產生如下問題：於顯示裝置等顯示有產生雜訊之圖像。

【0005】 本技術之目的在於提供一種可謀求減少AD轉換部中之串擾之攝像元件。

[解決問題之技術手段]

【0006】 本技術之一態樣之攝像元件具備：第一電容，其連接於與具有光電轉換元件之第一像素連接之第一信號線，且配置於第一區域；第二電容，其配置於上述第一區域且與產生參考信號之參考信號產生部連接；第三電容，其配置於上述第一區域且以可與上述第一電容及上述第二電容連接之方式設置；第四電容，其配置於上述第一區域且與基準電位之供給部連接；第一差動放大器，其配置於上述第一區域，且具有連接有上述第一電容、上述第二電容及上述第三電容之一輸入部、以及連接有上述第四電容之另一輸入部；第五電容，其連接於與具有光電轉換元件之第二像素連接之第二信號線，且以不同之面積與上述第一電容及上述第四電容對向地配置於與上述第一區域相鄰之第二區域；第六電容，其配置於上述第二區域且與上述參考信號產生部連接；第七電容，其配置於上述第二區域且以可與上述第五電容及上述第六電容連接之方式設置；第八電容，其配置於上述第二區域且被供給上述基準電位；及第二差動放大器，其配置於上述第二區域，且具有連接有上述第五電容、上述第六電容及上述第七電容之一輸入部、以及連接有上述第八電容之另一輸入部。

【0007】 亦可為上述第一電容、上述第三電容、上述第四電容、上

述第五電容、第七電容及上述第八電容分別具有經分割而成之複數個分割電容，上述第五電容之上述分割電容即第五分割電容以與上述第一電容之上述分割電容即第一分割電容對向之個數和與上述第四電容之上述分割電容即第四分割電容對向之個數不同之方式配置。

【0008】亦可為上述第三電容之上述分割電容即第三分割電容彙集於上述第一區域之特定範圍內，上述第七電容之上述分割電容即第七分割電容彙集於上述第二區域之特定範圍內，複數個上述第三分割電容及複數個上述第七分割電容以一對一之關係對向地配置。

【0009】亦可為具備：第一切換元件，其切換上述第一電容與上述第三電容之連接及切斷；第二切換元件，其切換上述第二電容與上述第三電容之連接及切斷；第三切換元件，其切換相鄰之2個上述第三分割電容之連接及切斷；第五切換元件，其切換上述第五電容與上述第七電容之連接及切斷；第六切換元件，其切換上述第六電容與上述第七電容之連接及切斷；及第七切換元件，其切換相鄰之2個上述第七分割電容之連接及切斷。

【0010】亦可為上述第一分割電容、上述第二電容及上述第三分割電容之合計數與上述第四電容之分割電容即第四分割電容之總數相同，上述第五分割電容、上述第六電容及上述第七分割電容之合計數與上述第八電容之分割電容即第八分割電容之總數相同，上述第一分割電容、上述第二電容、上述第三分割電容及上述第四分割電容之合計數與上述第五分割電容、上述第六電容、上述第七分割電容及上述第八分割電容之合計數相同。

【0011】亦可為複數個上述第一分割電容之各者、上述第二電容、

複數個上述第三分割電容之各者、複數個上述第四分割電容之各者、複數個上述第五分割電容之各者、上述第六電容、複數個上述第七分割電容之各者、以及複數個上述第八分割電容之各者具有相互相同之電容值。

【0012】 亦可為複數個上述第一分割電容之各者具有與上述第一信號線連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，上述第二電容具有與上述參考信號產生部連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，複數個上述第三分割電容之各者具有與上述第三切換元件連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，複數個上述第四分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第一差動放大器之上述另一輸入部連接之另一電極，複數個上述第五分割電容之各者具有與上述第二信號線連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，上述第六電容具有與上述參考信號產生部連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，複數個上述第七分割電容之各者具有與上述第七切換元件連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，複數個上述第八分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第二差動放大器之上述另一輸入部連接之另一電極。

【圖式簡單說明】

【0013】

圖1係表示應用有本技術之攝像元件之數位相機之概略構成的區塊圖。

圖2係表示本技術之一實施形態之攝像元件之概略構成的區塊圖。

圖3係表示設置於本技術之一實施形態之攝像元件之單位像素的構成例之電路圖。

圖4係表示設置於本技術之一實施形態之攝像元件之比較器的構成例之電路圖。

圖5係說明設置於本技術之一實施形態之攝像元件之比較器的圖，且係用以說明根據輸入電容之比率輸入至差動放大器之參考信號之變化的圖。

圖6係表示構成設置於本技術之一實施形態之攝像元件之比較器的差動對之2個NMOS電晶體之概略構成之圖。

圖7係說明本技術之一實施形態之攝像元件之圖，且係表示分別形成於奇數行區域及偶數行區域之比較器之各電容器及構成差動對之NMOS電晶體的配置關係之一例之圖。

圖8係用以說明設置於本技術之一實施形態之攝像元件之比較器的動作之時序圖。

圖9係用以說明設置於本技術之一實施形態之攝像元件之比較器的效果之圖。

圖10係說明本技術之一實施形態之攝像元件之作用、效果之圖(第1干擾例)。

圖11係說明本技術之一實施形態之攝像元件之作用、效果之圖(第2干擾例)。

圖12係說明本技術之一實施形態之攝像元件之作用、效果之圖(第3干擾例)。

圖13係表示設置於本技術之一實施形態之變化例1之攝像元件的比較

器之構成例之電路圖。

圖14係表示設置於本技術之一實施形態之變化例2之攝像元件的比較器之構成例之電路圖。

圖15係說明本技術之一實施形態之變化例2之攝像元件的圖，且係表示分別形成於奇數行區域及偶數行區域之比較器之各電容器及構成差動對之NMOS電晶體的配置關係之一例之圖。

圖16係表示利用1個裸晶片構成本技術之一實施形態之攝像元件之情形時的構成例之概要圖。

圖17係表示利用2個裸晶片構成本技術之一實施形態之攝像元件之情形時的構成例之概要圖。

【實施方式】

【0014】 使用圖1至圖12對本技術之一實施形態之攝像元件進行說明。

【0015】

<數位相機之構成例>

首先，使用圖1對應用本實施形態之攝像元件之數位相機進行說明。應用有本技術之攝像元件之數位相機可拍攝靜態圖像及動態圖像中之任一者。

【0016】 如圖1所示，數位相機100具備光學系統2、攝像元件1、記憶體3、信號處理部4、輸出部5及控制部6。

【0017】 光學系統2例如具有未圖示之可變焦距透鏡(zoom lens)、聚焦透鏡及光圈等。光學系統2使來自外部之光入射至攝像元件1。

【0018】 攝像元件1例如為CMOS(Complementary Metal Oxide

Semiconductor，互補金氧半導體)影像感測器。攝像元件1接收自光學系統2入射之入射光，並將所接收到之入射光進行光電轉換。藉此，攝像元件1輸出與自光學系統2入射之入射光對應之圖像資料。

【0019】 記憶體3暫時記憶攝像元件1所輸出之圖像資料。

【0020】 信號處理部4使用記憶體3中所記憶之圖像資料進行信號處理，且將信號處理後之圖像資料供給至輸出部5。信號處理部4例如進行混入至圖像資料之雜訊之去除或白平衡之調整等處理。

【0021】 輸出部5輸出自信號處理部4供給之圖像資料。輸出部5例如具有由液晶等構成之顯示裝置(未圖示)。輸出部5將與自信號處理部4供給之圖像資料對應之圖像顯示為所謂之直通圖像(through image)。

【0022】 又，輸出部5例如具有驅動半導體記憶體、磁碟或者光碟等記錄媒體之驅動器(未圖示)。輸出部5將自信號處理部4供給之圖像資料記錄於記錄媒體。

【0023】 控制部6按照數位相機100之使用者等之操作，控制構成數位相機100之各區塊。

【0024】

<攝像元件之構成例>

其次，使用圖2至圖6對本實施形態之攝像元件之概略構成進行說明。

如圖2所示，本實施形態之攝像元件1具備像素部101、時序控制電路102、垂直掃描電路103、DAC(Digital to Analog Converter，數位-類比轉換裝置)104、ADC(Analog to Digital Converter，類比-數位轉換裝置)群12、水平傳輸掃描電路106、放大器電路107及信號處理電路108。

【0025】如圖2所示，於像素部101，呈矩陣狀配置有單位像素(以下亦簡稱為像素)，該單位像素包含將入射光光電轉換為與其光量相應之電荷量之光電轉換元件。於本實施形態中，於像素部101，設置有m列n行(m及n為自然數)之單位像素P11~Pmn(以下，於無需個別地區分單位像素P11~Pmn之全部或一部分之情形時，簡稱為「單位像素P」)。於圖2中，圖示有m列n行之像素陣列中之一部分(14個)單位像素P。單位像素P11~Pmn具有相互相同之電路構成。關於單位像素P11~Pmn之具體之電路構成，將參照圖3於下文進行敘述。

【0026】又，於像素部101，針對矩陣狀之像素陣列，將m條像素驅動線109-1~109-m沿著圖之左右方向(像素列之像素陣列方向/水平方向)配線。又，於像素部101，將n條垂直信號線110-1~110-n沿著圖之上下方向(像素行之像素陣列方向/垂直方向)配線。像素驅動線109-1~109-m之一端連接於與垂直掃描電路103之各列對應之輸出端。對應於像素驅動線109-1~109-m及垂直信號線110-1~110-n之交叉部之各者，配置有單位像素P11~Pmn之各者。再者，於圖2中，在每一像素列各示出1條像素驅動線109-1~109-m，但亦可於各像素列設置2條以上之像素驅動線109-1~109-m。以下，於無需個別地區分垂直信號線110-1~110-n之情形時，簡稱為「垂直信號線110」，於無需個別地區分像素驅動線109-1~109-m之情形時，簡稱為「像素驅動線109」。

【0027】時序控制電路102具備產生各種時序信號之時序發生器(未圖示)。時序控制電路102基於自外部賦予之控制信號等，根據由時序發生器產生之各種時序信號進行垂直掃描電路103、DAC104、ADC群12及水平傳輸掃描電路106等之驅動控制。

【0028】 垂直掃描電路103包含移位暫存器或位址解碼器等。此處，對於具體構成將省略圖示，但垂直掃描電路103包含讀出掃描系統及消去掃描系統。

【0029】 讀出掃描系統對要讀出信號之單位像素以列為單位依序進行選擇掃描。另一方面，消去掃描系統對藉由讀出掃描系統進行讀出掃描之讀出列，相較該讀出掃描而言提前快門速度之時間量地進行自該讀出列之單位像素之光電轉換元件消去(重設)無用電荷之消去掃描。藉由利用該消去掃描系統之無用電荷之消去(重設)，進行所謂之電子快門動作。此處，所謂電子快門動作係指捨棄光電轉換元件之光電荷而重新開始曝光(開始光電荷之儲存)之動作。藉由讀出掃描系統之讀出動作所讀出之信號對應於在此之前剛進行過之讀出動作或電子快門動作之後入射之光量。而且，自剛進行過之讀出動作之讀出時點或電子快門動作之消去時點至本次讀出動作之讀出時點為止之期間成為單位像素中之光電荷之儲存時間(曝光時間)。

【0030】 自藉由垂直掃描電路103進行了選擇掃描之像素列之各單位像素輸出之像素信號VSL經由各行垂直信號線110供給至ADC群12。

【0031】 DAC104產生作為線性增加之斜坡波形之信號之參考信號RAMP，且供給至ADC群12。

【0032】 ADC群12具有與垂直信號線110-1、110-2、110-3~110(n-1)~110-m連接之ADC105-1、105-2、105-3~105-(n-1)、105-n。ADC105-1、105-2、105-3~105-(n-1)、105-n具有比較器(comparator)121-1、121-2、121-3~121-(n-1)、121-n、計數器122-1、122-2、122-3~122-(n-1)、122-n及鎖存器123-1、123-2、123-3~123-

(n-1)、123-n。再者，以下，於無需個別地區分ADC105-1~105-n、比較器121-1~121-n、計數器122-1~計數器122-n及鎖存器123-1~鎖存器123-n之情形時，簡稱為ADC105、比較器121、計數器122及鎖存器123。

【0033】比較器121、計數器122及鎖存器123針對像素部101之每條垂直信號線110分別設置各1個，而構成ADC105。即，於ADC群12，針對像素部101之每條垂直信號線110設置有ADC105。

【0034】比較器121將使自各像素輸出之像素信號VSL與參考信號RAMP經由電容相加而得之信號之電壓、和特定之基準電壓加以比較，並將表示比較結果之輸出信號供給至計數器122。

【0035】計數器122基於比較器121之輸出信號，將使像素信號VSL與參考信號RAMP經由電容相加而得之信號超過特定之基準電壓之前之時間進行計數，藉此，將類比像素信號轉換為由計數值表示之數位像素信號。計數器122將計數值供給至鎖存器123。

【0036】鎖存器123保持自計數器122供給之計數值。又，鎖存器123藉由獲得與信號位準之像素信號對應之D(Data，資料)相之計數值和與重設位準之像素信號對應之P(Pre-Charge，預充電)相之計數值的差量，而進行相關雙重取樣(Correlated Double Sampling：CDS)。

【0037】ADC105-1~105-n以與排列於設置在像素部101之單位像素P之一列之n個單位像素 $P_{i1} \sim P_{in}$ ($i=1、2、3、\sim、m$)對應的方式配置。以下，將為了配置1個ADC105而分配之半導體晶片上之區域稱為「行區域」。行區域之寬度(單位像素P之列方向之長度)受到每一列(水平方向)之單位像素P之個數(n個)等限制。根據針對攝像元件1之小型化之請求，行區域之寬度受到限制。因此，相鄰之ADC105近接地配置。因此，

相鄰之ADC105彼此相互干擾，而產生串擾。有因該串擾而導致顯示於顯示裝置等之圖像或動態圖像產生雜訊之情形。因此，關於本實施形態之攝像元件1，為了減少串擾，於相鄰之偶數行區域(第一區域之一例)ECA及奇數行區域(第二區域之一例)OCA中設置於比較器121之複數個電容器之配置順序不同。關於該等複數個電容器之配置順序將於下文進行敘述。

【0038】 水平傳輸掃描電路106包含移位暫存器或位址解碼器等，且依序選擇掃描與ADC群12之像素行對應之電路部分。藉由水平傳輸掃描電路106之選擇掃描，將鎖存器123中所保持之數位像素信號經由水平傳輸線111依序傳輸至放大器電路107。

【0039】 放大器電路107將自鎖存器123供給之數位像素信號放大，並供給至信號處理電路108。

【0040】 信號處理電路108對自放大器電路107供給之數位像素信號進行特定之信號處理，產生二維之圖像資料。例如，信號處理電路108進行豎線缺陷、點缺陷之修正或信號之箝位，或者進行並行-串列轉換、壓縮、編碼、相加、平均及間歇動作等數位信號處理。信號處理電路108將所產生之圖像資料輸出至後段裝置。

【0041】

<像素之構成例>

圖3係表示設置於像素部101之單位像素P11~Pmn之構成例之電路圖。單位像素P11~Pmn具有相互相同之構成。

【0042】 單位像素P具備例如光電二極體151作為光電轉換元件。單位像素P針對光電二極體151，具備傳輸電晶體152、放大電晶體154、選擇電晶體155及重設電晶體156該等4個電晶體作為主動元件。

【0043】 光電二極體151將入射光光電轉換為與其光量相應之量之電荷(此處為電子)。

【0044】 傳輸電晶體152連接於光電二極體151與FD(Floating Diffusion，浮動擴散部)153之間。傳輸電晶體152於藉由自垂直掃描電路103供給之驅動信號TX而成為接通狀態時，將儲存於光電二極體151之電荷傳輸至FD153。

【0045】 於FD153，連接有放大電晶體154之閘極。放大電晶體154經由選擇電晶體155連接於垂直信號線110，構成像素部101外之定電流源157與源極隨耦器(Source Follower)。當根據自垂直掃描電路103供給之驅動信號SEL使選擇電晶體155接通時，放大電晶體154將FD153之電位放大，且將表示與該電位相應之電壓之像素信號輸出至垂直信號線110。繼而，自各單位像素P輸出之像素信號經由垂直信號線110供給至ADC群12之各比較器121。

【0046】 重設電晶體156連接於電源VDD與FD153之間。於重設電晶體156根據自垂直掃描電路103供給之驅動信號RST而接通時，FD153之電位被重設為電源VDD之電位。

【0047】 FD153形成於傳輸電晶體152、放大電晶體154及重設電晶體156之連接點。傳輸電晶體152、放大電晶體154、重設電晶體156及選擇電晶體155例如包含N型金屬氧化物半導體場效應電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor：MOSFET)。

【0048】

<比較器之構成例>

形成於偶數行區域ECA及奇數行區域OCA之比較器121之電容器之配

置不同，但電路構成相同。因此，無需區分偶數行區域ECA及奇數行區域OCA，使用圖4來說明比較器121之電路構成。

【0049】如圖4所示，比較器121具備差動放大器201。差動放大器201具備P型MOS(PMOS(P-type Metal Oxide Semiconductor))電晶體PT11、PMOS電晶體PT12及N型MOS(NMOS((N-type Metal Oxide Semiconductor)))電晶體NT11、NT12、NT13。詳細情況將於下文敘述，NMOS電晶體NT11及NMOS電晶體NT12分別包含並聯連接之2個分割電晶體。

【0050】PMOS電晶體PT11之源極及PMOS電晶體PT12之源極連接於電源VDD1。PMOS電晶體PT11之汲極連接於PMOS電晶體PT11之閘極及NMOS電晶體NT11之汲極。PMOS電晶體PT12之汲極連接於NMOS電晶體NT12之汲極及輸出信號OUT1之輸出端子T15。NMOS電晶體NT11之源極連接於NMOS電晶體NT12之源極及NMOS電晶體NT13之汲極。NMOS電晶體NT13之源極連接於接地GND1。

【0051】而且，電流鏡電路包含PMOS電晶體PT11及PMOS電晶體PT12。又，差動之比較部包含NMOS電晶體NT11、NMOS電晶體NT12及NMOS電晶體NT13。即，NMOS電晶體NT13藉由經由輸入端子T14自外部輸入之偏壓電壓VG而作為電流源動作，NMOS電晶體NT11及NMOS電晶體NT12作為差動電晶體動作。

【0052】設置於攝像元件1之比較器121具備電容器C11、電容器C12、電容器C13及電容器C14。

【0053】形成於偶數行區域ECA之比較器121之電容器C11相當於第一電容之一例，其連接於與具有光電轉換元件之第一像素連接之第一信號

線，且配置於第一區域。於此情形時，圖2所示之單位像素 $P1i$ (i 為自然數且 n 以下之偶數)相當於第一像素之一例。又，圖2所示之垂直信號線 $109-i$ (i 為自然數且 n 以下之偶數)相當於第一信號線之一例。又，圖2所示之偶數行區域 ECA 相當於第一區域。進而，圖3所示之光電二極體 151 相當於光電轉換元件之一例。

【0054】 形成於偶數行區域 ECA 之比較器 121 之電容器 $C12$ 相當於第二電容，其配置於偶數行區域 ECA 且連接於產生參考信號 $RAMP$ 之 DAC (參考信號產生部之一例) 104 (參照圖2)。形成於偶數行區域 ECA 之比較器 121 之電容器 $C13$ 相當於第三電容之一例，其配置於偶數行區域 ECA 且以可連接於電容器 $C11$ 及電容器 $C12$ 之方式設置。形成於偶數行區域 ECA 之比較器 121 之電容器 $C14$ 相當於第四電容之一例，其配置於偶數行區域 ECA 且連接於接地(基準電位之供給部之一例) $GND1$ 。

【0055】 形成於奇數行區域 OCA 之比較器 121 之電容器 $C11$ 相當於第五電容之一例，其連接於與具有光電轉換元件之第二像素連接之第二信號線，且配置於第二區域。於此情形時，圖2所示之單位像素 $P1i$ (i 為自然數且 n 以下之奇數)相當於第二像素之一例。又，圖2所示之垂直信號線 $109-i$ (i 為自然數且 n 以下之奇數)相當於第二信號線之一例。又，圖2所示之奇數行區域 OCA 相當於第二區域。進而，圖3所示之光電二極體 151 相當於光電轉換元件之一例。

【0056】 形成於奇數行區域 OCA 之比較器 121 之電容器 $C12$ 相當於第六電容，其配置於奇數行區域 OCA 且連接於產生參考信號 $RAMP$ 之 DAC (參考信號產生部之一例) 104 (參照圖2)。形成於奇數行區域 OCA 之比較器 121 之電容器 $C13$ 相當於第七電容之一例，其配置於奇數行區域 OCA

且以可連接於電容器C11及電容器C12之方式設置。形成於奇數行區域之比較器121之電容器C14相當於第八電容之一例，其配置於奇數行區域OCA且連接於接地GND1。

【0057】電容器C11連接於像素信號VSL之輸入端子T11與NMOS電晶體NT11之閘極之間。電容器C11成為針對像素信號VSL之輸入電容。

【0058】電容器C12連接於參考信號RAMP之輸入端子T12與NMOS電晶體NT11之閘極之間，且成為針對參考信號RAMP之輸入電容。

【0059】電容器C13作為根據開關SW13及開關SW14之接通/斷開狀態使電容器C11及電容器C12之電容值變更之可變電容器發揮功能。電容器C13經由電容器C11及開關SW13連接於輸入端子T11與NMOS電晶體NT11之閘極之間。又，電容器C13經由電容器C12及開關SW14連接於輸入端子T12與NMOS電晶體NT11之閘極之間。

【0060】更具體而言，電容器C11具有經分割之複數個(本實施形態中為4個)分割電容即分割電容器C11a、C11b、C11c、C11d。分割電容器C11a、C11b、C11c、C11d分別具有經由輸入端子T11與垂直信號線110(參照圖2)連接之一電極、及與差動放大器201之NMOS電晶體NT11之閘極連接之另一電極。電容器C12具有經由輸入端子T12與DAC104(參照圖2)連接之一電極、及與差動放大器201之NMOS電晶體NT11之閘極連接之另一電極。

【0061】電容器C13具有經分割之複數個(本實施形態中為5個)分割電容即分割電容器C13a、C13b、C13c、C13d、C13e。比較器121具備切換相鄰之2個分割電容器C13a、C13b、C13c、C13d、C13e之連接及切斷之開關群SW15。更具體而言，開關群SW15具有切換相鄰之2個分割電容器

C13a及分割電容器C13b之連接及切斷之開關SW15a。開關群SW15具有切換相鄰之2個分割電容器C13b及分割電容器C13c之連接及切斷之開關SW15b。開關群SW15具有切換相鄰之2個分割電容器C13c及分割電容器C13d之連接及切斷之開關SW15c。開關群SW15具有切換相鄰之2個分割電容器C13d及分割電容器C13e之連接及切斷之開關SW15d。

【0062】 分割電容器C13a~C13e分別具有與開關SW15a~SW15d連接之一電極、及與差動放大器201之NMOS電晶體NT11之閘極連接之另一電極。更具體而言，分割電容器C13a具有與開關SW15a之一端子連接之一電極、及與NMOS電晶體NT11之閘極連接之另一電極。分割電容器C13a之一電極亦與開關SW13之另一端子連接。開關SW13之一端子與電容器C11之分割電容器C11d之一電極連接。

【0063】 分割電容器C13b具有與開關SW15a之另一端子及開關SW15b之一端子連接之一電極、及與NMOS電晶體NT11之閘極連接之另一電極。分割電容器C13c具有與開關SW15b之另一端子及開關SW15c之一端子連接之一電極、及與NMOS電晶體NT11之閘極連接之另一電極。分割電容器C13d具有與開關SW15c之另一端子及開關SW15d之一端子連接之一電極、及與NMOS電晶體NT11之閘極連接之另一電極。

【0064】 分割電容器C13e具有與開關SW15d之另一端子連接之一電極、及與NMOS電晶體NT11之閘極連接之另一電極。分割電容器C13e之一電極亦連接於開關SW12之一端子。開關SW12之另一端子連接於電容器C12之一電極。

【0065】 因此，開關SW13、開關SW15a~SW15d及開關SW14於分割電容器C11d之一電極及電容器C12之一電極之間從屬連接。

【0066】藉由對開關SW13、開關SW14及開關SW15a~SW15d之接通/斷開狀態進行控制，而控制針對像素信號VSL之輸入電容與針對參考信號RAMP之輸入電容之比。開關SW13、開關SW14及開關SW15a~SW15d被控制為至少1個成為斷開狀態。

【0067】以下，亦將分割電容器C11a~C11d、電容器C12及分割電容器C13a~C13e各自之參考符號用作表示各自之電容值之符號。分割電容器C11a~C11d、電容器C12及分割電容器C13a~C13e並聯連接。因此，針對像素信號VSL之輸入衰減增益 A_{inv} 可利用以下之式(1)表示，針對參考信號RAMP之輸入衰減增益 A_{inr} 可利用以下之式(2)表示。

$$\text{【0068】 } A_{inv} = (C_{11a} + C_{11b} + C_{11c} + C_{11d} + C_{\alpha}) / \Sigma C \cdots (1)$$

$$A_{inr} = (C_{12} + C_{\beta}) / \Sigma C \cdots (2)$$

【0069】於式(1)及式(2)中，「 ΣC 」表示分割電容器C11a~C11d、電容器C12及分割電容器C13a~C13e之電容值之總和。又，式(1)中之「 C_{α} 」表示根據開關SW13、開關SW14及開關SW15a~SW15d之接通/斷開狀態而附加至像素信號VSL側之電容器之電容值。又，式(2)中之「 C_{β} 」表示根據開關SW13、開關SW14及開關SW15a~SW15d之接通/斷開狀態而附加至參考信號RAMP側之電容器之電容值。式(1)中之「 C_{α} 」及式(2)中之「 C_{β} 」根據開關SW13、開關SW14及開關SW15a~SW15d之接通/斷開狀態而如下所示。

【0070】(A)於開關SW13為斷開狀態，且除開關SW13以外為接通狀態之情形時：

$$C_{\alpha} = 0$$

$$C_{\beta} = C_{13a} + C_{13b} + C_{13c} + C_{13d} + C_{13e}$$

(B)於開關SW15a為斷開狀態，且除開關SW15a以外為接通狀態之情形時：

$$C\alpha = C13a$$

$$C\beta = C13b + C13c + C13d + C13e$$

(C)於開關SW15b為斷開狀態，且除開關SW15b以外為接通狀態之情形時：

$$C\alpha = C13a + C13b$$

$$C\beta = C13c + C13d + C13e$$

(D)於開關SW15c為斷開狀態，且除開關SW15c以外為接通狀態之情形時：

$$C\alpha = C13a + C13b + C13c$$

$$C\beta = C13d + C13e$$

(E)於開關SW15d為斷開狀態，且除開關SW15d以外為接通狀態之情形時：

$$C\alpha = C13a + C13b + C13c + C13d$$

$$C\beta = C13e$$

(F)於開關SW15e為斷開狀態，且除開關SW15e以外為接通狀態之情形時：

$$C\alpha = C13a + C13b + C13c + C13d + C13e$$

$$C\beta = 0$$

【0071】藉由如此切換開關SW13、開關SW14及開關SW15a～SW15d之接通/斷開狀態，可階段性地變更針對像素信號VSL之輸入電容及針對參考信號RAMP之輸入電容。

【0072】 像素信號VSL之電壓之振幅 ΔVSL 於NMOS電晶體NT11之閘極中成為 $\Delta VSL \times A_{inv}$ 。因此，式(1)中之「 C_{α} 」之值越小，則輸入至差動放大器201之像素信號VSL之振幅越將衰減。其結果，輸入換算雜訊增大。對此，藉由提高像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率，即，使式(1)中之「 C_{α} 」變大且使式(2)中之「 C_{β} 」變小，可抑制輸入至差動放大器201之像素信號VSL之衰減，且抑制輸入換算雜訊。

【0073】 但，若提高像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率，則輸入至差動放大器201之參考信號RAMP之衰減量反而增大。

【0074】 圖5係於提高像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率之情形時及降低像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率之情形時，將輸入至差動放大器201之參考信號RAMP加以比較所得之圖。圖5之虛線所示之波形表示提高該比率之情形時輸入至差動放大器201之參考信號RAMP之波形，實線所示之波形表示降低該比率之情形時輸入至差動放大器201之參考信號RAMP之波形。

【0075】 如圖5所示，當提高像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率時，輸入至差動放大器201之參考信號RAMP之振幅變小。其結果，ADC105之動態範圍減小。

【0076】 對此，例如想到藉由使自DAC104輸出之參考信號RAMP之振幅變大，而使輸入至差動放大器201之參考信號RAMP之振幅變大，從而抑制ADC105之動態範圍之減小。

【0077】 但，參考信號RAMP之振幅之最大值受DAC104之規格等限制。例如，於高增益模式下，參考信號RAMP之振幅被設定得較小，故而可使參考信號RAMP之振幅變大。另一方面，於低增益模式下，參考信號RAMP之振幅被預先設定得較大，故而有難以使參考信號RAMP之振幅進一步變大之情形。

【0078】 因此，例如，於高增益模式下，在可能之範圍內提高像素信號VSL之輸入電容相對於參考信號RAMP之輸入電容之比率，並且使參考信號RAMP之振幅變大。藉此，於容易受到雜訊之影響之高增益模式下，可抑制輸入至差動放大器201之像素信號VSL之衰減，從而抑制雜訊之影響。

【0079】 另一方面，例如，於低增益模式下，宜將針對參考信號RAMP之輸入電容與針對像素信號VSL之輸入電容設定為相近值。

【0080】 返回至圖4，電容器C14具有經分割之複數個(本實施形態中為10個)分割電容即分割電容器C14a、C14b、C14c、C14d、C14e、C14f、C14g、C14h、C14i、C14j。分割電容器C14a、C14b、C14c、C14d、C14e、C14f、C14g、C14h、C14i、C14j各自具有與接地GND1連接之一電極、及與差動放大器201之NMOS電晶體NT12之閘極連接之另一電極。分割電容器C14a、C14b、C14c、C14d、C14e、C14f、C14g、C14h、C14i、C14j於接地GND1與NMOS電晶體NT12之閘極之間並聯連接。

【0081】 於形成於偶數行區域ECA之比較器121之情形時，分割電容器C11a~C11d相當於第一分割電容之一例。於形成於偶數行區域ECA之比較器121之情形時，分割電容器C13a~C13d相當於第三分割電容之一

例。於形成於偶數行區域ECA之比較器121之情形時，開關SW13相當於第一切換元件之一例，開關SW14相當於第二切換元件之一例。於形成於偶數行區域ECA之比較器121之情形時，開關SW15a~SW15d相當於第三切換元件。

【0082】 於形成於奇數行區域OCA之比較器121之情形時，分割電容器C11a~C11d相當於第五分割電容之一例。於形成於奇數行區域OCA之比較器121之情形時，分割電容器C13a~C13d相當於第七分割電容之一例。於形成於奇數行區域OCA之比較器121之情形時，開關SW13相當於第五切換元件之一例，開關SW14相當於第六切換元件之一例。於形成於奇數行區域OCA之比較器121之情形時，開關SW15a~SW15d相當於第七切換元件。

【0083】 差動放大器201具有：NMOS電晶體NT11，其連接有電容器C11、電容器C12及電容器C13；及NMOS電晶體NT12，其連接有電容器C14。因此，形成於偶數行區域ECA之比較器121之差動放大器201相當於第一差動放大器之一例。於形成於偶數行區域ECA之比較器121之情形時，NMOS電晶體NT11相當於設置在第一差動放大器之一輸入部之一例，NMOS電晶體NT12相當於設置在第一差動放大器之另一輸入部之一例。另一方面，形成於奇數行區域OCA之比較器121之差動放大器201相當於第二差動放大器之一例。於形成於奇數行區域OCA之比較器121之情形時，NMOS電晶體NT11相當於設置在第二差動放大器之一輸入部之一例，NMOS電晶體NT12相當於設置在第二差動放大器之另一輸入部之一例。

【0084】 開關SW11連接於NMOS電晶體NT11之汲極-閘極間。開關

SW11根據自時序控制電路102經由輸入端子T13輸入之驅動信號AZSW1，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0085】開關SW12連接於NMOS電晶體NT12之汲極-閘極間。開關SW12根據自時序控制電路102經由輸入端子T13輸入之驅動信號AZSW1，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0086】再者，以下，將電容器C11、電容器C12、電容器C13及開關SW11之連接點設為節點HiZ。又，以下，將NMOS電晶體NT12之閘極、電容器C13及開關SW12之連接點設為節點VSH。

【0087】如圖6所示，NMOS電晶體NT11包含並聯連接之2個分割電晶體NT11a及分割電晶體NT11b。分割電晶體NT11a及分割電晶體NT11b分別包含NMOSFET(N-type Metal-Oxide-Semiconductor Field-Effect Transistor，N型金屬氧化物半導體場效應電晶體)。分割電晶體NT11a之源極與分割電晶體NT11b之源極連接。分割電晶體NT11a之汲極與分割電晶體NT11b之汲極連接。分割電晶體NT11a之閘極與分割電晶體NT11b之汲極連接。分割電晶體NT11a、NT11b各自之源極連接於NMOS電晶體NT13之汲極。分割電晶體NT11a、NT11b各自之汲極連接於PMOS電晶體PT11(參照圖4)之汲極及閘極、PMOS電晶體PT12(參照圖4)之閘極以及開關SW11(參照圖4)。

【0088】NMOS電晶體NT12包含並聯連接之2個分割電晶體NT12a及分割電晶體NT12b。分割電晶體NT12a及分割電晶體NT12b分別包含NMOSFET。分割電晶體NT12a之源極與分割電晶體NT12b之源極連接。分割電晶體NT12a之汲極與分割電晶體NT12b之汲極連接。分割電晶體NT12a之閘極與分割電晶體NT12b之汲極連接。分割電晶體NT12a、

NT12b各自之源極連接於NMOS電晶體NT13之汲極。分割電晶體NT12a、NT12b各自之汲極連接於PMOS電晶體PT12之汲極、開關SW12及輸出端子OUT(參照圖4)。

【0089】其次，使用圖7對分別形成於奇數行區域OCA及偶數行區域ECA之比較器121之各電容器、NMOS電晶體NT11及NMOS電晶體NT12之配置關係之一例進行說明。

【0090】如圖7所示，於偶數行區域ECA中，電容器C12及電容器C13隔著開關SW14而對向地配置。電容器C13之分割電容即分割電容器C13a~C13e彙集於偶數行區域ECA之特定範圍內。更具體而言，電容器C12及分割電容器C13e隔著開關SW14而對向地配置。分割電容器C13e、分割電容器C13d、分割電容器C13c、分割電容器C13b及分割電容器C13a自配置有電容器C12之側起依序排列而配置。於分割電容器C13e及分割電容器C13d之間，配置有開關SW13d。於分割電容器C13d及分割電容器C13c之間，配置有開關SW13c。於分割電容器C13c及分割電容器C13b之間，配置有開關SW13b。於分割電容器C13b及分割電容器C13a之間，配置有開關SW13a。

【0091】於偶數行區域ECA中，在未配置有分割電容器C13b之側之分割電容器C13a之旁側，隔著開關SW13而配置有電容器C14之分割電容即分割電容器C14j。藉由如此將分割電容器C13a~C13e、開關SW15a~SW15d、開關SW14及開關SW13彙集並配置於特定範圍內，而謀求抑制配線之複雜化或各元件間所產生之寄生電容。

【0092】於偶數行區域ECA中，在未配置有分割電容器C13a之側之分割電容器C14j之旁側，配置有電容器C11。更具體而言，電容器C11之

分割電容即分割電容器C11d、分割電容器C11c、分割電容器C11b及分割電容器C11a自配置有分割電容器C14j之側起依序排列而配置。

【0093】於偶數行區域ECA中，在未配置有分割電容器C11b之側之分割電容器C11a之旁側，配置有電容器C14之分割電容即電容器C14之剩餘部分。更具體而言，電容器C14之剩餘之分割電容器C14i、分割電容器C14h、分割電容器C14g、分割電容器C14f、分割電容器C14e、分割電容器C14d、分割電容器C14c、分割電容器C14b及分割電容器C14a自配置有分割電容器C11a之側起依序排列而配置。

【0094】於偶數行區域ECA中，在未配置有分割電容器C14b之側之分割電容器C14a之旁側，配置有NMOS電晶體NT11及NMOS電晶體NT12。更具體而言，分割電晶體NT11b、分割電晶體NT12b、分割電晶體NT12a及分割電晶體NT11a自配置有分割電容器C14a之側起依序排列而配置。

【0095】如此，於偶數行區域ECA中，電容器C11~C14、開關SW13、開關群SW15、NMOS電晶體NT11及NMOS電晶體NT12例如配置於一直線上。

【0096】如圖7所示，於奇數行區域OCA中，電容器C12及電容器C13隔著開關SW14而對向地配置。電容器C13之分割電容即分割電容器C13a~C13e彙集於奇數行區域OCA之特定範圍內。更具體而言，電容器C12及分割電容器C13e隔著開關SW14而對向地配置。分割電容器C13e、分割電容器C13d、分割電容器C13c、分割電容器C13b及分割電容器C13a自配置有電容器C12之側起依序排列而配置。於分割電容器C13e及分割電容器C13d之間，配置有開關SW13d。於分割電容器C13d及分割電容器

C13c之間，配置有開關SW13c。於分割電容器C13c及分割電容器C13b之間，配置有開關SW13b。於分割電容器C13b及分割電容器C13a之間，配置有開關SW13a。

【0097】於奇數行區域OCA中，在未配置有分割電容器C13b之側之分割電容器C13a之旁側，隔著開關SW13而配置有電容器C14之分割電容之一部分。藉由如此將分割電容器C13a~C13e、開關SW15a~SW15d、開關SW14及開關SW13彙集並配置於特定範圍內，而謀求抑制配線之複雜化或各元件間所產生之寄生電容。

【0098】更具體而言，於奇數行區域OCA中，電容器C14之分割電容即分割電容器C14j、分割電容器C14i、分割電容器C14h及分割電容器C14g自配置有分割電容器C13a之側起依序排列而配置。

【0099】於奇數行區域OCA中，在未配置有分割電容器C14h之側之分割電容器C14g之旁側，配置有電容器C11。更具體而言，電容器C11之分割電容即分割電容器C11d、分割電容器C11c、分割電容器C11b及分割電容器C11a自配置有分割電容器C14g之側起依序排列而配置。

【0100】於奇數行區域OCA中，在未配置有分割電容器C11b之側之分割電容器C11a之旁側，配置有電容器C14之剩餘之分割電容。更具體而言，作為電容器C14之剩餘部分之分割電容器C14f、分割電容器C14e、分割電容器C14d、分割電容器C14c、分割電容器C14b及分割電容器C14a自配置有分割電容器C11a之側起依序排列而配置。

【0101】於奇數行區域OCA中，分割電容器C14b在未配置有之側之分割電容器C14a之旁側，配置有NMOS電晶體NT11及NMOS電晶體NT12。更具體而言，分割電晶體NT12a、分割電晶體NT12b、分割電晶

體NT11b及分割電晶體NT11a自配置有分割電容器C14a之側起依序排列而配置。

【0102】 如此，於奇數行區域OCA中，電容器C11~C14、開關SW13、開關群SW15、NMOS電晶體NT11及NMOS電晶體NT12例如配置於一直線上。

【0103】 如圖7所示，於偶數行區域ECA中，分割電容器C11a~C11d之個數為4個，電容器C12之個數為1個，分割電容器C13a~C13e之個數為5個，分割電容器C14a~C14j之個數為10個。因此，於偶數行區域ECA中，分割電容器C11a~C11d(第一分割電容之一例)、電容器C12(第二電容之一例)及分割電容器C13a~C13e(第三分割電容之一例)之合計數(10個)與分割電容器C14a~C14j(第四分割電容之一例)之總數相同。

【0104】 又，於奇數行區域OCA中，分割電容器C11a~C11d之個數為4個，電容器C12之個數為1個，分割電容器C13a~C13e之個數為5個，分割電容器C14a~C14j之個數為10個。因此，於奇數行區域OCA中，分割電容器C11a~C11d(第五分割電容之一例)、電容器C12(第六電容之一例)及分割電容器C13a~C13e(第七分割電容之一例)之合計數(10個)與分割電容器C14a~C14j(第八電容之一例)之總數相同。

【0105】 偶數行區域ECA中之分割電容器C11a~C11d、電容器C12、分割電容器C13a~C13e及分割電容器C14a~C14j之合計數(20個)與奇數行區域OCA中之分割電容器C11a~C11d、電容器C12、分割電容器C13a~C13e及分割電容器C14a~C14j之合計數(20個)相同。

【0106】 偶數行區域ECA中之分割電容器C11a~C11d之各者、電容器C12、分割電容器C13a~C13e之各者及分割電容器C14a~C14j之各

者、奇數行區域OCA中之分割電容器C11a~C11d之各者、電容器C12、分割電容器C13a~C13e之各者及分割電容器C14a~C14j之各者具有相互相同之電容值。

【0107】如此，與構成差動放大器201之差動對之NMOS電晶體NT11及NMOS電晶體NT12連接之輸入電容被分割為相同個數之電容器。藉此，確保與差動放大器201之差動對連接之電容之平衡。又，可使電源VDD1之變動均等地影響差動放大器201之差動對。藉此，謀求電源電壓變動去除比(Power Supply Rejection Ratio，電源抑制比：PSRR)之提高。進而，可使NMOS電晶體NT11及NMOS電晶體NT12之基於設置在比較器121之開關SW11及開關SW12中產生之漏電流的電壓變動相同。藉此，攝像元件1可防止該漏電流影響到比較器121之比較動作。

【0108】因形成攝像元件1之半導體晶片之大小之限制，偶數行區域ECA及奇數行區域OCA相互鄰接地設置。因此，於形成在偶數行區域ECA之各元件與形成在奇數行區域OCA之各元件之間，產生寄生電容。

【0109】如圖7所示，於偶數行區域ECA之分割電晶體NT11a之閘極與奇數行區域OCA之分割電晶體NT11a之閘極之間，產生寄生電容Cp1。於偶數行區域ECA之分割電晶體NT12a之閘極與奇數行區域OCA之分割電晶體NT11b之閘極之間，產生寄生電容Cp2。於偶數行區域ECA之分割電晶體NT12b之閘極與奇數行區域OCA之分割電晶體NT12b之閘極之間，產生寄生電容Cp3。於偶數行區域ECA之分割電晶體NT11b之閘極與奇數行區域OCA之分割電晶體NT12a之閘極之間，產生寄生電容Cp4。

【0110】於偶數行區域ECA之分割電容器C14a與奇數行區域OCA之分割電容器C14a之間，產生寄生電容Cp5。於偶數行區域ECA之分割電

容器C14b與奇數行區域OCA之分割電容器C14b之間，產生寄生電容Cp6。於偶數行區域ECA之分割電容器C14c與奇數行區域OCA之分割電容器C14c之間，產生寄生電容Cp7。於偶數行區域ECA之分割電容器C14d與奇數行區域OCA之分割電容器C14d之間，產生寄生電容Cp8。於偶數行區域ECA之分割電容器C14e與奇數行區域OCA之分割電容器C14e之間，產生寄生電容Cp9。於偶數行區域ECA之分割電容器C14f與奇數行區域OCA之分割電容器C14f之間，產生寄生電容Cp10。

【0111】於偶數行區域ECA之分割電容器C14g與奇數行區域OCA之分割電容器C11a之間，產生寄生電容Cp11。於偶數行區域ECA之分割電容器C14h與奇數行區域OCA之分割電容器C11b之間，產生寄生電容Cp12。於偶數行區域ECA之分割電容器C14i與奇數行區域OCA之分割電容器C11c之間，產生寄生電容Cp13。於偶數行區域ECA之分割電容器C11a與奇數行區域OCA之分割電容器C11d之間，產生寄生電容Cp14。

【0112】於偶數行區域ECA之分割電容器C11b與奇數行區域OCA之分割電容器C14g之間，產生寄生電容Cp15。於偶數行區域ECA之分割電容器C11c與奇數行區域OCA之分割電容器C14h之間，產生寄生電容Cp16。於偶數行區域ECA之分割電容器C11d與奇數行區域OCA之分割電容器C14i之間，產生寄生電容Cp17。於偶數行區域ECA之分割電容器C14j與奇數行區域OCA之分割電容器C14j之間，產生寄生電容Cp18。

【0113】於偶數行區域ECA之分割電容器C13a與奇數行區域OCA之分割電容器C13a之間，產生寄生電容Cp19。於偶數行區域ECA之分割電容器C13b與奇數行區域OCA之分割電容器C13b之間，產生寄生電容Cp20。於偶數行區域ECA之分割電容器C13c與奇數行區域OCA之分割電

容器C13c之間，產生寄生電容Cp21。於偶數行區域ECA之分割電容器C13d與奇數行區域OCA之分割電容器C13d之間，產生寄生電容Cp22。於偶數行區域ECA之分割電容器C13e與奇數行區域OCA之分割電容器C13e之間，產生寄生電容Cp23。於偶數行區域ECA之電容器C12、奇數行區域OCA之電容器C12之間，產生寄生電容Cp24。

【0114】 然，例如，來自奇數行區域OCA中之像素信號VSL之大振幅之干擾源(Aggressor)將不均衡地對設置於作為鄰接行之偶數行區域ECA之差動放大器201之差動對的左右電容造成干擾。於此情形時，該干擾源未被差動放大器201之差動對抵消而以串擾之形式導致畫質劣化。於設置於本實施形態之攝像元件1之比較器121中，作為切換電容發揮功能之電容器C13係作為針對像素信號VSL之輸入電容發揮功能，或作為針對參考信號RAMP之輸入電容發揮功能。因此，極難使來自鄰接行之像素信號VSL之大振幅之干擾源於差動放大器201之差動對的左右電容始終完全平衡。

【0115】 因此，本實施形態之攝像元件1係使差動放大器201之差動對各自之電容之配置於偶數行區域ECA與奇數行區域OCA中不同。藉此，不論以何種方式將作為切換電容發揮功能之電容器C13之全部或部分附加為針對像素信號VSL及參考信號RAMP之輸入電容，對於差動放大器201之差動對，旁側之像素信號VSL之大振幅干擾源之干擾不均衡之絕對值均不會突出地變大。

【0116】 更具體而言，奇數行區域OCA中之分割電容器C11a~C11d(第五分割電容之一例)係使與偶數行區域ECA中之分割電容器C11a~C11d(第一分割電容之一例)對向之個數和與偶數行區域ECA中之分割電

容器C14a~C14j(第四分割電容之一例)對向之個數不同而配置。於圖7所示之構成例中，將奇數行區域OCA之分割電容器C11a~C11d中之3個分割電容器C11a~C11c與於偶數行區域ECA中連接於NMOS電晶體NT12之分割電容器C14g~C14i對向地配置。又，將奇數行區域OCA中之分割電容器C11a~C11d中之1個分割電容器C11d與於偶數行區域ECA中連接於NMOS電晶體NT11之分割電容器C11a對向地配置。

【0117】 分割電容器C11a~C11d、電容器C12及分割電容器C13a~C13e並聯連接。又，分割電容器C14a~C14j並聯連接。因此，分割電容器彼此對向之個數可視作包含該分割電容器之電容器彼此對向之面積。因此，奇數行區域OCA之電容器C11(第五電容之一例)與偶數行區域ECA之電容器C11(第一電容之一例)及電容器C14(第四電容之一例)以不同之面積對向地配置。關於在偶數行區域ECA及奇數行區域OCA中使複數個電容器之配置不同所帶來之作用、效果之詳細情況將於下文進行敘述。

【0118】

<比較器之動作>

其次，參照圖8及圖9之時序圖，對比較器121之動作進行說明。圖8表示驅動信號AZSW1、參考信號RAMP、像素信號VSL、節點VSH、節點HiZ及輸出信號OUT1之時序圖。圖9表示自圖8中所示之時刻t5至時刻t8之節點HiZ之波形例。

【0119】 於時刻t1，將驅動信號AZSW1設定為高位準。雖省略圖示，但與將驅動信號AZSW1設定為高位準大致同時地，基於攝像元件1中之攝像時之增益，將開關SW13、開關SW14及開關15a~15d中之任一個開關設定為斷開狀態，將剩餘之開關設定為接通狀態。於本實施形態中，

可對應於6個增益模式。於6個增益模式中之最低位準之增益模式之情形時，將開關SW13設定為斷開狀態。又，於自最低位準側數起第2個增益模式之情形時，將開關SW15a設定為斷開狀態。又，於自最低位準側數起第3個增益模式之情形時，將開關SW15b設定為斷開狀態。又，於自最低位準側數起第4個增益模式之情形時，將開關SW15c設定為斷開狀態。又，於自最低位準側數起第5個增益模式之情形時，將開關SW15d設定為斷開狀態。又，於自最低位準側數起第6個即最高位準之增益模式之情形時，將開關SW14設定為斷開狀態。

【0120】 繼而，開關SW11及開關SW12接通，將NMOS電晶體NT11之汲極與閘極及NMOS電晶體NT12之汲極與閘極連接。又，將參考信號RAMP設定為特定之重設位準。進而，重設成為讀出對象之單位像素P之FD153，將像素信號VSL設定為重設位準。

【0121】 藉此，開始差動放大器201之自動歸零動作。即，NMOS電晶體NT11之汲極及閘極、以及NMOS電晶體NT12之汲極及閘極收斂於特定之相同電壓(以下稱為基準電壓)。藉此，將節點HiZ及節點VSH之電壓設定為基準電壓。

【0122】 其次，於時刻t2，將驅動信號AZSW1設定為低位準，開關SW11及開關SW12斷開。藉此，差動放大器201之自動歸零動作結束。節點HiZ之電壓由於像素信號VSL及參考信號RAMP未發生變化，故而保持基準電壓之狀態。又，節點VSH之電壓藉由儲存於電容器C14之電荷而保持基準電壓之狀態。

【0123】 於時刻t3，參考信號RAMP之電壓自重設位準下降特定值。藉此，節點HiZ之電壓減小，且低於節點VSH之電壓(基準電壓)，差

動放大器201之輸出信號OUT1成為低位準。

【0124】於時刻t4，參考信號RAMP開始增加。與此相應，節點HiZ之電壓亦增加。又，計數器122開始計數。

【0125】其後，於節點HiZ之電壓超過節點VSH之電壓(基準電壓)時，差動放大器201之輸出信號OUT1反轉，成為高位準。繼而，輸出信號OUT1反轉為高位準時之計數器122之計數值以P相(重設位準)之像素信號VSL之值之形式保持於鎖存器123。

【0126】於時刻t5，將參考信號RAMP之電壓設定為重設電壓。又，單位像素P之傳輸電晶體152轉變為接通狀態，於曝光期間中儲存於光電二極體151之電荷被傳輸至FD153，像素信號VSL被設定為信號位準。藉此，節點HiZ之電壓減小與信號位準對應之值，且低於節點VSH之電壓(基準電壓)，差動放大器201之輸出信號OUT1反轉為低位準。

【0127】於時刻t6，與時刻t3同樣地，參考信號RAMP之電壓自重設位準下降特定值。藉此，節點HiZ之電壓進一步減小。

【0128】於時刻t7，與時刻t4同樣地，參考信號RAMP開始增加。與此相應，節點HiZ之電壓亦線性增加。又，計數器122開始計數。

【0129】其後，於節點HiZ之電壓超過節點VSH之電壓(基準電壓)時，差動放大器201之輸出信號OUT1反轉，成為高位準。繼而，輸出信號OUT1反轉為高位準時之計數器122之計數值以D相(信號位準)之像素信號VSL之值之形式保持於鎖存器123。又，鎖存器123藉由獲得D相之像素信號VSL和於時刻t4與時刻t5之間讀出之P相之像素信號VSL的差量，而進行相關雙重取樣。以此方式，進行像素信號VSL之AD轉換。

【0130】其後，於時刻t8之後，重複執行與自時刻t1至時刻t7相同

之動作。再者，於時刻 t_8 之後，亦與將驅動信號AZSW1設定為高位準大致同時地，基於攝像元件1中之攝像時之增益，將開關SW13、開關SW14及開關15a~15d之任一個開關設定為斷開狀態，將剩餘之開關設定為接通狀態。

【0131】 藉此，藉由降低電源VDD1之電壓而降低ADC群12之耗電，其結果，可降低攝像元件1之耗電。

【0132】 於對差動放大器之差動對之一者輸入圖像信號，且對該差動對之另一者輸入參考信號之先前之比較器中，將參考信號與像素信號加以比較，將其比較結果以輸出信號之形式輸出。此時，輸出信號反轉時之差動放大器之輸入電壓(參考信號及像素信號之電壓)根據像素信號之電壓而發生變動。因此，例如，當降低先前技術之比較器之驅動用電源之電壓時，有輸出信號反轉時之差動放大器之輸入電壓超過比較器之輸入動態範圍，而無法確保AD轉換之線性之虞。

【0133】 與此相對，於本實施形態之比較器121中，如上所述，將像素信號VSL與參考信號RAMP經由輸入電容相加而得之信號之電壓(節點HiZ之電壓)和節點VSH之電壓(基準電壓)之比較結果被以輸出信號OUT1之形式輸出。此時，如圖9所示，輸出信號OUT1反轉時之差動放大器201之輸入電壓(節點HiZ及節點VSH之電壓)未發生變動而成為固定。

【0134】 又，於攝像元件1中，參考信號RAMP發生變化之方向與先前技術之比較器之參考信號相反，朝與像素信號VSL相反之方向變化。此處，所謂朝與像素信號VSL相反之方向變化係指朝與像素信號VSL隨著信號成分變大而變化之方向相反之方向變化。例如，於該例中，像素信號VSL隨著信號成分變大而朝負方向變化，與此相對，參考信號RAMP朝與

之相反之正方向變化。因此，節點HiZ之電壓(差動放大器201之輸入電壓)成為對應於像素信號VSL與先前技術之參考信號之差量的電壓。

【0135】 如此，輸出信號OUT1反轉時之差動放大器201之輸入電壓變為固定，故而可縮窄差動放大器201之輸入動態範圍。

【0136】 因此，可使比較器121之驅動用電源VDD1之電壓相較先前技術之比較器下降，其結果，可降低ADC群12之耗電，從而降低攝像元件1之耗電。

【0137】 其次，參照圖4並使用圖10至圖12對本實施形態之攝像元件1之作用、效果進行說明。於圖10至圖12中，以粗箭頭表示自奇數行區域OCA對偶數行區域ECA之干擾。

【0138】 (第1干擾例)

圖10模式性地示出開關SW13為斷開狀態且除開關SW13以外之開關為接通狀態之情形時之自奇數行區域OCA對偶數行區域ECA造成之干擾之狀態。即，圖10模式性地示出將所有作為切換電容發揮功能之電容器C13設為針對參考信號RAMP之輸入電容之情形時之該干擾之狀態。

【0139】 如圖10所示，於開關SW13為斷開狀態之情形時，針對像素信號VSL之輸入電容僅為電容器C11(分割電容器C11a~C11d)。因此，奇數行區域OCA之分割電容器C11a~C11c之電壓變動影響到偶數行區域ECA之分割電容器C14g~C14i。又，奇數行區域OCA之分割電容器C11d之電壓變動影響到偶數行區域ECA之分割電容器C11a。其結果，奇數行區域OCA中之大振幅干擾源以1:3之比率影響到偶數行區域ECA之差動放大器201之NMOS電晶體NT11及NMOS電晶體NT12。因此，自奇數行區域OCA中的大振幅干擾源對偶數行區域ECA之差動放大器201之差動對

造成的干擾之不均衡成為 $-2(=1-3)$ 。

【0140】 另一方面，奇數行區域OCA中之差動放大器201之分割電晶體NT11a之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT11a。又，奇數行區域OCA中之差動放大器201之分割電晶體NT11b之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT12a。因此，偶數行區域ECA中之差動放大器201之MOS電晶體NT11之閘極之電壓變動藉由偶數行區域ECA中之差動放大器201之差動對而抵消。

【0141】 根據上述式(1)，於開關SW13為斷開狀態之情形時，針對像素信號VSL之輸入衰減增益 A_{inv} 成為「 $(C11a+C11b+C11c+C11d)/\Sigma C$ 」。於本實施形態中，分割電容器C11a~C11d、電容器C12、分割電容器C13a~C13e及分割電容器C14a~C14i具有相同之電容值。因此，像素信號VSL之信號衰減量成為 $4/10$ 。因此，像素信號VSL換算不均衡(即最終之雜訊)成為 $-5.0(=-2/(4/10))$ 。

【0142】 (第2干擾例)

圖11模式性地示出開關SW15b為斷開狀態且除開關SW15b以外之開關為接通狀態之情形時之自奇數行區域OCA對偶數行區域ECA造成之干擾之狀態。即，圖11模式性地示出將構成作為切換電容發揮功能之電容器C13之分割電容器之 $2/5$ 設為針對像素信號VSL之輸入電容，將該分割電容器之 $3/5$ 設為針對參考信號RAMP之輸入電容之情形時之該干擾之狀態。

【0143】 如圖11所示，於開關SW15b為斷開狀態之情形時，針對像素信號VSL之輸入電容係電容器C11(分割電容器C11a~C11d)及構成電容器C13之分割電容器C13a、C13b。因此，奇數行區域OCA之分割電容器C11a~C11c之電壓變動影響到偶數行區域ECA之分割電容器C14g~

C14i。又，奇數行區域OCA之分割電容器C11d之電壓變動影響到偶數行區域ECA之分割電容器C11a。進而，分割電容器C13a、C13b之電壓變動影響到偶數行區域ECA之分割電容器C13a、C13b。其結果，奇數行區域OCA中之大振幅干擾源以3：3之比率影響到偶數行區域ECA之差動放大器201之NMOS電晶體NT11及NMOS電晶體NT12。因此，自奇數行區域OCA中之大振幅干擾源對偶數行區域ECA之差動放大器201之差動對造成的干擾之不均衡成為 $0(=3-3)$ 。

【0144】 另一方面，奇數行區域OCA中之差動放大器201之分割電晶體NT11a之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT11a。又，奇數行區域OCA中之差動放大器201之分割電晶體NT11b之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT12a。因此，偶數行區域ECA中之差動放大器201之MOS電晶體NT11之閘極的電壓變動由偶數行區域ECA中之差動放大器201之差動對抵消。

【0145】 根據上述式(1)，於開關SW13為斷開狀態之情形時，針對像素信號VSL之輸入衰減增益 A_{inv} 成為「 $(C11a+C11b+C11c+C11d+C13a+C13b)/\Sigma C$ 」。因此，像素信號VSL之信號衰減量成為 $6/10$ 。因此，像素信號VSL換算不均衡(即最終之雜訊)成為 $0.0(=0/(6/10))$ 。

【0146】 (第3干擾例)

圖12模式性地示出開關SW14為斷開狀態且除開關SW14以外之開關為接通狀態之情形時之自奇數行區域OCA對偶數行區域ECA造成之干擾之狀態。即，圖12模式性地示出將所有構成作為切換電容發揮功能之電容器C13之分割電容器設為針對像素信號VSL之輸入電容之情形時的該干擾之狀態。

【0147】如圖12所示，於開關SW14為斷開狀態之情形時，針對像素信號VSL之輸入電容係電容器C11(分割電容器C11a~C11d)及構成電容器C13之分割電容器C13a~C13e。因此，奇數行區域OCA之分割電容器C11a~C11c之電壓變動影響到偶數行區域ECA之分割電容器C14g~C14i。又，奇數行區域OCA之分割電容器C11d之電壓變動影響到偶數行區域ECA之分割電容器C11a。進而，分割電容器C13a~C13e之電壓變動影響到偶數行區域ECA之分割電容器C13a~C13e。其結果，奇數行區域OCA中之大振幅干擾源以6：3之比率影響到偶數行區域ECA之差動放大器201之NMOS電晶體NT11及NMOS電晶體NT12。因此，自奇數行區域OCA中之大振幅干擾源對偶數行區域ECA之差動放大器201之差動對造成的干擾之不均衡成為 $+3(=6-3)$ 。

【0148】另一方面，奇數行區域OCA中之差動放大器201之分割電晶體NT11a之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT11a。又，奇數行區域OCA中之差動放大器201之分割電晶體NT11b之閘極影響到偶數行區域ECA中之差動放大器201之分割電晶體NT12a。因此，偶數行區域ECA中之差動放大器201之MOS電晶體NT11之閘極的電壓變動由偶數行區域ECA中之差動放大器201之差動對抵消。

【0149】根據上述式(1)，於開關SW13為斷開狀態之情形時，針對像素信號VSL之輸入衰減增益 A_{inv} 成為「 $(C11a+C11b+C11c+C11d+C13a+C13b+C13c+C13d+C13e)/\Sigma C$ 」。因此，像素信號VSL之信號衰減量成為 $9/10$ 。因此，像素信號VSL換算不均衡(即最終之雜訊)成為 $+3.3(=+3/(9/10))$ 。

【0150】然，設為將奇數行區域OCA之電容器C11與偶數行區域

ECA之電容器C11及電容器C14以相同之面積對向地配置。又，與第3干擾例同樣地，於開關SW14為斷開狀態之情形時，針對像素信號VSL之輸入電容係電容器C11(分割電容器C11a~C11d)及構成電容器C13之分割電容器C13a~C13e。因此，奇數行區域OCA之分割電容器C11a、C11b之電壓變動影響到偶數行區域ECA之分割電容器C14h、C14i。又，奇數行區域OCA之分割電容器C11c、C11d之電壓變動影響到偶數行區域ECA之分割電容器C11a、C11b。進而，分割電容器C13a~C13e之電壓變動影響到偶數行區域ECA之分割電容器C13a~C13e。其結果，奇數行區域OCA中之大振幅干擾源以7：2之比率影響到偶數行區域ECA之差動放大器201之NMOS電晶體NT11及NMOS電晶體NT12。因此，自奇數行區域OCA中之大振幅干擾源對偶數行區域ECA之差動放大器201之差動對造成的干擾之不均衡成為 $+5(=7-2)$ 。因此，像素信號VSL換算不均衡(即最終之雜訊)成為 $+5.5(=+5/(9/10))$ 。

【0151】 如此，當將奇數行區域OCA之電容器C11與偶數行區域ECA之電容器C11及電容器C14以相同之面積對向地配置時，針對像素信號VSL之輸入電容及針對參考信號RAMP之輸入電容會發生變化，由此，像素信號VSL換算不均衡變大。

【0152】 與此相對，於本實施形態中，使奇數行區域OCA之電容器C11與偶數行區域ECA之電容器C11及電容器C14以不同之面積對向地配置。藉此，即便針對像素信號VSL之輸入電容及針對參考信號RAMP之輸入電容會發生變化，像素信號VSL換算不均衡亦被抑制於-5.0至+3.3之範圍內。

【0153】 如以上所說明，本實施形態之攝像元件1具備與偶數行區

域ECA之電容器C11及電容器C14以不同之面積對向地配置之奇數行區域OCA之電容器C11。藉此，攝像元件1可謀求ADC105之串擾之減少。

【0154】

<本實施形態之變化例>

其次，使用圖13至圖15對本實施形態之變化例之攝像元件進行說明。再者，於變化例之說明時，對發揮與上述實施形態相同作用、功能之構成要素附上相同之符號，其說明予以省略。又，本實施形態之變化例之攝像元件之整體構成與圖4所示之攝像元件1相同。因此，本實施形態之變化例之攝像元件之整體構成係視需要使用圖4所示之參考符號進行說明。

【0155】（變化例1）

變化例1之攝像元件之特徵在於如下方面：差動放大器之差動對包含PMOS電晶體。

【0156】如圖13所示，比較器121a與比較器121相比，不同點在於：代替差動放大器201而設置有差動放大器211。

【0157】差動放大器211具備PMOS電晶體PT31至PMOS電晶體PT33、NMOS電晶體NT31及NMOS電晶體NT32。

【0158】NMOS電晶體NT31之源極及NMOS電晶體NT32之源極連接於接地GND1。NMOS電晶體NT31之汲極連接於NMOS電晶體NT31之閘極及PMOS電晶體PT31之汲極。NMOS電晶體NT32之汲極連接於PMOS電晶體PT32之汲極及輸出信號OUT1之輸出端子T15。PMOS電晶體PT31之源極連接於PMOS電晶體PT32之源極及PMOS電晶體PT33之汲極。PMOS電晶體PT33之源極連接於電源VDD1。

【0159】而且，電流鏡電路包含NMOS電晶體NT31及NMOS電晶體

NT32。又，差動之比較部包含PMOS電晶體PT31至PMOS電晶體PT33。即，PMOS電晶體PT33藉由經由輸入端子T14自外部輸入之偏壓電壓VG而作為電流源動作，PMOS電晶體PT31及PMOS電晶體PT32作為差動電晶體動作。雖省略圖示，但PMOS電晶體PT31及PMOS電晶體PT32分別與比較器121之NMOS電晶體NT11及NMOS電晶體NT12同樣地，包含並聯連接之2個分割電晶體。於偶數行區域及奇數行區域中，與圖7所示之方式同樣地配置該等2個分割電晶體，藉此可謀求減少差動放大器211之差動對中之串擾。

【0160】 於PMOS電晶體PT31之閘極，連接有電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15。電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15之連接關係與設置於比較器121之電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15之連接關係相同。因此，該連接關係之說明將予以省略。

【0161】 於PMOS電晶體PT32之閘極，連接有電容器C14。電容器C14之構成與設置於比較器121之電容器C14之構成相同。因此，電容器C14之構成之說明將予以省略。

【0162】 比較器121a具有使比較器121之電晶體之極性相反之構成，且進行與比較器121相同之動作。又，藉由使用比較器121a，與使用比較器121之情形同樣地，可降低電源VDD1之電壓，從而可實現低耗電化。

【0163】 又，本變化例之攝像元件具備與偶數行區域ECA之電容器C11及電容器C14以不同之面積對向地配置之奇數行區域OCA之電容器

C11。藉此，本變化例之攝像元件可謀求ADC105中之串擾之減少。

【0164】 (變化例2)

變化例2之攝像元件之特徵在於如下方面：差動放大器具備2個差動對。

【0165】 如圖14所示，比較器121b具備差動放大器212。差動放大器212具備P型MOS(PMOS)電晶體PT11、PMOS電晶體PT12及N型MOS(NMOS)電晶體NT11、NT12、NT13、NT21、NT22。詳細情況將於下文敘述，NMOS電晶體NT11及NMOS電晶體NT12以及NMOS電晶體NT21及NMOS電晶體NT22分別包含並聯連接之2個分割電晶體。

【0166】 PMOS電晶體PT11之源極及PMOS電晶體PT12之源極與電源VDD1連接。PMOS電晶體PT11之汲極分別與PMOS電晶體PT11、PT12各自之閘極及開關SW17、SW27之一端子連接。開關SW17之另一端子與NMOS電晶體NT11之汲極及開關SW11之一端子連接。PMOS電晶體PT12之汲極與輸出信號OUT1之輸出端子T15及開關SW18、SW28之一端子連接。開關SW18之另一端子與NMOS電晶體NT12之汲極及開關SW12之一端子連接。NMOS電晶體NT11之源極與NMOS電晶體NT12、NT21、NT22之源極及NMOS電晶體NT13之汲極連接。NMOS電晶體NT13之源極與接地GND1連接。

【0167】 而且，電流鏡電路包含PMOS電晶體PT11及PMOS電晶體PT12。又，差動之比較部包含NMOS電晶體NT11、NMOS電晶體NT12及NMOS電晶體NT13。即，NMOS電晶體NT13藉由經由輸入端子T14自外部輸入之偏壓電壓VG而作為電流源動作，NMOS電晶體NT11及NMOS電晶體NT12作為差動電晶體動作。進而，差動之比較部包含NMOS電晶體

NT21、NMOS電晶體NT22及NMOS電晶體NT13。即，NMOS電晶體NT23藉由經由輸入端子T14自外部輸入之偏壓電壓VG而作為電流源動作，NMOS電晶體NT21及NMOS電晶體NT22作為差動電晶體動作。

【0168】開關SW17及開關SW18與開關SW27及開關SW28被控制為接通狀態及斷開狀態相互相反。即，於開關SW17及開關SW18為接通狀態之情形時，開關SW27及開關SW28成為斷開狀態。另一方面，於開關SW17及開關SW18為斷開狀態之情形時，開關SW27及開關SW28成為接通狀態。藉此，於包含PMOS電晶體PT11、PT12之電流鏡電路與成為電流源之NMOS電晶體NT13之間，連接NMOS電晶體NT11、NT12之差動對或NMOS電晶體NT21、NT22之差動對。

【0169】於NMOS電晶體NT11之閘極，連接電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15。電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15之連接關係與設置於比較器121之電容器C11、電容器C12、電容器C13、開關SW13、開關SW14及開關群SW15之連接關係相同。因此，該連接關係之說明將予以省略。電容器C11稱為針對像素信號VSL1之輸入電容。電容器C12成為針對參考信號RAMP1之輸入電容。參考信號RAMP1係由DAC104(參照圖2)產生。

【0170】於NMOS電晶體NT12之閘極，連接有電容器C14。電容器C14之構成與設置於比較器121之電容器C14之構成相同。因此，電容器C14之構成之說明將予以省略。

【0171】本變化例之比較器121b具備電容器C21、電容器C22、電容器C23及電容器C24。

【0172】 形成於偶數行區域ECA之比較器121b之電容器C21相當於第一電容之一例，其連接於與具有光電轉換元件之第一像素連接之第一信號線，且配置於第一區域。於此情形時，圖2所示之單位像素P1i(i為自然數且n以下之偶數)相當於第一像素之一例。又，圖2所示之垂直信號線109-i(i為自然數且n以下之偶數)相當於第一信號線之一例。又，圖2所示之偶數行區域ECA相當於第一區域。進而，圖3所示之光電二極體151相當於光電轉換元件之一例。

【0173】 形成於偶數行區域ECA之比較器121b之電容器C22相當於第二電容，其配置於偶數行區域ECA且連接於產生參考信號RAMP2之DAC(參考信號產生部之一例)104(參照圖2)。形成於偶數行區域ECA之比較器121b之電容器C23相當於第三電容之一例，其配置於偶數行區域ECA且以可連接於電容器C21及電容器C22之方式設置。形成於偶數行區域ECA之比較器121b之電容器C24相當於第四電容之一例，其配置於偶數行區域ECA且連接於接地(基準電位之供給部之一例)GND1。

【0174】 形成於奇數行區域OCA之比較器121b之電容器C21相當於第五電容之一例，其連接於與具有光電轉換元件之第二像素連接之第二信號線，且配置於第二區域。於此情形時，圖2所示之單位像素P1i(i為自然數且n以下之奇數)相當於第二像素之一例。又，圖2所示之垂直信號線109-i(i為自然數且n以下之奇數)相當於第二信號線之一例。又，圖2所示之偶數行區域EOA相當於第二區域。又，圖2所示之奇數行區域OCA相當於第二區域。進而，圖3所示之光電二極體151相當於光電轉換元件之一例。

【0175】 形成於奇數行區域OCA之比較器121b之電容器C22相當於

第六電容，其配置於奇數行區域OCA且連接於產生參考信號RAMP2之DAC(參考信號產生部之一例)104(參照圖2)。形成於奇數行區域OCA之比較器121b之電容器C23相當於第七電容之一例，其配置於奇數行區域OCA且以可連接於電容器C21及電容器C22之方式設置。形成於奇數行區域之比較器121b之電容器C24相當於第八電容之一例，其配置於奇數行區域OCA且連接於接地GND1。

【0176】 電容器C21連接於像素信號VSL2之輸入端子T21與NMOS電晶體NT21之閘極之間。電容器C21成為針對像素信號VSL2之輸入電容。

【0177】 電容器C22連接於參考信號RAMP2之輸入端子T22與NMOS電晶體NT21之閘極之間，成為針對參考信號RAMP2之輸入電容。

【0178】 電容器C23作為根據開關SW23及開關SW24之接通/斷開狀態使電容器C21及電容器C22之電容值變更之可變電容器發揮功能。電容器C23經由電容器C21及開關SW23連接於輸入端子T21與NMOS電晶體NT21之閘極之間。又，電容器C23經由電容器C22及開關SW24連接於輸入端子T22與NMOS電晶體NT21之閘極之間。

【0179】 更具體而言，電容器C21具有經分割之複數個(本實施形態中為4個)分割電容即分割電容器C21a、C21b、C21c、C21d。分割電容器C21a、C21b、C21c、C21d分別具有經由輸入端子T21與垂直信號線110(參照圖2)連接之一電極、及與差動放大器201之NMOS電晶體NT21之閘極連接之另一電極。電容器C22具有經由輸入端子T22與DAC104(參照圖2)連接之一電極、及與差動放大器212之NMOS電晶體NT21之閘極連接之另一電極。

【0180】 電容器C23具有經分割之複數個(本實施形態中為5個)分割電容即分割電容器C23a、C23b、C23c、C23d、C23e。比較器121b具備切換相鄰之2個分割電容器C23a、C23b、C23c、C23d、C23e之連接及切斷之開關群SW25。更具體而言，開關群SW25具有切換相鄰之2個分割電容器C23a及分割電容器C23b之連接及切斷之開關SW25a。開關群SW25具有切換相鄰之2個分割電容器C23b及分割電容器C23c之連接及切斷之開關SW25b。開關群SW25具有切換相鄰之2個分割電容器C23c及分割電容器C23d之連接及切斷之開關SW25c。開關群SW25具有切換相鄰之2個分割電容器C23d及分割電容器C23e之連接及切斷之開關SW25d。

【0181】 分割電容器C23a~C23e分別具有與開關SW25a~SW25d連接之一電極、及與差動放大器201之NMOS電晶體NT21之閘極連接之另一電極。更具體而言，分割電容器C23a具有與開關SW25a之一端子連接之一電極、及與NMOS電晶體NT21之閘極連接之另一電極。分割電容器C23a之一電極亦與開關SW23之另一端子連接。開關SW23之一端子與電容器C21之分割電容器C21d之一電極連接。

【0182】 分割電容器C23b具有與開關SW25a之另一端子及開關SW25b之一端子連接之一電極、及與NMOS電晶體NT21之閘極連接之另一電極。分割電容器C23c具有與開關SW25b之另一端子及開關SW25c之一端子連接之一電極、及與NMOS電晶體NT21之閘極連接之另一電極。分割電容器C23d具有與開關SW25c之另一端子及開關SW25d之一端子連接之一電極、及與NMOS電晶體NT21之閘極連接之另一電極。

【0183】 分割電容器C23e具有與開關SW25d之另一端子連接之一電極、及與NMOS電晶體NT21之閘極連接之另一電極。分割電容器C23e之

一電極亦連接於開關SW22之一端子。開關SW22之另一端子連接於電容器C22之一電極。

【0184】 因此，開關SW23、開關SW25a~SW25d及開關SW24於分割電容器C21d之一電極及電容器C22之一電極之間從屬連接。

【0185】 藉由對開關SW23、開關SW24及開關SW25a~SW25d之接通/斷開狀態進行控制，而控制針對像素信號VSL之輸入電容與針對參考信號RAMP之輸入電容之比。開關SW23、開關SW24及開關SW25a~SW25d被控制為至少1個成為斷開狀態。

【0186】 以下，亦將分割電容器C21a~C21d、電容器C22及分割電容器C23a~C23e各自之參考符號用作表示各自之電容值之符號。分割電容器C21a~C21d、電容器C22及分割電容器C23a~C23e並聯連接。因此，針對像素信號VSL2之輸入電容衰減增益 A_{inv2} 可利用以下之式(3)表示，針對參考信號RAMP之入衰減增益 A_{inr2} 可利用以下之式(4)表示。

【0187】 A_{inv2}

$$= (C21a + C21b + C21c + C21d + C2\alpha) / \Sigma C2 \dots (3)$$

$$A_{inr2} = (C22 + C2\beta) / \Sigma C2 \dots (4)$$

【0188】 於式(3)及式(4)中，「 $\Sigma C2$ 」表示分割電容器C21a~C21d、電容器C22及分割電容器C23a~C23e之電容值之總和。又，式(3)中之「 $C2\alpha$ 」表示根據開關SW23、開關SW24及開關SW25a~SW25d之接通/斷開狀態而附加至像素信號VSL2側之電容器之電容值。又，式(4)中之「 $C2\beta$ 」表示根據開關SW23、開關SW24及開關SW25a~SW25d之接通/斷開狀態而附加至參考信號RAMP2側之電容器之電容值。式(3)中之「 $C2\alpha$ 」及式(4)中之「 $C2\beta$ 」根據開關SW23、開關SW24及開關SW25a~

SW25d之接通/斷開狀態而如下所示。

【0189】 (A)於開關SW23為斷開狀態，且除開關SW23以外為接通狀態之情形時：

$$C2\alpha = 0$$

$$C2\beta = C23a + C23b + C23c + C23d + C23e$$

(B)於開關SW25a為斷開狀態，且除開關SW25a以外為接通狀態之情形時：

$$C2\alpha = C23a$$

$$C2\beta = C23b + C23c + C23d + C23e$$

(C)於開關SW25b為斷開狀態，且除開關SW25b以外為接通狀態之情形時：

$$C2\alpha = C23a + C23b$$

$$C2\beta = C23c + C23d + C23e$$

(D)於開關SW25c為斷開狀態，且除開關SW25c以外為接通狀態之情形時：

$$C2\alpha = C23a + C23b + C23c$$

$$C2\beta = C23d + C23e$$

(E)於開關SW25d為斷開狀態，且除開關SW25d以外為接通狀態之情形時：

$$C2\alpha = C23a + C23b + C23c + C23d$$

$$C2\beta = C23e$$

(F)於開關SW25e為斷開狀態，且除開關SW25e以外為接通狀態之情形時：

$$C2\alpha = C23a + C23b + C23c + C23d + C23e$$

$$C2\beta = 0$$

【0190】藉由如此切換開關SW23、開關SW24及開關SW25a~SW25d之接通/斷開狀態，可階段性地變更針對像素信號VSL2之輸入電容及針對參考信號RAMP2之輸入電容。

【0191】像素信號VSL2之電壓之振幅 $\Delta VSL2$ 於NMOS電晶體NT21之閘極中成為 $\Delta VSL2 \times Ainv2$ 。因此，式(3)中之「 $C2\alpha$ 」之值越小，則輸入至差動放大器212之像素信號VSL2之振幅越將衰減。其結果，輸入換算雜訊增大。對此，藉由提高像素信號VSL2之輸入電容相對於參考信號RAMP2之輸入電容之比率，即，使式(3)中之「 $C2\alpha$ 」變大且使式(4)中之「 $C2\beta$ 」變小，可抑制輸入至差動放大器212之像素信號VSL2之衰減，且抑制輸入換算雜訊。

【0192】但，當提高像素信號VSL2之輸入電容相對於參考信號RAMP2之輸入電容之比率時，輸入至差動放大器212之參考信號RAMP2之衰減量反而增大。

【0193】與使用圖5對參考信號RAMP及像素信號VSL進行說明同樣地，當提高像素信號VSL2之輸入電容相對於參考信號RAMP2之輸入電容之比率時，輸入至差動放大器212之參考信號RAMP2之振幅變小。其結果，ADC105之動態範圍減小。

【0194】對此，例如想到藉由使自DAC104輸出之參考信號RAMP2之振幅變大，而使輸入至差動放大器212之參考信號RAMP2之振幅變大，從而抑制ADC105之動態範圍之減小。

【0195】但，參考信號RAMP2之振幅之最大值受DAC104之規格等

限制。例如，於高增益模式下，參考信號RAMP2之振幅被設定得較小，故而可使參考信號RAMP2之振幅變大。另一方面，於低增益模式下，參考信號RAMP2之振幅被預先設定得較大，故而有難以使參考信號RAMP2之振幅進一步變大之情形。

【0196】 因此，例如，於高增益模式下，在可能之範圍內提高像素信號VSL2之輸入電容相對於參考信號RAMP2之輸入電容之比率，並且使參考信號RAMP2之振幅變大。藉此，於容易受到雜訊之影響之高增益模式下，可抑制輸入至差動放大器212之像素信號VSL2之衰減，從而抑制雜訊之影響。

【0197】 另一方面，例如，於低增益模式下，宜將針對參考信號RAMP2之輸入電容與針對像素信號VSL2之輸入電容設定為相近值。

【0198】 如圖14所示，電容器C24具有經分割之複數個(本實施形態中為10個)分割電容即分割電容器C24a、C24b、C24c、C24d、C24e、C24f、C24g、C24h、C24i、C24j。分割電容器C24a、C24b、C24c、C24d、C24e、C24f、C24g、C24h、C24i、C24j各自具有與接地GND1連接之一電極、及與差動放大器212之NMOS電晶體NT22之閘極連接之另一電極。分割電容器C24a、C24b、C24c、C24d、C24e、C24f、C24g、C24h、C24i、C24j於接地GND1與NMOS電晶體NT22之閘極之間並聯連接。

【0199】 於形成於偶數行區域ECA之比較器121b之情形時，分割電容器C21a~C21d相當於第一分割電容之一例。於形成於偶數行區域ECA之比較器121b之情形時，分割電容器C23a~C23d相當於第三分割電容之一例。於形成於偶數行區域ECA之比較器121b之情形時，開關SW23相當

於第一切換元件之一例，開關SW24相當於第二切換元件之一例。於形成於偶數行區域ECA之比較器121b之情形時，開關SW25a~SW25d相當於第三切換元件。

【0200】於形成於奇數行區域OCA之比較器121b之情形時，分割電容器C21a~C21d相當於第五分割電容之一例。於形成於奇數行區域OCA之比較器121b之情形時，分割電容器C23a~C23d相當於第七分割電容之一例。於形成於奇數行區域OCA之比較器121b之情形時，開關SW23相當於第五切換元件之一例，開關SW24相當於第六切換元件之一例。於形成於奇數行區域OCA之比較器121b之情形時，開關SW25a~SW25d相當於第七切換元件。

【0201】差動放大器212具有：NMOS電晶體NT21，其連接有電容器C21、電容器C22及電容器C23；及NMOS電晶體NT22，其連接有電容器C24。因此，形成於偶數行區域ECA之比較器121b之差動放大器212相當於第一差動放大器之一例。於形成於偶數行區域ECA之比較器121b之情形時，NMOS電晶體NT21相當於設置在第一差動放大器之一輸入部之一例，NMOS電晶體NT22相當於設置在第一差動放大器之另一輸入部之一例。另一方面，形成於奇數行區域OCA之比較器121b之差動放大器212相當於第二差動放大器之一例。於形成於奇數行區域OCA之比較器121b之情形時，NMOS電晶體NT21相當於設置在第二差動放大器之一輸入部之一例，NMOS電晶體NT22相當於設置在第二差動放大器之另一輸入部之一例。

【0202】開關SW11連接於NMOS電晶體NT11之汲極-閘極間。開關SW11根據自時序控制電路102經由輸入端子T13輸入之驅動信號

AZSW1，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0203】開關SW12連接於NMOS電晶體NT12之汲極-閘極間。開關SW12根據自時序控制電路102經由輸入端子T13輸入之驅動信號AZSW1，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0204】開關SW17及開關SW18根據自時序控制電路102經由輸入端子T16輸入之驅動信號SELSW1，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0205】再者，以下，將電容器C11、電容器C12、電容器C13及開關SW11之連接點設為節點HiZ1。又，以下，將NMOS電晶體NT12之閘極、電容器C14及開關SW12之連接點設為節點VSH1。

【0206】開關SW21連接於NMOS電晶體NT21之汲極-閘極間。開關SW21根據自時序控制電路102經由輸入端子T23輸入之驅動信號AZSW2，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0207】開關SW22連接於NMOS電晶體NT22之汲極-閘極間。開關SW22根據自時序控制電路102經由輸入端子T23輸入之驅動信號AZSW2，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。

【0208】開關SW27及開關SW28根據自時序控制電路102經由輸入端子T26輸入之驅動信號SELSW2，自接通狀態切換為斷開狀態或自斷開狀態切換為接通狀態。驅動信號SELSW2係信號位準相對於驅動信號SELSW1反轉之信號。

【0209】再者，以下，將電容器C21、電容器C22、電容器C23及開關SW21之連接點設為節點HiZ2。又，以下，將NMOS電晶體NT22之閘極、電容器C24及開關SW22之連接點設為節點VSH2。

【0210】 雖省略圖示，但NMOS電晶體NT21具有與圖6所示之NMOS電晶體NT11相同之構成，包含並聯連接之2個分割電晶體。同樣地，NMOS電晶體NT22具有與圖6所示之NMOS電晶體NT12相同之構成，包含並聯連接之2個分割電晶體。

【0211】 其次，使用圖15對分別形成於奇數行區域OCA及偶數行區域ECA之比較器121b的各電容器及各NMOS電晶體之配置關係之一例進行說明。於圖15中，偶數行區域ECA及奇數行區域OCA因紙面之關係而分別分割地圖示，但實際上未分割而為直線狀之連續之區域。

【0212】 於偶數行區域ECA中，NMOS電晶體NT11及NMOS電晶體NT12成為用以將單位像素 $P1(2i)$ (i 為 n 以下之奇數)與參考信號RAMP1進行比較之差動對。又，於偶數行區域ECA中，NMOS電晶體NT21及NMOS電晶體N22成為用以將單位像素 $P1(2i)$ (i 為 n 以下之偶數)與參考信號RAMP2進行比較之差動對。又，於奇數行區域OCA中，NMOS電晶體NT11及NMOS電晶體NT12成為用以將單位像素 $P1(2i-1)$ (i 為 n 以下之奇數)與參考信號RAMP1進行比較之差動對。進而，於奇數行區域OCA中，NMOS電晶體NT21及NMOS電晶體NT22成為用以將單位像素 $P1(2i-1)$ (i 為 n 以下之偶數)與參考信號RAMP2進行比較之差動對。

【0213】 於偶數行區域ECA及奇數行區域OCA中，NMOS電晶體NT11、NMOS電晶體NT12、電容器C11、電容器C12、電容器C13、電容器C14、開關SW13、SW14及開關群SW15之配置與上述實施形態之攝像元件1中之該配置(參照圖7)相同，故而說明將予以省略。

【0214】 如圖15所示，於偶數行區域ECA中，在未配置有分割電晶體NT12a之側之分割電晶體NT11a之旁側，配置有電容器C2。

【0215】於偶數行區域ECA中，在未配置有分割電晶體NT11a之側之電容器C22之旁側，隔著開關SW24配置有電容器C23。電容器C23之分割電容即分割電容器C23a~C23e彙集於偶數行區域ECA之特定範圍內。更具體而言，電容器C22及分割電容器C23e隔著開關SW24而對向地配置。分割電容器C23e、分割電容器C23d、分割電容器C23c、分割電容器C23b及分割電容器C23a自配置有電容器C22之側起依序排列而配置。於分割電容器C23e及分割電容器C23d之間，配置有開關SW25d。於分割電容器C23d及分割電容器C23c之間，配置有開關SW25c。於分割電容器C23c及分割電容器C23b之間，配置有開關SW25b。於分割電容器C23b及分割電容器C23a之間，配置有開關SW25a。

【0216】於偶數行區域ECA中，在未配置有分割電容器C23b之側之分割電容器C23a之旁側，隔著開關SW23而配置有電容器C24之分割電容即分割電容器C24j。如此，藉由將分割電容器C23a~C23e、開關SW25a~SW25d、開關SW24及開關SW23彙集並配置於特定範圍內，而謀求抑制配線之複雜化或各元件間所產生之寄生電容。

【0217】於偶數行區域ECA中，在未配置有分割電容器C23a之側之分割電容器C24j之旁側，配置有電容器C21。更具體而言，電容器C21之分割電容即分割電容器C21d、分割電容器C21c、分割電容器C21b及分割電容器C21a自配置有分割電容器C24j之側起依序排列而配置。

【0218】於偶數行區域ECA中，在未配置有分割電容器C21b之側之分割電容器C21a之旁側，配置有電容器C24之分割電容即電容器C24之剩餘部分。更具體而言，電容器C24之剩餘之分割電容器C24i、分割電容器C24h、分割電容器C24g、分割電容器C24f、分割電容器C24e、分割電容

器C24d、分割電容器C24c、分割電容器C24b及分割電容器C24a自配置有分割電容器C21a之側起依序排列而配置。

【0219】於偶數行區域ECA中，在未配置有分割電容器C24b之側之分割電容器C24a之旁側，配置有NMOS電晶體NT21及NMOS電晶體NT22。更具體而言，分割電晶體NT21b、分割電晶體NT22b、分割電晶體NT22a及分割電晶體NT21a自配置有分割電容器C24a之側起依序排列而配置。分割電晶體NT21a及分割電晶體NT21b係構成NMOS電晶體NT21之電晶體。分割電晶體NT22a及分割電晶體NT22b係構成NMOS電晶體NT22之電晶體。

【0220】如此，於偶數行區域ECA中，電容器C21～C24、開關SW23、開關群SW25、NMOS電晶體NT21及NMOS電晶體NT22例如配置於一直線上。

【0221】如圖15所示，於奇數行區域OCA中，在未配置有分割電晶體NT11b之側之分割電晶體NT11a之旁側，配置有電容器C22。

【0222】於奇數行區域OCA中，在未配置有分割電晶體NT11a之側之電容器C22之旁側，隔著開關SW24而配置有電容器C23。電容器C23之分割電容即分割電容器C23a～C23e彙集於奇數行區域OCA之特定範圍內。更具體而言，電容器C22及分割電容器C23e隔著開關SW24而對向地配置。分割電容器C23e、分割電容器C23d、分割電容器C23c、分割電容器C23b及分割電容器C23a自配置有電容器C22之側起依序排列而配置。於分割電容器C23e及分割電容器C23d之間，配置有開關SW25d。於分割電容器C23d及分割電容器C23c之間，配置有開關SW25c。於分割電容器C23c及分割電容器C23b之間，配置有開關SW25b。於分割電容器C23b及

分割電容器C23a之間，配置有開關SW25a。

【0223】於奇數行區域OCA中，在未配置有分割電容器C23b之側之分割電容器C23a之旁側，隔著開關SW23而配置有電容器C24之分割電容之一部分。如此，藉由將分割電容器C23a~C23e、開關SW25a~SW25d、開關SW24及開關SW23彙集並配置於特定範圍內，而謀求抑制配線之複雜化或各元件間所產生之寄生電容。

【0224】更具體而言，於奇數行區域OCA中，電容器C24之分割電容即分割電容器C24j、分割電容器C24i、分割電容器C24h及分割電容器C24g自配置有分割電容器C23a之側起依序排列而配置。

【0225】於奇數行區域OCA中，在未配置有分割電容器C24h之側之分割電容器C24g之旁側，配置有電容器C21。更具體而言，電容器C21之分割電容即分割電容器C21d、分割電容器C21c、分割電容器C21b及分割電容器C21a自配置有分割電容器C24g之側起依序排列而配置。

【0226】於奇數行區域OCA中，在未配置有分割電容器C21b之側之分割電容器C21a之旁側，配置有電容器C24之剩餘之分割電容。更具體而言，電容器C24之剩餘之分割電容器C24f、分割電容器C24e、分割電容器C24d、分割電容器C24c、分割電容器C24b及分割電容器C24a自配置有分割電容器C21a之側起依序排列而配置。

【0227】於奇數行區域OCA中，在未配置有分割電容器C24b之側之分割電容器C24a之旁側，配置有NMOS電晶體NT21及NMOS電晶體NT22。更具體而言，分割電晶體NT22a、分割電晶體NT22b、分割電晶體NT21b及分割電晶體NT21a自配置有分割電容器C24a之側起依序排列而配置。分割電晶體NT21a及分割電晶體NT21b係構成NMOS電晶體

NT21之電晶體。分割電晶體NT22a及分割電晶體NT22b係構成NMOS電晶體NT22之電晶體。

【0228】如此，於奇數行區域OCA中，電容器C21~C24、開關SW23、開關群SW25、NMOS電晶體NT21及NMOS電晶體NT22例如配置於一直線上。

【0229】如圖15所示，於偶數行區域ECA中，分割電容器C21a~C21d之個數為4個，電容器C22之個數為1個，分割電容器C23a~C23e之個數為5個，分割電容器C24a~C24j之個數為10個。因此，於偶數行區域ECA中，分割電容器C21a~C21d(第一分割電容之一例)、電容器C22(第二電容之一例)及分割電容器C23a~C23e(第三分割電容之一例)之合計數(10個)與分割電容器C24a~C24j(第四分割電容之一例)之總數相同。

【0230】又，於奇數行區域OCA中，分割電容器C21a~C21d之個數為4個，電容器C22之個數為1個，分割電容器C23a~C23e之個數為5個，分割電容器C24a~C24j之個數為10個。因此，於奇數行區域OCA中，分割電容器C21a~C21d(第五分割電容之一例)、電容器C22(第六電容之一例)及分割電容器C23a~C23e(第六分割電容之一例)之合計數(10個)與分割電容器C24a~C24j(第八電容之一例)之總數相同。

【0231】偶數行區域ECA中之分割電容器C21a~C21d、電容器C22、分割電容器C23a~C23e及分割電容器C24a~C24j之合計數(20個)與奇數行區域OCA中之分割電容器C21a~C21d、電容器C22、分割電容器C23a~C23e及分割電容器C24a~C24j之合計數(20個)相同。

【0232】偶數行區域ECA中之分割電容器C21a~C21d之各者、電容器C22、分割電容器C23a~C23e之各者及分割電容器C24a~C24j之各

者、奇數行區域OCA中之分割電容器C21a~C21d之各者、電容器C22、分割電容器C23a~C23e之各者及分割電容器C24a~C24j之各者具有相互相同之電容值。

【0233】如此，與構成差動放大器212之差動對之NMOS電晶體NT21及NMOS電晶體NT22連接之輸入電容被分割為相同個數之電容器。藉此，得以確保與差動放大器212之差動對連接之電容之平衡。又，可使電源VDD1之變動均等地影響差動放大器212之差動對。藉此，得以謀求電源電壓變動去除比之提高。進而，可使NMOS電晶體NT21及NMOS電晶體NT22之基於設置在比較器121b之開關SW21及開關SW22中產生之漏電流的電壓變動相同。藉此，本變化例之攝像元件可防止該漏電流影響到比較器121b之比較動作。

【0234】關於包含NMOS電晶體NT11及NMOS電晶體NT12之差動放大器212之差動對，亦發揮與包含NMOS電晶體NT21及NMOS電晶體NT22之差動對相同之作用、效果。

【0235】因形成本變化例之攝像元件之半導體晶片之大小之限制，偶數行區域ECA及奇數行區域OCA相互鄰接地設置。因此，於形成在偶數行區域ECA之各元件與形成在奇數行區域OCA之各元件之間，產生寄生電容。

【0236】關於電容器C11、電容器C12、電容器C13、電容器C14及NMOS電晶體NT11、NT12，偶數行區域ECA及奇數行區域OCA間產生之寄生電容與上述實施形態之攝像元件1相同(參照圖7)。因此，關於該寄生電容之詳細說明將予以省略。

【0237】如圖15所示，於偶數行區域ECA之分割電晶體NT21a之閘極

與奇數行區域OCA之分割電晶體NT21a之閘極之間，產生寄生電容Cp31。於偶數行區域ECA之分割電晶體NT22a之閘極與奇數行區域OCA之分割電晶體NT21b之閘極之間，產生寄生電容Cp32。於偶數行區域ECA之分割電晶體NT22b之閘極與奇數行區域OCA之分割電晶體NT22b之閘極之間，產生寄生電容Cp33。於偶數行區域ECA之分割電晶體NT21b之閘極與奇數行區域OCA之分割電晶體NT22a之閘極之間，產生寄生電容Cp34。

【0238】 於偶數行區域ECA之分割電容器C24a與奇數行區域OCA之分割電容器C24a之間，產生寄生電容Cp35。於偶數行區域ECA之分割電容器C24b與奇數行區域OCA之分割電容器C24b之間，產生寄生電容Cp36。於偶數行區域ECA之分割電容器C24c與奇數行區域OCA之分割電容器C24c之間，產生寄生電容Cp37。於偶數行區域ECA之分割電容器C24d與奇數行區域OCA之分割電容器C24d之間，產生寄生電容Cp38。於偶數行區域ECA之分割電容器C24e與奇數行區域OCA之分割電容器C24e之間，產生寄生電容Cp39。於偶數行區域ECA之分割電容器C24f與奇數行區域OCA之分割電容器C24f之間，產生寄生電容Cp40。

【0239】 於偶數行區域ECA之分割電容器C24g與奇數行區域OCA之分割電容器C21a之間，產生寄生電容Cp41。於偶數行區域ECA之分割電容器C24h與奇數行區域OCA之分割電容器C21b之間，產生寄生電容Cp42。於偶數行區域ECA之分割電容器C24i與奇數行區域OCA之分割電容器C21c之間，產生寄生電容Cp43。於偶數行區域ECA之分割電容器C21a與奇數行區域OCA之分割電容器C21d之間，產生寄生電容Cp44。

【0240】 於偶數行區域ECA之分割電容器C21b與奇數行區域OCA之分割電容器C24g之間，產生寄生電容Cp45。於偶數行區域ECA之分割電

容器C21c與奇數行區域OCA之分割電容器C24h之間，產生寄生電容Cp46。於偶數行區域ECA之分割電容器C21d與奇數行區域OCA之分割電容器C24i之間，產生寄生電容Cp47。於偶數行區域ECA之分割電容器C24j與奇數行區域OCA之分割電容器C24j之間，產生寄生電容Cp48。

【0241】於偶數行區域ECA之分割電容器C23a與奇數行區域OCA之分割電容器C23a之間，產生寄生電容Cp49。於偶數行區域ECA之分割電容器C23b與奇數行區域OCA之分割電容器C23b之間，產生寄生電容Cp50。於偶數行區域ECA之分割電容器C23c與奇數行區域OCA之分割電容器C23c之間，產生寄生電容Cp51。於偶數行區域ECA之分割電容器C23d與奇數行區域OCA之分割電容器C23d之間，產生寄生電容Cp52。於偶數行區域ECA之分割電容器C23e與奇數行區域OCA之分割電容器C23e之間，產生寄生電容Cp53。於偶數行區域ECA之電容器C22、奇數行區域OCA之電容器C22之間，產生寄生電容Cp54。

【0242】本變化例之攝像元件於差動放大器212具有2個差動對，對於任一差動對，均使電容之配置於偶數行區域ECA與奇數行區域OCA中不同。不論以何種方式將作為切換電容發揮功能之電容器C13之全部或一部分附加為針對像素信號VSL1及參考信號RAMP1之輸入電容，對於差動放大器212之一差動對，旁側之像素信號VSL1之大振幅干擾源之干擾不均衡之絕對值均不會突出地變大。同樣地，不論以何種方式將作為切換電容發揮功能之電容器C23之全部或一部分附加為針對像素信號VSL2及參考信號RAMP2之輸入電容，對於差動放大器212之另一差動對，旁側之像素信號VSL2之大振幅干擾源之干擾不均衡之絕對值均不會突出地變大。

【0243】更具體而言，奇數行區域OCA中之分割電容器C21a~

C21d(第五分割電容之一例)係使與偶數行區域ECA中之分割電容器C21a~C21d(第一分割電容之一例)對向之個數和與偶數行區域ECA中之分割電容器C24a~C24j(第四分割電容之一例)對向之個數不同而配置。於圖15所示之構成例中，將奇數行區域OCA中之分割電容器C21a~C21d中之3個分割電容器C21a~C21c與偶數行區域ECA中連接於NMOS電晶體NT22之分割電容器C24g~C24i對向地配置。又，將奇數行區域OCA中之分割電容器C21a~C21d中之1個分割電容器C21d與偶數行區域ECA中連接於NMOS電晶體NT21之分割電容器C21a對向地配置。

【0244】 分割電容器C21a~C21d、電容器C22及分割電容器C23a~C23e並聯連接。又，分割電容器C24a~C24j並聯連接。因此，分割電容器彼此對向之個數亦可視作包含該分割電容器之電容器彼此對向之面積。因此，奇數行區域OCA之電容器C21(第五電容之一例)與偶數行區域ECA之電容器C21(第一電容之一例)及電容器C24(第四電容之一例)以不同之面積對向地配置。

【0245】 關於奇數行區域OCA之分割電容器C11a~C11d，與上述實施形態中之奇數行區域OCA之分割電容器C11a~C11d同樣地，與偶數行區域ECA之連接於NMOS電晶體NT12之分割電容器C14g~C14i及連接於NMOS電晶體NT11之分割電容器C11a對向地配置。

【0246】 因此，詳細之說明將予以省略，但本變化例之攝像元件可減少相鄰之偶數行區域ECA之ADC105i(i為n以下之偶數)與奇數行區域OCA之ADC105i(i為n以下之奇數)之串擾。更具體而言，減少偶數行區域ECA之ADC105(2i)(i為n以下之奇數)與奇數行區域OCA之ADC105(2i-1)(i為n以下之奇數)之NMOS電晶體NT11、NT12之差動對中之串擾。

又，減少偶數行區域ECA之ADC105(2i)(i為n以下之偶數)與奇數行區域OCA之ADC105(2i-1)(i為n以下之偶數)之NMOS電晶體NT21、NT22之差動對中之串擾。

【0247】

<利用半導體晶片構成攝像元件之情形時之構成例>

其次，使用圖16及圖17對利用半導體晶片構成攝像元件之情形時的構成例進行說明。

如圖16所示，於利用1個裸晶片構成攝像元件之情形時，例如在1個裸晶片20上形成像素部101。於像素部101之周圍，形成包含ADC群12、時序控制電路102、垂直掃描電路103、DAC104及水平傳輸掃描電路106等除像素部101以外之電路之電路區塊301、302、303。

【0248】如圖17所示，於藉由上下積層之2個裸晶片構成積層型攝像元件之情形時，在2個裸晶片中之積層於上側之上晶片21形成像素部101。又，於積層於下側之下晶片22，形成包含ADC群12、時序控制電路102、垂直掃描電路103、DAC104及水平傳輸掃描電路106等除像素部101以外之電路之電路區塊304。包含比較器121之ADC105形成於設置在下晶片22之電路區塊304。再者，比較器121或ADC105亦可形成於上晶片21。

【0249】如圖17所示，於形成積層型攝像元件之情形時，即，於包含形成像素部101之上晶片21及形成電路區塊304之下晶片22之情形時，有時要求將下晶片22構成為與上晶片21相同尺寸。

【0250】形成像素部101之上晶片21可構成為與圖16所示之1個裸晶片20上所形成之像素部101相同程度之尺寸。於將下晶片22構成為與上晶

片21相同尺寸之情形時，必須於構成為與上晶片21相同尺寸之下晶片22形成圖16所示之電路區塊301~303中所包含之全部電路作為電路區塊304。

【0251】 因此，對電路區塊304中所包含之ADC群12等之電路，要求進一步之小型化。例如，關於ADC105，要求使鄰接之行之間之距離(行間距)較利用1個裸晶片20構成圖16所示之攝像元件之情形時短。

【0252】 即便於此種情形時，亦可藉由將奇數行區域OCA之電容器C11與偶數行區域ECA之電容器C11及電容器C14以不同之面積對向地配置，而謀求ADC105之串擾之減少。

【0253】 本技術可無關於上述實施形態，進行各種變化。

於上述實施形態中，偶數行區域ECA及奇數行區域OCA各自之電容器C11以1個分割電容器之量錯開地配置，但本技術並不限定於此。關於將偶數行區域ECA及奇數行區域OCA各自之電容器C11錯開何種程度配置，根據按ADC之要求規格等決定之各部分之電容值或電容數而異。

【0254】 本發明之技術可應用於如上所述之固體攝像裝置。

【0255】 再者，本技術之實施形態並不限定於上述實施形態，可於不脫離本技術之主旨之範圍內進行各種變更。又，本說明書中所記載之效果僅為例示而並非限定者，又，亦存在其他效果。

【0256】 例如，本技術亦可採用如下構成。

【0257】

(1)

一種攝像元件，其具備：

第一電容，其連接於與具有光電轉換元件之第一像素連接之第一信

號線，且配置於第一區域；

第二電容，其配置於上述第一區域且與產生參考信號之參考信號產生部連接；

第三電容，其配置於上述第一區域且以可與上述第一電容及上述第二電容連接之方式設置；

第四電容，其配置於上述第一區域且與基準電位之供給部連接；

第一差動放大器，其配置於上述第一區域，且具有連接有上述第一電容、上述第二電容及上述第三電容之一輸入部、以及連接有上述第四電容之另一輸入部；

第五電容，其連接於與具有光電轉換元件之第二像素連接之第二信號線，且以不同之面積與上述第一電容及上述第四電容對向地配置於與上述第一區域相鄰之第二區域；

第六電容，其配置於上述第二區域且與上述參考信號產生部連接；

第七電容，其配置於上述第二區域且以可與上述第五電容及上述第六電容連接之方式設置；

第八電容，其配置於上述第二區域且被供給上述基準電位；及

第二差動放大器，其配置於上述第二區域，且具有連接有上述第五電容、上述第六電容及上述第七電容之一輸入部、以及連接有上述第八電容之另一輸入部。

(2)

如上述(1)所記載之攝像元件，其中

上述第一電容、上述第三電容、上述第四電容、上述第五電容、第七電容及上述第八電容分別具有經分割而成之複數個分割電容，

上述第五電容之上述分割電容即第五分割電容以與上述第一電容之上述分割電容即第一分割電容對向之個數和與上述第四電容之上述分割電容即第四分割電容對向之個數不同之方式配置。

(3)

如上述(2)所記載之攝像元件，其中

上述第三電容之上述分割電容即第三分割電容彙集於上述第一區域之特定範圍內，

上述第七電容之上述分割電容即第七分割電容彙集於上述第二區域之特定範圍內，

複數個上述第三分割電容及複數個上述第七分割電容以一對一之關係對向地配置。

(4)

如上述(3)所記載之攝像元件，其具備：

第一切換元件，其切換上述第一電容與上述第三電容之連接及切斷；

第二切換元件，其切換上述第二電容與上述第三電容之連接及切斷；

第三切換元件，其切換相鄰之2個上述第三分割電容之連接及切斷；

第五切換元件，其切換上述第五電容與上述第七電容之連接及切斷；

第六切換元件，其切換上述第六電容與上述第七電容之連接及切斷；及

第七切換元件，其切換相鄰之2個上述第七分割電容之連接及切斷。

(5)

如上述(4)所記載之攝像元件，其中

上述第一分割電容、上述第二電容及上述第三分割電容之合計數與上述第四電容之分割電容即第四分割電容之總數相同，

上述第五分割電容、上述第六電容及上述第七分割電容之合計數與上述第八電容之分割電容即第八分割電容之總數相同，

上述第一分割電容、上述第二電容、上述第三分割電容及上述第四分割電容之合計數與上述第五分割電容、上述第六電容、上述第七分割電容及上述第八分割電容之合計數相同。

(6)

如上述(5)所記載之攝像元件，其中

複數個上述第一分割電容之各者、上述第二電容、複數個上述第三分割電容之各者、複數個上述第四分割電容之各者、複數個上述第五分割電容之各者、上述第六電容、複數個上述第七分割電容之各者、以及複數個上述第八分割電容之各者具有相互相同之電容值。

(7)

如上述(5)或(6)所記載之攝像元件，其中

複數個上述第一分割電容之各者具有與上述第一信號線連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

上述第二電容具有與上述參考信號產生部連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

複數個上述第三分割電容之各者具有與上述第三切換元件連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

複數個上述第四分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第一差動放大器之上述另一輸入部連接之另一電極，

複數個上述第五分割電容之各者具有與上述第二信號線連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

上述第六電容具有與上述參考信號產生部連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

複數個上述第七分割電容之各者具有與上述第七切換元件連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

複數個上述第八分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第二差動放大器之上述另一輸入部連接之另一電極。

【符號說明】

【0258】

1	攝像元件
2	光學系統
3	記憶體
4	信號處理部
5	輸出部
6	控制部
12	ADC群
20	裸晶片
21	上晶片
22	下晶片
100	數位相機

101	像素部
102	時序控制電路
103	垂直掃描電路
104	DAC
105-1、105-2、105-3~105-(n-1)、105-n	ADC
106	水平傳輸掃描電路
107	放大器電路
108	信號處理電路
109	像素驅動線
109-1~109-m	像素驅動線
110	垂直信號線
110-1~110-n	垂直信號線
111	水平傳輸線
121	比較器
121-1~121-n	比較器
121a	比較器
121b	比較器
122	計數器
122-1~122-n	計數器
123	鎖存器
123-1~123-n	鎖存器
151	光電二極體
152	傳輸電晶體

154	放大電晶體
155	選擇電晶體
156	重設電晶體
157	定電流源
201	差動放大器
211	差動放大器
212	差動放大器
301、302、303	電路區塊
304	電路區塊
AZSW1	驅動信號
AZSW2	驅動信號
C11	電容器
C11a~C11d	分割電容器
C12	電容器
C13	電容器
C13a~C13e	分割電容器
C14	電容器
C14a~C14j	分割電容器
C15	電容器
C21	電容器
C21a~C21d	分割電容器
C22	電容器
C23	電容器

C23a~C23e	分割電容器
C24	電容器
C24a~C24j	分割電容器
C25	電容器
Cp1	寄生電容
Cp2	寄生電容
Cp3	寄生電容
Cp4	寄生電容
Cp5	寄生電容
Cp6	寄生電容
Cp7	寄生電容
Cp8	寄生電容
Cp9	寄生電容
Cp10	寄生電容
Cp11	寄生電容
Cp12	寄生電容
Cp13	寄生電容
Cp14	寄生電容
Cp15	寄生電容
Cp16	寄生電容
Cp17	寄生電容
Cp18	寄生電容
Cp19	寄生電容

Cp20	寄生電容
Cp21	寄生電容
Cp22	寄生電容
Cp23	寄生電容
Cp24	寄生電容
Cp31	寄生電容
Cp32	寄生電容
Cp33	寄生電容
Cp34	寄生電容
Cp35	寄生電容
Cp36	寄生電容
Cp37	寄生電容
Cp38	寄生電容
Cp39	寄生電容
Cp40	寄生電容
Cp41	寄生電容
Cp42	寄生電容
Cp43	寄生電容
Cp44	寄生電容
Cp45	寄生電容
Cp46	寄生電容
Cp47	寄生電容
Cp48	寄生電容

Cp49	寄生電容
Cp50	寄生電容
Cp51	寄生電容
Cp52	寄生電容
Cp53	寄生電容
Cp54	寄生電容
ECA	偶數行區域
GND1	接地
HiZ	節點
HiZ1	節點
HiZ2	節點
NT11	NMOS 電晶體
NT11a	分割電晶體
NT11b	分割電晶體
NT12	NMOS 電晶體
NT12a	分割電晶體
NT12b	分割電晶體
NT13	NMOS 電晶體
NT21	NMOS 電晶體
NT21a	分割電晶體
NT21b	分割電晶體
NT22	NMOS 電晶體
NT22a	分割電晶體

NT22b	分割電晶體
NT23	NMOS電晶體
NT31	NMOS電晶體
NT32	NMOS電晶體
OCA	奇數行區域
OUT1	輸出信號
P	單位像素
P11 ~ Pmn	單位像素
PT11	PMOS電晶體
PT12	PMOS電晶體
PT31	PMOS電晶體
PT32	PMOS電晶體
PT33	PMOS電晶體
RAMP	參考信號
RAMP1	參考信號
RAMP2	參考信號
RST	驅動信號
SEL	驅動信號
SELSW1	驅動信號
SELSW2	驅動信號
SW11	開關
SW12	開關
SW13	開關

SW13a~SW13d	開關
SW14	開關
SW15	開關群
SW15a	開關
SW15b	開關
SW15c	開關
SW15d	開關
SW15e	開關
SW17	開關
SW18	開關
SW21	開關
SW22	開關
SW23	開關
SW23a~SW23d	開關
SW24	開關
SW25	開關群
SW25a	開關
SW25b	開關
SW25c	開關
SW25d	開關
SW25e	開關
SW27	開關
SW28	開關

T11	輸入端子
T13	輸入端子
T14	輸入端子
T15	輸入端子
T16	輸入端子
T21	輸入端子
T22	輸入端子
T23	輸入端子
T26	輸入端子
TN21	NMOS電晶體
TX	驅動信號
VDD	電源
VDD1	電源
VG	偏壓電壓
VSH	節點
VSH1	節點
VSH2	節點
VSL	像素信號
VSL1	像素信號
VSL2	像素信號

【發明申請專利範圍】

【第1項】

一種攝像元件，其具備：

第一電容，其連接於與具有光電轉換元件之第一像素連接之第一信號線，且配置於第一區域；

第二電容，其配置於上述第一區域且與產生參考信號之參考信號產生部連接；

第三電容，其配置於上述第一區域且以可與上述第一電容及上述第二電容連接之方式設置；

第四電容，其配置於上述第一區域且與基準電位之供給部連接；

第一差動放大器，其配置於上述第一區域，且具有連接有上述第一電容、上述第二電容及上述第三電容之一輸入部、以及連接有上述第四電容之另一輸入部；

第五電容，其連接於與具有光電轉換元件之第二像素連接之第二信號線，且以不同之面積與上述第一電容及上述第四電容對向地配置於與上述第一區域相鄰之第二區域；

第六電容，其配置於上述第二區域且與上述參考信號產生部連接；

第七電容，其配置於上述第二區域且以可與上述第五電容及上述第六電容連接之方式設置；

第八電容，其配置於上述第二區域且被供給上述基準電位；及

第二差動放大器，其配置於上述第二區域，且具有連接有上述第五電容、上述第六電容及上述第七電容之一輸入部、以及連接有上述第八電容之另一輸入部。

【第2項】

如請求項1之攝像元件，其中

上述第一電容、上述第三電容、上述第四電容、上述第五電容、第七電容及上述第八電容分別具有經分割而成之複數個分割電容，

上述第五電容之上述分割電容即第五分割電容以與上述第一電容之上述分割電容即第一分割電容對向之個數和與上述第四電容之上述分割電容即第四分割電容對向之個數不同之方式配置。

【第3項】

如請求項2之攝像元件，其中

上述第三電容之上述分割電容即第三分割電容彙集於上述第一區域之特定範圍內，

上述第七電容之上述分割電容即第七分割電容彙集於上述第二區域之特定範圍內，

複數個上述第三分割電容及複數個上述第七分割電容以一對一之關係對向地配置。

【第4項】

如請求項3之攝像元件，其具備：

第一切換元件，其切換上述第一電容與上述第三電容之連接及切斷；

第二切換元件，其切換上述第二電容與上述第三電容之連接及切斷；

第三切換元件，其切換相鄰之2個上述第三分割電容之連接及切斷；

第五切換元件，其切換上述第五電容與上述第七電容之連接及切

斷；

第六切換元件，其切換上述第六電容與上述第七電容之連接及切

斷；及

第七切換元件，其切換相鄰之2個上述第七分割電容之連接及切斷。

【第5項】

如請求項4之攝像元件，其中

上述第一分割電容、上述第二電容及上述第三分割電容之合計數與上述第四電容之分割電容即第四分割電容之總數相同，

上述第五分割電容、上述第六電容及上述第七分割電容之合計數與上述第八電容之分割電容即第八分割電容之總數相同，

上述第一分割電容、上述第二電容、上述第三分割電容及上述第四分割電容之合計數與上述第五分割電容、上述第六電容、上述第七分割電容及上述第八分割電容之合計數相同。

【第6項】

如請求項5之攝像元件，其中

複數個上述第一分割電容之各者、上述第二電容、複數個上述第三分割電容之各者、複數個上述第四分割電容之各者、複數個上述第五分割電容之各者、上述第六電容、複數個上述第七分割電容之各者、以及複數個上述第八分割電容之各者具有相互相同之電容值。

【第7項】

如請求項5之攝像元件，其中

複數個上述第一分割電容之各者具有與上述第一信號線連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

上述第二電容具有與上述參考信號產生部連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

複數個上述第三分割電容之各者具有與上述第三切換元件連接之一電極、及與上述第一差動放大器之上述一輸入部連接之另一電極，

複數個上述第四分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第一差動放大器之上述另一輸入部連接之另一電極，

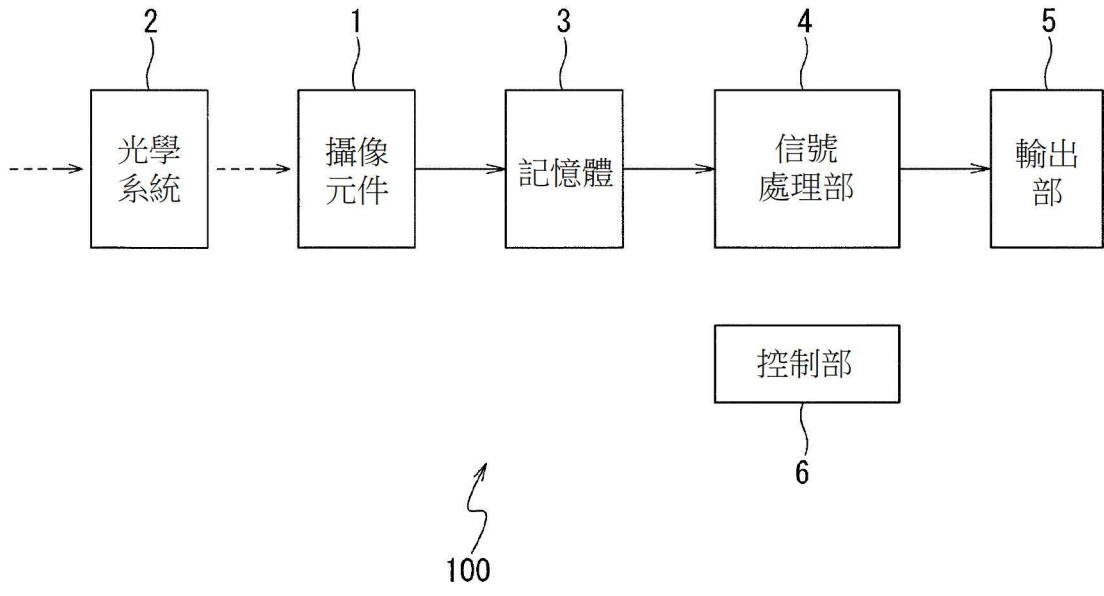
複數個上述第五分割電容之各者具有與上述第二信號線連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

上述第六電容具有與上述參考信號產生部連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

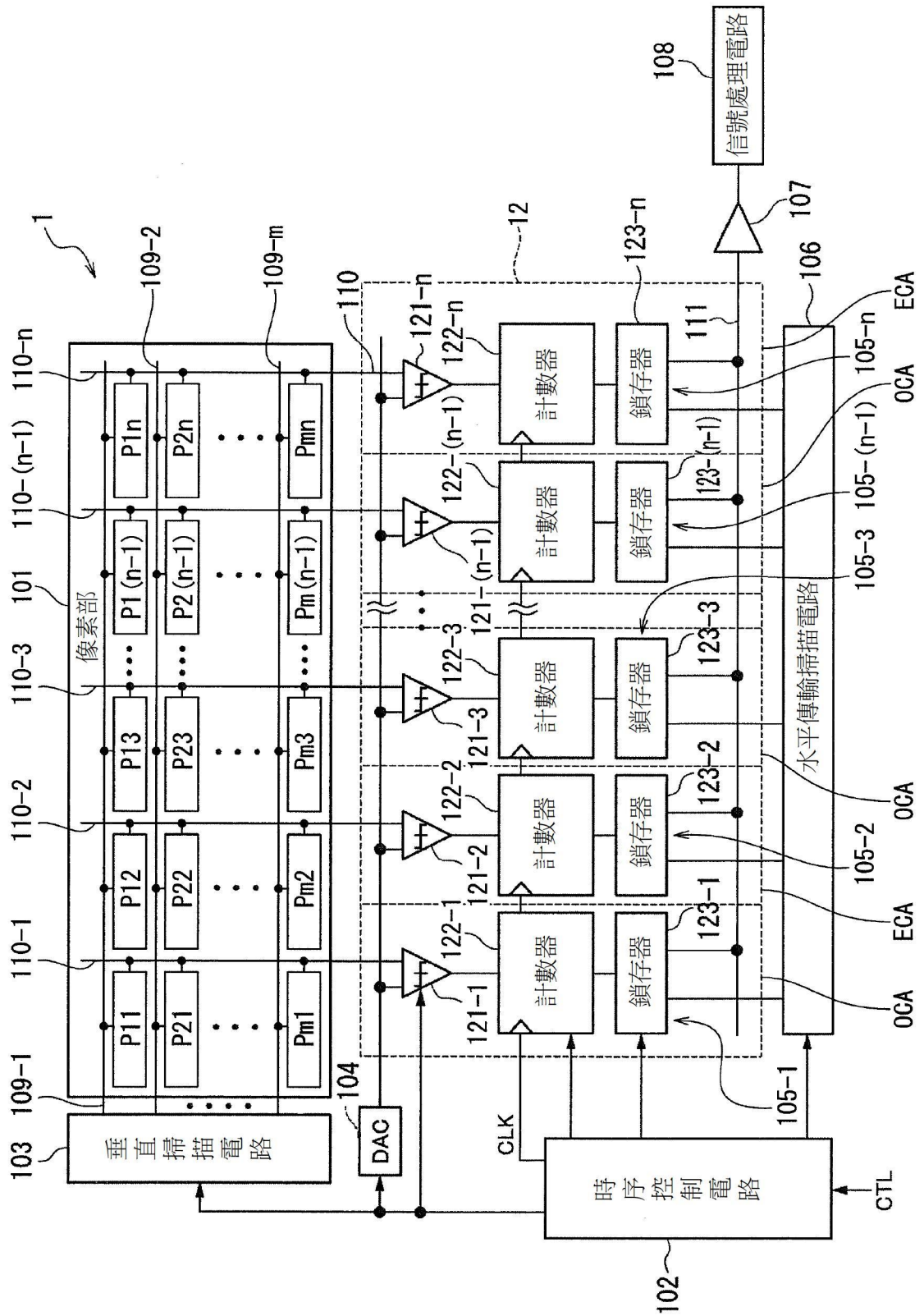
複數個上述第七分割電容之各者具有與上述第七切換元件連接之一電極、及與上述第二差動放大器之上述一輸入部連接之另一電極，

複數個上述第八分割電容之各者具有與上述基準電位之供給部連接之一電極、及與上述第二差動放大器之上述另一輸入部連接之另一電極。

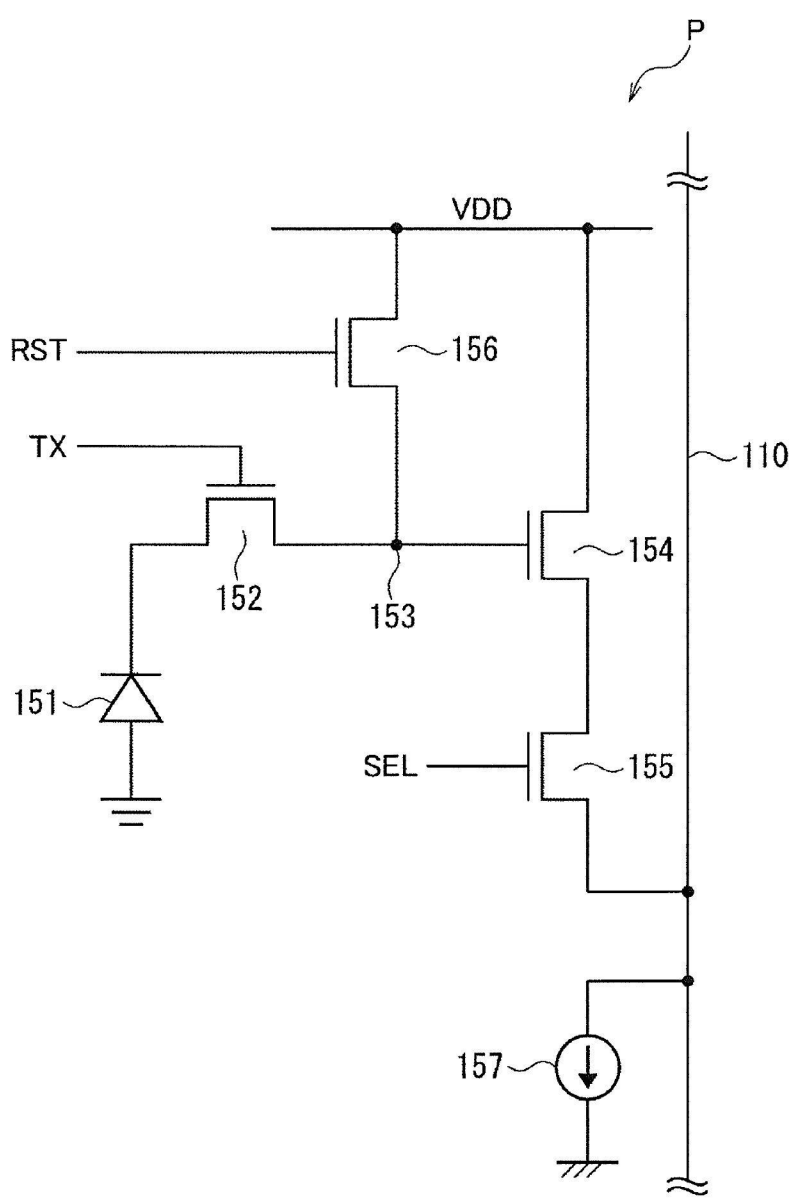
【發明圖式】



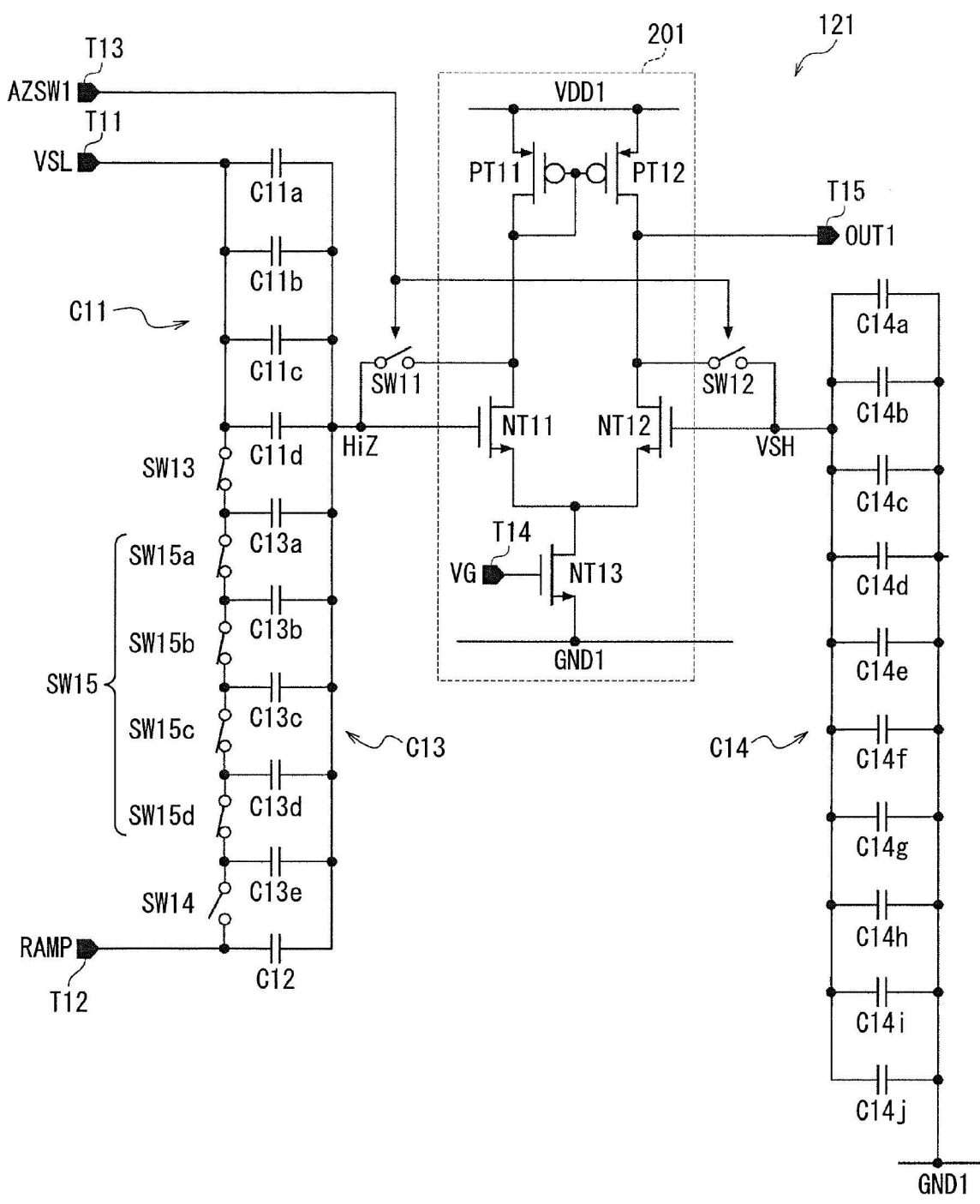
【圖1】



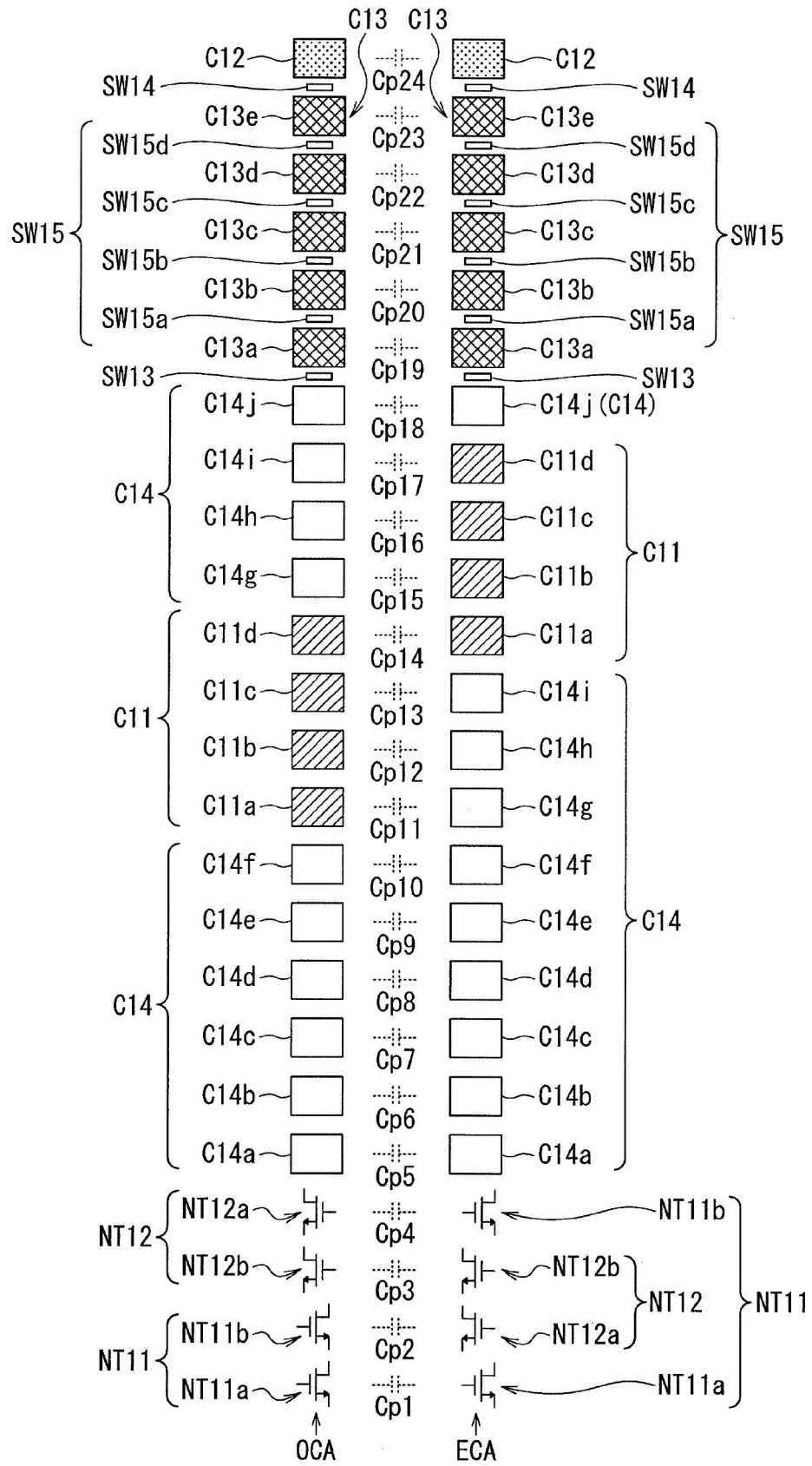
【圖2】



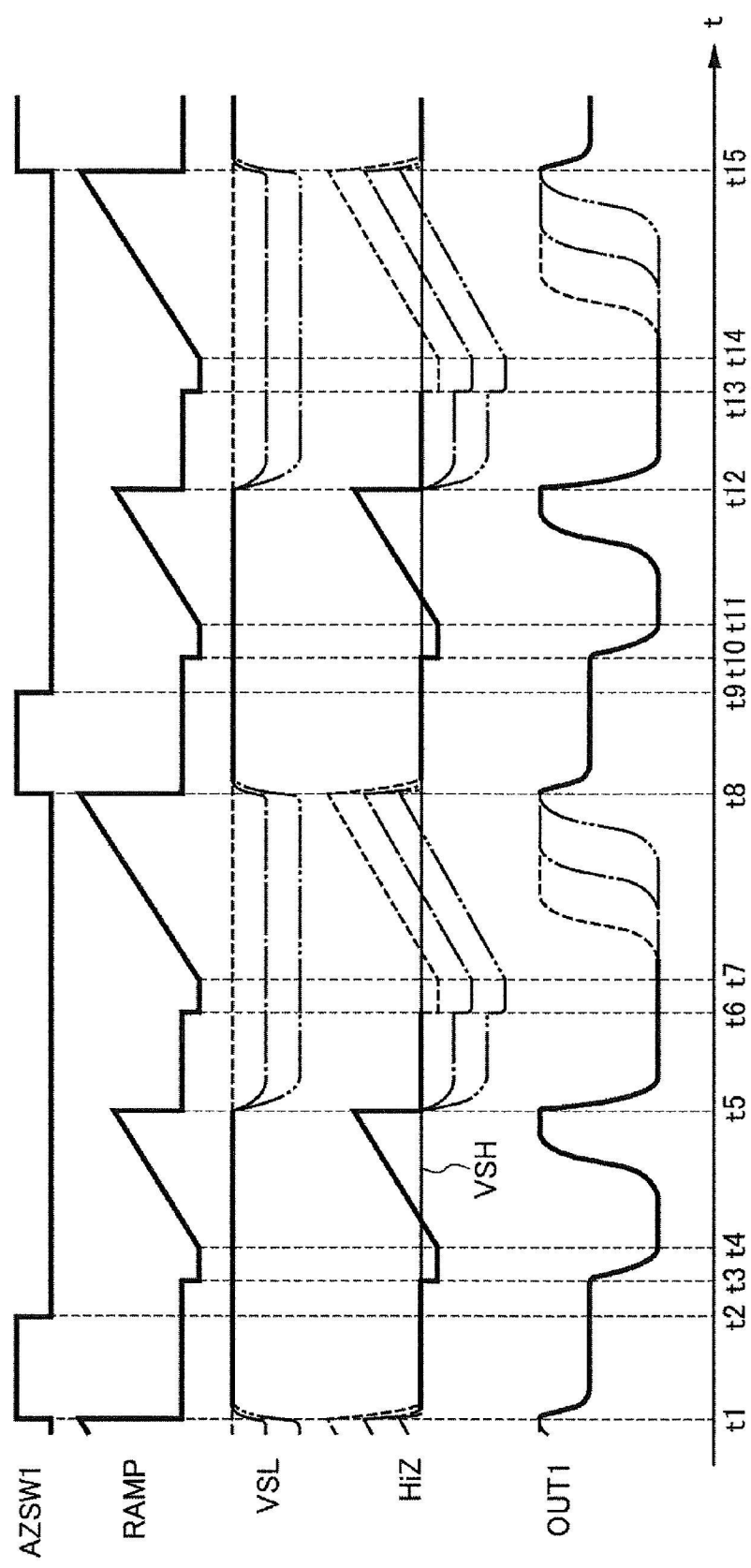
【圖3】



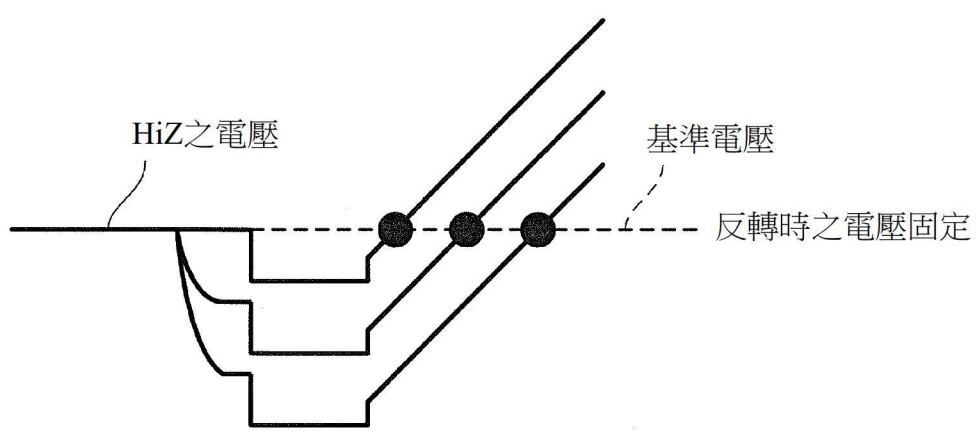
【圖4】



【圖7】

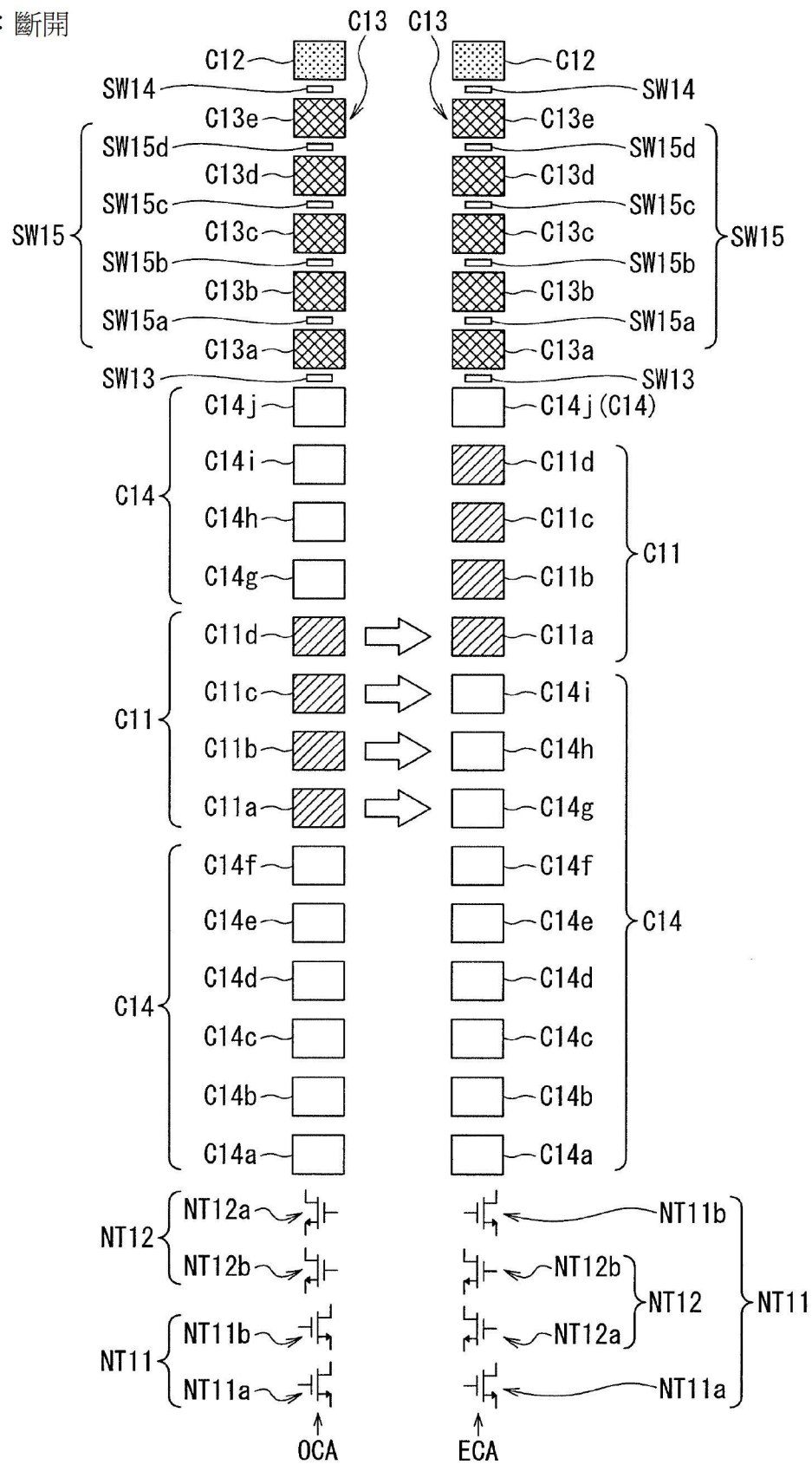


【圖8】



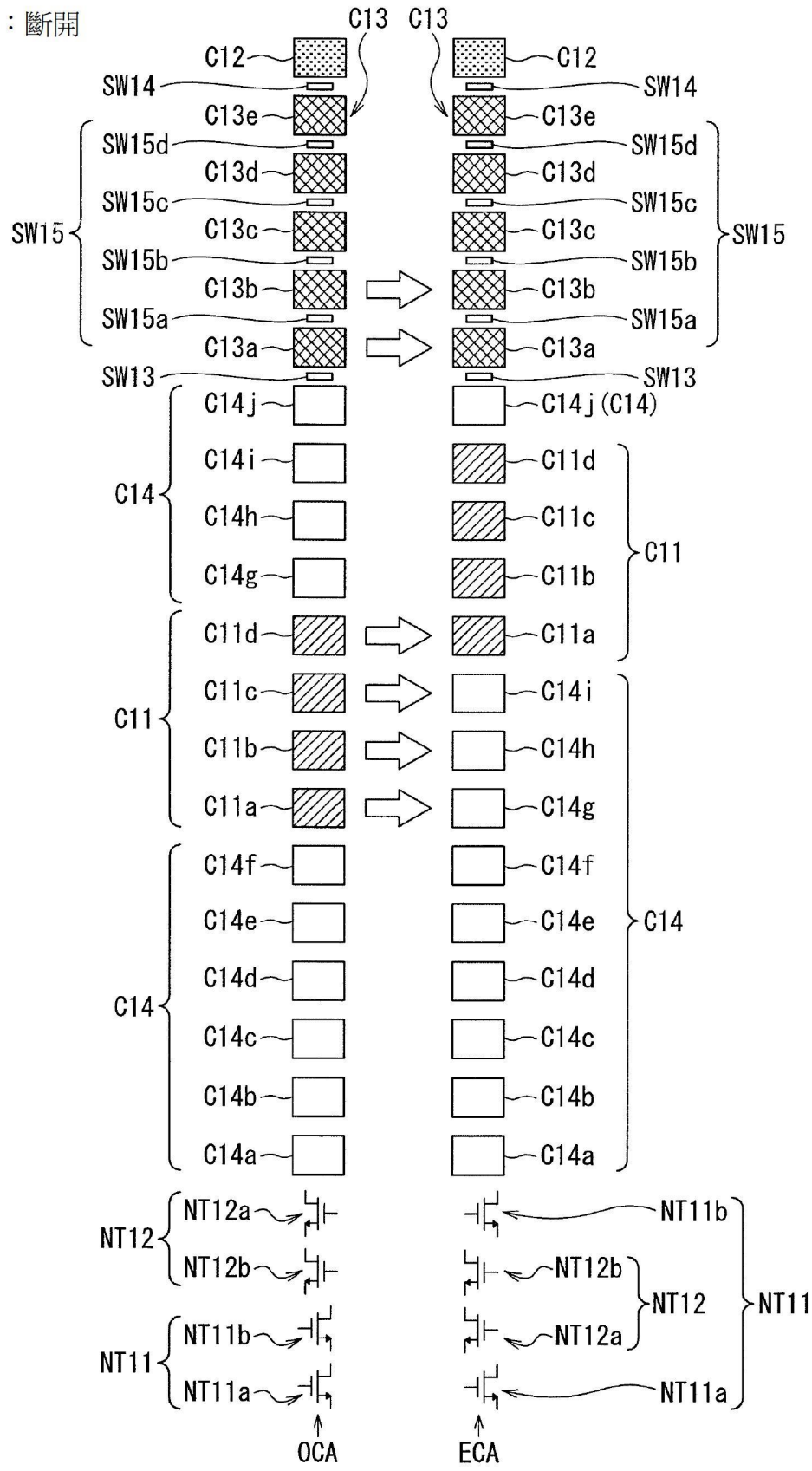
【圖9】

SW13 : 斷開



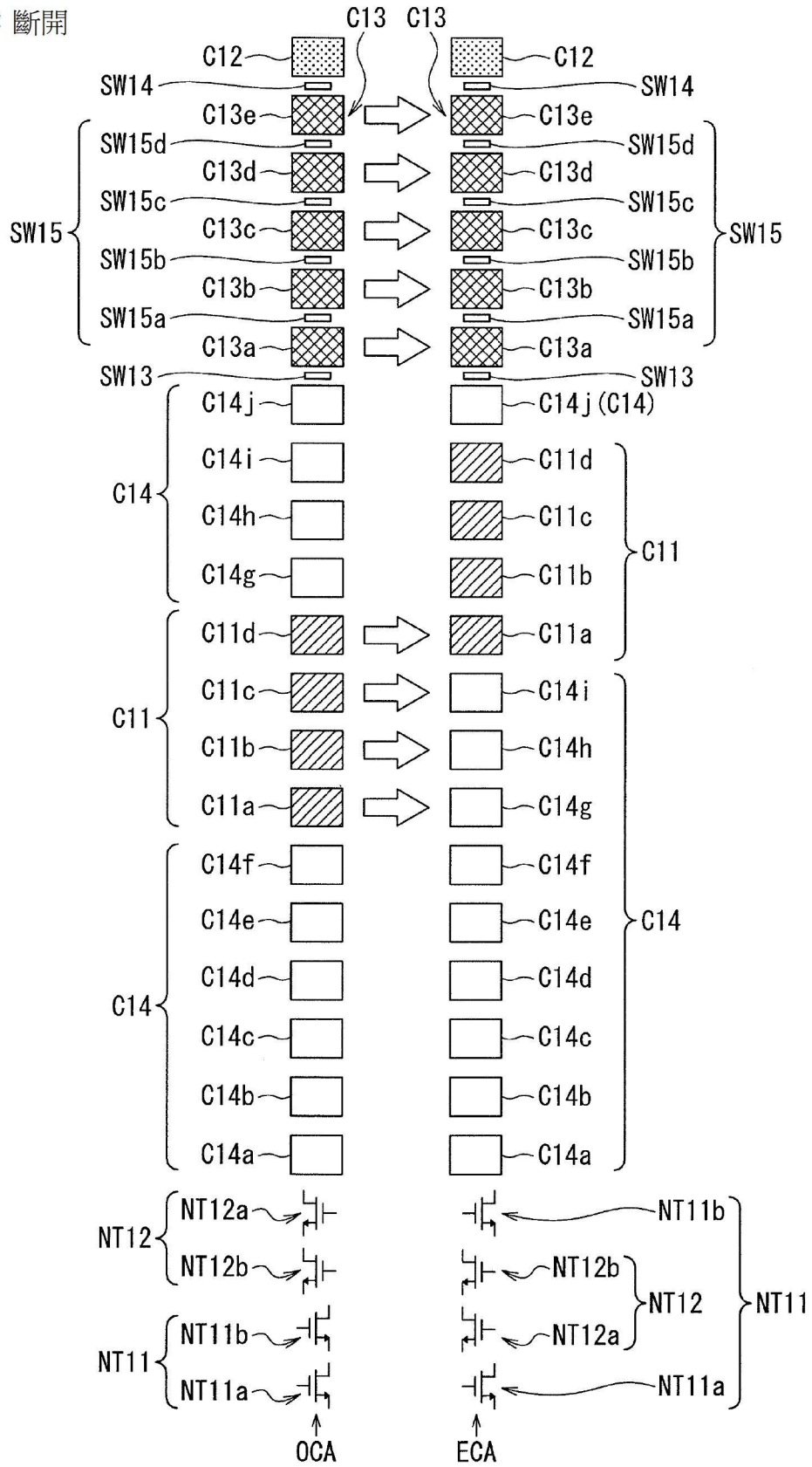
【圖10】

SW15b : 斷開

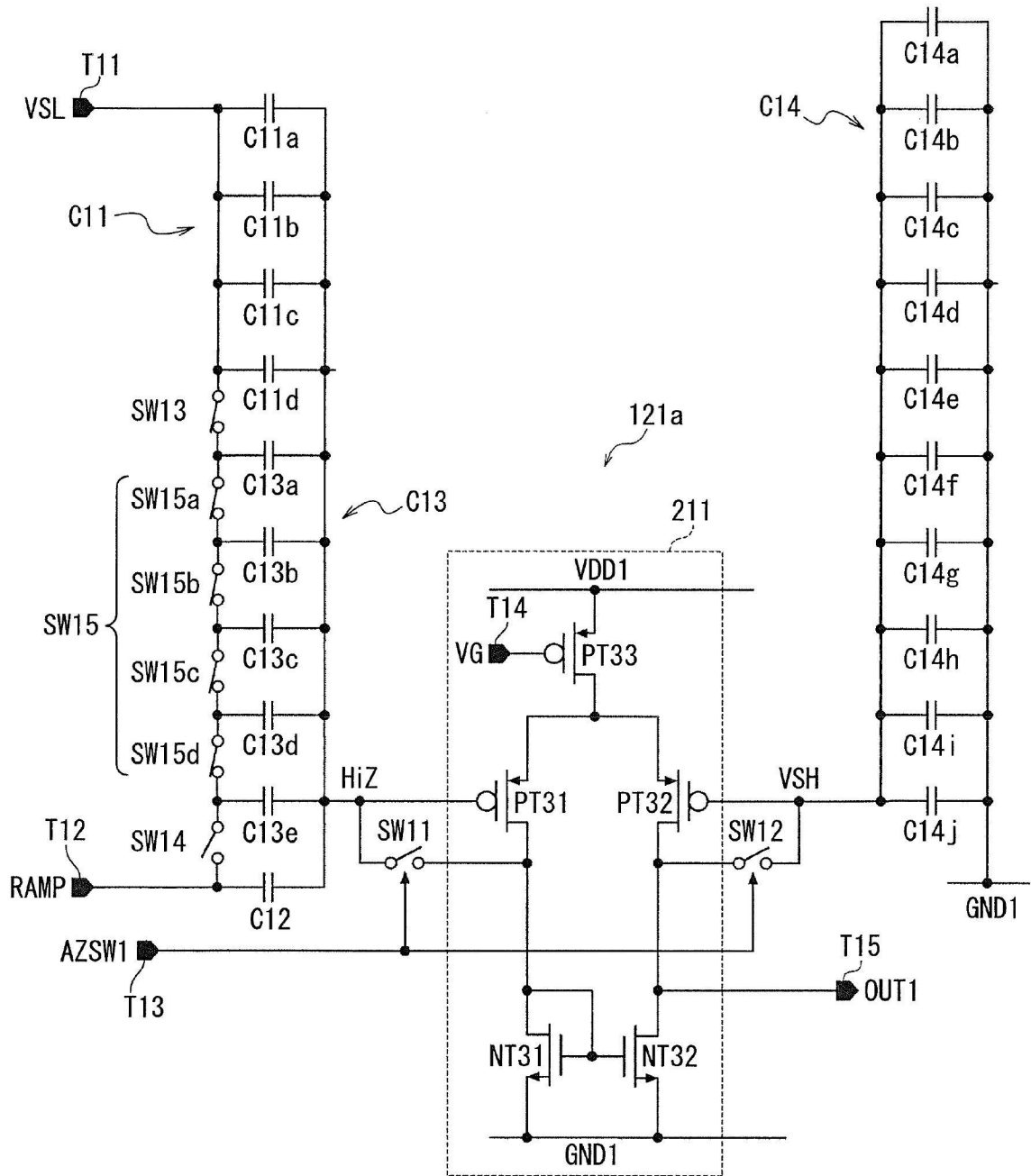


【圖11】

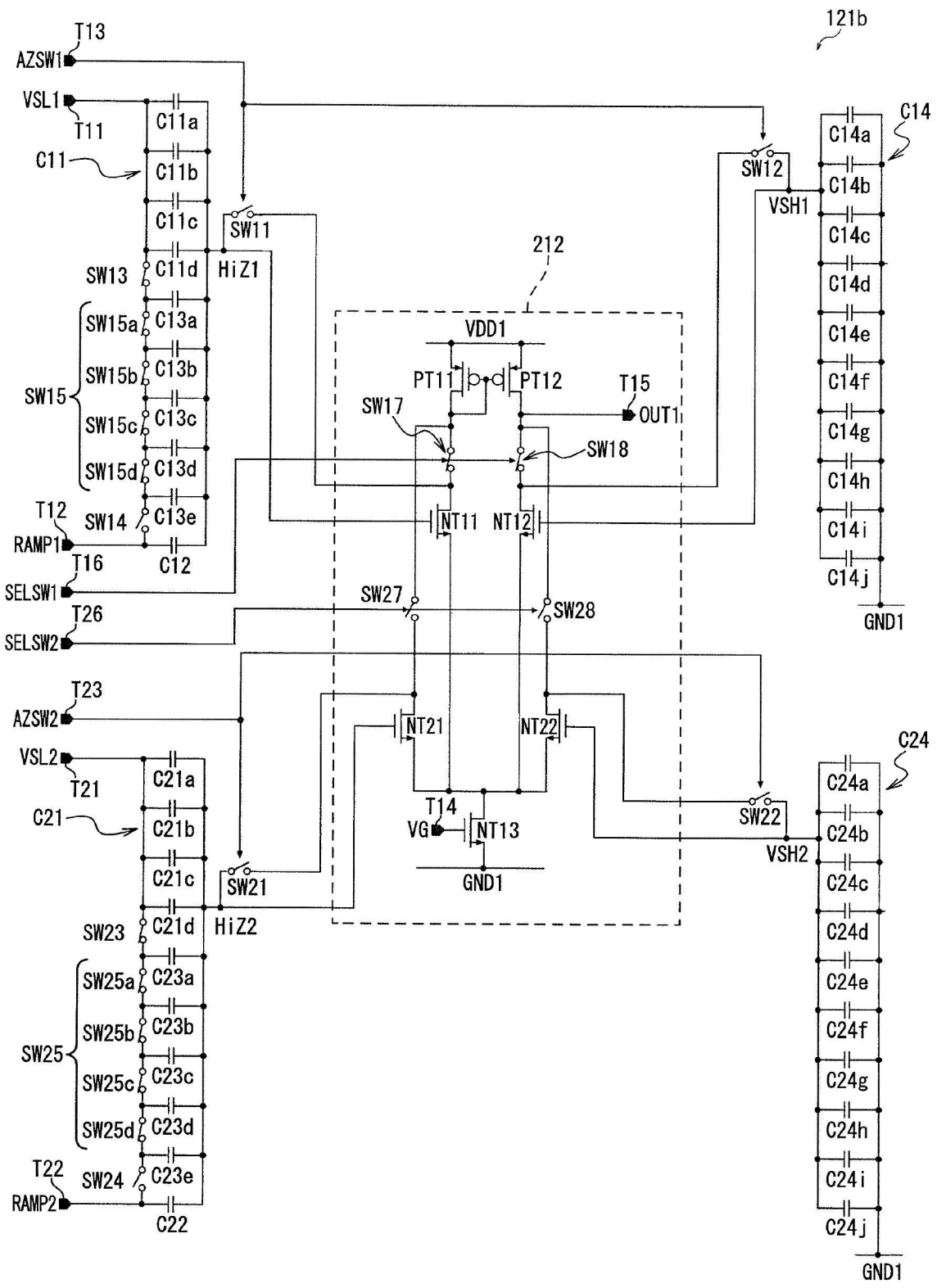
SW14 : 斷開



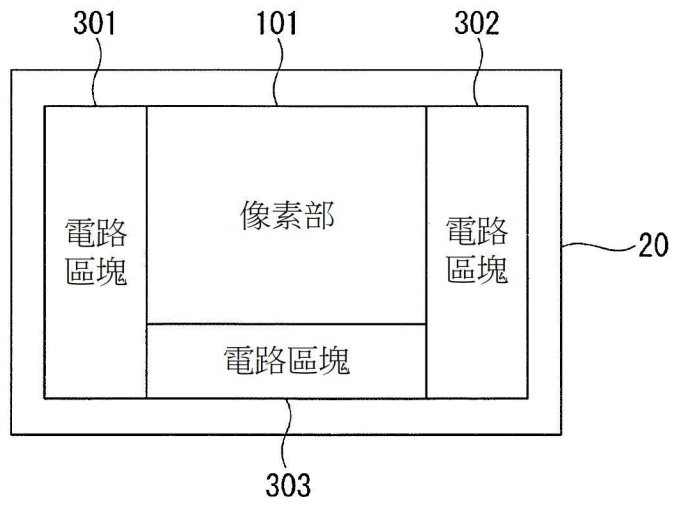
【圖12】



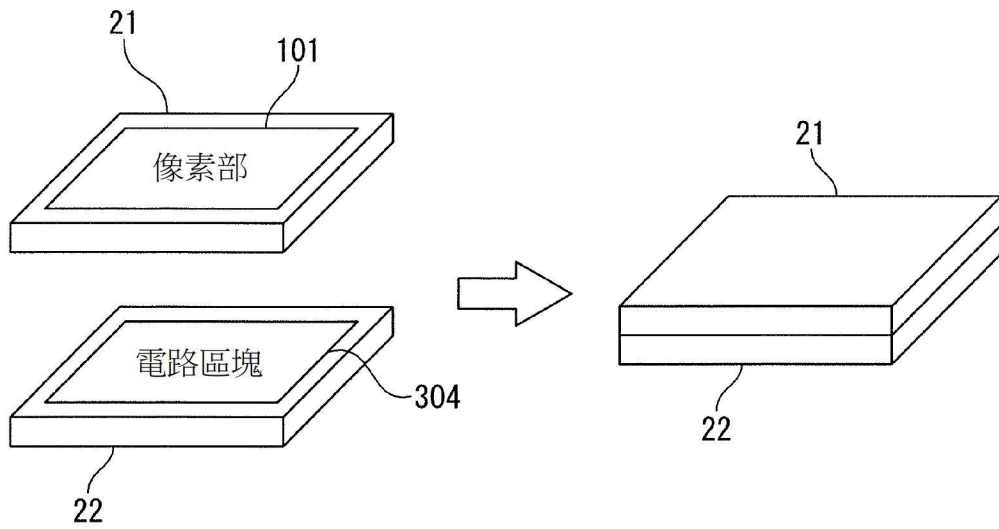
【圖13】



【圖14】



【圖16】



【圖17】