

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年12月21日(2017.12.21)

【公開番号】特開2017-195395(P2017-195395A)

【公開日】平成29年10月26日(2017.10.26)

【年通号数】公開・登録公報2017-041

【出願番号】特願2017-115253(P2017-115253)

【国際特許分類】

H 01 L 21/8242 (2006.01)

H 01 L 27/108 (2006.01)

H 01 L 21/8229 (2006.01)

H 01 L 27/102 (2006.01)

G 11 C 11/41 (2006.01)

【F I】

H 01 L 27/108 3 2 1

H 01 L 27/102 3 3 1

H 01 L 27/108 3 5 1

G 11 C 11/41

【手続補正書】

【提出日】平成29年11月13日(2017.11.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイであって、前記半導体メモリセルのうちの少なくとも2つの各々は、

双安定フローティングボディトランジスタであって、前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうちの他方にあるときに衝突電離を発生させないように構成され、フローティングボディ領域がゲート領域の下方に位置する、双安定フローティングボディトランジスタと、

アクセス装置と

を備え、

前記双安定フローティングボディトランジスタおよび前記アクセス装置は、電気的に直列に接続され、

前記双安定フローティングボディトランジスタは、第1の端子に接続されたソース線領域をさらに備え、

前記アクセス装置は、第2の端子に接続されたゲートをさらに備え、

前記半導体メモリセルに対する前記第1の状態へおよび前記第2の状態への書き込み動作中に、約ゼロ電圧が、前記第1の端子に印加され、

前記第1の状態へおよび前記第2の状態への両方の書き込み動作中に、前記第2の端子に印加される電圧レベルは、略同じであり、

前記バックバイアス領域は、前記半導体メモリセルのうちの少なくとも2つに共通に接続されている、半導体メモリアレイ。

**【請求項 2】**

前記アクセス装置は、金属酸化物半導体トランジスタを備える、請求項1に記載の半導体メモリアレイ。

**【請求項 3】**

前記アクセス装置は、バイポーラトランジスタを備える、請求項1に記載の半導体メモリアレイ。

**【請求項 4】**

前記アクセス装置は、前記双安定フローティングボディトランジスタと同一の導電型である、請求項1～3のいずれか一項に記載の半導体メモリアレイ。

**【請求項 5】**

前記アクセス装置は、前記双安定フローティングボディトランジスタの導電型と異なる導電型を有する、請求項1～3のいずれか一項に記載の半導体メモリアレイ。

**【請求項 6】**

前記バックバイアス領域は、埋設ウェル領域を備える、請求項1～5のいずれか一項に記載の半導体メモリアレイ。

**【請求項 7】**

前記双安定フローティングボディトランジスタは、マルチポートフローティングボディトランジスタを備え、前記アクセス装置は、複数のアクセストランジスタを備える、請求項1～6のいずれか一項に記載の半導体メモリアレイ。

**【請求項 8】**

前記双安定フローティングボディトランジスタは、二重ポートフローティングボディトランジスタを備え、前記アクセス装置は、2つのアクセストランジスタを備える、請求項1～7のいずれか一項に記載の半導体メモリセル。

**【請求項 9】**

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイであって、前記半導体メモリセルのうちの少なくとも2つの各々は、

第1のボディを有する第1のトランジスタと、

第2のボディを有する第2のトランジスタと、

前記第1のボディおよび第2のボディの両方の基礎となる基板と、

前記基板と前記第1のボディおよび第2のボディのうちの少なくとも1つとの間に介在される埋設層と、

前記第1のボディに接触する第1のソース領域と、

前記第1のソース領域から分離され、前記第1のボディに接触する第1のドレイン領域と、

前記第1のボディから絶縁される第1のゲートと、

前記第2のボディから前記第1のボディを絶縁する絶縁部材と、

前記第2のボディに接触する第2のソース領域と、

前記第2のソース領域から分離され、前記第2のボディに接触する第2のドレイン領域と、

前記第2のボディから絶縁される第2のゲートと

を備え、前記第1のボディは、フローティングボディであり、前記第2のボディは、前記埋設層に電気的に接続されるウェル領域であり、

前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、

前記第2のボディは、前記p型導電型およびn型導電型から選択される第2の導電型を有し、

前記第1の導電型は、前記第2の導電型と異なり、

前記第1のドレイン領域は、前記第2のソース領域に電気的に接続され、

前記埋設層は、前記メモリセルが第1の状態および第2の状態のうちの一方にあるときに衝突電離を発生させるように構成され、

前記埋設層は、前記メモリセルが前記第1の状態および第2の状態のうちの他方にあるときに衝突電離を発生させないように構成され、

前記バックバイアス領域は、前記半導体メモリセルのうちの前記少なくとも2つに共通に接続されている、

半導体メモリアレイ。

**【請求項10】**

前記第1のトランジスタは、フローティングボディトランジスタであり、前記第2のトランジスタは、アクセストランジスタである、請求項9に記載の半導体メモリアレイ。

**【請求項11】**

前記第1のボディは、フローティングボディであり、前記第2のボディは、前記基板に電気的に接続されるウェル領域である、請求項9または請求項10に記載の半導体メモリアレイ。

**【請求項12】**

前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、前記第2のボディは、前記第1の導電型を有し、前記第1および第2のソース領域ならびに第1および第2のドレイン領域はそれぞれ、前記p型導電型およびn型導電型から選択される第2の導電型を有し、前記第1の導電型は、前記第2の導電型と異なる、請求項9～11のいずれか一項に記載の半導体メモリアレイ。

**【請求項13】**

前記第1のボディは、フローティングボディであり、前記第2のボディは、前記埋設層に電気的に接続されるウェル領域であり、前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、前記第2のボディは、前記p型導電型およびn型導電型から選択される第2の導電型を有し、前記第1の導電型は、前記第2の導電型と異なる、請求項9に記載の半導体メモリアレイ。

**【請求項14】**

前記半導体メモリセルは、基準セルを備え、前記基準セルはさらに、前記第1のソース領域および前記第1のドレイン領域から離間され、前記第1のボディに接触するセンス線領域

を備え、前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、前記センス線領域は、前記第1の導電型を有する、請求項9～13のいずれか一項に記載の半導体メモリアレイ。

**【請求項15】**

前記第1のトランジスタは、フローティングボディトランジスタであり、前記第2のトランジスタは、フローティングボディトランジスタである、請求項9に記載の半導体メモリアレイ。

**【請求項16】**

前記第1および第2のボディのうちの少なくとも1つは、双安定フローティングボディである、請求項9～15のいずれか一項に記載の半導体メモリアレイ。

**【請求項17】**

前記半導体メモリセルは、フィン構造に形成されている、請求項9～16のいずれか一項に記載の半導体メモリアレイ。

**【請求項18】**

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイを動作させる方法であって、前記半導体メモリセルのうちの少なくとも2つの各々は、双安定フローティングボディトランジスタと、アクセストランジスタとを備え、前記方法は、

前記アクセストランジスタをオンにするように、電圧を前記アクセストランジスタに印加することと、

前記アクセストランジスタを起動することによって、動作のための前記メモリセルの選択を支援することと

を含み、

前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうちの他方にあるときに衝突電離を発生させないように構成され、

前記バックバイアス領域は、前記半導体メモリセルのうちの少なくとも2つに共通に接続され、

前記双安定フローティングボディトランジスタは、第1の端子に接続されたソース線領域をさらに備え、

前記アクセストランジスタは、第2の端子に接続されたゲートをさらに備え、

前記半導体メモリセルに対する前記第1の状態へおよび前記第2の状態への書き込み動作中に、約ゼロ電圧が、前記第1の端子に印加され、

前記第1の状態へおよび前記第2の状態への両方の前記書き込み動作中に、前記アクセストランジスタを起動するために前記第2の端子に印加される電圧レベルは、前記第1の状態および第2の状態の両方について略同じであり、

前記アクセストランジスタは、第3の端子に接続されたピット線領域を備える、方法。

**【請求項19】**

前記動作させる方法は、前記フローティングボディトランジスタの状態を感知するよう前に前記メモリセルを通る電流を監視することを含む読み取り動作を含む、請求項18に記載の方法。

**【請求項20】**

前記動作させる方法は、書き込み動作を含み、前記方法は、前記アクセストランジスタのピット線端子に印加される正のバイアスを介して、前記アクセストランジスタの前記第3の端子に正の電圧を印加することをさらに含み、前記アクセストランジスタは、前記正のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項18に記載の方法。

**【請求項21】**

前記動作させる方法は、書き込み動作を含み、前記方法は、前記アクセストランジスタの前記第3の端子に印加される負のバイアスの印加を介して、負の電圧を印加することをさらに含み、前記アクセストランジスタは、前記負のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項18に記載の方法。