

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成29年12月21日 (2017.12.21)

【公開番号】特開2017-195395(P2017-195395A)

【公開日】平成29年10月26日 (2017.10.26)

【年通号数】公開・登録公報2017-041

【出願番号】特願2017-115253(P2017-115253)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8229 (2006.01)

H 0 1 L 27/102 (2006.01)

G 1 1 C 11/41 (2006.01)

【F I】

H 0 1 L 27/108 3 2 1

H 0 1 L 27/102 3 3 1

H 0 1 L 27/108 3 5 1

G 1 1 C 11/41

【手続補正書】

【提出日】平成29年11月13日 (2017.11.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイであって、前記半導体メモリセルのうちの少なくとも 2 つの各々は、

双安定フローティングボディトランジスタであって、前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第 1 の状態および第 2 の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第 1 の状態および第 2 の状態のうちの他方にあるときに衝突電離を発生させないように構成され、フローティングボディ領域がゲート領域の下方に位置する、双安定フローティングボディトランジスタと、
アクセス装置と

を備え、

前記双安定フローティングボディトランジスタおよび前記アクセス装置は、電氣的に直列に接続され、

前記双安定フローティングボディトランジスタは、第 1 の端子に接続されたソース線領域をさらに備え、

前記アクセス装置は、第 2 の端子に接続されたゲートをさらに備え、

前記半導体メモリセルに対する前記第 1 の状態へおよび前記第 2 の状態への書込動作中に、約ゼロ電圧が、前記第 1 の端子に印加され、

前記第 1 の状態へおよび前記第 2 の状態への両方の書き込み動作中に、前記第 2 の端子に印加される電圧レベルは、略同じであり、

前記バックバイアス領域は、前記半導体メモリセルのうちの少なくとも 2 つに共通に接続されている、半導体メモリアレイ。

【請求項 2】

前記アクセス装置は、金属酸化物半導体トランジスタを備える、請求項 1 に記載の半導体メモリアレイ。

【請求項 3】

前記アクセス装置は、バイポーラトランジスタを備える、請求項 1 に記載の半導体メモリアレイ。

【請求項 4】

前記アクセス装置は、前記双安定フローティングボディトランジスタと同一の導電型である、請求項 1 ～ 3 のいずれか一項に記載の半導体メモリアレイ。

【請求項 5】

前記アクセス装置は、前記双安定フローティングボディトランジスタの導電型と異なる導電型を有する、請求項 1 ～ 3 のいずれか一項に記載の半導体メモリアレイ。

【請求項 6】

前記バックバイアス領域は、埋設ウェル領域を備える、請求項 1 ～ 5 のいずれか一項に記載の半導体メモリアレイ。

【請求項 7】

前記双安定フローティングボディトランジスタは、マルチポートフローティングボディトランジスタを備え、前記アクセス装置は、複数のアクセストランジスタを備える、請求項 1 ～ 6 のいずれか一項に記載の半導体メモリアレイ。

【請求項 8】

前記双安定フローティングボディトランジスタは、二重ポートフローティングボディトランジスタを備え、前記アクセス装置は、2 つのアクセストランジスタを備える、請求項 1 ～ 7 のいずれか一項に記載の半導体メモリセル。

【請求項 9】

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイであって、前記半導体メモリセルのうちの少なくとも 2 つの各々は、

第 1 のボディを有する第 1 のトランジスタと、

第 2 のボディを有する第 2 のトランジスタと、

前記第 1 のボディおよび第 2 のボディの両方の基礎となる基板と、

前記基板と前記第 1 のボディおよび第 2 のボディのうちの少なくとも 1 つとの間に介在される埋設層と、

前記第 1 のボディに接触する第 1 のソース領域と、

前記第 1 のソース領域から分離され、前記第 1 のボディに接触する第 1 のドレイン領域と、

前記第 1 のボディから絶縁される第 1 のゲートと、

前記第 2 のボディから前記第 1 のボディを絶縁する絶縁部材と、

前記第 2 のボディに接触する第 2 のソース領域と、

前記第 2 のソース領域から分離され、前記第 2 のボディに接触する第 2 のドレイン領域と、

前記第 2 のボディから絶縁される第 2 のゲートと

を備え、前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記埋設層に電氣的に接続されるウェル領域であり、

前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、

前記第 2 のボディは、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、

前記第 1 の導電型は、前記第 2 の導電型と異なり、

前記第 1 のドレイン領域は、前記第 2 のソース領域に電氣的に接続され、

前記埋設層は、前記メモリセルが第 1 の状態および第 2 の状態のうちの一方にあるときに衝突電離を発生させるように構成され、

前記埋設層は、前記メモリセルが前記第 1 の状態および第 2 の状態のうちの他方にあるときに衝突電離を発生させないように構成され、

前記バックバイアス領域は、前記半導体メモリセルのうちの前記少なくとも 2 つに共通に接続されている、

半導体メモリアレイ。

【請求項 10】

前記第 1 のトランジスタは、フローティングボディトランジスタであり、前記第 2 のトランジスタは、アクセストランジスタである、請求項 9 に記載の半導体メモリアレイ。

【請求項 11】

前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記基板に電氣的に接続されるウェル領域である、請求項 9 または請求項 10 に記載の半導体メモリアレイ。

【請求項 12】

前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記第 2 のボディは、前記第 1 の導電型を有し、前記第 1 および第 2 のソース領域ならびに第 1 および第 2 のドレイン領域はそれぞれ、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、前記第 1 の導電型は、前記第 2 の導電型と異なる、請求項 9 ~ 11 のいずれか一項に記載の半導体メモリアレイ。

【請求項 13】

前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記埋設層に電氣的に接続されるウェル領域であり、前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記第 2 のボディは、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、前記第 1 の導電型は、前記第 2 の導電型と異なる、請求項 9 に記載の半導体メモリアレイ。

【請求項 14】

前記半導体メモリセルは、基準セルを備え、前記基準セルはさらに、前記第 1 のソース領域および前記第 1 のドレイン領域から離間され、前記第 1 のボディに接触するセンス線領域を備え、前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記センス線領域は、前記第 1 の導電型を有する、請求項 9 ~ 13 のいずれか一項に記載の半導体メモリアレイ。

【請求項 15】

前記第 1 のトランジスタは、フローティングボディトランジスタであり、前記第 2 のトランジスタは、フローティングボディトランジスタである、請求項 9 に記載の半導体メモリアレイ。

【請求項 16】

前記第 1 および第 2 のボディのうちの少なくとも 1 つは、双安定フローティングボディである、請求項 9 ~ 15 のいずれか一項に記載の半導体メモリアレイ。

【請求項 17】

前記半導体メモリセルは、フィン構造に形成されている、請求項 9 ~ 16 のいずれか一項に記載の半導体メモリアレイ。

【請求項 18】

行および列のマトリクスに配列された複数の半導体メモリセルを備える半導体メモリアレイを動作させる方法であって、前記半導体メモリセルのうちの少なくとも 2 つの各々は、双安定フローティングボディトランジスタと、アクセストランジスタとを備え、前記方法は、

前記アクセストランジスタをオンにするように、電圧を前記アクセストランジスタに印加することと、

前記アクセストランジスタを起動することによって、動作のための前記メモリセルの選択を支援することと

を含み、

前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第 1 の状態および第 2 の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第 1 の状態および第 2 の状態のうちの他方にあるときに衝突電離を発生させないように構成され、

前記バックバイアス領域は、前記半導体メモリセルのうちの少なくとも 2 つに共通に接続され、

前記双安定フローティングボディトランジスタは、第 1 の端子に接続されたソース線領域をさらに備え、

前記アクセストランジスタは、第 2 の端子に接続されたゲートをさらに備え、

前記半導体メモリセルに対する前記第 1 の状態へおよび前記第 2 の状態への書込動作中に、約ゼロ電圧が、前記第 1 の端子に印加され、

前記第 1 の状態へおよび前記第 2 の状態への両方の前記書き込み動作中に、前記アクセストランジスタを起動するために前記第 2 の端子に印加される電圧レベルは、前記第 1 の状態および第 2 の状態の両方について略同じであり、

前記アクセストランジスタは、第 3 の端子に接続されたビット線領域を備える、方法。

【請求項 19】

前記動作させる方法は、前記フローティングボディトランジスタの状態を感知するように前記メモリセルを通る電流を監視することを含む読取動作を含む、請求項 18 に記載の方法。

【請求項 20】

前記動作させる方法は、書込動作を含み、前記方法は、前記アクセストランジスタのビット線端子に印加される正のバイアスを介して、前記アクセストランジスタの前記第 3 の端子に正の電圧を印加することをさらに含み、前記アクセストランジスタは、前記正のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項 18 に記載の方法。

【請求項 21】

前記動作させる方法は、書込動作を含み、前記方法は、前記アクセストランジスタの前記第 3 の端子に印加される負のバイアスの印加を介して、負の電圧を印加することをさらに含み、前記アクセストランジスタは、前記負のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項 18 に記載の方法。