

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45321

(P2010-45321A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 5 O 1 P	5 F O 3 8
H O 1 L 25/065 (2006.01)	H O 1 L 25/08 Z	
H O 1 L 25/07 (2006.01)	H O 1 L 27/04 E	
H O 1 L 25/18 (2006.01)		
H O 1 L 21/822 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2008-237548 (P2008-237548)	(71) 出願人	000116024
(22) 出願日	平成20年9月17日 (2008.9.17)		ローム株式会社
(31) 優先権主張番号	特願2008-185980 (P2008-185980)		京都府京都市右京区西院溝崎町21番地
(32) 優先日	平成20年7月17日 (2008.7.17)	(74) 代理人	100086380
(33) 優先権主張国	日本国 (JP)		弁理士 吉田 稔
		(74) 代理人	100103078
			弁理士 田中 達也
		(74) 代理人	100115369
			弁理士 仙波 司
		(74) 代理人	100117178
			弁理士 古澤 寛
		(74) 代理人	100130650
			弁理士 鈴木 泰光
		(74) 代理人	100135389
			弁理士 白井 尚

最終頁に続く

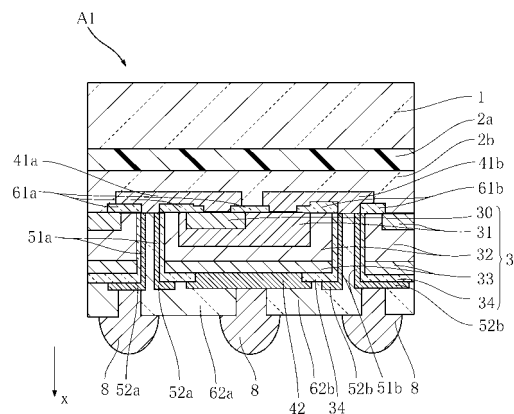
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体パッケージをより小型とすることができ
る半導体装置を提供すること。

【解決手段】回路素子の少なくとも一部が形成された半
導体基板3と、半導体基板3の表面に配置された1また
は複数の表面電極41a、41bと、半導体基板3の裏
面に配置され、上記回路素子と導通している裏面電極4
2と、を備え、表面電極41a、41bが上記回路素子
と導通している、半導体装置A1であって、上記表面の
側に配置されており、かつ、半導体基板3、表面電極4
1a、41bおよび裏面電極42を支持している支持基
板1と、表面電極41a、41bと導通しているとともに
半導体基板3を貫通している導電部51a、51bと
、をさらに備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

回路素子の少なくとも一部が形成された半導体基板と、
上記半導体基板の表面に配置された 1 または複数の表面電極と、
上記半導体基板の裏面に配置され、上記回路素子と導通している裏面電極と、
を備え、
1 以上の上記表面電極が上記回路素子と導通している、半導体装置であって、
上記表面の側に配置されており、かつ、上記半導体基板、上記表面電極および上記裏面電極を支持している支持基板と、
上記表面電極と導通しているとともに、上記半導体基板の表面の側および上記半導体基板の裏面の側において露出している導電部と、
をさらに備えることを特徴とする、半導体装置。

10

【請求項 2】

上記導電部は上記半導体基板を貫通している、請求項 1 に記載の半導体装置。

【請求項 3】

上記導電部が延びる方向に沿って、上記導電部を貫通する絶縁部が形成されている、請求項 2 に記載の半導体装置。

【請求項 4】

上記半導体基板は、上記導電部が延びる方向に沿って形成された貫通孔と、この貫通孔の内面に形成された絶縁膜と、を備えており、
この絶縁膜は上記導電部を被膜している、請求項 2 または 3 に記載の半導体装置。

20

【請求項 5】

上記裏面の側には、上記導電部と導通している外部接続電極が配置され、
上記裏面電極は、上記半導体基板の裏面と接触しており、
上記裏面電極と上記裏面との接触部分のうち通電する部分の面積である通電面積が、上記外部接続電極の面積より大きい、請求項 2 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】

上記裏面の側には、上記外部接続電極と導通しているバンプが配置され、
このバンプと上記導電部とが、上記半導体基板の面内方向において重ならないように配置されている、請求項 5 に記載の半導体装置。

30

【請求項 7】

上記半導体基板の裏面の側から上記半導体基板の表面に向かって延出しているとともに上記表面電極または上記裏面電極と導通している延出電極と、
上記延出電極と接しているバンプと、
をさらに備えている、請求項 1 に記載の半導体装置。

【請求項 8】

上記半導体基板の裏面の側に配置され、かつ、上記延出電極と接しているとともに、上記バンプと接している外部接続電極をさらに備えている、請求項 7 に記載の半導体装置。

【請求項 9】

上記導電部は、上記半導体基板を貫通しており、
上記延出電極は、上記半導体装置の側面に形成され、かつ、上記導電部と異なるものとされている、請求項 7 または 8 に記載の半導体装置。

40

【請求項 10】

上記導電部が延びる方向に沿って、上記導電部を貫通する絶縁部が形成されている、請求項 9 に記載の半導体装置。

【請求項 11】

上記延出電極は、上記半導体装置の側面に形成され、かつ、上記導電部とされている、請求項 7 または 8 に記載の半導体装置。

【請求項 12】

上記回路素子は、トランジスタであり、

50

このトランジスタと接続される3つの電極のうちの2つが、上記表面電極とされ、これらの3つの電極のうちの他の1つが上記裏面電極とされている、請求項1ないし11のいずれかに記載の半導体装置。

【請求項13】

請求項1ないし12のいずれかに記載の2つの半導体装置を備え、

これら2つの半導体装置の一方である第1の半導体装置の上記表面電極と、これら2つの半導体装置の他方である第2の半導体装置における上記裏面電極とが、対向するように、上記第1および第2の半導体装置が積層されており、

上記第1の半導体装置の上記支持基板上に固定されているとともに、上記第2の半導体装置の上記導電部または上記裏面電極と導通しているボンディングリボンを備えている、半導体装置ユニット。

10

【請求項14】

上記第2の半導体装置は、請求項6に記載の半導体装置であり、

上記ボンディングリボンは、上記第2の半導体装置の上記バンプと接合されており、かつ、上記第1の半導体装置の上記支持基板上に固定されている、請求項13に記載の半導体装置ユニット。

【請求項15】

上記第1の半導体装置の上記支持基板を貫通している追加の導電部をさらに備え、この追加の導電部は、

上記第1の半導体装置の上記表面電極と、

20

上記第2の半導体装置の上記導電部または上記裏面電極であって、上記ボンディングリボンと導通しているものとは異なるものと、

いずれとも導通している、請求項13または14に記載の半導体装置ユニット。

【請求項16】

上記第2の半導体装置の上記支持基板の平面視において、上記第2の半導体装置の上記支持基板は、上記第1の半導体装置の上記支持基板からはみ出る部分を有する、請求項13ないし15のいずれかに記載の半導体装置ユニット。

【請求項17】

請求項1ないし12のいずれかに記載の2つの半導体装置を備え、

これら2つの半導体装置の一方である第1の半導体装置と、これら2つの半導体装置の他方である第2の半導体装置とが積層されており、

30

上記第1および第2の半導体装置が、同一の中間基板を、上記第1の半導体装置の上記支持基板および上記第2の半導体装置の上記支持基板として共有している、半導体装置ユニット。

【請求項18】

上記中間基板は、絶縁性を有し、

上記中間基板は、上記第1の半導体装置の上記表面電極または上記裏面電極と、上記第2の半導体装置の上記表面電極または上記裏面電極と、いずれとも導通する、上記中間基板を貫通する導電部を備えている、請求項17に記載の半導体装置ユニット。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体装置および半導体装置ユニットに関する。

【背景技術】

【0002】

ダイオードやトランジスタなどの半導体装置は、たとえばリードや基板に搭載された、いわゆるパッケージの形態として用いられる。近年、携帯機器を中心として電子機器の小型化が進んでいる。そのため、半導体装置が実装された半導体パッケージの小型化が望まれている。

【0003】

50

従来、半導体パッケージとして特許文献 1 に示されたものが知られている。図 17 に示すように、この半導体パッケージは、半導体装置 9 A と、モールド樹脂 9 7 を備えている。半導体装置 9 A は、半導体チップ 9 3、ベース電極 9 4 1、エミッタ電極 9 4 2、コレクタ電極 9 4 3、リード 9 d 1、9 d 2、Au バンプ 9 8 1、9 8 2 およびボンディングワイヤ 9 w を備えている。半導体チップ 9 3 は、バイポーラトランジスタを構成している。ベース電極 9 4 1 およびエミッタ電極 9 4 2 は、半導体チップ 9 3 の図下面に配置されている。コレクタ電極 9 4 3 は、半導体チップ 9 3 の図上面に配置されている。ベース電極 9 4 1 は、バンプ 9 8 1 を介して、図示しないリードと電氣的に接続している。エミッタ電極 9 4 2 は、バンプ 9 8 2 を介して、リード 9 d 1 と電氣的に接続している。コレクタ電極 9 4 3 は、ボンディングワイヤ 9 w により、リード 9 d 2 と電氣的に接続している。モールド樹脂 9 7 は、半導体装置 9 A の上記の各構成部品を覆っている。 10

【0004】

半導体装置 9 A においては、ボンディングワイヤ 9 w を備えていることから、モールド樹脂 9 7 を、ボンディングワイヤ 9 w を十分に覆うことのできる大きさとする必要がある。そのため、半導体装置 9 A を備えた半導体パッケージの小型化を図ることが困難となっていた。

【0005】

【特許文献 1】特開 2001-60598 号公報

【発明の開示】

【発明が解決しようとする課題】 20

【0006】

本発明は、上記した事情のもとで考え出されたものであって、半導体パッケージをより小型とすることができる半導体装置を提供することを主たる課題とする。

【課題を解決するための手段】

【0007】

本発明の第 1 の側面によって提供される半導体装置は、回路素子の少なくとも一部が形成された半導体基板と、上記半導体基板の表面に配置された 1 または複数の表面電極と、上記半導体基板の裏面に配置され、上記回路素子と導通している裏面電極と、を備え、1 以上の上記表面電極が上記回路素子と導通している、半導体装置であって、上記表面の側に配置されており、かつ、上記半導体基板、上記表面電極および上記裏面電極を支持している支持基板と、上記表面電極と導通しているとともに、上記半導体基板の表面の側および上記半導体基板の裏面の側において露出している導電部と、をさらに備えることを特徴としている。 30

【0008】

本発明の好ましい実施の形態においては、上記導電部は上記半導体基板を貫通している。このような構成によれば、上記回路素子を外部端子と接続するためにワイヤボンディングを施す必要がなくなる。そのため、上記半導体装置を実装する半導体パッケージに、ボンディングワイヤのパッドを設ける必要がなくなる。これにより、上記半導体パッケージの小型化を図ることが可能となる。

【0009】 40

本発明の好ましい実施の形態においては、上記導電部が延びる方向に沿って、上記導電部を貫通する絶縁部が形成されている。

【0010】

本発明の好ましい実施の形態においては、上記半導体基板は、上記導電部が延びる方向に沿って形成された貫通孔と、この貫通孔の内面に形成された絶縁膜と、を備えており、この絶縁膜は上記導電部を被膜している。

【0011】

本発明の好ましい実施の形態においては、上記裏面の側には、上記導電部と導通している外部接続電極が配置され、上記裏面電極は、上記半導体基板の裏面と接触しており、上記裏面電極と上記裏面との接触部分のうち通電する部分の面積である通電面積が、上記外 50

部接続電極の面積より大きい。

【0012】

本発明の好ましい実施の形態においては、上記裏面の側には、上記外部接続電極と導通しているパンプが配置され、このパンプと上記導電部とが、上記半導体基板の面内方向において重ならないように配置されている。

【0013】

本発明の好ましい実施の形態においては、上記半導体基板の裏面の側から上記半導体基板の表面に向かって延出しているとともに上記表面電極または上記裏面電極と導通している延出電極と、上記延出電極と接しているパンプと、をさらに備えている。このような構成によれば、上記半導体装置が上記半導体装置の幅方向に大きくなることを抑制しつつ、上記パンプが接触している電極と上記パンプとの接触面積を、大きくできる。そのため、上記パンプが接触している電極と上記パンプとの接触抵抗の値を、小さくできる。

10

【0014】

本発明の好ましい実施の形態においては、上記半導体基板の裏面の側に配置され、かつ、上記延出電極と接しているとともに、上記パンプと接している外部接続電極をさらに備えている。このような構成によれば、上記パンプが接触する電極と上記パンプとの接触面積を、さらに大きくすることができる。そのため、上記パンプが接触する電極と上記パンプとの接触抵抗の値を、さらに小さくできる。

【0015】

本発明の好ましい実施の形態においては、上記導電部は、上記半導体基板を貫通しており、上記延出電極は、上記半導体装置の側面に形成され、かつ、上記導電部と異なるものとされている。

20

【0016】

本発明の好ましい実施の形態においては、上記導電部が延びる方向に沿って、上記導電部を貫通する絶縁部が形成されている。

【0017】

本発明の好ましい実施の形態においては、上記延出電極は、上記半導体装置の側面に形成され、かつ、上記導電部とされている。このような構成によれば、上記導電部と異なる上記延出電極を形成する必要がない。すなわち、上記半導体装置の上記回路素子が構成されている部分から、上記半導体装置の幅方向において、上記導電部より遠い位置に、上記延出電極を形成する必要がない。そのため、幅方向の大きさがより小さい上記半導体装置を提供できる。

30

【0018】

本発明の好ましい実施の形態においては、上記回路素子は、トランジスタであり、このトランジスタと接続される3つの電極のうちの2つが、上記表面電極とされ、これらの3つの電極のうちの他の1つが、上記裏面電極とされている。

【0019】

本発明の第2の側面によって提供される半導体装置ユニットは、本発明の第1の側面にかかる2つの半導体装置を備え、これら2つの半導体装置の一方である第1の半導体装置の上記表面電極と、これら2つの半導体装置の他方である第2の半導体装置における上記裏面電極とが、対向するように、上記第1および第2の半導体装置が積層されており、上記第1の半導体装置の上記支持基板上に固定されているとともに、上記第2の半導体装置の上記導電部または上記裏面電極と導通しているボンディングリボンを備えている。

40

【0020】

このような構成によれば、上記第2の半導体装置の上記導電部または上記裏面電極を、上記半導体装置ユニットの外部と導通させるためのワイヤボンディングを施す必要がない。そのため、上記第1の半導体装置の上に上記第2の半導体装置を積層させた場合でも、上記第1の半導体装置の上記支持基板の面方向の大きさを大きくする必要がない。

【0021】

本発明の好ましい実施の形態においては、上記第2の半導体装置は、請求項6に記載の

50

半導体装置であり、上記ボンディングリボンは、上記第 2 の半導体装置の上記パンプと接合されており、かつ、上記第 1 の半導体装置の上記支持基板上に固定されている。

【0022】

本発明の好ましい実施の形態においては、上記第 1 の半導体装置の上記支持基板を貫通している追加の導電部をさらに備え、この追加の導電部は、上記第 1 の半導体装置の上記表面電極と、上記第 2 の半導体装置の上記導電部または上記裏面電極であって、上記ボンディングリボンと導通しているものとは異なるものと、いずれとも導通している。このような構成によれば、上記第 1 の半導体装置の上記表面電極と、上記第 2 の半導体装置の上記導電部または上記裏面電極とが、上記追加の導電部により、直接、導通させられる。そのため、上記追加の導電部と導通している、上記第 2 の半導体装置の上記導電部または上

10

【0023】

本発明の好ましい実施の形態においては、上記第 2 の半導体装置の上記支持基板の平面視において、上記第 2 の半導体装置の上記支持基板は、上記第 1 の半導体装置の上記支持基板からはみ出る部分を有する。

【0024】

本発明の第 3 の側面によって提供される半導体装置ユニットは、本発明の第 1 の側面にかかる 2 つの半導体装置を備え、これら 2 つの半導体装置の一方である第 1 の半導体装置と、これら 2 つの半導体装置の他方である第 2 の半導体装置とが積層されており、上記第 1 および第 2 の半導体装置が、同一の中間基板を、上記第 1 の半導体装置の上記支持基板および上記第 2 の半導体装置の上記支持基板として共有している。

20

【0025】

このような構成によれば、上記第 1 の半導体装置の上記支持基板および上記第 2 の半導体装置の上記支持基板を、別個に設ける必要がない。そのため、上記第 1 および第 2 の半導体装置を単に積層させた場合と比較して、上記第 1 または第 2 の半導体装置の厚さ方向における上記半導体装置ユニットの大きさを、小さくできる。これにより、上記半導体装置ユニットのコンパクト化が図れる。

【0026】

本発明の好ましい実施の形態においては、上記中間基板は、絶縁性を有し、上記中間基板は、上記第 1 の半導体装置の上記表面電極または上記裏面電極と、上記第 2 の半導体装置の上記表面電極または上記裏面電極と、いずれとも導通する、上記中間基板を貫通する導電部を備えている。このような構成によれば、上記第 2 の半導体装置の上記表面電極または上記裏面電極を上記半導体装置ユニットの外部と導通させるために設ける必要があるワイヤの本数を、少なくできる。

30

【0027】

本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。

【発明を実施するための最良の形態】

40

【0028】

以下、本発明の好ましい実施の形態につき、図面を参照して具体的に説明する。

【0029】

図 1～9 を用いて、本発明の第 1 実施形態について説明する。

【0030】

図 1 は本発明の第 1 実施形態にかかる半導体装置 A 1 を概念的に示した要部断面図である。本実施形態では半導体装置 A 1 として、バイポーラトランジスタを示している。半導体装置 A 1 は、支持基板 1、接着部 2 a、保護絶縁膜 2 b、半導体基板 3、表面電極 4 1 a, 4 1 b、裏面電極 4 2、導電部 5 1 a, 5 1 b、外部接続電極 5 2 a, 5 2 b、絶縁部 6 1 a, 6 1 b, 6 2 a, 6 2 b、および、パンプ 8 を備えている。表面電極 4 1 a が

50

エミッタ電極であり、表面電極 4 1 b がベース電極であり、裏面電極 4 2 がコレクタ電極である。

【0031】

支持基板 1 は、樹脂からなる接着部 2 a、および、保護絶縁膜 2 b を介して、半導体基板 3、表面電極 4 1 a、4 1 b、裏面電極 4 2 a、絶縁部 6 1 a、6 1 b、と連結している。これにより、支持基板 1 は、半導体基板 3、表面電極 4 1 a、4 1 b、裏面電極 4 2、絶縁部 6 1 a、6 1 b、6 2 a、6 2 b、および、パンプ 8 を、支持している。支持基板 1 の厚さは 500 μm 程度とされている。支持基板 1 はガラス製である。支持基板 1 として、放熱性のよい金属を用いてもよい。

【0032】

半導体基板 3 は、n 型半導体層 3 0、p 型半導体層 3 1、n 型半導体層 3 2、n 型半導体層 3 3 および絶縁部 3 4 を備えている。これらの半導体層により、半導体基板 3 には、トランジスタが形成されている。本発明でいう回路素子は、本実施形態では、バイポーラトランジスタである。半導体基板 3 の厚さは、たとえば 100 μm 以下であり、30 μm や 40 μm であることが好ましい。p 型半導体層 3 1 の x 方向における大きさは、たとえば、5 ~ 30 μm である。絶縁部 3 4 は、半導体基板 3 に形成された x 方向に延びる貫通孔の内面に、形成されている。絶縁部 3 4 は、本発明でいう絶縁膜である。

【0033】

表面電極 4 1 a、4 1 b は、半導体基板 3 の図中上面（本発明でいう半導体基板の表面）に配置されている。表面電極 4 1 a は、n 型半導体層 3 0 および導電部 5 1 a と導通している。表面電極 4 1 a は、絶縁部 6 1 a により、p 型半導体層 3 1 および n 型半導体層 3 2 と絶縁されている。同様に、表面電極 4 1 b は、p 型半導体層 3 1 および導電部 5 1 b と導通している。表面電極 4 1 b は、絶縁部 6 1 b により、n 型半導体層 3 2 と絶縁されている。また、表面電極 4 1 a、4 1 b は、たとえば SiN などからなる保護絶縁膜 2 b により覆われ、保護されている。なお、製造工程を削減するため、保護絶縁膜 2 b を形成せず、表面電極 4 1 a、4 1 b 上に直接、接着部 2 a を形成してもよい。

【0034】

裏面電極 4 2 は、半導体基板 3 の図中下面（本発明でいう半導体基板の裏面）に配置されている。裏面電極 4 2 は、n 型半導体層 3 3 と導通している。

【0035】

導電部 5 1 a、5 1 b は、x 方向に沿って、半導体基板 3 を貫通するように形成されている。また、導電部 5 1 a、5 1 b は、半導体基板 3 の表面の側および半導体基板 3 の裏面の側において露出しているともいえる。導電部 5 1 a、5 1 b は、円筒状である。なお、導電部 5 1 a、5 1 b の形状は、x 方向視において、円形である必要はない。たとえば、方形状でもよい。また、導電部 5 1 a、5 1 b は、円錐筒状であってもよい。導電部 5 1 a、5 1 b の周囲には、絶縁部 3 4 が形成されている。絶縁部 3 4 は、導電部 5 1 a と n 型半導体層 3 2、3 3 とを絶縁している。同様に、絶縁部 3 4 は、導電部 5 1 b と n 型半導体層 3 2、3 3 とを絶縁している。絶縁部 6 2 a、6 2 b が、導電部 5 1 a、5 1 b の内側にそれぞれ形成されている。絶縁部 6 2 a、6 2 b は、導電部 5 1 a、5 1 b が延びる方向（本実施形態では x 方向）に沿って、導電部 5 1 a、5 1 b をそれぞれ貫通している。さらに、絶縁部 6 2 a、6 2 b は、導電部 5 1 a、5 1 b と裏面電極 4 2 とを絶縁している。

【0036】

外部接続電極 5 2 a、5 2 b は、半導体基板 3 の裏面に配置されている。外部接続電極 5 2 a は導電部 5 1 a と、外部接続電極 5 2 b は導電部 5 1 b と、それぞれ導通している。

【0037】

パンプ 8 は、本実施形態に係る半導体装置 A 1 が外部端子と電氣的に接続可能とするために形成されている。パンプ 8 は、裏面電極 4 2 ないし外部接続電極 5 2 a、5 2 b と導通している。また、パンプ 8 は、半導体装置 A 1 が取り付けられる半導体パッケージ（図

10

20

30

40

50

示略)の配線基板などに接続されている。

【0038】

図2には、図1に示した半導体装置A1の要部上面図を示している。図3には、本実施形態にかかる半導体装置A1の要部底面図を示している。図2では、図1に示した支持基板1、接着部2a、保護絶縁膜2b、表面電極41a、41b、絶縁部61a、61bを、理解の便宜上省略している。同様に、図3では、図1に示した絶縁部62a、62bを省略している。図2、3において、導電部51a'は、図1に示した導電部51aに対応する。同様に、導電部51b'は導電部51bに対応する。図3において、裏面電極42'は、図1に示した裏面電極42に対応する。同様に、外部接続電極52a'、52b'は、外部接続電極52a、52bにそれぞれ対応する。また、バンプ8'は、バンプ8に対応する。

10

【0039】

図2に表されているように本実施形態では、従来の半導体装置においてワイヤボンディングパッドが形成されていた領域に、導電部51a'、51b'が形成されている。図1で示したように、導電部51a'は、エミッタ電極である表面電極41aに導通している。そのため、導電部51a'は、ベース電極である表面電極41bと導通している導電部51b'と比較して、より大きい電流を流す必要がある。このため、図2および図3によく表われているように、導電部51a'は3つ、導電部51b'は1つ、形成されている。もちろん、導電部51a'、51b'の個数の組み合わせは、これに限られない。

【0040】

図3によく表れているように、裏面電極42'の面積は、外部接続電極52a'、または外部接続電極52b'の面積と比較して大きい。また、バンプ8'は、導電部51a'または51b'と重ならないように配置されている。

20

【0041】

図4～図9を用いて、半導体装置A1の製造方法について説明する。

【0042】

まず、図4に示すように、公知の方法により、半導体基板3を作成する。そして、この半導体基板3に、絶縁部61a、61b、および、表面電極41a、41bを形成する。次に、表面電極41a、41b、または、絶縁部61a、61bの図中上部に、保護絶縁膜2b、接着部2aを形成する。

30

【0043】

次に、図5に示すように、接着部2aの図中上部に、支持基板1を接合する。次に、図6に示すように、半導体基板3におけるn型半導体層33の図中下方を研削する。このとき、n型半導体層33の厚さは、500～800 μ mとなっている。支持基板1がなければ、以下で述べる導電部51a、51bの形成の際に半導体基板3が折れ曲がったりすることを防ぐために、半導体基板3の厚さは100 μ m以上である必要がある。しかしながら、本実施形態に係る半導体装置A1は支持基板1を備えている。そのため、半導体基板3の厚さが100 μ m以下、たとえば30 μ mと薄いものであっても、導電部51a、51bの形成の際に半導体基板3が折れ曲がったりすることはない。

【0044】

次に、図7に示すように、半導体基板3の図中下部から孔を形成する。そして、この孔の内面およびn型半導体層33の図中下面に、たとえば酸化処理によってSiO₂からなる絶縁部34を形成する。次に、図8に示すように、絶縁部34の表面に、導電部51a、51bを形成する。その後、外部接続電極52a、52bおよび裏面電極42を形成する。次に、図9に示すように、絶縁部62a、62bを形成する。その後、図1に示したバンプ8を形成し、半導体装置A1が完成する。

40

【0045】

次に、半導体装置A1の作用について説明する。

【0046】

本実施形態によれば、半導体装置A1を外部端子と接続するためのワイヤボンディング

50

を施す必要がなくなる。そのため、ボンディングワイヤを樹脂で覆うことが不要となる。また、半導体装置 A 1 は支持基板 1 を備えているため、従来の半導体装置に比べて、n 型半導体層 3 3 をより薄くすることができる。これにより、半導体基板 3 をより薄くすることができる。その結果、半導体装置 A 1 を実装する半導体パッケージの厚さをより小さくすることが可能となる。また、n 型半導体層 3 3 が薄くなることから、半導体装置 A 1 の低抵抗化が望める。

【0047】

また、ワイヤボンディングを施すことが不要となることから、半導体装置 A 1 を実装する半導体パッケージにボンディングワイヤを接続するためのパッドを設ける必要がなくなる。そのため、半導体装置 A 1 の平面視において、半導体装置 A 1 を実装する半導体パッケージの小型化を図ることが可能となる。

10

【0048】

導電部 5 1 a, 5 1 b の内側にはそれぞれ、絶縁部 6 2 a, 6 2 b が充填されている。そのため、導電部 5 1 a, 5 1 b を形成するために用いる導電材料を、より少なくできる。その結果半導体装置 A 1 の製造コストの減少を図ることが可能となる。

【0049】

図 3 に示したように、裏面電極 4 2 ' の面積は、外部接続電極 5 2 a '、または外部接続電極 5 2 b ' の面積と比較して大きい。そのため、たとえ外部接続電極 5 2 a ' や外部接続電極 5 2 b ' を形成したとしても、これらの外部接続電極を形成しない場合と比較して、裏面電極 4 2 ' と n 型半導体層 3 3 との接触面積を大幅に減少させる必要はない。その結果、半導体装置 A 1 において、裏面電極 4 2 と n 型半導体層 3 3 との接触抵抗を低いまま維持しうる。

20

【0050】

半導体装置 A 1 において発生した熱が、表面電極 4 1 a, 4 1 b、導電部 5 1 a, 5 1 b、外部接続電極 5 2 a, 5 2 b そしてバンプ 8 と伝導する。その後、この熱は、半導体パッケージに伝導され、外部に放出される。つまり、本実施形態では、半導体装置 A 1 で発生した熱を、容易に外部に放出することが可能となっている。

【0051】

バンプ 8 は、外部接続電極 5 2 a, 5 2 b を介して、導電部 5 1 a, 5 1 b と導通している。そのため、バンプ 8 の形成位置は、導電部 5 1 a の位置に拘束されない。すなわち、半導体装置 A 1 を実装する半導体パッケージの形状等に応じて、バンプ 8 の形成位置を自在に決定できる。

30

【0052】

図 10 ~ 16 は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

【0053】

図 10, 11 を用いて、本発明の第 2 実施形態について説明する。

【0054】

図 10 は本発明の第 2 実施形態にかかる半導体装置 A 2 を示した断面図である。半導体装置 A 2 は、半導体装置 A 1 の基本的な構成に加えて、延出電極 5 3 a, 5 3 b、外部接続電極 5 4 a, 5 4 b、バンプ 8 a, 8 b を備えている。半導体装置 A 2 は、ほぼ左右対称であるから、以下では、半導体装置 A 2 の図中左側に形成された、延出電極 5 3 a、外部接続電極 5 4 a、バンプ 8 a について、説明する。以下の説明は、半導体装置 A 2 の図中右側に形成された、延出電極 5 3 b、外部接続電極 5 4 b、バンプ 8 b、についても同様に適用できる。

40

【0055】

延出電極 5 3 a は、半導体装置 A 2 の側面（図中左方の面）に形成されている。延出電極 5 3 a は、半導体基板 3 の裏面から半導体基板 3 の表面に向かって延びている。延出電極 5 3 a は、半導体基板 3 の表面まで達しており、表面電極 4 1 a と接している。これにより、延出電極 5 3 a は表面電極 4 1 a と導通している。

50

【0056】

外部接続電極54aは、半導体基板3の図中下面に配置されている。外部接続電極54aは、その左端において、延出電極53aと接している。また、外部接続電極54aは、その右端において、導電部51aとも接している。

【0057】

図10に表れているように、パンプ8aは、外部接続電極54aの図中右端の近傍から延出電極53aの図中上端の近傍にわたって、外部接続電極54aおよび延出電極53aと接している。パンプ8aは、半導体装置A2が外部端子と電氣的に接続可能とするために形成されている。

【0058】

図11を用いて、半導体装置A2の製造方法について説明する。

【0059】

半導体装置A2の製造は、第1実施形態において述べた方法とほぼ同様に行う。そのため、以下では、半導体装置A1の製造方法と異なる工程について主に述べる。まず、図4、5に示した工程を実行し、図6に示されたものを製造する。次に、図7に示したように、半導体基板3に2つの孔を設ける。さらに半導体装置A2の製造においては、半導体基板3に、別の孔を形成する。この孔は、図11で示した孔hである。次に、図11に示すように、孔hの内部に、延出電極53a、53bなどを形成する。その後、外部接続電極54a、54bなどを形成するなどして、図11に示したものを得る。図11は、図8と比べて、孔h、延出電極53a、53bの有無などにおいて異なる。

【0060】

次に、図11に示されたものを、孔hで分断されるように線Lに沿って切断する。その後、図10で示した絶縁部62a、62bおよびパンプ8a、8b、8cを形成する。これにより、半導体装置A2が完成する。

【0061】

次に、半導体装置A2の作用について説明する。

【0062】

このような構成によれば、半導体装置A2が半導体装置A2の幅方向に大きくなることを抑制しつつ、たとえば外部接続電極54aおよび延出電極53aとパンプ8aとの接触面積を、大きくできる。そのため、外部接続電極54aおよび延出電極53aとパンプ8aとの接触抵抗の値を、小さくできる。また、上記接触面積が大きくなっていることから、外部接続電極54aおよび延出電極53aと、パンプ8aとを、強固に接合することが可能となっている。

【0063】

なお、図においては、延出電極53a、53bが真上方向に延びている。もちろん、本発明にかかる延出電極が延びる方向はこれに限られない。たとえば、図斜め上方向に延出電極53a、53bが延びていてもよい。また、外部接続電極54a、54bの形成は必ずしも必要はない。

【0064】

さらに、延出電極53aは、半導体基板3の表面まで達していなくてもよい。このとき、延出電極53aを、外部接続電極54aおよび導電部51aを介して、表面電極41aと導通させるとよい。

【0065】

図12を用いて、本発明の第3実施形態について説明する。

【0066】

本実施形態では、延出電極53aが導電部51aとされている。同様に、延出電極53bが導電部51bとされている。延出電極53a、53bは、半導体装置A3の側面（図における左側または右側）に形成されている。半導体装置A3は、半導体装置A2と同様に製造できる。

【0067】

このような構成によれば、導電部 5 1 a や導電部 5 1 b と異なる延出電極を形成する必要がない。すなわち、導電部 5 1 a や導電部 5 1 b より外側に、延出電極を形成する必要がない。これにより、幅方向において小さい半導体装置 A 3 を提供できる。

【0068】

図 1 3 a, 1 3 b を用いて、本発明の第 4 実施形態について説明する。

【0069】

図 1 3 a は、本発明の第 4 実施形態にかかる半導体装置ユニットの斜視図である。同図に示された半導体装置ユニット B 1 は、第 1 実施形態で示した半導体装置 A 1 が積層されている。図 1 3 b は、図 1 3 a に示した半導体装置ユニットの断面図を概念的に示したものである。図 1 3 b では、図 1 3 a で示した半導体装置ユニット B 1 の半導体装置 A 1 のうち、下から 2 つの半導体装置 A 1 a, A 1 b を示している。

10

【0070】

図 1 3 a, 1 3 b に表れているように、半導体装置ユニット B 1 は、半導体装置 A 1 a および半導体装置 A 1 b が積層されている。半導体装置 A 1 a は、本発明にかかる第 1 の半導体装置に相当する。半導体装置 A 1 b は、本発明にかかる第 2 の半導体装置に相当する。図 1 3 b に表れているように、半導体装置ユニット B 1 において、半導体装置 A 1 a の表面電極 4 1 a, 4 1 b と、半導体装置 A 1 b の裏面電極 4 2 とが、対向している。

【0071】

半導体装置ユニット B 1 は、ボンディングリボン w 1、および、導電部 5 5 を備えている。

20

【0072】

図 1 3 a, 1 3 b に表れているように、ボンディングリボン w 1 は、薄い帯状の導電体である。ボンディングリボン w 1 は、たとえばアルミニウムから構成されている。図示していないが、ボンディングリボン w 1 は、半導体装置ユニット B 1 の外部の電極などと導通している。図 1 3 b に表れているように、ボンディングリボン w 1 は、半導体装置 A 1 a の支持基板 1 上の固定されている。ボンディングリボン w 1 は、バンプ 8 a と接合している。これにより、ボンディングリボン w 1 は、半導体装置 A 1 b の導電部 5 1 a と導通している。

【0073】

導電部 5 5 は、半導体装置 A 1 a の支持基板 1 に形成され、この支持基板 1 を貫通している。導電部 5 5 は、本発明でいう追加の導電部に相当する。導電部 5 5 は、半導体装置 A 1 a の表面電極 4 1 b と導通している。導電部 5 5 は、半導体装置 A 1 b のバンプ 8 b と、電極 d を介して導通している。これにより、導電部 5 5 は、半導体装置 A 1 b の導電部 5 1 b と導通しているといえる。半導体装置 A 1 b のバンプ 8 b は、ボンディングリボン w 1 と導通している半導体装置 A 1 b のバンプ 8 a とは異なるものである。また、半導体装置 A 1 b のバンプ 8 c には、ボンディングリボン w 2 が接続されている。

30

【0074】

このような構成によれば、半導体装置 A 1 b のバンプ 8 a, 8 b, 8 c を、半導体装置ユニット B 1 の外部と導通させるためのワイヤボンディングを施す必要がない。そのため、半導体装置 A 1 a の上に半導体装置 A 1 b を積層させた場合でも、ワイヤボンディングのためのパッドを設ける必要がなく、半導体装置 A 1 a の支持基板 1 の面方向の大きさを大きくする必要がない。その結果、半導体装置ユニット B 1 を実装するために必要な、半導体パッケージにおけるスペースを小さくすることができる。特に、半導体装置ユニット B 1 を、ディスクリット部品として用いる場合に好適である。

40

【0075】

また上述した構成によれば、半導体装置 A 1 b のバンプ 8 a の形成する位置を適宜移動させることにより、半導体装置 A 1 a の支持基板 1 上におけるボンディングリボン w 1 を形成する位置を、自在に決定できる。

【0076】

半導体装置 A 1 a の表面電極 4 1 b と、半導体装置 A 1 b のバンプ 8 b とが、導電部 5

50

5により、直接、導通させられる。そのため、半導体装置A 1 bの bumps 8 bを、半導体装置ユニットB 1の外部と、ボンディングリボンw 1などを用いて導通させる必要がなくなる。これにより、半導体装置ユニットB 1に設けるボンディングリボンw 1の個数を少なくすることが可能となっている。

【0077】

半導体装置ユニットB 1において、半導体装置A 1 bと半導体装置A 1 cとの間にも、ボンディングリボンw 1, w 2が設けられている。半導体装置A 1 bと半導体装置A 1 cとの関係は、上述した半導体装置A 1 aと半導体装置A 1 bとの関係と同様である。

【0078】

また、本実施形態では、本発明にかかる第1および第2の半導体装置が同一の回路素子であるバイポーラトランジスタを構成するものを示した。だが、本発明にかかる半導体装置ユニットは、本発明にかかる第1の半導体装置と第2の半導体装置とが異なる回路素子を構成していてもよい。また、第2実施形態にかかる半導体装置A 2と半導体装置A 1とが積層されたものであってもよい。

【0079】

また、半導体装置A 1 bの支持基板1の平面視において、半導体装置A 1 bの支持基板1は、半導体装置A 1 aの支持基板1からはみ出る部分を有していてもよい。たとえば、図14で示すように、半導体装置ユニットB 1'における半導体装置A 1の幅方向の大きさを、半導体装置ユニットB 1'の上部にいくにつれて徐々に大きくしてもよい。このような構成によれば、ボンディングリボンw 1どうし、ならびに、ボンディングリボンw 2どうしの干渉を抑制することができる。

【0080】

図15, 16を用いて、本発明の第5実施形態について説明する。

【0081】

図15は、本発明の第5実施形態にかかる半導体装置ユニットの断面図を概念的に示したものである。

【0082】

同図に示された半導体装置ユニットB 2は、第1実施形態で示した半導体装置A 1が2つ積層した構成とされている。半導体装置ユニットB 2における半導体装置A 1のうち、図中下方に示されたものが、半導体装置A 1 dである。一方、半導体装置ユニットB 2における半導体装置A 1のうち、図中上方に示されたものが、半導体装置A 1 eである。半導体装置A 1 dは、本発明にかかる第1の半導体装置に相当する。半導体装置A 1 eは、本発明にかかる第2の半導体装置に相当する。

【0083】

図15に表れているように、半導体装置ユニットB 2において、半導体装置A 1 dと半導体装置A 1 eとが、同一の中間基板m bを、半導体装置A 1 dの支持基板1および半導体装置A 1 eの支持基板1として共有している。

【0084】

中間基板m bは、絶縁性を有し、導電部56を備えている。導電部56は、中間基板m bを貫通している。導電部56は、半導体装置A 1 dの表面電極41 bと導通している。また、導電部56は、半導体装置A 1 eの表面電極41 aとも導通している。導電部56の形成は、かならずしも必要ではない。

【0085】

半導体装置A 1 dの bumps 8 a, 8 b, 8 cは、第1実施形態で述べたのと同様に、半導体装置ユニットB 2が取り付けられるパッケージ（図示略）の配線基板などに接続される。一方、半導体装置A 1 eの bumps 8 a, 8 b, 8 cには、たとえば半導体装置ユニットB 2の外部と接続するためのボンディングワイヤが接続される。

【0086】

次に、半導体装置ユニットB 2の製造方法について説明する。

【0087】

10

20

30

40

50

まず、第1実施形態で説明した方法と同様の方法により、半導体装置A1dを製造する。このとき、半導体装置A1dの支持基板1を貼り付ける際に既に導電部56が形成された支持基板1を用いる。

【0088】

次に、図16に示すように、図4で示したものと同一のものを、半導体装置A1dの支持基板1の表面に接合する。次に、半導体装置A1eとなるもののn型半導体層33を研削するなど、第1実施形態で説明した方法と同様の方法を用いることで、半導体装置ユニットB2を得る。

【0089】

次に、半導体装置ユニットB2の作用について説明する。

10

【0090】

このような構成によれば、半導体装置A1dおよびA1eの支持基板1を、個別に設ける必要がない。そのため、半導体装置A1d、A1eを単に積層させた場合と比較して、x方向における半導体装置ユニットB2の大きさを、小さくできる。これにより、半導体装置ユニットB2のコンパクト化を図ることができる。

【0091】

また、半導体装置A1eの表面電極41a、41bや裏面電極42を半導体装置ユニットB2の外部と導通させるために設ける必要があるワイヤの本数を、少なくできる。

【0092】

また、本実施形態でも、本発明にかかる第1および第2の半導体装置が同一の回路素子であるバイポーラトランジスタを構成するものを示した。だが、本発明にかかる半導体装置ユニットは、本発明にかかる第1の半導体装置と第2の半導体装置とが異なる回路素子を構成していてもよい。

20

【0093】

本発明の範囲は、上述した実施形態に限定されるものではない。本発明に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本発明でいう回路素子は、バイポーラトランジスタに限定されず、MOSFETなどでもよい。また、pn接合ダイオードやショットキー接合ダイオードなどでもよい。ショットキー接合ダイオードが形成されている場合、本発明にかかる半導体基板に回路素子の一部が形成されているといえる。

30

【0094】

上記半導体装置の厚さ方向視において、上記導電部を格子状に配置したり、千鳥配置にしたりしても良い。このような構成によれば、上記厚さ方向視において、同一領域内に形成できる上記導電部の数を多くすることができる。これにより、上記導電部全体の内部抵抗を小さくすることができる。また、上記表面電極と上記導電部との接触抵抗をより小さくできる。

【図面の簡単な説明】

【0095】

【図1】本発明の第1実施形態にかかる半導体装置の要部断面図を概念的に示したものである。

40

【図2】図1に示した半導体装置の要部上面図を示したものである。

【図3】図1に示した半導体装置の要部底面図を示したものである。

【図4】図1に示した半導体装置の製造方法の工程を示した図である。

【図5】図4に続く工程を示す図である。

【図6】図5に続く工程を示す図である。

【図7】図6に続く工程を示す図である。

【図8】図7に続く工程を示す図である。

【図9】図8に続く工程を示す図である。

【図10】本発明の第2実施形態にかかる半導体装置の要部断面図を概念的に示したものである。

50

【図 1 1】図 1 0 に示した半導体装置の製造方法の一工程を示した図である。

【図 1 2】本発明の第 3 実施形態にかかる半導体装置の要部断面図を概念的に示したものである。

【図 1 3 a】本発明の第 4 実施形態にかかる半導体装置ユニットの斜視図である。

【図 1 3 b】図 1 3 a に示した半導体装置ユニットの断面図を概念的に示したものである。

【図 1 4】本発明の第 4 実施形態にかかる半導体装置ユニットの他の一例の斜視図である。

【図 1 5】本発明の第 5 実施形態にかかる半導体装置ユニットの断面図を概念的に示したものである。

10

【図 1 6】図 1 5 に示した半導体装置ユニットの製造方法の一工程を示した図である。

【図 1 7】従来の半導体装置を示す要部断面図である。

【符号の説明】

【0096】

A 1, A 2, A 3, A 1 a, A 1 b, A 1 c, A 1 d, A 1 e 半導体装置

B 1, B 1', B 2 半導体装置ユニット

1 支持基板

m b 中間基板

2 a 接着部

2 b 保護絶縁膜

20

3 半導体基板

3 0, 3 2, 3 3 n 型半導体層

3 1 p 型半導体層

3 4, 6 1 a, 6 1 b, 6 2 a, 6 2 b 絶縁部

4 1 a, 4 1 b 表面電極

4 2 裏面電極

5 1 a, 5 1 b, 5 1 a', 5 1 b', 5 5, 5 6 導電部

5 2 a, 5 2 b, 5 2 a', 5 2 b', 5 4 a, 5 4 b 外部接続電極

5 3 a, 5 3 b 延出電極

8, 8', 8 a, 8 b, 8 c バンプ

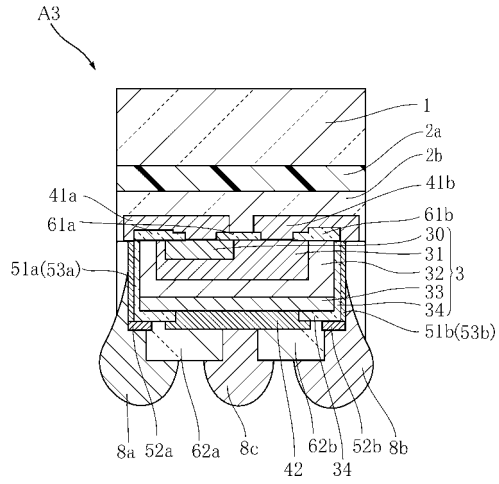
30

d 電極

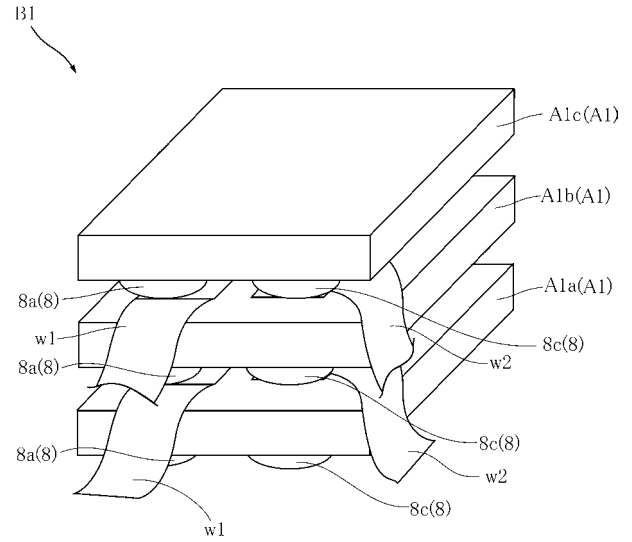
h 孔

x 方向

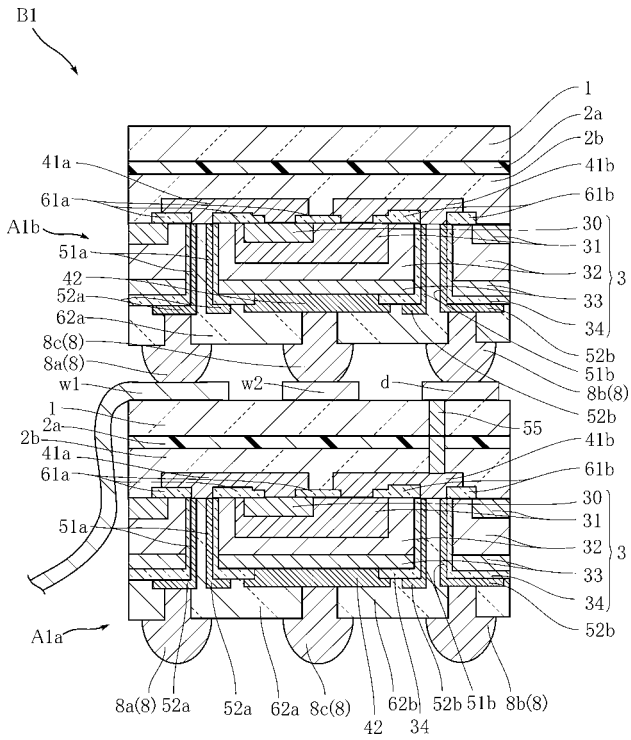
【図 1 2】



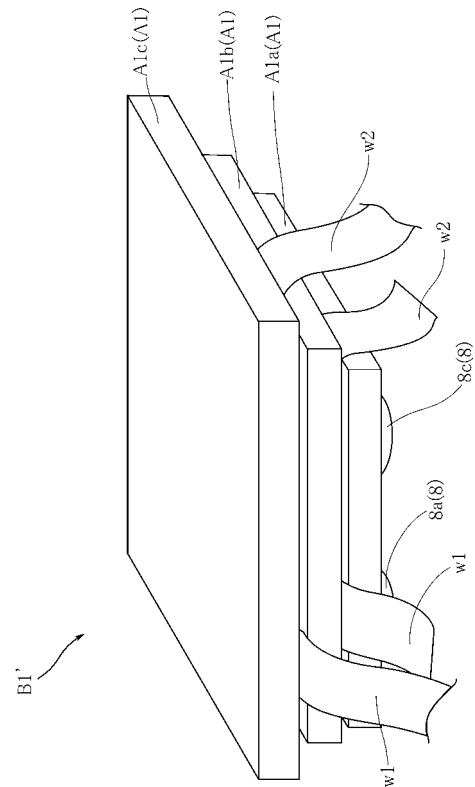
【図 1 3 a】



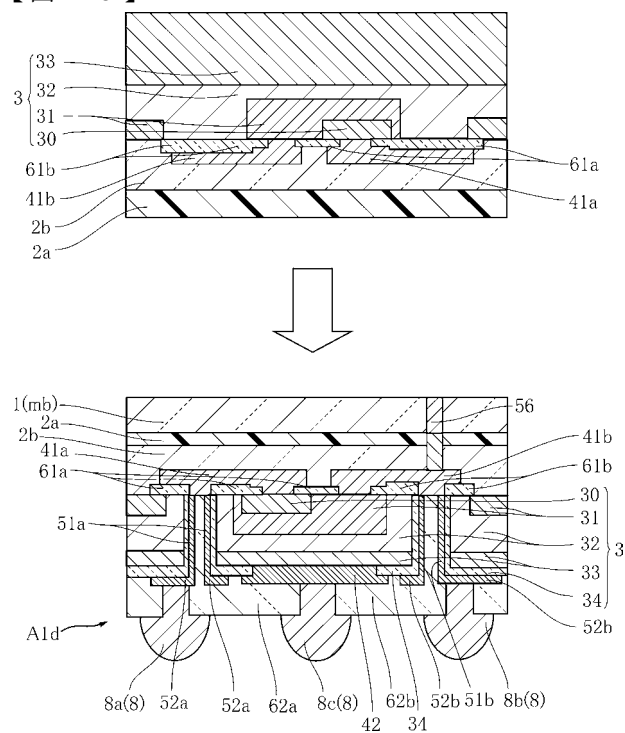
【図 1 3 b】



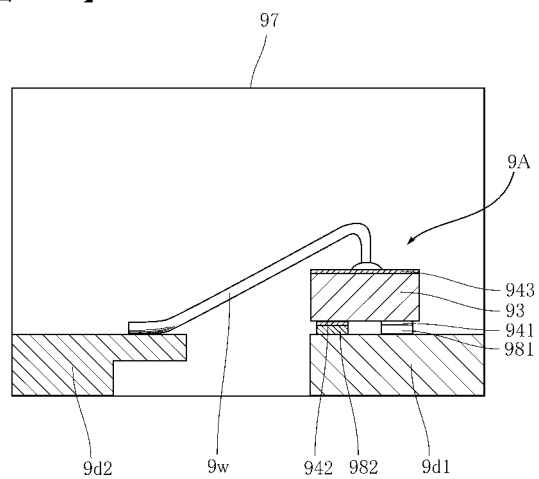
【図 1 4】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H01L 27/04 (2006.01)

(72)発明者 中崎 敏夫

京都市右京区西院溝崎町2-1番地 ローム株式会社内

Fターム(参考) 5F038 BE07 CA10 CA12 EZ16 EZ19 EZ20