



(12)发明专利

(10)授权公告号 CN 104505342 B

(45)授权公告日 2017.12.05

(21)申请号 201410714798.6

(22)申请日 2014.11.28

(65)同一申请的已公布的文献号
申请公布号 CN 104505342 A

(43)申请公布日 2015.04.08

(73)专利权人 上海华力微电子有限公司
地址 201203 上海市浦东新区张江高科技
园区高斯路568号

(72)发明人 鲍宇

(74)专利代理机构 上海申新律师事务所 31272
代理人 吴俊

(51)Int.Cl.
H01L 21/28(2006.01)

(56)对比文件

CN 102832112 A, 2012.12.19,
US 6153485 A, 2000.11.28,
CN 1979786 A, 2007.06.13,
CN 102856179 A, 2013.01.02,

审查员 孙健

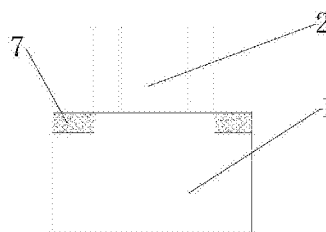
权利要求书1页 说明书4页 附图2页

(54)发明名称

一种改善金属硅化物的方法

(57)摘要

本发明涉及半导体器件优化领域,尤其涉及一种金属硅化物改善的方法,在一硅衬底的栅极结构形成后,沉积一层掺氟的氧化硅(FSG),然后沉积氮化硅层,选择性的去掉PMOS上的氮化硅,进行高温退火后,去除掉所有的氮化硅层和掺氟氧化硅层。器件形成后,沉积氮化硅作为SAB掩膜,需要形成金属硅化物的地方,经过曝光显影刻蚀选择性的去掉覆盖其上的氮化硅,沉积金属层和保护层氮化硅,进行二次退火形成镍硅化物。掺氟氮化硅中氟通过后续的退火向基底硅中扩散,增加基底硅中的氟含量,降低Ni piping和spiking发生的可能。



1. 一种改善金属硅化物的方法,其特征在于,包括以下步骤:

步骤S1,提供一预设有金属硅化物制备区的衬底,于所述衬底上形成栅极结构;

步骤S2,沉积掺氟氧化硅层覆盖所述衬底及所述栅极结构暴露的表面,制备氮化硅层覆盖所述掺氟氧化硅层的上表面;

步骤S3,去除PMOS上的所述氮化硅层,进行第一热处理工艺,以将所述掺氟氧化硅层中的氟扩散至所述衬底中;

步骤S4,去除所述掺氟氧化硅层和剩余氮化硅层,以将位于所述金属硅化物制备区中的衬底及所述栅极结构的外表面均予以暴露;

步骤S5,于暴露的所述金属硅化物制备区的衬底表面上制备金属复合层,并继续第二热处理工艺,以于该金属硅化物制备区中形成金属硅化物层;

所述方法还包括,先沉积一层氧化硅层,再依次沉积掺氟氧化硅层和氮化硅层;所述掺氟氧化硅层中的氟含量小于10%。

2. 根据权利要求1所述的方法,其特征在于,所述衬底为硅衬底。

3. 根据权利要求1所述的方法,其特征在于,所述金属复合层包括一金属层和位于所述金属层上的氮化金属层。

4. 根据权利要求3所述的方法,其特征在于,所述金属层是选自钛、钴、镍或铂的其中至少一种。

5. 根据权利要求1所述的方法,其特征在于,所述第一热处理和所述第二热处理均为退火制程。

6. 根据权利要求1所述的方法,其特征在于,采用干法刻蚀的方法去除所述掺氟氧化硅层和所述氮化硅层。

7. 根据权利要求1所述的方法,其特征在于,所述掺氟氧化硅层的厚度为20-100埃。

8. 根据权利要求1所述的方法,其特征在于,所述掺氟氧化硅层中的氟含量小于5%。

一种改善金属硅化物的方法

技术领域

[0001] 本发明涉及半导体器件优化领域,尤其涉及一种改善金属硅化物的方法。

背景技术

[0002] 集成电路和硅器件工艺中,硅氧化一般都在1000℃左右的高温条件下进行的,在这种条件下,硅片常会出现杂质再分布、热诱生缺陷以及翘曲等问题。因此,对集成电路器件尺寸的进一步缩小带来了严重障碍,为了适应大规模集成电路的需要,减少这些因素的影响,硅片需采用低温条件氧化。但是常规的低温氧化工艺,在温度低于或等于800℃时,氧化速度太慢,不能应用。因此,电化学杂志曾报道一种等离子体掺氟氧化方法,用这种方法可在低温条件下提高硅片的氧化速度,然后它却引入例如高能辐射损伤缺陷,且氧化层的质量也不能令人满意。此外,应用材料公司发明的远程等离子体预清洁(NF₃+NH₃, remote plasma pre-clean),在利用远程等离子体预清洁在去掉S/D表面的自然氧化层的同时,能够增加基底硅中的氟含量,相比于DHF wet clean,远程等离子体预清洁能有效改善Ni pipping和spiking。

[0003] 中国专利(1033545A)记载了一种掺氟、低温硅氧化方法,采用液态含氟试剂为掺氟源,由携带气体携带,氧气稀释,利用常规热氧化炉实现掺氟,低温800℃或低于800℃硅氧化。

[0004] 上述专利并没有介绍到半导体结构件上沉积掺氟氧化硅层,通过退火工艺使得掺氟氧化硅层中的氟向基底扩散的技术特征。

发明内容

[0005] 针对上述问题,本发明涉及一种改善金属硅化物的方法,其特征在于,包括以下步骤:

[0006] 步骤S1,提供一预设有金属硅化物制备区的衬底,于所述衬底上形成栅极结构;

[0007] 步骤S2,沉积掺氟氧化硅层覆盖所述硅衬底及所述栅极结构暴露的表面,制备氮化硅层覆盖所述掺氟氧化硅层的上表面;

[0008] 步骤S3,去除PMOS上的所述氮化硅层,继续热第一退火工艺,以将所述掺氟氧化硅层中的氟扩散至所述衬底中;

[0009] 步骤S4,去除所述掺氟氧化硅层和剩余氮化硅层,以将位于所述金属硅化物制备区中的衬底及所述栅极结构的上表面均予以暴露;

[0010] 步骤S5,于暴露的所述金属硅化物制备区的衬底表面上制备金属复合层,并继续第二热处理工艺,以于该金属硅化物制备区中形成金属硅化物层

[0011] 上述的方法,其特征在于,所述衬底为硅衬底。

[0012] 上述的方法,其特征在于,所述金属复合层包括一金属层和位于所述金属层上的氮化金属层。

[0013] 上述的方法,其特征在于,所述金属层是选自钛、钴、镍或铂的其中至少一种。

- [0014] 上述的方法,其特征在于,所述第一热处理和所述第二热处理均为退火制程。
- [0015] 上述的方法,其特征在于,所述掺氟氧化硅层的厚度为20-100埃。
- [0016] 上述的方法,其特征在于,所述掺氟氧化硅层中的氟含量小于5%。
- [0017] 上述的方法,其特征在于,所述方法还包括,
- [0018] 先沉积一层氧化硅层,再依次沉积掺氟氧化硅层和氮化硅层。
- [0019] 上述的方法,其特征在于,所述掺氟氧化硅层中的氟含量小于10%。
- [0020] 综上所述,由于采用了上述技术方案,本发明提出的一种金属硅化物改善的方法,在一硅衬底的栅极形成后,沉积一层掺氟的氧化硅,然后沉积氮化硅。沉积金属层和保护层氮化硅,进行二次退火形成镍硅化合物。侧墙中的氟通过后续的退火向基底硅中扩散,增加基底硅中的氟含量,降低Ni piping和spiking发生的可能。

附图说明

- [0021] 图1-图5是本发明在半导体结构件上形成金属硅化物的结构示意图。

具体实施方式

[0022] 在半导体技术中,金属氧化半导体、电晶体是由栅极、源极和漏极等三个电极所构成,其中MOS便是构成栅极结构的主体。

[0023] 早期的MOS是由金属层、二氧化硅与硅基底等三层材质所组成。但是,由于大多数的金属对于二氧化硅的附着能力较差,所以对于二氧化硅具有较佳附着能力的多晶硅便提出了以取代金属层。

[0024] 然而,使用多晶硅却又电阻值太高的问题存在,即使多晶硅经过掺杂,其电阻值还是太高,并不适用取代MOS的金属层,于是就需要金属硅化物设于多晶硅上。

[0025] 针对上述问题,本发明即设计出一种金属硅化物的优化方法,在基底硅上沉积一层掺氟的氧化硅层作为氟源,通过后续的高温过程使得氟向基底硅中扩散,增加基底硅的氟含量,从而改善半导体结构器件的。

[0026] 下面结合较佳实施例和附图详细说明

[0027] 具体实施例1

[0028] 本发明涉及一种改善现有的镍硅化物的方法,其中包括以下步骤:

[0029] 如图1所示,步骤S1,在一预设有金属硅化物制备区的硅衬底1上形成一栅极结构,该栅极结构包括一栅极氧化层、侧墙和位于该栅极氧化层上方的栅极2,栅极2可以金属栅,也可以为多晶硅栅,根据实际器件的需要进行选择;

[0030] 如图2所示,步骤S2,在剩余的硅衬底1的表面和栅极结构的侧面沉积一层掺氟氧化硅层3,该掺氟氧化硅层3的厚度优选的为20-100埃,其中氟的含量优选的是小于5%,然后在该掺氟氧化硅层3的表面沉积一氮化硅层4;

[0031] 步骤S3,去除PMOS器件区上的氮化硅层4,保留NMOS器件区上的氮化硅层4,进行第一热处理工艺,该热处理工艺为一退火制程,以将掺氟氧化硅层中的氟扩散至硅衬底中;

[0032] 如图3所示,步骤S4,采用干法刻蚀的方法去除剩余的氮化硅层4和掺氟氧化硅层3,将位于金属硅化物制备区中的硅衬底1及栅极结构的外表面均予以暴露;

[0033] 如图4所示,步骤S5,在上述步骤后形成的器件上沉积一金属复合层,该金属复合

层包括一金属层6和位于金属层6上的氮化金属层5,即该金属层6覆盖在栅极2的上表面、侧墙表面和侧墙两侧的硅衬底1表面,且该金属层6的材料例如钛、钴、镍或铂的其中至少一种,氮化金属层优选的为氮化钛;

[0034] 如图5所示,步骤S6,继续进行第二热处理工艺制程,最好是以一个温度在800℃左右的退火制程,然后去除氮化金属层5和金属层6,使得侧墙两侧的硅衬底表面(即器件的源漏极)形成金属硅化物7,而保持在侧墙和栅极表面的金属层6部分未参与反应,保持原状,形成具有金属硅化结构的半导体器件。

[0035] 具体实施例2

[0036] 如图1至图5所示,本发明涉及一种改善现有的镍硅化物的方法,其中包括以下步骤:

[0037] 如图1所示,步骤S1,在一预设有金属硅化物制备区的硅衬底1上形成一栅极结构,该栅极结构包括一栅极氧化层、侧墙和位于该栅极氧化层上方的栅极2,栅极2可以为金属栅,也可以为多晶硅栅,根据实际器件的需要进行选择;

[0038] 步骤S2,在剩余的硅衬底1的表面和栅极结构的侧面沉积一层氧化硅层(图中未示出);

[0039] 如图2所示,步骤S3,在氧化硅上表面沉积一层掺氟氧化硅层3形成氧化硅复合层,该掺氟氧化硅层3的厚度优选的为20-100埃,当形成该氧化硅复合层时,其中掺氟氧化硅层中氟的含量优选的是小于10%,然后在该掺氟氧化硅层3的表面沉积一氮化硅层4;

[0040] 步骤S4,去除PMOS器件区上的氮化硅层4,保留NMOS器件区上的氮化硅层4,进行第一热处理工艺,该热处理工艺为一退火制程,以将掺氟氧化硅层中的氟扩散至硅衬底中;

[0041] 如图3所示,步骤S5,采用干法刻蚀的方法去除氮化硅层4和掺氟氧化硅层3,将位于金属硅化物制备区中的硅衬底1及栅极结构的外表面均予以暴露;

[0042] 如图4所示,步骤S6,在上述步骤后形成的器件上沉积一金属复合层,该金属复合层包括一金属层6和位于金属层6上的氮化金属层5,即该金属层6覆盖在栅极2的上表面、侧墙表面和侧墙两侧的硅衬底1表面,且该金属层6的材料例如钛、钴、镍或铂的其中至少一种,氮化金属层优选的为氮化钛;

[0043] 如图5所示,步骤S7,继续进行第二热处理工艺制程,最好是以一个温度在800℃左右的退火制程,然后去除氮化金属层5和金属层6,使得侧墙两侧的硅衬底形成金属硅化物7,而保持在侧墙和栅极表面的金属层6部分未参与反应,保持原状,形成具有金属硅化结构的半导体器件。

[0044] 具体实施例3

[0045] 本发明涉及一种改善现有的镍硅化物的方法,其中包括以下步骤:

[0046] 步骤S1,在一预设有金属硅化物制备区的硅衬底上形成若干栅极结构,这些栅极结构包括一栅极氧化层和位于这些栅极氧化层上方的栅极,栅极可以为金属栅,也可以为多晶硅栅,根据实际器件的需要进行选择;

[0047] 步骤S2,在剩余的硅衬底的表面、栅极上表面和栅极结构的侧面沉积一层掺氟氧化硅层,该掺氟氧化硅层的厚度优选的为20-100埃,其中氟的含量优选的是小于5%,然后在该掺氟氧化硅层的表面沉积一氮化硅层;

[0048] 步骤S3,去除PMOS器件区上的氮化硅层,保留NMOS器件区上的氮化硅层,进行第一

热处理工艺,该热处理工艺为一退火制程,以将掺氟氧化硅层中的氟扩散至硅衬底中;

[0049] 步骤S4,采用干法刻蚀的方法去除氮化硅层和掺氟氧化硅层将位于金属硅化物制备区中的硅衬底1及栅极结构的外表面均予以暴露;

[0050] 步骤S5,在上述步骤后形成的器件上沉积一层氮化硅,当部分器件中需要形成金属硅化物区域时,选择性的曝光刻蚀去掉这些器件区域的氮化硅层;

[0051] 步骤S6,在上述步骤后形成的器件上沉积一金属复合层,该金属复合层包括一金属层和位于金属层上的氮化金属层,即该金属层6覆盖在栅极的上表面、侧墙表面和侧墙两侧的硅衬底1表面,且该金属层的材料例如钛、钴、镍或铂的其中至少一种,氮化金属层优选的为氮化钛;

[0052] 步骤S7,继续进行第二热处理工艺制程,最好是以一个温度在800℃左右的退火制程,然后去除氮化金属层和金属层,使得侧墙两侧的硅衬底形成金属硅化物,而保持在侧墙和栅极表面的金属层部分未参与反应,保持原状,形成具有金属硅化结构的半导体器件。

[0053] 本发明提出的一种金属硅化物改善的方法,在一硅衬底的栅极结构形成后,沉积一层掺氟的氧化硅(FSG),然后沉积氮化硅。器件形成后,沉积氮化硅作为SAB掩膜,需要形成金属硅化物的地方,经过曝光显影刻蚀选择性的去掉覆盖其上的氮化硅。沉积金属层和保护层氮化硅,进行二次退火形成镍硅化物。侧墙中的氟通过后续的退火向基底硅中扩散,增加基底硅中的氟含量,降低Ni piping和spiking发生的可能。

[0054] 通过说明和附图,给出了具体实施方式的特定结构的典型实施例,基于本发明精神,还可作其他的转换。尽管上述发明提出了现有的较佳实施例,然而,这些内容并不作为局限。

[0055] 对于本领域的技术人员而言,阅读上述说明后,各种变化和修正无疑将显而易见。因此,所附的权利要求书应看作是涵盖本发明的真实意图和范围的全部变化和修正。在权利要求书范围内任何和所有等价的范围与内容,都应认为仍属本发明的意图和范围内。

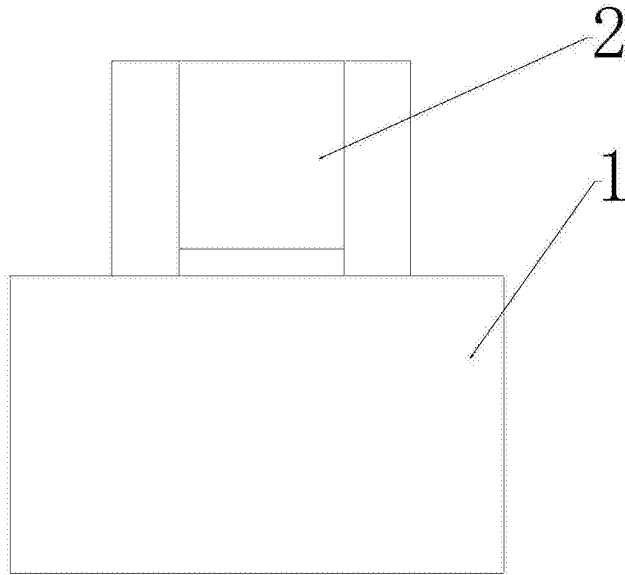


图1

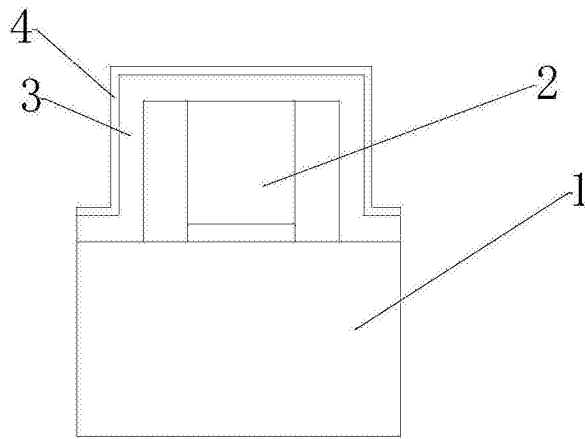


图2

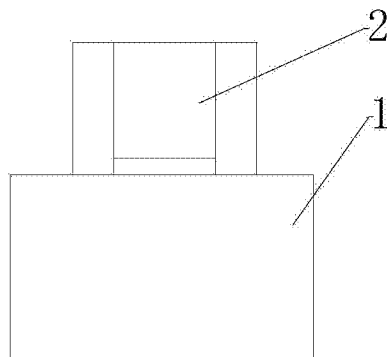


图3

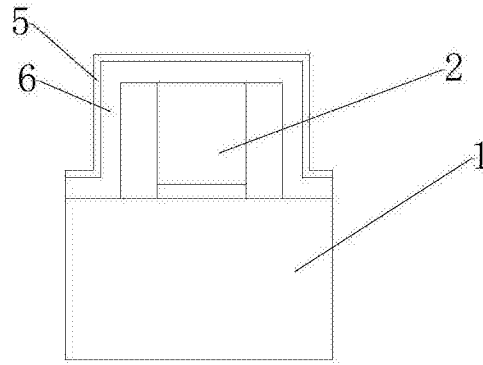


图4

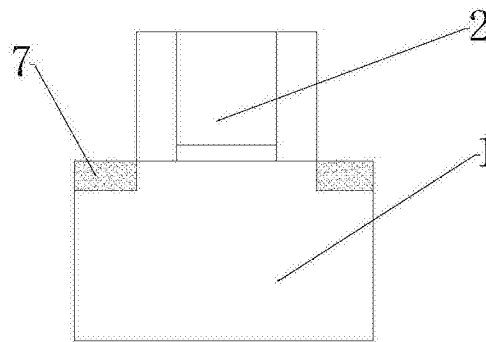


图5